

新世代の3.2Gbit/s デジタルデータアナライザ

New Generation 3.2 Gbit/s Digital Data Analyzer

UDC 621.317.34/74

江成 亮
吉野和巳
桐原智史
青木 隆
鈴木敏浩
本田 豊

Akira Enari
Katsumi Yoshino
Satoshi Kirihara
Takashi Aoki
Toshihiro Suzuki
Yutaka Honda

計測器事業本部 計測器事業部 第1開発部
計測器事業本部 計測器事業部 第1開発部
計測器事業本部 計測器事業部 第1開発部
計測器事業本部 計測器事業部 第1開発部
計測器事業本部 計測器事業部 第1開発部
計測器事業本部 計測器事業部 技術部

1 まえがき

90年代は高度情報化時代、マルチメディア時代と称され、通信容量が飛躍的に増加した。特にインターネットはWWWアクセスや電子メールだけでなく、音声通話やビデオ会議、映像や音楽の配信、企業通信（イントラネット）、商取引など、さまざまな利用方法が普及し、さらにパソコンの低価格化によりパソコン通信の利用人口が急速に増加している。これに伴い幹線系のトラヒックはさらに増加する傾向にある。

現在の幹線系は156Mbit/sや622Mbit/sのSDH（Synchronous Digital Hierarchy）/SONET（Synchronous Optical Network）が主流となっているが、今後は2.5Gbit/sや10Gbit/sに移行することが予想される。こうした状況の中、最も注目を浴びているのがWDM（Wavelength Division Multiplexing）である。複数の光信号を同一の光ファイバに波長多重することで伝送容量を高めることができる。最大の利点は敷設済みの光ファイバが利用できることである。伝送装置として2.5Gbit/s × 32WDMなどはすでに製品化されている。実験レベルでは、2.5Gbit/s × 16WDM、13100km¹や2.5Gbit/s × 40WDM、12000km²など長距離伝送も報告されている。長距離伝送実験では、光ファイバループを用いることからバースト信号の測定が必須である。こうしたギガビットクラスの伝送装置やモジュールの開発から製造、検査に使用する小型、低価格の誤り率測定器が要求されていた。また、従来の通信分野のみならず、デバイス分野からも高速のASIC、FPGA、RAMなどの評価に誤り率測定器のニーズが出てきた。デバイスの評価ユーザからは、アイマージン測定機能の要望

が寄せられていた。さらに、Fibre ChannelやGigabit Ethernetなどの高速インタフェースも普及し始め、放送業界からもHDTVの普及に伴い、ギガビットクラスの誤り率測定器が要求され始めた。こうしたニーズに応えるべく、バースト信号測定およびアイマージン測定が可能な、3.2Gbit/sの誤り率測定器であるMP1632Aデジタルデータアナライザを開発した。図1に外観を示す。



図1 MP1632A デジタルデータアナライザ
External view of Digital data analyzer

2 設計方針

(1) 送受一筐体

従来の3Gbit/sビット誤り率測定装置は、送信器のMP1650Aパルスパターン発生器（以下PPGと記す）とMP1651A誤り検出器（以下EDと記す）それぞれが独立した筐体となっていた。しかし、実際に送受遠端測定のニーズよりは、むしろ送受一筐体化し小型化を要求する声が多かった。

そこで本器ではPPGとEDをそれぞれユニット構造にし、1つのメインフレームと一緒に挿入できるようにする。また、ユニット形式にすることにより、送受別筐体の要求にも応えることができる。さらに、メインフレームには1ユニット分のスペースを確保し、将来の拡張性の余地を残す。

(2) 波形品質評価器

従来のビット誤り率測定装置は、その名のとおりにビット誤り率を測定するだけの機械であったが、本器ではそこから一歩踏みだし、波形品質評価器として使用できることを目指す。オシロスコープでは観測できない低誤り率領域でのアイダイアグラムを表示できる様にする。これにより、従来のビット誤り率測定装置（BERTS：Bit Error Rate Test Set）という名称からデジタルデータアナライザという名称に変更する。

(3) 操作性向上

従来のビット誤り率測定装置のように1つの機能に1つのスイッチまたはエンコーダといった構成にすることは、送受一筐体とすることも物理的に不可能である。したがって、MP1630B（本号記載の「バースト信号に対応した200Mbit/s、16chのデジタルデータアナライザ」と同様に大型の画面を採用し、さらに従来の1キー1パラメータの操作性を実現するよう、画面を工夫する。さらに操作性を向上するためにGUI（Graphical User Interface）を採用し、プログラマブルパターンの編集を容易にする。GUIには世界標準とも言えるMicrosoft® Windows® operating systemを採用する。また、大型カラーLCDとタッチスクリーンを採用する。マウスも使用できるようにする。

(4) 光周回実験対応

光ファイバの長距離伝送実験はファイバの節約のため一般に光周回実験で行われる。この場合、バースト信号の測定は必要不可欠であり、EDはバースト信号測定機能がなくてはならない。本器ではEDのバースト信号測定機能はもとより、PPGにもバースト信号発生機能を持たせる。

3 設計の要点

(1) 小型、Lowパワー化

本器では、PPG、EDそれぞれのユニットの外形寸法が $448.9 \pm 5(D) \times 232 \pm 4(W) \times 49 \pm 2.8(H)$ mmと、従来器に対して体積比で約1/10の容積に、従来の機能プラス新機能を収めなければならなかった。また、当初の見積もりでは、ユニットから発生する熱が膨大になることが予想されたため、大

胆な省資源化設計を行う必要があった。主に、下記の要件について検討を行い、従来機の性能を損なうことなく小型化することに成功した。

(a) PPG出力回路の小型化

最終出力に小型HIC（Hybrid IC）（図2）を使用し、従来の大型HICと遜色の無い出力波形（図3）を可能にした。小型HIC採用の要点は、高精度セミリジットケーブルと、FET数の削減である。

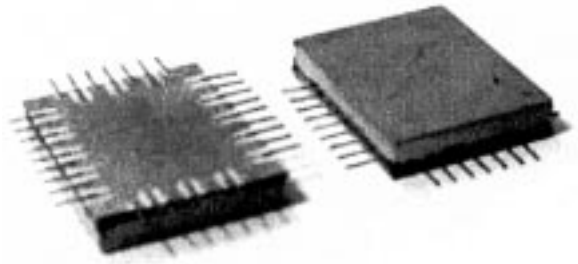


図2 出力用小型 Hybrid IC
External view of small package hybrid IC for output

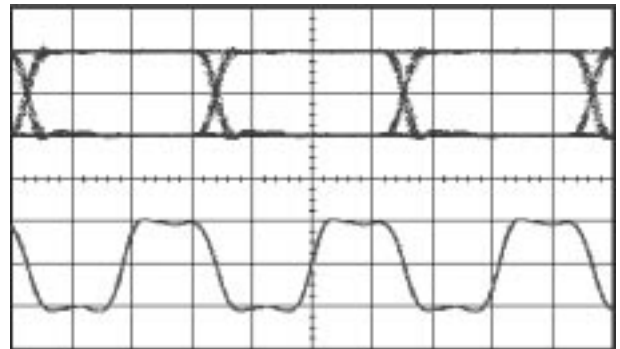


図3 出力波形（上：データ出力，下：クロック出力，3.2Gbit/sにて）
Output Waveform (Top : DATA Output Bottom : CLOCK Output at 3.2 Gbit/s)

小型HICの出力に直接はんだ付けされるセミリジットケーブルは、そのインピーダンス精度が出力波形品質に直接影響してくる。インピーダンス精度 ± 0.5 の高精度セミリジットケーブルにより、ケーブルによる波形の劣化を抑制した。また、FETにgm、 I_{dss} の高いミドルパワー品を使うことで、増幅段数を減少し、Lowパワー化を図っている。

また、小型HICのため、HICとバイアス回路を同一のプリント板に実装でき（図4）、出力回路の小型化を実現した。

(b) ED入力部のディスクリート化

従来器では、データおよびクロックの入力部に、大型で消費電力の大きいHIC（Hybrid IC）を使用していた。本器がカ

パーする3.2Gbit/sというビットレートでは、近年の半導体技術の進歩により、汎用の通信用GaAs-ICが使えることがわかった。これを採用してディスクリートで入力部の回路を構成し、入力部の体積を従来機の1/10にしている。3.2Gbit/sにおける入力感度は50mV、位相余裕は250ps、2.488Gbit/sにおける入力感度は25mV、位相余裕は340psと、十分な値を確保している。



図4 Hybrid ICとバイアス回路
External view of hybrid IC and Bias circuit

(c) DEMUXデータ本数の選定

EDでは、入力されたシリアルデータをDEMUXしてパラレルデータとして内部処理に使用している。パラレルデータに変換してビットレートを低く設定すると、安価なICが使用できてコストダウンできる反面、データの本数が増えて回路が大きくなる。ビットレートを高く設定するとデータの本数が減って回路は減らせるが、使用するICが高価になり、コストアップにつながる。本器では回路規模の縮小を優先し、パラレルデータのビットレートを従来機の2倍とした。データの本数は8系統である。これによって、従来は複数枚で構成していたプリント板が1枚になり、体積を1/5に削減できた。

(d) 同期制御回路のFPGA化

誤り率検出を行う前提として、入力データに対して、誤り率検出器内部で発生する基準データが正しいビット位相で発生している（同期している）必要がある。同期しているかどうかを判定し、同期するように基準データ発生位相を制御する同期制御回路は、従来器で1枚のプリント板を占めていた。本器では、FPGAを採用し回路規模を1/2にした。

(e) 薄型可変遅延器の設計

本器では、PPGのクロック出力位相およびEDのクロック入力位相を変化させる可変遅延器が必要なため、狭いユニットスペースに格納できる、厚さ15mmの薄型可変遅延器（図5）を新規に設計した。薄型を可能にした要点として、可変長伝送回路と駆動部の構造変更、小型モータの採用が上げられる。

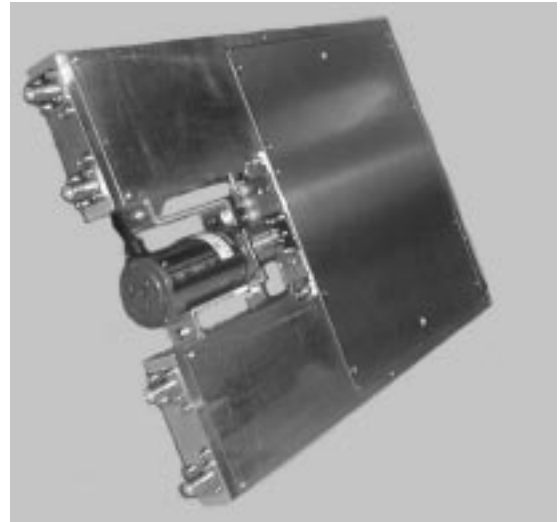


図5 薄型可変遅延器
External view of thin type variable delay unit

可変長伝送回路と駆動部の構造について、従来器と本器との違いを示す（図6）。可変長伝送回路と駆動部を横並び配置することで無駄なスペースを無くし、薄型を実現した。また、薄型構造に起因する全体的な強度不足には、外側ケースに歪みが生じても電気性能を保つ構造にし、対応した。小型モータ採用については、トルクの減少を補うため、ドライブシャフトのねじピッチを小さくすることで対応した。

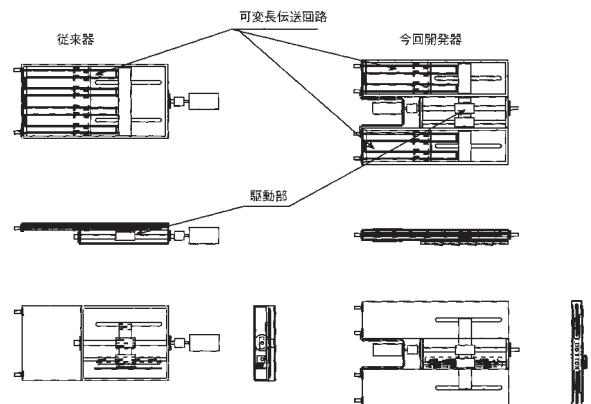


図6 従来の変遅延器および新可変遅延器の構造
Configuration of previous and new variable delay unit

可変遅延器の最大可変幅は2ns、最小単位は2psである。従来と同様に、電子スイッチ切替え型と異なり、遅延量変化時の瞬断は発生しない構造である。

(2) アイマージン測定

デバイスの特性を調べる目安として、DUTからの出力波形のアイ開口の広さにより位相方向、電圧軸方向のマージンがどの程度あるのかを調べることがある。マージンを測定するためにはエラーレートを観測しながら位相やスレッシュヨルド電圧を変化させながらエラーレートを観測する、ということが画面を切り替えることなく可能になり、ユーザの使用状況に合わせた設定画面を構成することができる。

また、本器はアイマージン測定だけでなくアイダイアグラム測定機能も具備している。これは、単に位相方向、電圧軸方向のマージン値を測定するのではなく、指定のエラーレートがどのような形でアイ開口部に分布しているのかを測定し、視覚的に表示する機能である。例えば、識別器の入力クロックと入力データの最適位相を調整するような場合に、サンプリングオシロスコープ等で観測しながら調整しても、出力データにエラーが混入する可能性がある。こうしたサンプリングオシロスコープが表示している波形はエラーレートが 10^{-3} ~ 10^{-2} 程度の比較的高いエラーレートの部分しかトレースできないため誤り率の低いアイダイアグラムを知ることはできない。本器のアイダイアグラムは、サンプリングオシロスコープで表示できない低い誤り率の分布をグラフィックで表示できる。アイダイアグラム測定機能は、 10^{-3} ~ 10^{-12} のエラーレートの中から任意のレート of アイダイアグラムを表示することができるため、よりエラーの少ない場所を見つけたり、エラーレート全体の分布がどのようになっているのかを調べたりする場合に有効である。

(3) カスタマイズ画面

従来のビット誤り率測定装置は、操作パネル上に多数のスイッチや、ロータリエンコーダを配置、One Key/One Parameterを実現し客先からの好評を得ていた。それに対して本器では、MP1630Bの資産を利用し、従来の操作性をできるだけ損なわずに測定結果や設定状態をさらに見やすくするアプローチを取った。すなわち、タッチパネル、LCDとGUIの採用である。特にカスタマイズ画面は、従来のOne Key/One Parameterを実現するためのものである。この画面の特徴は、変更頻度の高い項目を選択肢の中から選び必要な設定項目を一画面に集められることである。この画面以外では複数の画面にまたがっている項目、例えば、クロックに関する設定とDataに関する

設定、送信と受信それぞれの設定を最大6項目まで選択することができ、かつ同時に測定結果を見ることもできる(Error/Alarm測定時)。それにより、クロック位相とスレッシュヨルド電圧を変化させながらエラーレートを観測する、ということが画面を切り替えることなく可能になり、ユーザの使用状況に合わせた設定画面を構成することができる。

(4) パースト信号測定

データが間欠的にしか発生しない、いわゆるパーストデータの誤り率検出は、光ファイバの周回実験等で必須となってきた。

(a) PPGにおけるパースト信号発生

PPGユニットは内部および外部パーストモードを持つ。内部パースト信号はFPGAで発生しており、最大パースト周期50msが可能である。また、パースト区間を示すパーストリガも出力する。

パーストモード時の出力波形を示す(図7)。パースト区間(データディセーブル区間)では、データ出力はLowレベル、差動データ出力はHighレベルになる。これは出力の論理(POS, NEG)に依存しない。

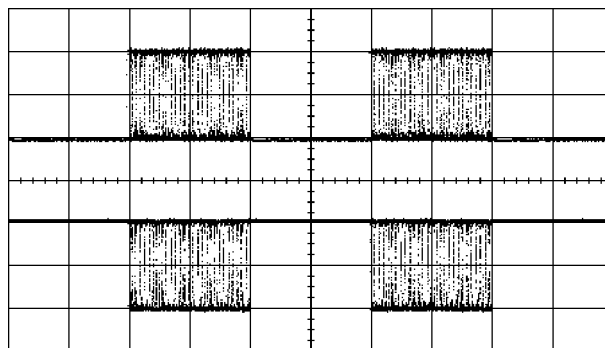


図7 パーストモード時の出力波形(上: データ出力, 下: データ出力)
Output Waveform at Burst mode (Top: DATA Output
Bottom: DATA Output)

(b) EDにおける誤り率測定のブロックダイアグラム

パーストデータの誤り率検出ブロックダイアグラム例を図8に示す。

PPGからは、パーストデータ信号と、データが有効である期間を示すパーストリガを発生する。パーストリガは、データがDUTを通過することによって生じる遅延と同じ時間だけ遅延してEDに入力される。クロックは、データから再生したものをEDに入力する場合が多い。データがDUTを通過することによって生じるジッタ量が少ない場合、PPGから出

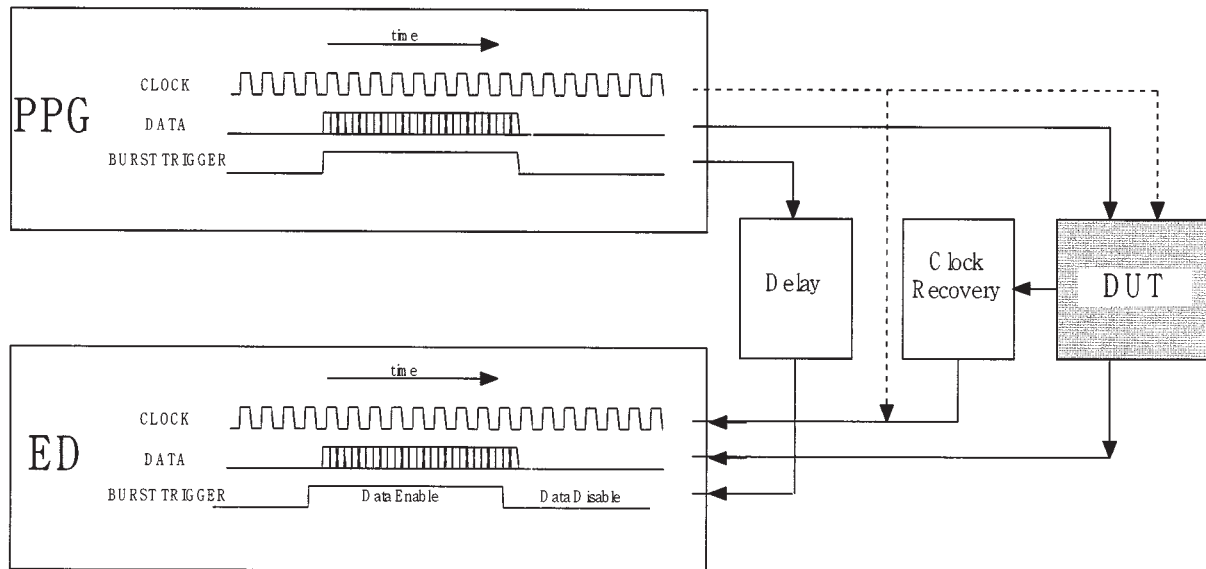


図8 バーストデータの誤り率検出ブロック図
Block diagram of error rate detection at burst mode

力されるクロックを用いることもできる。EDは、バーストリガで示されたデータ有効期間のみの誤り率検出を行う。

(c) プログラマブルパターンの同期時間

バーストデータの誤り率検出においては、データ有効期間(データイネーブル期間)が始まってから基準データが同期するまでに必要な同期引き込み時間を短くすることが最も重要な課題である。同期に必要な引き込み時間が長くなると、データイネーブル期間内で誤り率検出できる時間が短くなり、正確な誤り率検出が行えないからである。バーストデータの同期引き込み時間と誤り率検出時間の関係を図9に示す。

本器でデータとして扱うPRBSパターンとプログラマブルパターンにおいて、特にプログラマブルパターンでは、同期引き込み時間が長くなる。これは、基準データが決まった順序の平行データとして発生されるため、DEMUXされた入

力データの順序と合わない確率が高いためである。

本器では、プログラマブルパターンの同期引き込み時間を短くするために、400Mbit/s以上で動作するGaAs-ASICを新規に設計した。このASICは、入力にプログラマブルパターンを用いる時、下記の機能を実現する。

・フレーム検出機能

8系統の入力データから特定パターンを検出し、検出信号を出す。この信号(フレーム検出信号)は、ED内部で発生する基準データの発生位相を制御するのに用いる。

・入力データ配列機能

入力データ8系統を、発生の順序が基準データと同じになるように配列する。

このASICの開発によって、2.48832Gbit/s(STM-16)32,768ビットのパターンで、同期時間を39.5μsとすることができた。

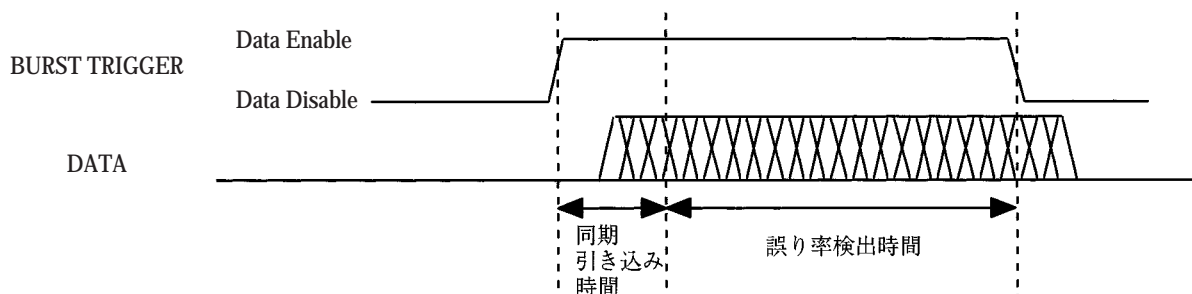


図9 バーストデータの同期引き込み時間と誤り率検出時間の関係
Relationship between SYNC gain time and error rate detection time at burst mode

4 装置構成

4.1 ハードウェア構成

(1) パルスパターン発生器

本器のPPGユニットの構成を図10に示す。PPGユニットは大きく5つのブロックに別れている。

1. PRBSパターン発生部
2. PRGMパターン発生部
3. セレクタ+MUX部
4. データ, クロック出力部
5. クロック分配部

設計の要点(1)で述べた(e)薄型可変遅延器は,5. クロック分配部に,(a)小型出力回路は,4. データ, クロック出力部に属する。

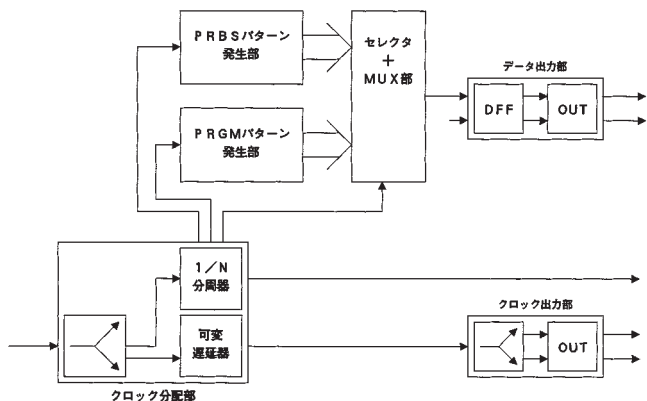


図10 PPGユニットの構成
Block diagram of Pulse pattern generator

(2) 誤り検出器

本器のEDユニットの構成を図11に示す。EDユニットは大きく6つのブロックに別れている。

1. データ, クロック入力部
2. DEMUX部
3. エラー検出部
4. PRBSパターン発生部
5. PRGMパターン発生部
6. 同期制御部

エラー検出部では,挿入誤り(0が1に変化),消失誤り(1が0に変化)を検出する回路を別々に備えているため,両ビット誤りを同時に検出,表示することが可能である。

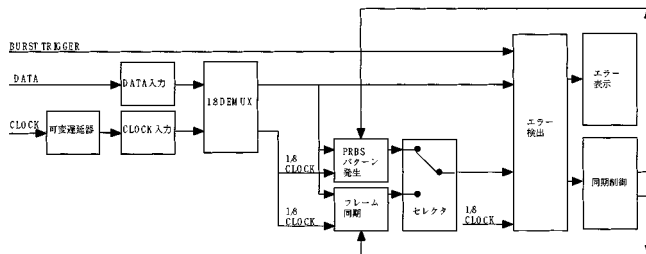


図11 EDユニットの構成
Block diagram of Error detector

4.2 ソフトウェア構成

本器ソフトウェア構成を図12に示す。各部の機能は以下のとおりである。

・GUI部

設定条件や測定条件等のキー入力情報をコマンド処理部に通知し,設定状態や測定結果の表示をする。

・コマンド処理部

他モジュールからの要求の処理および他モジュールへの動作指示をする。

・ファイル処理部

設定条件の保存や読み出しをフロッピーディスクやハードディスクに対して行う。

・印字処理部

測定結果,設定パターン等の外部プリンタへの印字処理をする。

・リモート処理部

RS-232C, GPIB (オプション), Ethernet (オプション)の入出力処理をする。

・測定処理部

誤り率測定,アイマージン測定等の測定処理をする。

・ハードウェア制御

ハードウェアに対する設定,読み出し処理をする。

本器ソフトウェアは大きく外部インターフェイスを制御するためのメインソフトウェア部と,測定制御およびハードウェア制御を行うサブソフトウェア部で構成している。メインソフトウェア部はMicrosoft® Windows® operating systemを採用し,サブソフトウェア部は自社開発のリアルタイムモニタを採用した。両者の通信はDPRAMを介して行う。

また,メンテナンス性を考慮し本ソフトウェアのアップグレードはROM交換ではなく,フロッピーディスクによって簡単に行えるようにした。

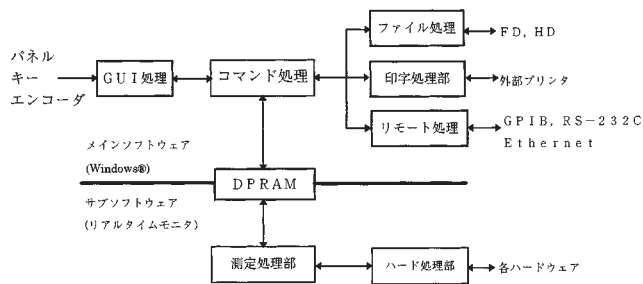


図12 ソフトウェア構成図
Software composition chart

5 規格

表1にMP1632Aの主な規格を示す。

6 本器の応用

6.1 WDM用3R レシーバの評価試験

(1) ノイズ耐力特性測定

WDM用3R レシーバのノイズ耐力を自動試験するシステム例を図13に示す。プログラマブル光アッテネータにより、ノイズレベルを変化させ、3R レシーバの出力のエラーレートを測定、プロットする。

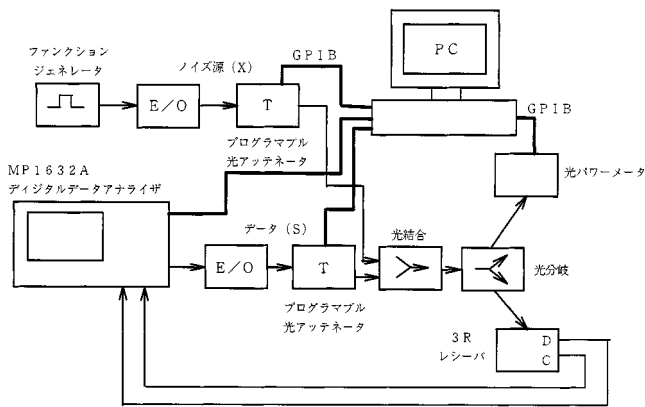


図13 WDM用3R レシーバのノイズ耐力自動試験システム
Automatic noise tolerance measurement system of 3R receiver for WDM

(2) 入力感度測定

WDM用3R レシーバの入力感度を自動試験するシステム例を図14に示す。プログラマブル光アッテネータにより、入力レベルを変化させ、3R レシーバの出力のエラーレートを測定、プロットする。

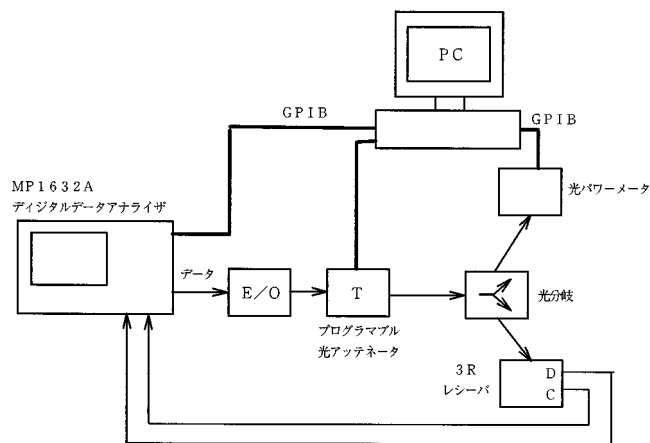


図14 WDM用3R レシーバの入力感度自動試験システム
Automatic input sensitivity measurement system of 3R receiver for WDM

7 むすび

本器はアイマージン測定機能を実現、従来のビット誤り率測定装置から一歩進んだデジタルデータアナライザとして完成した。本器が通信分野だけでなく、デバイス分野でも役立つことを期待する。また、バースト測定機能を標準装備し、光周回実験を可能にした。本器が超大容量光伝送技術の発展の一助になれば幸いである。

参考文献

- 1) 石井聡, 横山隆ほか: 0.4nm 波長間隔配置による 2.5Gbit/s, 16 波長多重 13,100km 伝送, 1998 年電子情報通信学会総合大会
- 2) 武田憲幸, 多賀秀徳ほか: 980nm 励起低雑音広帯域化 EDFA を用いた光増幅中継系による 2.5Gbit/s, 40WDM, 12000km 伝送実験, 1998 年電子情報通信学会総合大会

商標

Microsoft®, Windows® は米国 Microsoft Corporation の米国及びその他の国における登録商標です。

表1 MP1632Aの規格
Specifications of MP1632A

MU163220A 3.2G パルスパターン発生器

動作周波数	10MHz ~ 3.2GHz (オプション03の3.2G内蔵シンセサイザを使用時は50MHz ~ 3.2GHz)
外部クロック入力	0.5 ~ 2Vp-p (< 0.5GHz : 矩形波, 0.5GHz : 矩形波または正弦波)
発生パターン	擬似ランダムパターン (PRBS) パターン長: $2^n - 1$ (n : 7, 9, 11, 15, 20, 23, 31) マーク率: 1/2, 1/4, 1/8, 0/8, 1/2, 3/4, 7/8, 8/8 マーク率設定時のANDビットシフト: 1, 3ビット データパターン データ長: 2 ~ 8,388,608 ビット ゼロ置換パターン ゼロ連続ビット長: 1 ~ (パターン長 - 1) ビット パターン長: 2^n (n : 7, 9, 11, 15) 誤り挿入 誤り率: 10^{-n} (n : 3, 4, 5, 6, 7, 8, 9), シングルエラー 外部エラー入力: あり
データ出力	出力数: 2系統 (DATA/DATA, 独立) 振幅: 0.5 ~ 2Vp-p (10mVステップ) オフセット電圧 VOH: -2 ~ +2V (5mVステップ) 表示: VOH, VTH, VOLの切り換え可能 立上り/立下り時間: 80ps (振幅の10 ~ 90%) パターンジッタ: 30psp-p 波形ひずみ: 振幅の10%以下か, 0.1V以下の大きい方 負荷インピーダンス: 50 (バックターミネーション付) コネクタ: SMA DATA/DATAトラッキング: DATAの振幅, オフセット電圧をDATAと同じ値に設定可能 クロスポイント調整機能: あり
クロック出力	出力数: 2系統 (CLOCK/ CLOCK, 独立) 振幅: 0.5 ~ 2Vp-p (10mVステップ) オフセット電圧 VOH: -2 ~ +2V (5mVステップ) 表示: VOH, VTH, VOLの切り換え可能 立上り/立下り時間: 80ps (振幅の10 ~ 90%) 負荷インピーダンス: 50 (バックターミネーション付) コネクタ: SMA クロック遅延: -1 ~ +1ns (2psステップ)
外部バーストトリガ入力	レベル: 0/ -1V, コネクタ: SMA
内部発生バースト信号	バースト周期: 2 μ s ~ 50ms (1 μ sステップ), イネーブル長: 1 μ s ~ 49.999ms (1 μ sステップ)
バーストトリガ出力	出力レベル: 0/ -1V, コネクタ: SMA
同期信号出力	出力数: 1系統 (1/8クロック, 可変パターン同期の出力を切り換え可能) 出力レベル: 0/ -1V コネクタ: SMA
動作温度範囲	+5 ~ +45
消費電力	200VA
寸法・質量	232(W) × 49(H) × 44(D)mm, 4.5kg

MU163240A 3.2G 誤り検出器

動作周波数	10 MHz ~ 3.2 GHz (オプション03の3.2 G内蔵シンセサイザを使用時は50 MHz ~ 3.2 GHz)
データ入力	入力波形: NRZ 入力電圧: 0.5 ~ 4Vp-p スレシヨルド電圧可変範囲: -4 ~ +4V (1mVステップ) 終端: 50 Ω を介してGND, -2V, +3Vに接続 コネクタ: SMA
クロック入力	入力波形: 矩形波 (< 0.5GHz), 矩形波または正弦波 (0.5GHz), デューティ: 50% 入力振幅: 0.5 ~ 4Vp-p 入力遅延可変範囲: -1 ~ +1ns (2psステップ) 極性反転: POS/NEGに反転可能 終端: 50 Ω を介してGND, -2V, +3Vに接続 コネクタ: SMA
オートサーチ機能	位相, スレシヨルド, PRBSパターン (マーク率1/8 ~ 7/8時のみ可能)

受信パターン	擬似ランダムパターン (PRBS) パターン長: $2^n - 1$ ($n: 7, 9, 11, 15, 20, 23, 31$) マーク率: $1/2, 1/4, 1/8, 0/8, 1/2, 3/4, 7/8, 8/8$ マーク率設定時のANDビットシフト: 1, 3ビット データパターン データ長: 2 ~ 8,388,608 ビット ゼロ置換パターン ゼロ連続ビット長: 1 ~ (パターン長 - 1) ビット パターン長: 2^n ($n: 7, 9, 11, 15$)
同期モード	ノーマル, フレーム
同期スレシヨルド	AUTOまたは 10^{-n} ($n = 2, 3, 4, 5, 6, 7, 8$)
誤り検出モード	消失, 挿入, トータル
測定項目	誤り率: $0.0000 \times 10^{-16} \sim 1.0000 \times 10^{-0}$ 誤り個数: $0 \sim 9.9999 \times 10^{16}$ エラーインターバル (非同期): $0 \sim 9999999$ (インターバル: 100ms, 1s) エラーフリーインターバル (EFI): $0.0000 \sim 100.0000$ % クロック周波数: $0.01 \sim 3.2$ GHz (分解能: 1Hz, 確度: $10\text{ppm} \pm 1\text{kHz}$)
アイマージン測定機能	あり
エラーパフォーマンス算出機能	あり
測定チャンネルマスク	1 ~ 8ch, 各チャンネルを独立に設定可能
エラー出力	出力数: 1系統 (1/8ビットレートORエラー) 出力レベル: 0 / -1V コネクタ: SMA
同期信号出力	出力数: 1系統 (1/8クロック, 固定パターン同期, SYNC GAINの出力を切り換え可能) 出力レベル: 0 / -1V コネクタ: SMA
バーストトリガ入力	入力レベル: 0 / -1V, コネクタ: SMA
動作温度範囲	5 ~ 45
消費電力	250VA
寸法・質量	232(W) × 54(H) × 449(D)mm, 5kg

MP1632A (本体)

システム環境	OS: Microsoft® Windows® operating system Version3.1 表示: 10.4インチ, カラーLCD (タッチスクリーン), 640 × 480ドット, 256色 プリンタ: 外部プリンタ用パラレルポート (D-sub25ピン) キーボード: 101タイプ (英語版), PS/2 (ミニDIN6ピンコネクタ) マウス: シリアル, PS/2 (ミニDIN6ピンコネクタ) FDD: 2モード (1.44MB, 740KB) HDD Cドライブ: 474MB (測定データ, パターン用としてシステムに使用) Dドライブ: 30MB (ユーザには未解放, インタフェース: IDE)
リモートコントロール	RS-232C (標準), GPIB (オプション): IEEE488.2, イーサネット (オプション): 10Base-T
電 源	AC100 ~ 120V/200 ~ 240V, 47.5 ~ 63Hz, 150VA
動作温度範囲	5 ~ 45
寸法・質量	426(W) × 221.5(H) × 451(D)mm, 20kg

3.2G内蔵シンセサイザ (オプション03)

周波数範囲	50MHz ~ 3.2GHz (1kHzステップ)
周波数確度	± 2ppm
SSB位相雑音	- 85dBc/Hz (10kHzオフセット, 1kHz帯域幅)
非高調波スプリアス	- 60dBc (キャリア周波数から10kHz以上離れたスプリアスに限定)
消費電力	50VA
質 量	5kg

Microsoft®, Windows® は, Microsoft Corporation の米国およびその他の国における登録商標です。