

ISDN 一次群回線用デジタル回線終端装置

Digital Service Unit for ISDN Primary Services

UDC 621.376.6 : 621.395.664

石井重徳	Shigenori Ishii	インフォソリューションズ開発本部 第1開発部
高橋宏之	Hiroyuki Tankahashi	インフォソリューションズ開発本部 第1開発部
山本雅二	Masaji Yamamoto	インフォソリューションズ開発本部 第1開発部
原 浩三	Kouzou Hara	インフォソリューションズ開発本部 第1開発部
藤崎弘一	Kouichi Hujisaki	インフォソリューションズ開発本部 技術部
名古屋彦	Yasuhiko Nago	インフォソリューションズ開発本部 技術部
砂川公正	Kosei Sunagawa	技術本部 共通技術部

1 まえがき

従来の電話中心のネットワークに対し、パソコンなどのデータ通信も同一に扱える総合デジタル通信網である ISDN は、NTT が 1988 年に 64kbit/s サービスを、1989 年に 1.5Mbit/s サービスを開始して以来その回線数を増やしており、その後 NCC (New Common Carrier) もサービス提供を開始している。さらに、近年インターネットの普及により ISDN 回線は急速な伸びを示している。

ISDN 一次群回線 (1.5Mbit/s) のサービスを提供するためには、光ファイバを用いた加入者線インタフェースの光信号を、平衡ケーブルを用いたユーザ網インタフェースの電気信号に変換および逆変換するデジタル回線終端装置 (以下 DSU) が必要である。

当社は既に ISDN 一次群回線用 DSU を開発し、ISDN の普及に貢献してきたが、多様なユーザの設置環境に対応するとともに環境への影響を考慮し、省スペース化、軽量化、低消費電力化を図った DSU を西日本電信電話株式会社殿、東日本電信電話株式会社殿の御指導のもとに、新たに開発したので開発方針、設計の要点、装置構成について報告する。図 1 に西日本電信電話株式会社殿、東日本電信電話株式会社殿より一般販売許可を頂いた ISDN 一次群回線用 DSU の外観を示す。

2 開発方針

本装置の設計に際しては、省スペース化・軽量化・低消費



図1 ISDN 一次群回線用デジタル回線終端装置外観図
External view of DSU for ISDN primary services

電力化を基本的な開発方針とした。

デジタル回線終端装置は、ユーザの宅内に設置される装置であるため、設置スペースへの制約はますます厳しくなっている。今後ますます多様なユーザの宅内に設置されることを考慮し、小型化、設置時の省スペース化を図るとともに軽量化を行う。また、24時間通電する通信装置であることを十分考慮し低消費電力化に取り組む。

本装置の設計に際し、特に留意した点について述べる。

(1) 大規模 ASIC 開発

従来、加入者線インタフェース、ユーザ網インタフェースのフレーム同期、警報検出などの回線終端機能は各々専用開発した ASIC と外部記憶素子を組み合わせることで機能を実現していた。今回これら複数の ASIC と外部記憶素子で実現していた機能を 1 チップ化した ASIC を開発する。これにより、部品点数、実装面積の削減を行い、加入者線インタフェース部とユーザ網インタフェース部の小型化、軽量化を行う。ま

た、ワンチップ化し素子間のインタフェース回路を省くことにより低消費電力化を図る。

開発に当たっては、ISDN 一次群回線用 DSU の機能だけでなく、高速デジタル専用線用 DSU の基本速度インタフェース、一次群速度インタフェースおよび二次群速度インタフェースやターミナルアダプタ内蔵 DSU 等の応用製品に適用するための拡張機能を ASIC 内に取り込み、当社 DSU シリーズ製品全てに 1 チップで対応できる ASIC とすることにより、DSU シリーズすべてについて小型化、省電力化を図る。

(2) 表面実装 LD, PD の採用

部品の表面実装部品化が進む中で、発光素子である LD (レーザダイオード)、受光素子である PD (フォトダイオード) だけは未だにディスクリット部品を使用していたが、今回表面実装部品を採用することにより、実装効率を高め実装面積の縮小を図る。また、他の部品と同時に自動搭載、リフローが可能となり、製造工数の削減を行う。

(3) 光ファイバ余長処理部を本体に内蔵

従来、加入者線である光ファイバケーブルの余長処理は、DSU の外部にて行っていた。そのため、余長処理金物という構成部品を本体以外に持ち、装置底面に固定したり、装置と分離して装置後方に固定して使用していた。また、装置背面に光ファイバコネクタが実装されているため、光コネクタの保護カバも必要となり、設置時のスペースを大きいものにしてきた。そこで、この光ファイバ余長処理部を装置内部に收容することにより設置時のスペースの大幅な削減を行う。その際、光ファイバ余長処理部の複雑な構造は、筐体をモールド化することにより実現し、合わせて軽量化も図る。

(4) 電源切り替えスイッチの削除

設置環境の電源種別に柔軟に対応できるように、商用 AC100V、局内用電源である DC-48V に対し装置本体のスイッチ切り替えなしで対応できる構成とし、ユーザーズに対応するとともに部品点数削減による小型化を図る。

3 設計の要点

3.1 DSU の終端機能を集約した ASIC の開発

3.1.1 機能

今回 ASIC を開発するにあたり、ISDN 一次群回線用 DSU だけでなく、高速デジタル専用線用 DSU やその応用製品での使用も考慮し、DSU シリーズの多様なインタフェース終端機能を集約した ASIC とした。

その結果、従来 1.5M 終端用、6.3M 終端用、6.3MST フレーム用の 3 個の ASIC と FPGA および記憶素子で構成していた機能を 1 個の ASIC に集約することで回路の小型化、低消費電力化、高信頼化を図った。

開発するにあたり以下の機能を考慮した。

(1) 1.544Mbit/s の ISDN 一次群光加入者線インタフェースの回線終端機能。

(2) 6.312Mbit/s の高速デジタル専用線光加入者線インタフェースの回線終端機能。

(3) 1.544Mbit/s の TTC 標準 JTI431-a 準拠の一次群速度ユーザ網インタフェースの回線終端機能。

(4) 6.312Mbit/s の TTC 標準 JT-G703-a 準拠の二次群速度ユーザ網インタフェースの回線終端機能。

(5) 6.312Mbit/s の高速デジタル専用線光加入者線インタフェース上の予め指定されたタイムスロット (1 タイムスロットは 8bit で伝送速度は 64kbit/s) のデータをユーザ網インタフェース速度 (64kbit/s × N : N = 1 ~ 24) に合わせて連続データとして出力する機能。またユーザ網インタフェースからの連続データを、高速デジタル専用線光加入者線インタフェース上の予め指定されたタイムスロットに割付けて乗せかえを行う機能。

(6) 光加入者線インタフェースおよびユーザ網インタフェースからの受信再生クロックと装置内システムクロックの位相差、位相変動を吸収して受信データを装置内システムクロックに乗せかえる機能。

3.1.2 内部ブロック

開発に当たっては、機能を細分化して再構築することにより内部を 10 の機能ブロックに分割し、各ブロックを組み合わせることにより多様な DSU の機能を実現する構成とした。本 ASIC を構成するブロックの機能を以下に説明する。また図 2 に ASIC の内部機能ブロック図を示す。

(1) インタフェース 1 (INF1)

ISDN 一次群加入者線インタフェースおよび TTC 標準 JTI431/JTI431-a ユーザ網インタフェース (1.5Mbit/s) の回線終端を行う。

(2) インタフェース 2 (INF2)

TTC 標準 JTI431/JTI431-a ユーザ網インタフェース (1.5Mbit/s) の回線終端を行う。

(3) インタフェース 3 (INF3)

TTC 標準 JT-G703-a 伝送路インタフェース (6Mbit/s) の

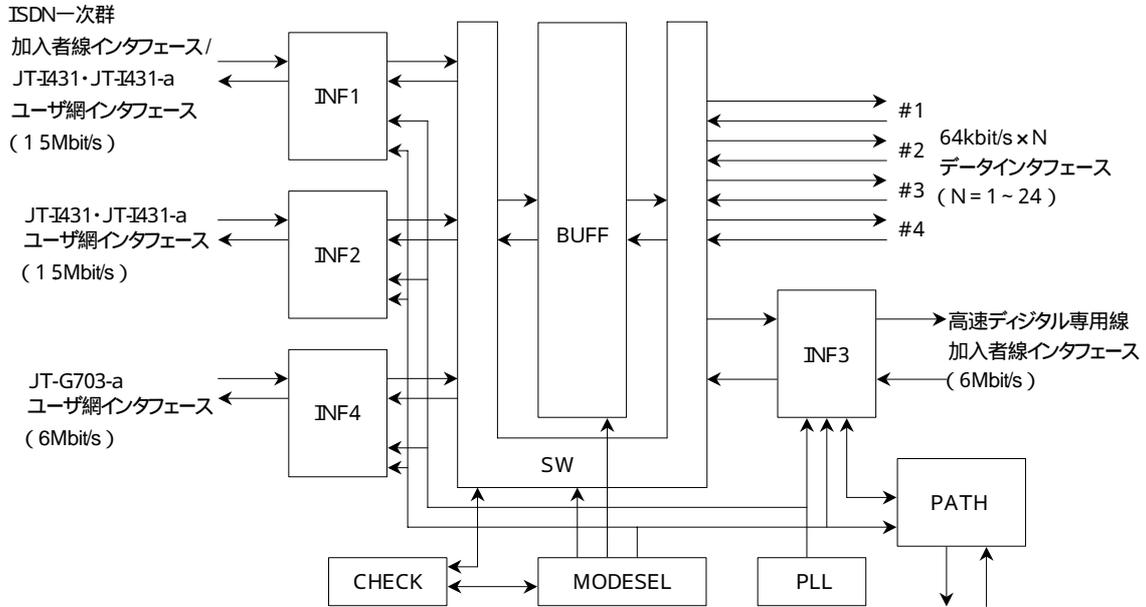


図2 ASIC内部機能ブロック図
Block diagram of ASIC

物理バスの回線終端を行う。

(4) インタフェース4 (INF4)

TTC 標準 JT-G703-a ユーザ網インタフェース (6 Mbit/s) の回線終端を行う。

(5) 6M 論理バス (PATH)

TTC 標準 JT-G703-a 伝送路インタフェース (6 Mbit/s) の論理バスの回線終端を行う。

(6) PLL (PLL)

ASIC 内部、各インタフェース部 (INF1 ~ INF4) の出力クロックおよび外部出力信号のためのクロック生成を行う。また外部に設けてある VCO (電圧制御発信器) を制御するための位相比較回路および内部クロック生成のための分周回路を持つ。

(7) バッファ (BUFF)

SW ブロック部を経由してくる各インタフェース部 (INF1 ~ INF4) の入力信号および外部入力信号からのフレーム位相と出力フレーム (PLL ブロックより発生) 位相とのずれを吸収する。

(8) モード選択 (MODESEL)

外部からの選択信号により DSU のタイプおよび試験モードを選択する。

(9) 試験 (CHECK)

試験パターン (PN15 原始多項式 $X^{15} + X + 1$) 発生器, 照

合器, エラーカウンタを有し, MODESEL ブロックからの試験モード設定時に TEST パターン照合を行い, 本 ASIC が実装される装置内の障害を監視する。また, エラー発生器はエラー警報, エラーパルスを出力する。

(10) モード切替 (SW)

本 ASIC を使用する DSU のタイプ, 試験モードにより主信号の経路切り替えを行う。

(1)~(4) の各インタフェースブロックの信号はこの SW ブロックに接続されており, 前項で述べた個別の DSU 機能を実現する場合には (8) の MODESEL ブロックからの指示で SW ブロック内で各ブロックの接続を変更して対応する。

また, 各モードで使用されないブロックについては, クロックの供給を止めることにより省電力化を図った。

3.1.3 構成例

図3 ~ 6 に ISDN 一次群回線用 DSU, 高速デジタル専用線用 DSU の基本速度, 一次群速度および二次群速度で使用する場合の ASIC 内各ブロックの接続を示す。

このように内部ブロックの接続を変更することにより, 多様な DSU の回線終端機能をワンチップで実現した。

3.2 光インタフェース部

光インタフェース回路で使用する光部品は, 加入者線インタフェースの性能を決定するだけでなく, 装置全体のコストに占める割合も大きい。そこで性能のみでなく低価格化も考

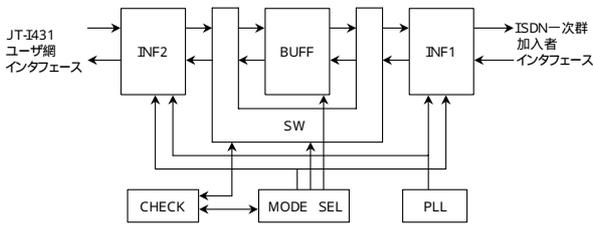


図3 ISDN一次群回線モード
DSU for ISDN primary services mode

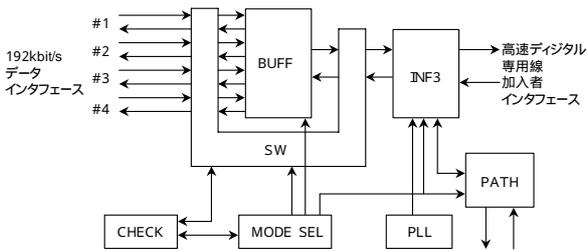


図4 高速デジタル専用線（基本速度）モード
DSU for high-speed dataleased circuit services
(basic rate interface) mode

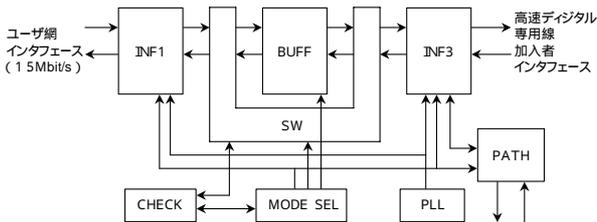


図5 高速デジタル専用線（一次群速度）モード
DSU for high-speed dataleased circuit services
(primary rate interface) mode

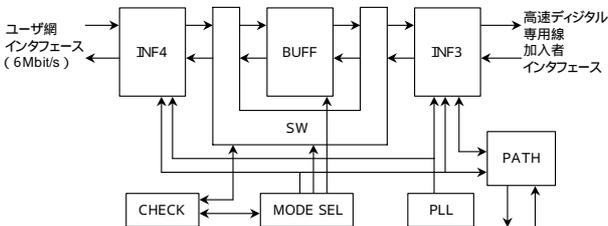


図6 高速デジタル専用線（二次群速度）モード
DSU for high-speed dataleased circuit services
(secondary rate interface) mode

慮に入れて光部品の選定を行った。

3.2.1 発光素子

発光素子は現在一般に使用されているシングルモードファイバ

バ, マルチモードファイバとの結合効率を考慮してLD (レーザダイオード)とした。また, 伝送ビットレートが1.544bit/sと材料分散, 構造分散の影響をほとんど受けないことからスペクトル幅に対する要求は厳しくないため, 高価なDFBLD (分布帰還型レーザ)ではなく多モード発振のFP (ファブリペロー)タイプのLDを採用した。

3.2.2 受光素子

受光素子として考えられるのは, APD (アバランシェフォトダイオード)とPINPD (ピンフォトダイオード)である。APDでは最低受光レベルが低くとれる利点があるが, 逆バイアス用の高電圧を必要とする点で実装面積とコストの点で不利である。PINPDを使用した場合の, 最低受光レベルは式(1)にて計算できる。

$$SNR = \frac{(2I_{pr})^2}{2q(I_{pr} + I_d)B + I_n^2 B} \dots\dots\dots(1)$$

ただし

$$I_{pr} = \frac{q}{h} Pr$$

Pr : 平均受光電力 I_{pr} : Pr により生じる光電流

η : 量子効率 I_d : 暗電流

B : 周波数帯域幅 I_n : プリアンプの入力等価雑音電流

ν : 光の振動数 ($= c/\lambda$, c : 光速, λ : 発光中心波長)

q : 電子の電荷 h : プランク定数

そこで, 選定した光半導体素子と回路素子の規格値から, 符号誤り率が 1×10^{-9} 以下 ($SNR = 21.6\text{dB}$ 以上)となる光受信レベルを計算すると, 符号誤り率が 1×10^{-9} となる光受信レベルは -48dBm となり, 最低受光レベルの規格値 -36.8dBm を十分に満足できることが推定できた。表1に計算に使用した数値を示す。

表1 計算条件
Basis of calculation

	変数	データ
LD	発光中心波長 ()	1,310nm
PD	量子効率 ()	0.70
	暗電流 (I_d)	5nA
プリアンプ	等価入力雑音電流 (I_n)	1.5pA/ Hz
その他	周波数帯域 (B)	2MHz
定数	電子の電荷 (q)	$1.6 \times 10^{-19}\text{C}$
	プランク定数 (h)	$6.626 \times 10^{-34}\text{J/s}$
	光の振動数 (c/λ)	2.29×10^{14}

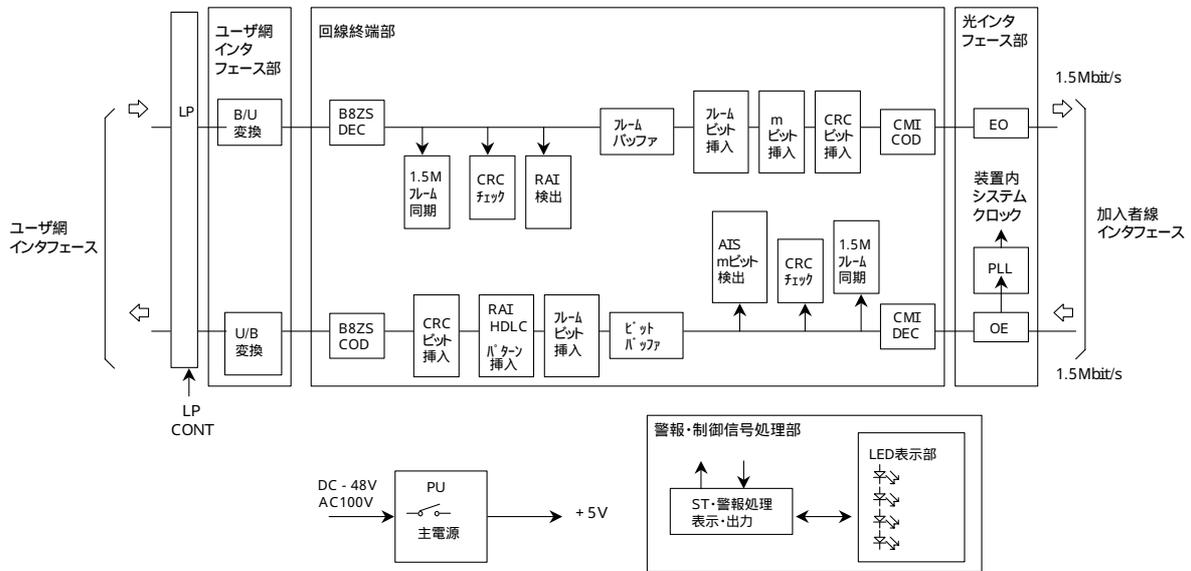


図7 ISDN一次群回線用回線終端装置ブロック図
Block diagram of DSU for ISDN primary services

4 装置構成

本装置は、加入者線インタフェース部(LI)、ユーザ網インタフェース部(UNI)、回線終端部、警報・制御信号処理部および電源部から構成される。装置の機能ブロック図を図7に示す。

4.1 加入者線インタフェース部(LI)

4.1.1 E/O変換部

E/O変換部は回線終端部からの伝送路符号であるCMI符号化された電気信号を光信号に変換する光送信回路である。機能ブロック図を図8に示す。LD光出力の温度変動や経時変動を後方光モニタ用のPDで検出して送信光出力を安定化するAPC(Auto Power Control)回路、LDを電源ON/OFF時のサージによる過大電流から防御するスロースタータ、定電流スイッチング回路を含むLD駆動回路等より構成される。

4.1.2 O/E変換部

O/E変換部は加入者線からの光CMI信号を電気信号に変換する光受信回路である。機能ブロック図を図9に示す。O/E変換部では波形再生、MCF(Monolithic Cristal Filter)によるクロック抽出、リタイミングを行う。

図10に本装置の光受信レベルに対する符号誤り率特性を示す。

表面実装タイプのLD、PDの採用によりE/O変換部、O/E変換部合わせて従来機種に対しプリント板実装面積を約

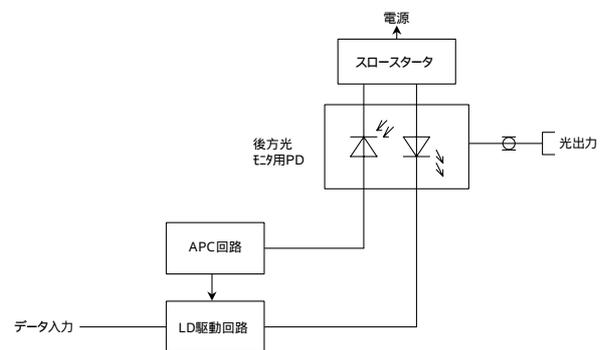


図8 E/O変換部ブロック図
Block diagram of LD driver

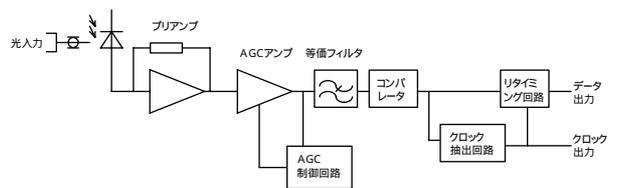


図9 O/E変換部 機能ブロック図
Block diagram of optical receiver

20%削減した。

4.2 回線終端部

加入者線インタフェースのO/E変換部からの受信信号は、まずCMIデコーダにてNRZ信号に変換後、フレーム同期を行うことにより、ステータスの分離、CRC-6による巡回符号誤り検出を行う。その後データ部分は加入者線からの受信再

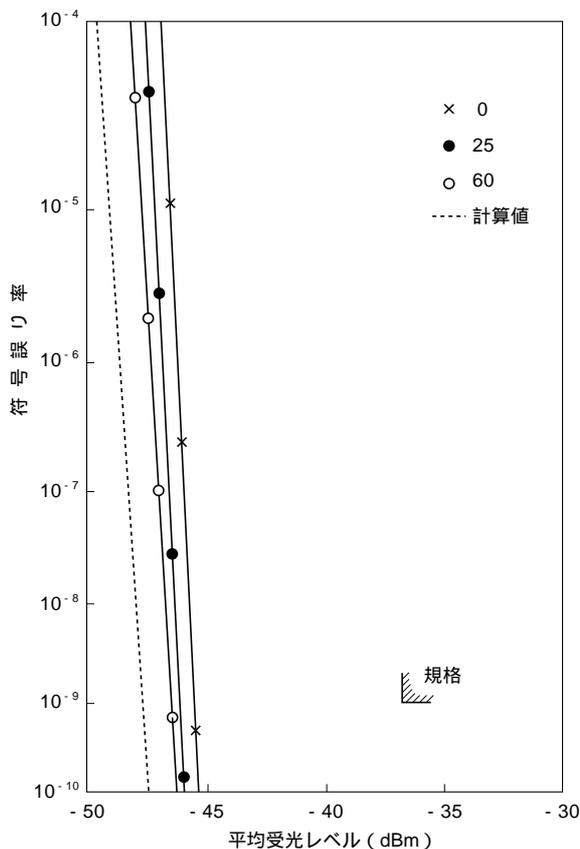


図10 光受信レベル対符号誤り率特性
Bit error rate of optical receiver

生クロックと装置内システムクロックとの位相差やジッタ、ワングによる位相変動を吸収するためのフレームバッファに入力される。

このフレームバッファから装置内システムクロックで読み出されたデータにはユーザ網インタフェースのフレーム同期ビット、RAI (Remote Alarm Indication) パターン、HDLC パターン、CRC-6による巡回符号誤り検出用ビットが付加される。

最後に、NRZ 符号からユーザ網インタフェースの伝送符号である B8ZS 符号則に則った2値の正極性パルス、負極性パルスへ変換しユーザ網インタフェース部へ送出される。

逆にユーザ網インタフェース部からの B8ZS 符号は NRZ 符号に変換された後、フレーム同期、RAI 信号検出、CRC-6 による誤り検出を行い、分離されたデータは位相差吸収用のバッファにより装置内システムクロックに乗せかえられる。このデータに、加入者インタフェースのフレーム同期用ビット、各種ステータス信号、CRC 誤り検出用ビットが付加された後、CMI 符号化され E/O 変換部に出力される。

今回開発した ASIC により、この回線終端部は1チップ化

され、従来機に対して実装面積で約1/3、消費電力で約1/2が実現できた。開発した ASIC の規模は約20,000ゲートであった。

4.3 ユーザ網インタフェース部

TTC 標準 JT-I431 一次群速度ユーザ網インタフェースをもつ。1.544Mbit/s、マーク率50%のB8ZS符号であり、入力規定が772kHzにおけるケーブル損失0~18dBを許容する事から、ケーブルの減衰特性である f 特性を等化する f AGC 回路を備えている。

4.4 警報・制御処理部

他のブロックで検出された警報情報、ステータス情報は警報処理部にて検出条件、送出条件、優先条件により処理が行われ、装置前面の LED 表示、ユーザ網インタフェースにおける折り返し制御 (ループ2) および加入者インタフェース、ユーザ網インタフェースのステータス信号として警報転送が行われる。今回警報・制御の処理は、処理回路のクロック周波数を下げるにより消費電力を約20%削減した。

4.5 電源部

パルス幅変調と周波数変調を併用することで DC43V から DC160V の広い入力電圧範囲に対して切り替えなしの動作を可能とした。

4.6 構造

筐体は2ピースにて構成し、ネジの使用を極力抑えて1本のみとするなど部品点数削減を行い、筐体に関する部品点数を約1/3とした。

また、余長処理部分は図11に示すように、装置上面のふたを外し、光ファイバを光ファイバ巻付け部に巻付けることにより余長処理を行う構造とした。また、光ファイバのコード部分の長さのばらつきを吸収するための光ファイバ巻付け調整部を設けることにより作業性の向上を図った。

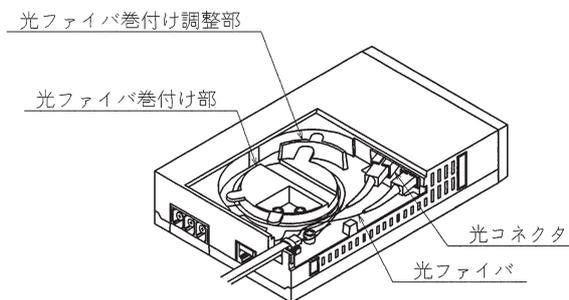


図11 光ファイバ余長処理部

表2 装置仕様一覧
Specification

型 名		EN528A ISDN 一次群	EN511A 高速デジタル専用線 (基本速度)	EN512C 高速デジタル専用線 (一次群速度)	EN513C 高速デジタル専用線 (二次群速度)
伝 送 路 イ ン タ フ ェ ー ス	伝送速度	1.544Mbit/s	6.312Mbit/s		
	伝送媒体	SM 形もしくはG1形光ファイバケーブル			
	伝送方式	ファイバ2芯双方向伝送方式			
	接続形態	F04形単芯光ファイバコネクタ(JISC5973準拠)			
	伝送符号形式	輝度変調によるCMI符号			
	符号形式	CMI符号			
	光送信レベル	- 19.0dBm 以上, - 10.0dBm 以下	- 13.0dBm 以上, - 7.0dBm 以下		
	発光中心波長	1.270 μm ~ 1.335 μm			
	スペクトル半値幅	10nm 以下			
	消光比	11dB 以上			
光受光入力範囲	- 36.8dBm ~ - 11.0dBm				
ユ ー ザ 網イ ン タ フ ェ ー ス	伝送速度	1.544Mbit/s	192kbit/s	1.544Mbit/s	6.312Mbit/s
	伝送媒体	メタリック平衡2対ケーブル			同軸ケーブル
	接続形態	8ピンモジュラジャック (ISO IS10173)	ピンモジュラジャック (ISO IS8877)	8ピンモジュラジャック (ISO IS10173, ISO IS8877)	高周波同軸C02
	配線形態	ポイント ツー ポイント			
	伝送符号形式	50%パルス幅 B8ZS符号	100%パルス幅 AMI符号	50%パルス幅 B8ZS符号	NRZ符号
	TTC適合標準	JT-I431	JT-I430	JT-I431-a	JT-G703-a
動作電源電圧	AC100V/ DC-48V	AC100V/DC48V			

5 むすび

今回開発したISDN一次群回線用DSUについて、概要を報告した。ASICやモールド筐体の開発により、設置時のスペースで60%、質量で23%、消費電力で15%の削減を達成できた。

また、今回開発したASICを使用して高速デジタル専用線用DSUの開発を、ユーザ網インタフェース速度が基本速度(サービス品目: 64k, 128kbit/s)、一次群速度(サービス品目 192k ~ 1.5Mbit/s)および二次群速度(サービス品目: 3M ~ 6Mbit/s)の3機種について行った。これらの

DSUの主要諸元を表2に示す。

今後とも、常時使用される通信機器であることを常に念頭において省電力化を中心に省資源化に取り組むとともに、さらなる低価格化で市場ニーズに応じて行きたい。

最後に、本装置の開発にあたり多大な御指導、御協力を頂いた西日本電信電話株式会社殿、東日本電信電話株式会社殿の関係各位に厚くお礼申し上げます。

参考文献

- 1) 原, 石井, 高橋他: "高速デジタル回線用回線終端装置", アンリツテクニカル, 75号, Sep.1996