

高性能・高信頼性 InGaP/GaAs HBT および IC 化技術の開発

Development of High-performance and Long-term Reliability InGaP/GaAs HBTs

高木章雄 Akio Takagi, 松岡 裕 Yutaka Matsuoka, 江島正憲 Masanori Ejima, 天野好章 Yoshiaki Amano,
大久保幸夫 Yukio Ohkubo, 小路孝志 Takashi Koji, 柏木謙一 Kenichi Kashiwagi, 荒屋敷豊 Yutaka Arayashiki

[要 旨]	デバイス構造およびプロセスの適正化を図り、 $f_T=153\text{GHz}$ 、 $f_{\text{max}}=170\text{GHz}$ 、 $BV_{\text{CEO}}=13\text{V}$ の InGaP/GaAs HBT を開発した。高温動作試験から導出した接合温度 125°C における MTTF は 10^{11} 時間と高い信頼性を示した。抽出したデバイスパラメータと実測値は良く一致し、 12.5Gbit/s 16:1MUX などの集積度の高いデジタル IC や 80GHz の広帯域分布アンプなどのアナログ IC を実現した。開発した何種類かの IC は当社計測器に搭載されている。
[Summary]	We have developed InGaP/GaAs HBTs with high performance and long-term reliability. They have a high speed of $f_T = 153\text{ GHz}$, $f_{\text{max}} = 170\text{ GHz}$ and a breakdown voltage of $BV_{\text{CEO}} = 13\text{ V}$. The MTTF of the HBT determined by a HTO (High Temperature Operation) test is 10^{11} hours at a junction temperature of 125°C . Equivalent-circuit parameters were obtained from measured DC and RF characteristics for several HBTs. Simulated characteristics using the obtained model parameters closely match the measured ones. We have used the HBTs to develop a 12.5-Gbit/s 16:1 MUX, a 80-GHz broadband distributed amplifier, etc. Several ICs are used as key components in our T&M products.

1 まえがき

ネットワークのブロードバンド化が進み、通信(音声)・映像(放送)・インターネット(データ)のいわゆるトリプルプレイが急速に普及し始め、通信バブル以降ふたたび高速・高容量化の要求が増大している。高速・高容量化に対応する計測器は高速で動作するロジック IC を必要とする。 40Gbit/s を超える伝送速度の IC 開発は InP/InGaAs HBT (Hetero-junction Bipolar Transistor)^{1), 2)} や type-II のバンド構造を有する InP/GaAsSb HBT^{3), 4)} などの高速性に優れた InP 系 HBT を使って行われており、我々の重要テーマでもある。しかしながら市場では、まだ $10\sim 20\text{Gbit/s}$ の伝送速度がメインであり、この伝送速度に対応する計測器用の高性能・高信頼性かつ特別な仕様の IC を安価に入手することは難しい状況にある。我々はエミッタに n-InGaP 層を、ベースに p-GaAs 層を採用した InGaP/GaAs HBT (GaAs 系 HBT) を InP 系 HBT より早く開発して実用化に移行し、入手難の特別仕様 IC を社内計測器用として供給している。

本稿では開発・実用化に成功した GaAs 系 HBT の高性能化、すなわち寄生抵抗や寄生容量の低減を図りながら、同時にコレクタ耐圧を確保する遮断周波数 $f_T = 153\text{ GHz}$ 、最大発振周波数 $f_{\text{max}} = 170\text{ GHz}$ 、コレクタ/エミッタ間耐圧 $BV_{\text{CEO}} = 13\text{ V}$ の HBT 製作技術と妥当性を検証したデバイスパラメータを使って設計・製作した IC の例について紹介する。

2 高性能化の製作プロセス

2.1 高速性および耐圧の確保

ロジック IC の高速動作には、トランジスタのスイッチング時間を短くする、つまり f_T を大きくすることが重要である。それには HBT のエピタキシャルウエハ層構造・素子平面構造の適正化とそれを実現するプロセスの確立が必要である。

f_T は、エミッタ充電時間、ベース走行時間、コレクタ走行時間とコレクタ充電時間の和に反比例する。 f_T の向上を図るには、これら充電時間と走行時間を短縮することが必要である。

走行時間の短縮にはベース層、コレクタ層の薄層化が有効であるが、前者はベースのシート抵抗を大きくし、ベース抵抗を増大させ、後者は耐圧の低下とベース/コレクタ容量 (C_{BC}) の増大を招くトレードオフの関係になる問題がある。また、 f_{max} はベース抵抗に反比例する。したがって、ベース抵抗の増大は f_{max} の低下を引き起こすことにもなる。

エミッタ充電時間は、エミッタ/ベース接合容量に比例しコレクタ電流に反比例するため、電流値を上げれば小さくなる。しかしながら、トランジスタに大電流を流すことは消費電力アップにつながるため、エミッタを微細化して消費電力を下げるが必要になる。

コレクタ充電時間は C_{BC} (真性+外部) と寄生抵抗 (エミッタおよびコレクタ) の積に比例する。この充電時間を短縮するためには外部 C_{BC} と寄生抵抗の低減が有効である。

本稿で実施した InGaP/GaAs HBT の高性能化は、寄生抵抗・寄生容量の低減による高速性の追求と同時にコレクタ耐圧を維持するエピタキシャルウエハ層構造の検討と信頼性を高める平面構造を実現することである⁵⁾。

具体的には以下の項目を導入した(図 1)。

- (1) InGaAs エミッタコンタクト層の導入
- (2) 耐熱エミッタ電極(WSi)の採用
- (3) エミッタサイズの狭幅化
- (4) エミッタメサ/ベース電極間隔の短縮
- (5) 電子走行距離の短縮
- (6) イオン注入による外部 C_{BC} の低減(空乏化)
- (7) ベースメサのセルフアライン化
- (8) リッジベース電極構造の改良
- (9) 二層構造のコレクタ層とコレクタコンタクト層の採用

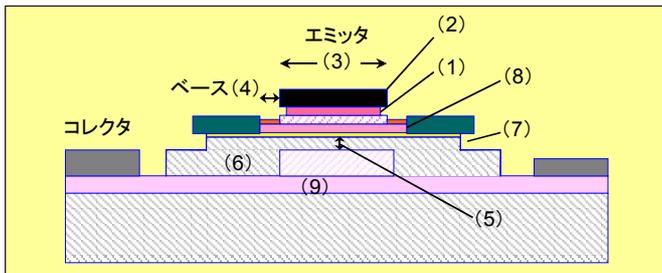


図 1 HBT 断面模式図
HBT Cross section

2.2 エピタキシャルウエハと製造プロセス

HBT を製作するエピタキシャルウエハの層構造は以下の通りである。半絶縁性 GaAs ウエハにサブコレクタ層としてキャリア濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ 400 nm の Si ドープ n^+ -GaAs 層、その上にコレクタを二層構造で形成し、ベース層は高濃度薄層化させ、 $6 \times 10^{19} \text{ cm}^{-3}$ 、厚さ 35 nm の C ドープ p^+ -GaAs 層とし、エミッタ層には $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 60 nm の Si ドープ n -InGaP 層を用い、エミッタキャップ層に、 $5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ 100 nm の Si ドープ n^+ -GaAs 層、 $5 \times 10^{19} \text{ cm}^{-3}$ 、厚さ 50 nm の Si ドープ n^+ - $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($y = 0.5$) 層と $5 \times 10^{19} \text{ cm}^{-3}$ 、厚さ 50 nm の Si ドープ n^+ - $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($y = 0.5$) 層を順次積層した構造である。

主な製造プロセスは次の通りである。エミッタ電極として WSi を形成、エミッタキャップ層をドライエッチングおよび選択ウェットエッチングで除去し、素子分離および外部 C_{BC} 低減のため B をそれぞれイオン注入する。エミッタメサの周辺にリッジを残すパターンをマスクとし、選択ウェットエッチングでベース層を露出させ、ベース電極を

形成する。ベースメサエッチングはベース電極をマスクとして行い、コレクタ電極を形成し、素子部を平坦化するためにベンゾシクロブテン(BCB)膜を塗布する。抵抗や金属/絶縁体/金属(MIM)容量のパッシブ素子を形成し、エミッタ、ベース、コレクタ電極および抵抗や MIM 容量に配線接続するための絶縁膜開口を行い、配線を接続する。さらに、エアーブリッジや裏面ビア(VIA)ホールを形成を製作する IC の設計に応じて行う。このエアーブリッジと VIA ホールは HBT 単体素子の高性能化プロセス開発とは別に開発したプロセス技術で、前者はノンシアン系の電解 Au めっき液を使い、後者は $70\mu\text{m}$ 厚にウエハを薄層化して、 Cl_2 と Ar の混合ガスを使った ICP ドライエッチングで形成している。両者ともに安定・均一にできている。形成例の写真を図 2 に示す。

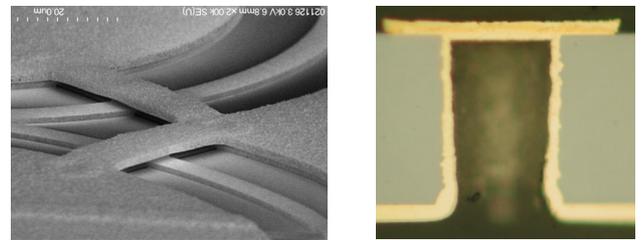


図 2 エアーブリッジ(SEM 写真)と VIA ホール断面写真(光顕)
SEM of air bridge and cross section of via hole

3 評価結果

3.1 デバイスパラメータの抽出と検証

エミッタサイズ $1.4 \times 5\mu\text{m}^2$ をはじめとして、各種サイズの HBT の DC および RF(S パラメータ)測定し、HBT の等価回路モデルに示される各種デバイスパラメータを抽出した。エミッタサイズ $1.4 \times 5\mu\text{m}^2$ の HBT に対して、その抽出したパラメータから計算した値と測定値の対比を図 3~図 5 に示す。両者は良く一致しており、抽出したパラメータを用いて測定値を再現できることがわかる。

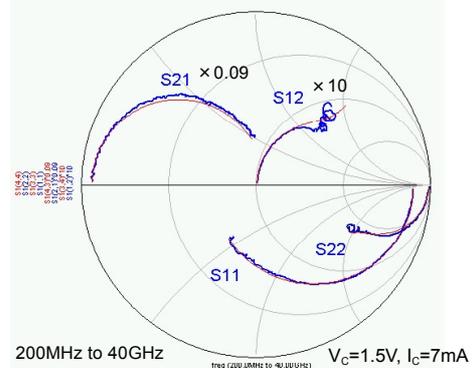


図 3 S パラメータの測定値(青)と計算値(赤)
Measured (blue) and calculated (red) S-parameters

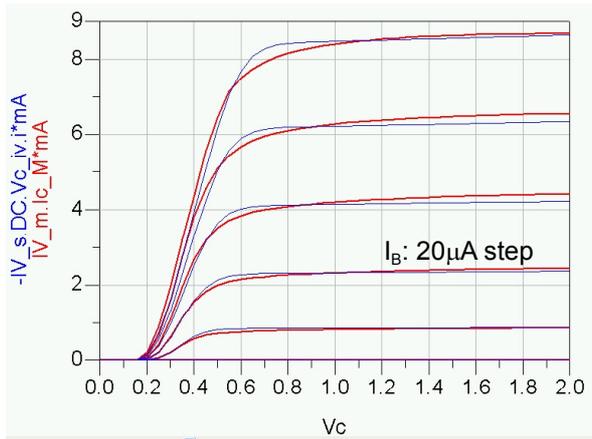


図4 I-V 特性の測定値(赤)と計算値(青)
Measured (red) and calculated (blue) I-V curves

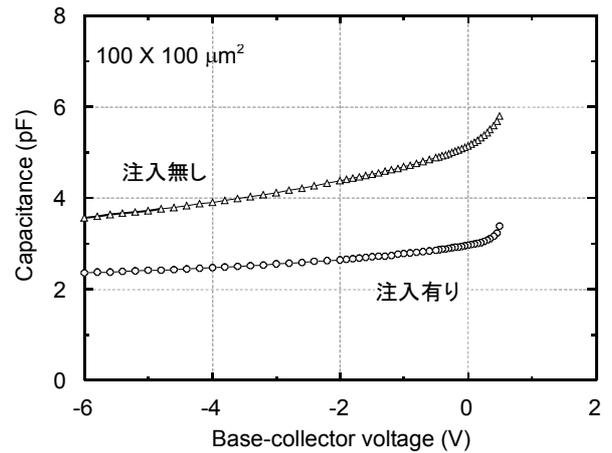


図6 ベース/コレクタダイオードの C-V 特性
C-V Characteristics of base/collector diode

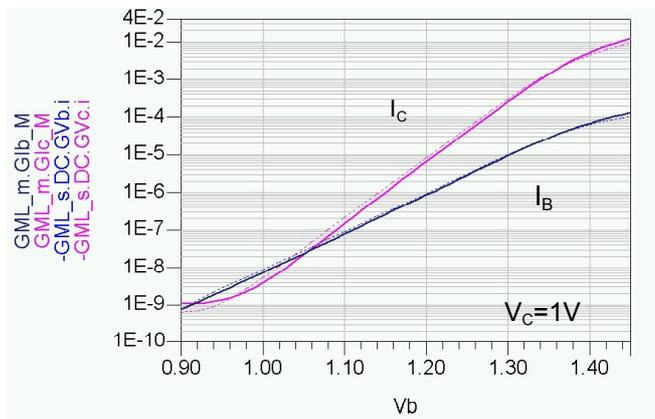


図5 Gummel 特性の測定値(実線)と計算値(破線)
Measured (thick) and calculated (thin) Gummel plots

3.2 高速性の評価

外部 C_{BC} 容量低減効果を調べるため、 C_{BC} についてイオン注入有無の違いを調べた。100×100 μm^2 のベース/コレクタダイオードの C-V 特性を図 6 に示す。これより、ベース/コレクタ間電圧を順方向側 0.5 V にしてもコレクタは空乏化されており、イオン注入により外部コレクタ容量を低減できていることがわかる。

この方法では、注入イオンがベース層を貫通してコレクタ層に達するため、ベースのシート抵抗値と電極の接触抵抗率への影響を TLM (Transmission Line Model) 測定で確認した。結果はそれぞれ 460 Ω/\square と $2.8 \times 10^{-7} \Omega \cdot \text{cm}^2$ であり、注入を行わない場合と比べてシート抵抗は 2%、接触抵抗率は 7% の増大にとどまっております、HBT 特性への影響は小さい。

HBT の I-V 特性は図 4 に示すように立ち上がりは急峻であり、オフセット電圧は 0.25 V であった。また、コレクタエミッタ間耐圧 BV_{CE0} は 13 V と実用上十分な値を示した。

エミッタ寸法 (S_E) 1.4 × 5 μm^2 の HBT についてコレクタ電圧 V_{CE} が 0.9 V、コレクタ電流 I_C が 7.7 mA (110 kA/cm^2) での RF 特性を図 7 に示す。これより電流利得 $|h_{21}|$ が 0 dB になる周波数 f_T および最大単方向電力利得 UG (Unilateral Gain) が 0 dB になる周波数 f_{max} はそれぞれ 153, 170 GHz と求められる (ここで MSG/MAG は最大安定利得/最大有能利得)。また、 C_{BC} およびエミッタ抵抗 R_{EE} は 10.4 fF, 6.2 Ω と見積もられた。

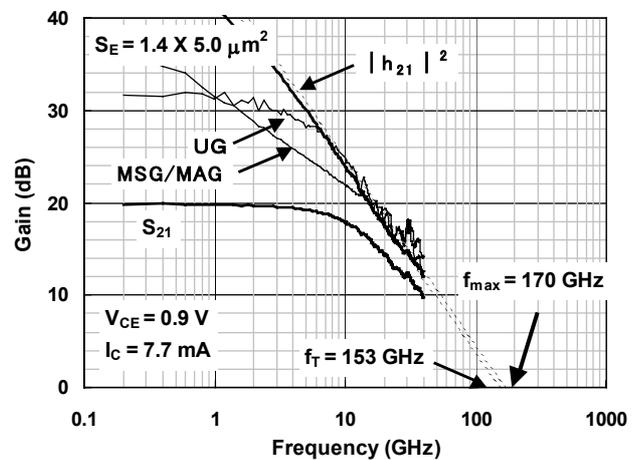


図7 HBT の RF 特性
HBT RF characteristics

S パラメータから変換した y パラメータ y_{12} の虚数部の周波数依存性を図 8 に示す。低周波側の傾きから C_{BC} を見積もることができるが、外部コレクタへのイオン注入により C_{BC} をトータルの 23% 低減できたことが分かる。

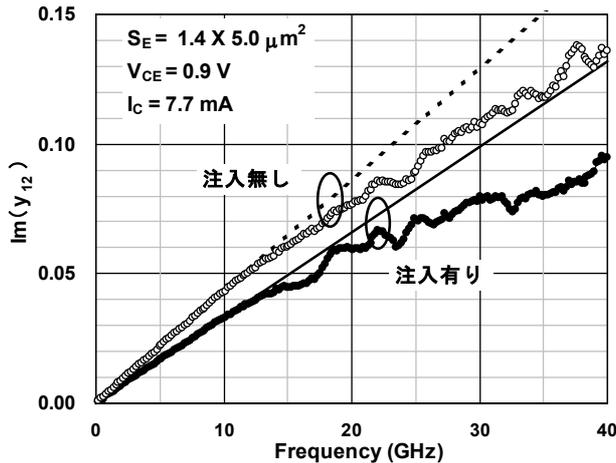


図8 y_{12} の虚数部の周波数依存性
Frequency dependence of imaginary part of y_{12}

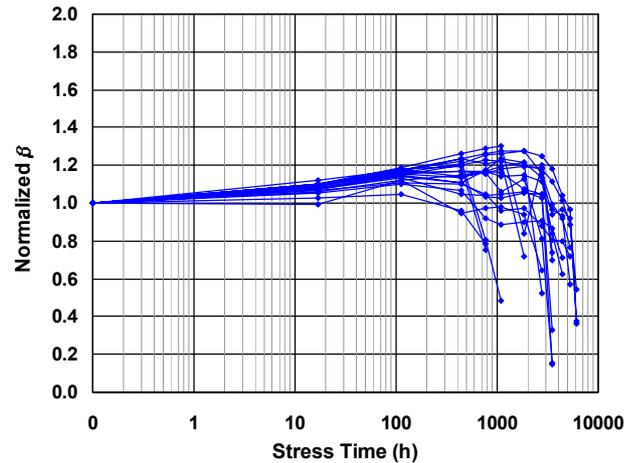


図9 $T_j=300^\circ\text{C}$ での高温通電試験結果
HTO Test results at $T_j = 300^\circ\text{C}$

3.3 高信頼性の評価

高信頼性の重要なポイントはエミッタメサを取り囲むリッジである。本稿のHBTはエミッタリッジにベース電極をオーバーラップさせ、ベース面の露出を防止している。HBTの信頼性は、エミッタサイズ $1.4 \times 30 \mu\text{m}^2$ のHBTを用い、コレクタ電圧 $V_{CE} = 3 \text{ V}$ 、コレクタ電流密度 $J_C = 75 \text{ kA/cm}^2$ で、接合温度 T_j は 300, 320, 340°Cの3温度水準の高温通電試験から評価した。前記のキャリア濃度 $6 \times 10^{19} \text{ cm}^{-3}$ 、厚さが 35 nm の高濃度薄層化ベースを用いたHBTのほかに、比較用にキャリア濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 、厚さが 50 nm のベース層を用いたHBTも試験を行った。試験個数は各温度水準につき20個とし、故障判定基準は電流利得 β が初期より20%低下した時点とした。

T_j が 300°Cにおける試験結果の例を図9に示す。縦軸には初期の β で規格化した値を示した。試験の結果より各温度水準における平均故障時間MTTFを求め、それをアレニウスプロットした結果を図10に示す。これらのデータから外挿して求めた、 $T_j = 125^\circ\text{C}$ でのMTTFは50 nm厚ベースのHBTで $4.0 \times 10^{11} \text{ h}$ 、高濃度薄層ベースで $1.8 \times 10^{11} \text{ h}$ となり、いずれも十分に長い寿命となった。

4 ICの製作

開発したHBTを用いたICの例を紹介する。ICには、パンプ素子として、GaAs半導体層抵抗、スパッタ法で形成したWSiN抵抗体とSiN膜を層間絶縁膜に用いたMIM容量を使用した。配線は二層あるいはエアブリッジを含めた三層Au配線を用いた。

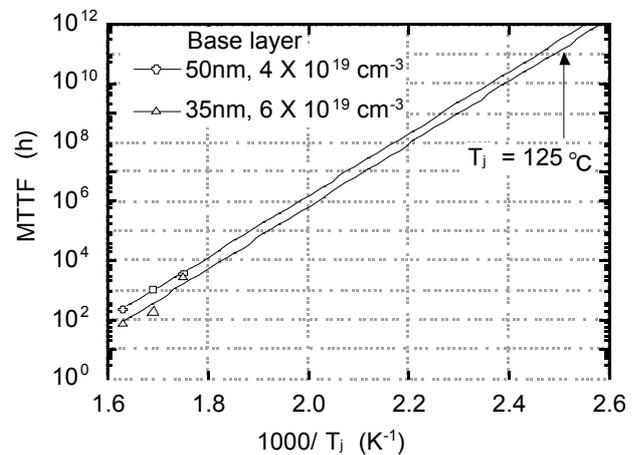


図10 アレニウスプロット
MTTF Arrhenius plots

アナログICとして、基本増幅回路を2ブロック構成にした4段の分布型アンプを設計し、製作した⁶⁾。通常、HBTで基本増幅回路にカスコード接続を採用する場合、入力シャント抵抗による入力損失が大きくなり広帯域化が難しい。本回路では、2ブロック構成にすることにより、入力損失を低くでき、第2ブロックの入力容量が第1ブロックに対してピーキング容量として働くことにより、高利得化と広帯域化を可能にした。設計したICのチップサイズは $1.2 \times 1 \text{ mm}^2$ で、その外観写真を図11に示す。Sパラメータ周波数特性のシミュレーションと実測結果(バイアス電流: 59mA, 電源電圧: 4.5V, 入力バイアス電流: 9.6mA, 入力バイアス電圧: 2.9V)を図12に示す。このHBTを用いた分布型アンプでは、実測値で利得 S_{21} 16 dB, 3 dB帯域 80 GHzと高利得かつ広帯域で、入出力反射は 40 GHzでいずれも -10 dB以下となるアンプを実現でき、設計値と良く一致した。

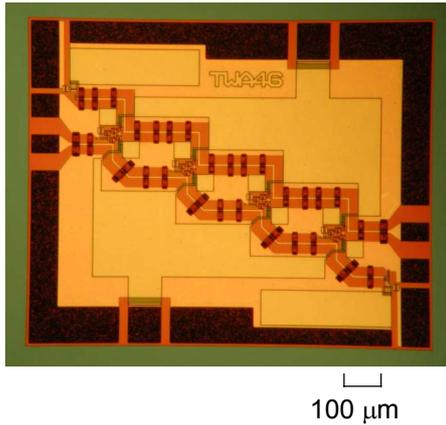


図 11 2 段構成分布型アンプの外観写真
Photograph of double-stage distributed amplifier

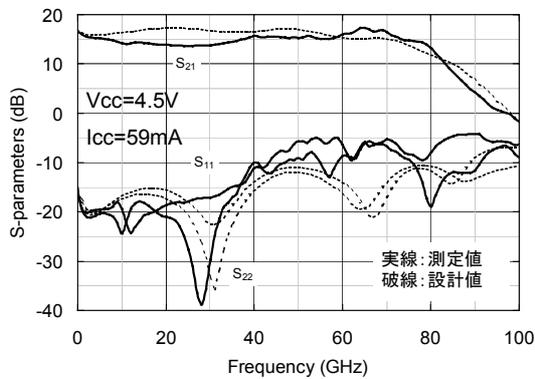


図 12 分布型アンプの S パラメータの周波数特性
Frequency dependence of amplifier S-parameters

次に、12.5 Gbit/s 動作の 16:1 MUX (Multiplexer) の製作例を示す。製作した IC を実装したパッケージ外観写真を図 13 に示す。チップには 1624 個の HBT やダイオード、1051 個の抵抗体が 3.4 mm 角内に集積されており、高性能 HBT を活かしてジッタ低減、DATA 出力の立上り時間 T_r 、立下り時間 T_f 改善、発振防止や低消費電力化 (2.6W) などの工夫をこらしている。図 14 に周波数 12.5 GHz におけるエラーフリー動作時の出力波形の例を示す。

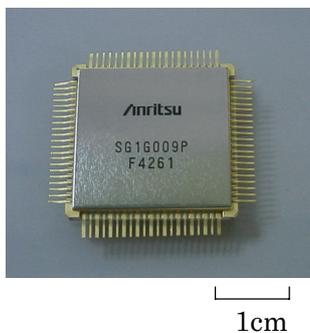


図 13 16:1 MUX の外観写真
Photograph of 16:1 MUX

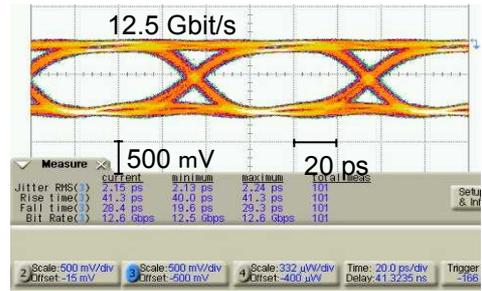


図 14 16:1 MUX の出力波形
16:1 MUX Output waveforms

このほか、10 GHz の鋸歯状波発生 IC (図 15) や発振器 + 変調器より簡単で ON/OFF 比が大きくとれるバースト発振 IC (図 16 は波形のみ掲載)、三次相互歪や変換損の少ないミキサードायオード、位相雑音を低く抑えた VCO など制作している。

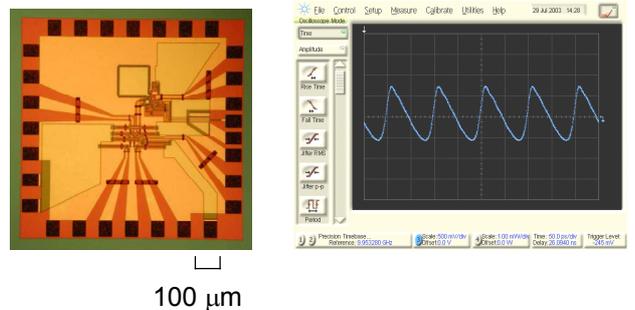


図 15 10 GHz 鋸歯状波発生 IC の外観写真と出力波形
Photograph of sawtooth waveform shaper and waveform

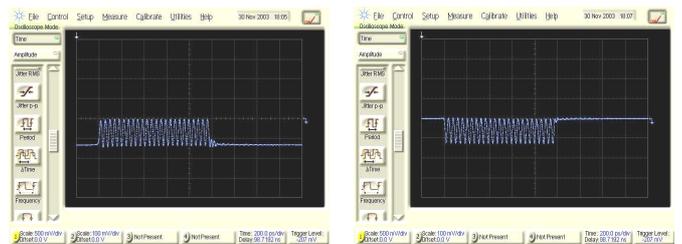


図 16 バースト発振 IC の出力波形
Burst oscillator waveforms

5 むすび

高性能 InGaP/GaAs HBT を開発し、高速性とコレクタ耐圧の双方を満足するエピ構造、HBT 平面構造およびその製作プロセス技術を確立した。この HBT から抽出したモデルパラメータは実測値と良く一致すること、このパラメータを使って設計した種々の IC は設計通りに動作することから設計に有効であることを実証した。

本稿に紹介した IC のほか、開発した IC の種類は多く、何種類かの IC は当社計測器に搭載されている。

また、本 InGaP/GaAs HBT のように f_T および f_{max} が 100GHz を超える性能を有する GaAs 系 HBT のファウンドリーはほとんどないが、当社は社内に限らず、社外へも本ファウンドリーサービスを提供している。

参考文献

- 1) K. Kurishima, H. Nakajima, T. Kobayashi, Y. Matsuoka, and T. Ishibashi, "Fabrication and Characterization of High-Performance InP/InGaAs Double-Heterojunction Bipolar Transistors," IEEE Trans. Electron. Devices. 41, pp.1319-1326, 1994.
- 2) Y. Kotani, R. Yamabi, T. Kawasaki, M. Yanagisawa, S. Yaegashi, H. Yano, "High-Speed and Uniform Self-Aligned InGaAs/InP HBTs for 40Gb/s Fiber Optic Communications Applications," Jpn. J. Appl. Phys. 42, pp.2352-2358, 2003.
- 3) M. W. Dvorak, C. R. Bolognesi, O. J. Pitts, and S. P. Watkins, "300GHz InP/GaAsSb/InP double HBTs with high current capability and BVCEO>6V," IEEE Electron Dev. Lett. 22, pp.361-363, 2001.
- 4) B. F. Chu-kung, S. Dhen, W. Hafez, M. Feng, "Process and Performance Improvements to Type-II GaAsSb/InP DHBTs," Digests of CS MANTECH, 11.4, 2005
- 5) Y. Ohkubo, A. Takagi, Y. Amano, T. Koji, K. Kashiwagi, Y. Matsuoka, "High-reliability InGaP/GaAs HBTs with 153 GHz f_T and 170 GHz f_{max} ," Electron. Lett., 39, pp. 1862-1863, 2003.
- 6) Y. Arayashiki, Y. Ohkubo, Y. Amano, A. Takagi, M. Ejima, Y. Matsuoka, "16 dB 80 GHz InGaP/GaAs HBT distributed amplifier," Electron. Lett., 40, pp. 244-245, 2004.

執筆者



高木章雄
コアテクノロジー R&D センター
MMIC 開発部



松岡 裕
コアテクノロジー R&D センター
MMIC 開発部



江島正憲
コアテクノロジー R&D センター
MMIC 開発部



天野好章
コアテクノロジー R&D センター
MMIC 開発部



大久保幸夫
コアテクノロジー R&D センター
MMIC 開発部



小路孝志
コアテクノロジー R&D センター
MMIC 開発部



柏木謙一
コアテクノロジー R&D センター
MMIC 開発部



荒屋敷豊
コアテクノロジー R&D センター
MMIC 開発部

論文

高性能・高信頼性 InGaP/GaAs HBT および
IC 化技術の開発

「アンリツテクニカル」82号(2006.3)より抜粋

アンリツ株式会社