

40/43 Gbit/s 対応 SDH/SONET/OTN アナライザの開発

Development of SDH/SONET/OTN Analyzer for 40/43 Gbit/s

小川 剛 Tsuyoshi Ogawa, 古家隆志 Takashi Furuya, 三浦尚人 Naoto Miura, 伊藤智宏 Tomohiro Ito,
宮崎寿郎 Toshiro Miyazaki, 石井総一 Soichi Ishii

[要 旨] 40 Gbit/s および 43 Gbit/s の SDH/SONET/OTN 伝送に対応した MP1595A 40G SDH/SONET アナライザを開発した。MP1595A では、10/10.7 Gbit/s 対応機種である MP1590B Network Performance Tester の操作性を完全に踏襲し、開発を行った。さらに 10.7 Gbit/s までのビットレートに対応した既存開発モジュールを搭載可能とすることにより、1.5 Mbit/s から 43 Gbit/s までの DS_n/PDH/SDH/SONET/OTN 伝送レートを 1 台で評価することが可能となった。また、ランダムエラー挿入機能を搭載し、OTN 伝送装置に標準装備される FEC (Forward Error Correction) 機能を外部測定器を必要とせず、1 台で正確に評価することができる。

[Summary] Anritsu has developed the MP1595A 40G SDH/SONET Analyzer for 40/43 Gbit/s SDH/SONET/OTN transmissions while retaining the same easy operability as the popular MP1590B Network Performance Tester for 10/10.7 Gbit/s. Current modules for up to 10.7 Gbit/s can be installed in the MP1595A, supporting evaluation of DS_n/PDH/SDH/SONET/OTN transmission rates from 1.5 Mbit/s to 43 Gbit/s. The built-in random error insertion function supports accurate evaluation of OTN FEC (Forward Error Correction), eliminating the need for other instruments.

1 まえがき

アンリツは、これまでネットワークのバックボーンを支える SDH (Synchronous Digital Hierarchy)/SONET (Synchronous Optical Network)/OTN (Optical Transport Network) 伝送においてさまざまな測定器を開発し、その発展に貢献してきた。その中で 2004 年に製品化した MP1590B ネットワークパフォーマンステスタは、52 Mbit/s～10 Gbit/s までの SDH/SONET ビットレート、2.6 Gbit/s および 10.7 Gbit/s の OTN ビットレートに対応した測定だけでなく、1.5 Mbit/s および 45 Mbit/s の DS_n (Digital Signal at level n) や 2 Mbit/s～139 Mbit/s の PDH (Plesiochronous Digital Hierarchy) のインタフェースにも対応した測定が可能であり、さらにその操作性やポータビリティに高い評価を受け、全世界で数多く使用されている。

近年、ネットワークのブロードバンド化が進み、高品質・大容量の音声(通信)・映像(放送)・データ通信のトラフィックが増大し、一部の大都市間では 10G バックボーンが逼迫しつつある。2005 年後半から 2006 年になると、ネットワークのバックボーンに対して今までの 10G に代わる 40G の導入が活発化し、測定器に対しても 40 Gbit/s SDH/SONET および 43 Gbit/s OTN への要求が寄せられてきた。このような背景から、40 Gbit/s SDH/SONET および 43 Gbit/s OTN に対応し、かつ従来のビットレートにも対応した測定器が求められている。

今回開発した MP1595A 40G SDH/SONET アナライザは、



図 1 MP1595A 40G SDH/SONET アナライザ外観
External view of MP1595A 40G SDH/SONET Analyzer

MP1590B の機能、操作性を踏襲し、プラグインモジュール方式により、対応ビットレートを 40 Gbit/s および 43 Gbit/s にまで拡張した測定器である。さらに、1.5 Mbit/s～10.7 Gbit/s に対応した既存モジュールを同時に挿入することで、DS_n/PDH/SDH/SONET/ OTN すべての伝送レートに対応した測定を 1 筐体で可能にした。図 1 に MP1595A の外観を示す。

2 製品コンセプトと開発方針

MP1595A の開発にあたり、「1台で 1.5 Mbit/s から 43 Gbit/s までのビットレートに対応した世界最小の測定器」を製品コンセプトとした。

この製品コンセプトを市場動向に合わせて実現するために以下の方針に基づいて開発した。

(1) MP1590Bと同一サイズを目標

製品コンセプトである「世界最小」を実現するために、既存の 10/10.7 Gbit/s 対応測定器である MP1590B のメインフレームと同一サイズで 40/43 Gbit/s の測定を可能とすることを目標とした。その実現に向け、従来の 10G 帯光モジュールの小型化や設計当時最先端 FPGA (Field Programmable Gate Array) の早期採用など部品数削減を行い、最終的には MP1590B の高さ方向にわずか 44 mm の追加で収まった。

(2) プラグインモジュール方式の採用

MP1595A は 40/43 Gbit/s のみならず 10.7 Gbit/s 以下の伝送レートにも対応可能であるが、お客様のプロジェクトの進行状況に合わせて、40/43 Gbit/s のみの構成や後に 40/43 Gbit/s へのアップグレードを容易にするプラグインモジュール方式を採用した。これにより、ユーザーは必要な機能を搭載したモジュールだけを選択できるため、測定器に対する投資コストを最小限に抑えることができる。

モジュールと対応するビットレートの関係は表 1 のとおりである。

表 1 モジュールと対応するビットレート
Modules and supported bit rates

ビットレート [bit/s]	MU150100A + MU150135A	MU150140A + MU150141A	MU150140A + MU150141B
OTN	43.0 G		○
	10.7 G	○	
	2666 M	○	
SDH/ SONET	39.8 G		○
	9953 M	○	
	2488 M	○	
	622 M	○	
	156 M	○	
PDH/ DSn	52 M	○	
	139 M	○	
	34 M	○	
	8 M	○	
	2 M	○	
	45 M	○	
	1.5 M	○	

(3) モジュールの共用

MU150100A 10/10.7G ユニットの、1.5 Mbit/s から 10.7 Gbit/s までのビットレートの測定に対応している既存モジュールである。これまで MU150100A は MP1590B で使用されてきたが、このモジュールを MP1595A でも使用できるようにした。このようにすることでユーザーが MP1590B で所有する資産を MP1595A においても有効に活用できるようにした。

(4) MP1590B との互換性の確保

使いやすい操作性を実現するために、MP1595A のユーザインタフェースは、全世界で数多く使用されている MP1590B のインタフェースを踏襲した。これにより MP1590B を使用したことのあるユーザーは操作方法の習得に要する時間を削減できる。

3 設計の要点

3.1 インタフェースの交換が可能なモジュール構造

40 Gbit/s の SDH/SONET および 43 Gbit/s の OTN の機能に対応した部分をモジュール化するにあたっては、まずその大きさについて解決しなければならなかった。近年の技術進歩で 40 Gbit/s 関連の部品は小型化されつつあったとはいえ、全機能を一体にすると、モジュールとしては大きくなってしまい、扱いづらくなるのが容易に予想できた。そこで、モジュールとして大きく二つに分けることにした。一方は、光インタフェース部分を担うモジュールの MU150141A 40G オプティカルユニットおよび MU150141B 40/43G オプティカルユニットである。もう一方は、40 Gbit/s および 43 Gbit/s のデータを FPGA 等で作成・解析する部分を担うモジュールの MU150140A 40/43G ユニットのモジュールである。

前述のように、二つのモジュールに分けたことでモジュールとして扱いやすくなったが、新たな課題も浮上してきた。40/43 Gbit/s という大容量データを損失無く各モジュール間で通信する方法と、複数あるインタフェース部分のモジュール交換に煩わしさを伴わない構造の実現である。この二つの課題に対しては、モジュール間のインタフェースを SFI (Serdes Frammer Interface) -5 にすることと、モジュール間の接続についてユニークな構造を開発することで解決した。

SFI-5 を利用したインタフェースの場合、40 Gbit/s および 43 Gbit/s の高速データは 16 本の 2.5 Gbit/s および 2.7 Gbit/s のデータに平行化され、これにスキュー調整機能を組み合わせた

信号として扱う。MP1595Aのバックプレーンを通してSFI-5信号を伝送する方法では、伝送距離が長くなることによる伝送品質劣化、および高速伝送対応プリント板素材の採用によるコストアップが予想された。そこで、SFI-5信号を最短で損失無く伝送するために、MP1595Aの低速バックプレーンとは別に高速差動コネクタを搭載したSFI-5信号伝送専用の高速バックプレーンを用意した。SFI-5信号用の高速バックプレーンはプラグインモジュール方式の利点を損なわないようにMU150140Aと一体化させることとし(図2にMU150140Aの外観を示す)、インタフェース部分のモジュールには、SFI-5信号用の高速バックプレーンに接続されるコネクタと、電源等を扱う低速バックプレーンに接続されるコネクタの二種類を搭載した。このようなモジュール構造としたことでインタフェース部分のモジュールをMP1595Aに挿入するときには、図3のように、MP1595Aの低速バックプレーンに挿入されると同時にMU150140Aの高速バックプレーンに挿入され、すべての電気信号が一度に接続されるというユニークかつ挿抜の容易な構造となった。¹⁾

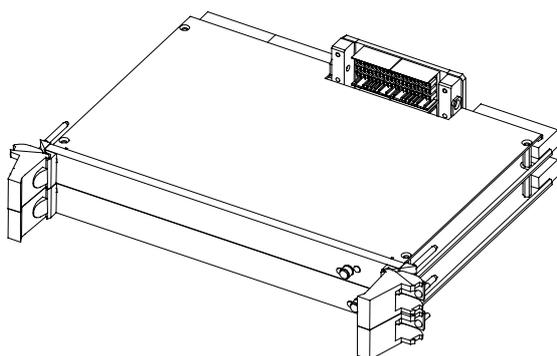


図2 MU150140A 40/43G ユニット外観
External view of MU150140A

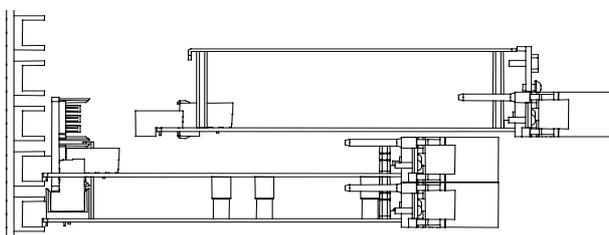


図3 インタフェースモジュールの挿抜
Interface module installation

40/43 Gbit/s 伝送は、変調方式を取り入れた長距離化の検討等が行われているなど発展途中であり、今後さまざまなインタフェースが登場すると考えられる。モジュール間のSFI-5信号での切り口と、容易にインタフェース交換が可能なモジュール構造を用いることでこれらの動向に柔軟に対応していくことが可能である。

3.2 FPGA 間大容量高速伝送

40 Gbit/s の SDH/SONET および 43 Gbit/s の OTN に対応した測定機能は、そのほとんどを MU150140A に搭載された FPGA で実現している。近年、FPGA はその規模、機能および内部処理速度ともに著しく向上している。しかし、SFI-5、SDH/SONET および OTN のフレーム/デフレーム、FEC エンコーダ/デコーダ、各種エラー/アラーム測定機能等、40/43 Gbit/s SDH/SONET/OTN 測定に必要なすべての機能を搭載するためには、複数個の大規模 FPGA の採用が必須であった。図4にMU150140A内のFPGA間接続の概要を示す。

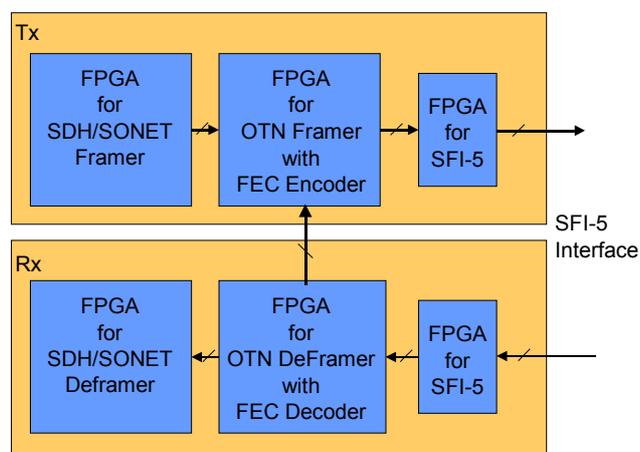


図4 MU150140A FPGA 間接続概要 (OTN モード)
MU150140A FPGA block diagram (OTN mode)

複数の FPGA にまたがったデータ処理を実現させることには多大な困難を伴った。その理由として、MP1595A の開発時期が FPGA の開発ロードマップよりも若干先行していたため、FPGA 単体の性能を十分に評価できず、FPGA 自体の評価を行いつつながらの手探り状態での開発であったことがあげられる。特に労力を費やしたものが FPGA 間でのデータ伝送であった。MU150140A の内部では 43 Gbit/s という高速データを FPGA で処理できる速度まで下げるために、データはパラレル化され、データバスとして取り扱われる。特に FPGA 間では 688 Mbit/s の差動 32 bit の帯域でデータ伝送を行う必要があった。このため、プリント板上で各ビットの配線長を考慮することはもちろんのこと、FPGA 内部でもデータバスとクロックの位相関係を配置配線路上で厳密に制約する必要があった。しかし、開発中にデータバスとクロックの位相関係が個体差や FPGA オブジェクト等によりばらついてしまうことが判明し、前記制約だけでは安定して生産できないことが判明した。これらのばらつきを排除し、安定したデータバスとクロックの位相関係を保証できる方法として、最適な位相関係を自

動的に検出，設定する回路を開発した。この回路を FPGA に組み込むことで，より安定した FPGA 間の接続が可能となった。

3.3 ポアソン分布にもとづいたランダムエラー挿入

MP1595A には OTN のビットレートにおいて，OTUk フレーム全体を対象としたランダムエラー挿入機能が搭載されている。このランダムエラー挿入機能は，FEC の訂正能力を検証するのに有効である。MP1595A では ITU-T Rec. G.709 に準拠した OTUk フレームと FEC 技術リード・ソロモン符号 RS(255,239)の解析が可能であり，この OTUk フレームにランダムなビットエラーを挿入することで，伝送装置が持つ FEC デコーダの訂正能力を評価できる。

一般的に実回線で起こりうるファイバの劣化などに起因するエラーは，ランダムエラーとして考えることができる。ランダムエラーを発生させる方法は大きく分けて二つある。一つはアナログ方式で，ノイズ発生器等を用いて，被測定対象物と測定器の間の S/N (Signal/ Noise) 比を可変する方式である。もう一つはデジタル方式で，ポアソン分布特性を満たした間隔でエラーを挿入する方式である。アナログ方式は，ノイズ発生量の微調整が必要であり，またノイズ発生器の性能等により長時間安定して均一なエラーレートを発生させることが難しいため，理論特性と一致した特性結果およびその再現性を得るのが困難である。理論特性と一致した特性結果およびその再現性を得るのが困難である。一方，MP1595A に搭載しているデジタル方式では，誤り率を細かく正確に設定でき，理論特性に対し再現性のある正確な評価が可能である。図 5 にデジタル方式のランダムエラー挿入概要図を示す。^{2), 3)}

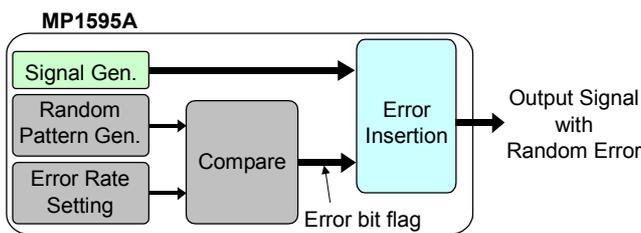


図 5 デジタル方式 ランダムエラー挿入 概略図
Random error insertion/analysis

デジタル方式では，ポアソン分布特性を十分に満たしていないランダムエラーで FEC デコーダの評価を行うと，図 6 で示すように FEC の理論特性とは一致しない結果となる。したがって，ランダムエラー挿入の間隔がポアソン分布特性をどの程度満たしているかを検証する必要がある。ITU-T Rec. O.182 Appendix I (OTN インターフェース試験装置に関する勧告)^{4), 5)}では，ランダムエラー発生器のランダム性を評価し，トレーサビリティをとるため， χ^2 (カイ 2 乗) 検定

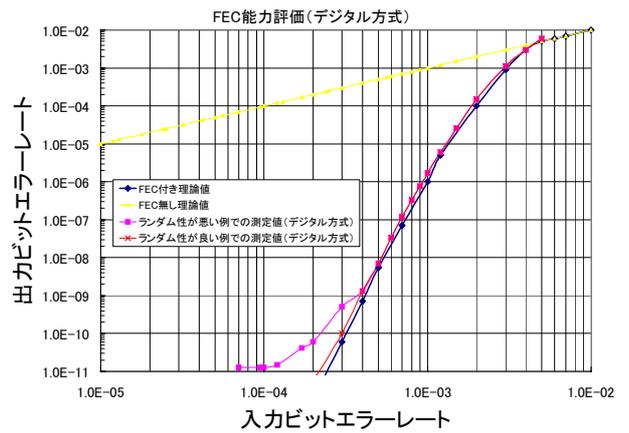


図 6 デジタル方式による FEC 能力テストの結果
Digital FEC performance test

法を採用している。MP1595A は，ITU-T Rec. O.182 Appendix I の検定に合格したポアソン分布特性を持つランダムエラー挿入回路を搭載している。これにより，正確な FEC デコーダの評価が可能である。

現在，G.709 RS(255,239)よりも訂正能力を向上させた伝送装置ベンダ各社独自の FEC コードが開発されている。MP1595A のランダムエラー挿入機能は，このような伝送装置ベンダが独自に採用している FEC コードの性能評価にも対応可能である。MP1595A のスルー機能とランダムエラー挿入機能を組み合わせた FEC デコーダ性能評価系を図 7 に示す。

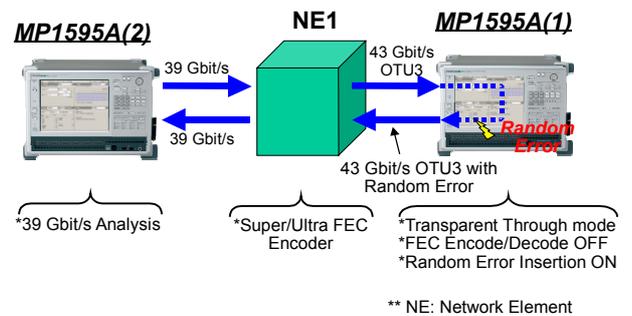


図 7 FEC デコーダの評価測定系の例
FEC Decoder evaluation

4 主要規格

表 2 に MP1595A の主な機能を示す。

5 むすび

次世代のネットワークにおいて，バックボーンとして採用される 40 Gbit/s および 43 Gbit/s のビットレートに対応した MP1595A を開発した。新規開発の 40/43 Gbit/s 対応モジュールと既存モジュール

の MU150100A を同時に MP1595A に搭載することで、1.5 Mbit/s ~43 Gbit/s のマルチビットレートの評価を 1 台で可能にした。これにより、既存のネットワークも含んだネットワーク全体で使用することが可能である。また、ITU-T Rec. O.182 Appendix I の検定に合格したポアソン分布特性を持つランダムエラー挿入機能を搭載することで、被測定伝送装置の FEC 性能をより高精度で評価する機能を実現した。

MP1595A が、伝送装置やデバイスの開発・製造およびネットワークの建設・保守の分野に、より効率的な測定機能を提供し、ネットワークの信頼性の向上に貢献することを期待する。

参考文献

- 1) 小川, 中村, 三浦:
特願番号 2007-193260 “データ伝送システム試験装置”
- 2) 黒田, 古家, 石部:
特願番号 2007-6053 “ランダムエラー分布評価方法及びその評価装置”
- 3) 黒田, 古家, 石部:
特願番号 2007-27147 “ランダムエラー信号発生装置”
- 4) ITU-T Recommendation O.182 (05/07) EQUIPMENT TO ASSESS ERROR PERFORMANCE ON OPTICAL TRANSPORT NETWORK (OTN) INTERFACE
- 5) 石部, 古家:
“FEC 能力の新しい評価技術-新勧告 ITU-T O.182 による測定規格-”,
ホワイトペーパーNo. MP1595A-J-R-1 (1.00), (2007-5)

執筆者



小川 剛
計測事業統轄本部
IP ネットワーク計測事業部
第 1 開発部



古家隆志
計測事業統轄本部
IP ネットワーク計測事業部
第 1 開発部



三浦尚人
計測事業統轄本部
IP ネットワーク計測事業部
第 1 開発部



伊藤智宏
計測事業統轄本部
IP ネットワーク計測事業部
第 1 開発部



宮崎寿郎
計測事業統轄本部
IP ネットワーク計測事業部
第 1 開発部



石井総一
計測事業統轄本部
IP ネットワーク計測事業部
第 1 開発部

表2 MP1595A 主な機能
Main functions of MP1595A

品名	40G SDH/SONET ANALYZER
フレーム	OTN: 43,018.41, 10,709.22, 2,666.05 Mbit/s SDH/SONET: 39,813.12, 9,953.28, 2,488.32, 622.08, 155.52, 51.84 Mbit/s PDH/DSn: 139.264, 34.368, 8.448, 2.048, 44.736, 1.544 Mbit/s
エラー付加/測定	OTN: FAS, BIP-8 (SM, PM, TCM1-6), BEI (SM, PM, TCM1-6), Bit all, Corrected error bit, Uncorrectable FEC block, Client Bit, OH bit SDH: Bit all, FAS, B1, B2, MS-REI (M0/M1), HP-B3, HP-REI, HP-IEC, HP-TC-REI, HP-OEI, LP-B3, BIP-2, LP-REI, LP-IEC, N2-BIP-2, LP-TC-REI, LP-OEI, Bit info, OH bit SONET: SDHと同項目 PDH/DSn: Bit all(付加のみ), Code, Bit info, Bit, FAS, EXZ, CRC6, Ebit, Parity, Cbit, REI
アラーム付加/測定	OTN: LOS, LOF, OOF, LOM, OOM, BDI (SM, PM, TCM1-6), AIS (OTU, ODU), ODU-PLM, TIM (SM, PM, TCM1-6), LTC (TCM1-6), BIAE (SM, TCM1-6) SDH: LOS, LOF, RS-TIM, MS-AIS, MS-RDI, AU-AIS, AU-LOP, HP-SLM, HP-TIM, HP-RDI, HPUNEQ, HP-ERDIP, HP-ERDIS, HP-ERDIC, HP-VC-AIS, HP-Incoming AIS, HP-TC-RDI, HP-ODI, HP-TCUNEQ, HP-TCTIM, HP-LTC, TU-AIS, TU-LOP, TU-LOM, LP-SLM, Sync. loss, OH Sync., LP-TIM, LP-RDI, LP-UNEQ, LP-ERDIP, LP-ERDIS, LP-ERDIC, LP-RFI, LP-VC-AIS, LP-Incoming AIS, LP-TC-RDI, LP-ODI, LP-TCUNEQ, LP-TCTIM, LP-LTC SONET: SDHと同項目 PDH/DSn: LOS, LOF, AIS, RDI, RDI (MF)
オーバーヘッド編集/モニタ	OTN: 全 OH (OTU, ODU, OPU), TTI, FTFL, Payload(モニタのみ) SDH/SONET: SOH/TOH/POH, Payload(モニタのみ), バストレース, タンデムバイト, K1/K2 バイト, AU/STS, TU/VT ポインタ PDH/DSn: FAS 1.5M, FW 2M, NFW 2M, MFW 2M, FAS 8M, FAS 34M, FAS 45M, FAS 139M, (モニタのみ) Info byte
FEC	G.709, RS (255, 239) ON/OFF 可能
ジャスティフィケーション	OTN: -JC, +JC, +2JC, SDH/SONET: -JC, +JC
スルー	スルードラントスペアレント, オーバーヘッドオーバーライト
遅延測定	測定周期: 0.5, 1, 2, 5, 10 s 測定範囲: 0.1~999 μs, 1.0~999.9 ms, 1.0~10.0 s, >Timeout
APS 試験	スイッチング測定時間: 0.1~2000.0 ms, Timeout シーケンス発生: 2~64 ワード, 最大 8000 フレーム/ワード, K1/K2, K3, K4 バイトに対して設定可能
フレームメモリ	マッピング: STM-256c/STS-768c, OTU3 設定可能フレーム数: STM-256c/STS-768c: 1~16 フレーム, OTU3: 1~256 フレーム
フレームキャプチャ	マッピング: STM-256c/STS-768c, OTU3 キャプチャフレーム数: STM-256c/STS-768c: 1~16 フレーム, OTU3: 1~256 フレーム