LTE 技術検証に貢献 - MD8430A シグナリングテスタの開発

Contribution to LTE Technology Verification - Development of MD8430A Signalling Tester

杉本　隆　Takashi Sugimoto, 橋本礼一　Reiichi Hashimoto, 小林武史　Takeshi Kobayashi, 北川和則　Kazunori Kitagawa,
今野秀則　Hidenori Konno, 樋詰昌樹　Masaki Hizume, 佐々木理人　Masato Sasaki, 櫻井勝夫　Katsuo Sakurai

［要　旨］　3GPP で標準化された移動通信システム LTE（Long Term Evolution）は，世界中で導入が進んでいる。この LTE の基地局（eNodeB）をシミュレーションし，移動通信端末（UE）のチップセットやプロトコル開発，および，無線信号やデータ通信の性能検証に必要となる試験環境を提供する MD8430A シグナリングテスタを開発した。本器は，LTE の主要技術である MIMO，複雑な MAC 処理，Handover，エンドエンドでの高速なデータ通信の試験機能に対応した。また，上り信号と下り信号で別の周波数を使用する FDD 方式に加え，時分割により，上り信号と下り信号で同一周波数を使用する TDD 方式のシミュレーションを可能とした。

［Summary］　LTE (Long Term Evolution) is a mobile communication system which was standardized by 3GPP and started deployment worldwide. We developed MD8430A Signalling Tester which supports LTE base station (eNodeB) simulation and provides mobile terminal (UE) test environment for development of chipset and protocol as well as performance verification of radio signal and data transfer. This equipment supports test capability for essential technologies of LTE such as MIMO, complex MAC process, Handover and end-to-end high-speed data transmission. Furthermore, MD8430A supports TDD mode (uses same frequency channel for uplink and downlink by time division) in addition to FDD mode (uses different frequency channel for uplink and downlink).

1　まえがき

スマートフォンやタブレット型端末の普及に伴い，移動通信ネットワークにおけるデータ通信量が急増している。このようデジタルな状況に対応するため，大容量のデータを高速・低遅延で伝送できる移動通信システム LTE（Long Term Evolution）は，世界中で導入が加速している。アンリツは，LTE の基地局である eNodeB の動作をシミュレーションし，移動通信端末（UE: User Equipment）用のチップセットやプロトコルの技術開発に必要とされる試験環境を提供する MD8430A シグナリングテスタを開発した。本稿では，LTE の主要な技術や性能の評価を行うために MD8430A で実現した機能やその実現手段について解説する。

図 1　MD8430A シグナリングテスタ
MD8430A Signalling Tester

2　開発方針

2.1　LTE のシミュレーション機能

LTE 規格のチップセットや UE を開発するには，擬似的な eNodeB が必要である。開発にあたり，規格の追加や変更に柔軟に対応出来る構成とすることを目標として以下の方針で開発した。

- 柔軟な規格変更と高速な信号処理に対応するため PHY（Physical Layer）機能を FPGA で実現する。
- 複雑な MAC（Medium Access Control）処理機能や，Scheduling 機能に柔軟に対応できる試験機能を提供する。
- 新しい無線技術である MIMO の試験機能に対応する。
- UE とサーバ間のエンドエンドでのデータ通信試験に対応するための Gateway 機能を実現する。
- FDD（Frequency Division Duplex）方式と TDD（Time Division Duplex）方式の両方の試験機能を提供する。
- GUI による通信状態の解析機能や，自動化のための外部制御インターフェースを提供する。

また，LTE に対応する UE には，W-CDMA/HSPA や GSM/GPRS との間で通信システムを切り替える Inter-RAT（Radio Access Technology）機能が必須である。MD8430A では，第 3 世代移動通信向けのシグナリングテスタ MD8480C と接続・連携する機能を持たせ，試験シナリオを含めて有効に活用することで，

W-CDMA/HSPA や GSM/GPRS との Inter-RAT 試験機能を実現する方針とした。

2.2 LTE のパフォーマンス実現

LTE の標準規格である 3GPP Release 8 では，最大通信速度の異なる 5 つの UE カテゴリが定義されており，その中から最大通信速度が Downlink 150Mbps/Uplink 50Mbps となる UE カテゴリ 4 の試験を可能とするパフォーマンスを実現することを目標とした。このパフォーマンスを実現するためには，RF 部では，信号帯域 20MHz，データ変調方式 64QAM，2×2MIMO 動作などに対応する必要があり，デジタル部では，MD8480C で実現していた W-CDMA の HSDPA（14.4Mbps）/HSUPA（5.76Mbps）での通信速度の 10 倍程度の性能を実現する必要があったため，FPGA や DSP などの各デバイス間の通信を高速にするとともに，Coding 処理を大容量の FPGA 上で実装することで高速化を図った。

3 ハードウェアシステム設計

3.1 RF 部

RF 性能に関係する LTE 規格としては，

- 信号帯域 20 MHz
- データ変調方式 64QAM
- 2×2 MIMO 動作

などがある。

まず，MD8340A の信号帯域については，デジタル部は 20 MHz とした，RF 部については，将来的な拡張性を考慮し 100 MHz とした。また，64QAM 変調信号時の通信品質を確保するため，送受信とも EVM が 1%以下となる仕様とした。

MIMO 動作に関連して，2 つの送信出力間で出力の位相関係が一定となるように，1 つの LOCAL 信号を 2 つの送信モジュールに供給できる構成とした。

送信部に関して，DAC 出力を直接 IF 信号に使用するデジタル IF として送信モジュールに受け渡す方式を採用した。この方式により，キャリアリークは原理的に発生しない。

3.2 デジタル部

図 2 にデジタル部のブロック図を示す。デジタル部のブロック分割は，セル機能ごとの分割ではなく，レイヤごとの分割とした。これにより，同レイヤでのセル間通信を高速に行えるようにした。各ボードには大容量の FPGA を搭載し，機能追加に柔軟に対応できる構成とした。また，各ボードに DSP を搭載し，信号処理のほか，FPGA 回路の設定，ログデータ生成などを行うようにした。

高 Throughput を確保するため，各デバイス間通信の高速化をはかった。FPGA 間信号は 2 種類の高速差動インターフェース（クロック信号を伴うものと，クロック再生を行うもの）を用途によって使い分けている。また，DSP 間の通信には，66MHz/32-bit の PCI と，Serial Rapid IO を併用した。

送信でのデジタル IF 方式採用により高速 DAC を使用しているが，DAC 内部の FIFO に起因して，サンプリングクロック単位でサンプルずれが起こり，本体の起動ごとに 4 つの DAC 出力の相対的な位置関係が変化する可能性があった。そこで，DAC 間の出力タイミング調整機能を起動時に動作させ，位置関係を合わせて再現性を確保した。

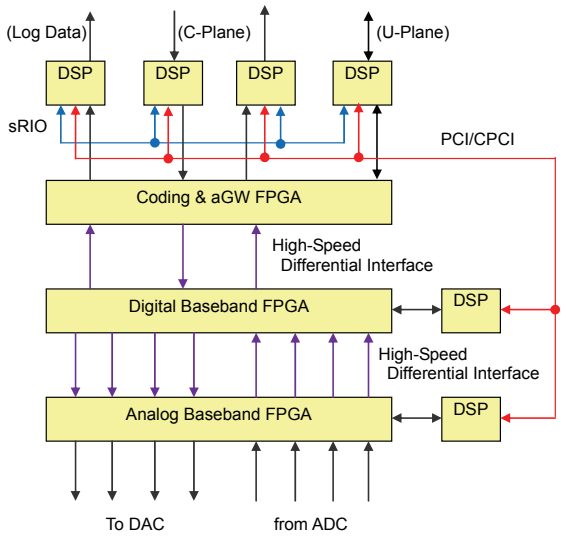

図 2　デジタル部ブロック図
Digital part block diagram

3.3 システム全般

ハードウェアのシステム設計時に，全般的に考慮した点をいくつか列挙する。

シグナリングテスタのファームウェアは，規格への追随や，顧客要求への対応のため，頻繁なバージョンアップが行われるが，動作比較のために古いバージョンに戻すことがある。MD8430A では，ファームウェアを最大 5 バージョン格納可能とし，簡単に切り替えられるようにすることで，バージョンの切り替え時間を大幅に短縮した。

大容量 FPGA や高速 DSP を多く使用するため，放熱を重視した筐体設計を行った。筐体内の風の流れを効率的にするため，前面から入った風をまっすぐ後方に排気し，その流れに沿って主要ボードを配置する構造とした。

ユーザーデータの転送速度は数百 Mbps になるため，PC／サーバとのインターフェースにギガビットイーサネットを採用した。

RF の出力レベル確度を向上させるため，CAL 機能を装備し，周囲温度や経年変化による出力レベル変動を抑制した。

製造性および保守性を高めるため，RF デバイス(リレー，合分波器)を底面に配置し，ボード／モジュールは上面から挿抜する構成とした。これにより，RF デバイスをシャーシから外すことなく，RF モジュールを着脱できるようにした。

4 ソフトウェアシステム設計

4.1 ソフトウェア構成

図 3 に MD8430A シグナリングテスタのソフトウェア構成を示す。ユーザーは，制御 PC 上の GUI 部で，実行したいシナリオを指定する。シナリオ実行部では，指定されたシナリオに記述された手順に従い，プリミティブと呼ばれるプロトコル間の通信メッセージにより，各レイヤの制御やシグナリングメッセージの送受信を行う。MD8430A 本体の各処理部では，受信したプリミティブの内容に従ってデータの送受信やハードウェアの制御を行う。

4.2 パフォーマンスの実現

LTE のパフォーマンスを実現するために，RLC（Radio Link Control）や MAC などのレイヤ 2 処理を 1 つの処理部となるように分割し，レイヤ間のデータ転送を少なくする設計とした。また，Downlink と Uplink を別の処理部とすることで，送受信データの同時処理ができる構造とした。

ログ処理部では，各処理部から送受信メッセージやレイヤ制御プリミティブなどのシナリオ実行ログを受けて，制御 PC へ転送を行う。LTE のパフォーマンスを実現するために，本体内に実装したメモリを一次保存領域とすることで，一定期間の連続したログの取得が可能となるような設計とした。

4.3 システム全般

MD8430A は主に制御用 PC で操作されるが，正面パネルにディスプレイを装備することで，本体情報やシナリオ実行時の状態などを表示できるようにした。更にボタン操作により画面切り替えを可能とすることで，拡張性を持たせる設計とした。

5 PHY 処理機能の実現

LTE の大きな特徴として高 Throughput，低 Latency がある。MD8430A では PHY の性能として，Downlink で 150 Mbps，Uplink で 50 Mbps，処理時間 500 μ sec を実現した。従来のシグナリングテスタでは，基本的な変復調は FPGA で行い，データのコーディング・デコーディングなどの処理はソフトウェアで行っていたが，MD8430A では，処理の高速化を図るため，データコーディング・デコーディングなどの処理も含め，ほぼ全ての PHY の処理を FPGA で実現した。また，MD8430A はチップセット検証やプロトコル試験のみならず，コンフォーマンス試験など 3GPP で規定されている試験に利用されるシステム環境にも対応する必要があり，1 台で最大 6 Cell の信号シミュレーションが要求された。さらに従来の機種ではハードウェアユニット毎に各 Cell を処理する構造としていたが，その構造は Inter-Cell Handover を行う上で障害となっていた。これを改善するため，MD8430A では複数 Cell の処理を同一のハードウェアユニット内に実装することが要求された。このため MD8430A の FPGA 設計では処理時間の低減および回路の小型化という 2 つの課題に取り組んだ。FPGA 内で，処理のパイプライン化および並列化や，各処理間の待ち時間の徹底した低減などにより大幅な処理時間の低減を実現した。また，パフォーマンスに優れた回路設計により，複数 Cell の信号を同一の回路で時分割処理することで，回路の小型化を実現した。また，MD8430A は，業界で先行

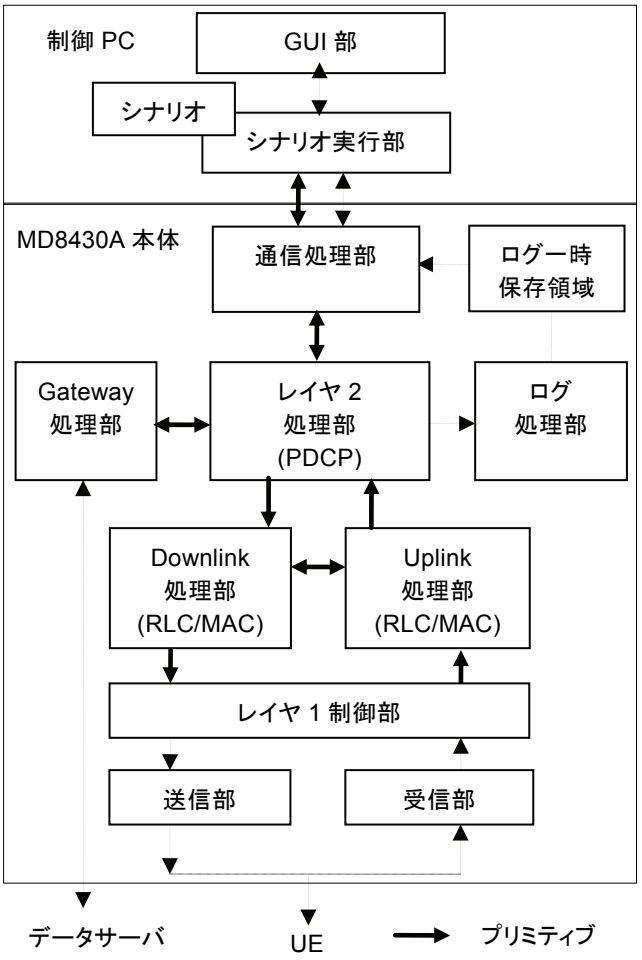

図 3　ソフトウェアのブロック図
Software block diagram

顧客の試験ニーズに応えることを目指していたため，開発時には規格も定まっていない部分も多く，一度設計しても途中で設計変更が入る可能性が非常に高かった。このため，個々の処理機能について独立したブロックとして設計し，全体を制御する制御部を外部に置く構造とすることで，個々のブロックで変更が生じた場合でも，制御部を調整するだけで機能変更に容易に対応できるような設計とした。LTE の基本的な PHY 処理機能の構成を**図 4** に示す。

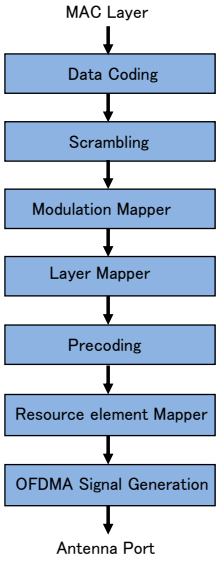

図 4　LTE PHY の処理
LTE Physical Layer Processing

6　MAC 処理機能の実現

MAC 処理部には 3GPP 規格 TS36.321 に準拠した MAC 機能を実装している。**図 5** に MAC 処理の構成概要を示す。MAC 処理部では，主に以下の機能をサポートしている。

- logical channel と transport channel 間のマッピング処理
- Multiplexing/De-multiplexing
- HARQ (Hybrid Automatic Repeat Request)
- Scheduler
- Random Access

HARQ については，通常の HARQ 動作の他に，DL-SCH の CRC のビット反転，UCI HARQ-ACK 情報などを設定する機能を実装しており，意図的に再送処理を行うことが可能である。

Scheduler については，MCS，RB，スケジュールする subframe の指定などを設定する機能を実装し，さらに UE からのチャネル情報 CSI(CQI, PMI, RI)によるスケジュールについても MCS などのパラメータを設定することで様々なスケジュールや割り当てを行うことが可能である。

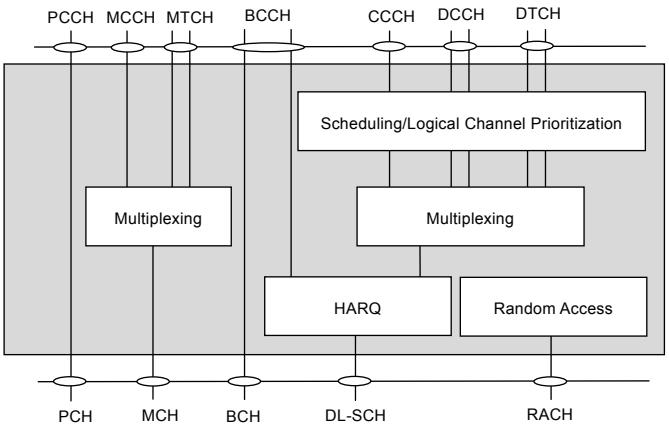

図 5　MAC 構成概要
MAC structure overview

Random Access Procedure は，

1) RA Preamble reception から RA Response transmission まで
2) UL-SCH (Msg3) reception から Contention Resolution transmission まで
3) Contention Resolution confirm から RA Procedure 完了処理(Reconfiguration, RRC procedure delay)まで

の 3 つの状態によって成り立っている。

各状態へは，遷移の条件となるデータの受信や，引き金となった Random Access Procedure の種別によって遷移する。これらの各状態の遷移に対応するため，各状態からの動作をあらかじめ定義(マクロ定義)し，定義した動作が特定の Event によるトリガで動作する機能を実装した。また，一つの Event に対して複数の挙動の異なるマクロ定義を設定することができる。これにより，例えば RA Preamble の受信に対して，異常系と正常系の RA Procedure を繰り返す試験を実施するといったことが可能となる。

LTE の規格において，

Contention based random access procedure では

- Initial access from RRC_IDLE
- RRC Connection Re-establishment procedure
- Handover
- DL data arrival
- UL data arrival

の 5 つのタイプ，

Non-contention based random access procedure では

- Handover
- DL data arrival

の 2 つのタイプがあり，計 7 タイプの Random Access Procedure が定義されているが，マクロ定義を組み合わせることによって，全ての Random Access Procedure を試験することが可能である。

7 MIMO 試験機能

7.1 DL-MIMO 信号送信

MD8430A の Downlink 信号生成回路では，1 Cell あたり 2 つの送信アンテナを使って，6 Cell 分（各 Cell を，Cell #1～Cell #6 と呼ぶ）までのダウンリンク信号を生成することが可能である。ただし，Cell #1 については，Cell #2 用の送信アンテナも合わせて利用できる構造とし，4 つの送信アンテナを使うことが可能である。

つまり，Cell 側のアンテナ数は，最大で合計 12 本まで使うことができるが，送信 RF ユニット数については，基本的に，UE 受信アンテナ端の信号を提供する構成とすることで，「UE の受信アンテナ数×周波数チャネル」で済むような構成としている。実際には「UE 受信アンテナ数 = 2」，「周波数チャネル数 = 2」としているので，送信 RF ユニット数は 4 となっている。

MD8430A では，送信 RF の出力で UE 受信アンテナ端の信号をシミュレーションするために，送信 RF よりも前段のベースバンド信号処理部において，伝搬路モデルの処理を実施することができる構成としている。伝搬路モデルの実現方法として，MD8430A に内蔵された簡易伝搬路機能や，アンリツ製フェージングシミュレータ MF6900A の使用が可能である。

7.2 簡易伝搬路を使った MIMO 性能試験

MD8430A に内蔵された簡易伝搬路では，1 チャネルあたり 1 パスの静的な 2x2 および 4x2 伝搬路を設定することができる。例えば，2x2 の伝搬路を構成する場合には，その伝搬路特性は 4 つの複素数を要素とする 2x2 行列として設定することができる。

簡易伝搬路は，その伝搬路特性を適宜変更することによって，それに対応した適切なフィードバック情報を UE が報告するかどうかを確認する目的に利用することもできる。

例えば，次のような 2x2 の伝搬路 H を設定したときには，UE が報告する RI（Rank Indicator）が想定した内容になるかどうかを確認することができる。

$$\text{Rank=2} \ : \ \mathrm{H} = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}, \qquad \text{Rank=1} \ : \ \mathrm{H} = \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix}$$

また，UE が報告する PMI（Precoding Matrix Indicator）が，設定した伝搬路に対して適切な値になるかどうかを確認することもできる。例えば，Cell の送信アンテナ数が 2 でレイヤ数が 1 の閉ループ空間多重を実施する場合には，UE は次の 4 つの中の，いずれかのベクトルを PMI によって指定する。

$$F_0 = \frac{1}{\sqrt{2}}\begin{bmatrix} 1 \\ 1 \end{bmatrix},\ F_1 = \frac{1}{\sqrt{2}}\begin{bmatrix} 1 \\ -1 \end{bmatrix},\ F_2 = \frac{1}{\sqrt{2}}\begin{bmatrix} 1 \\ j \end{bmatrix},\ F_3 = \frac{1}{\sqrt{2}}\begin{bmatrix} 1 \\ -j \end{bmatrix}$$

例えば下記の式で計算される伝搬路 H_x を簡易伝搬路に設定したときには，UE が報告する PMI によって，プリコーディングベクトルとしてF_xが指定されることが期待される。ただし，F_x^HはF_xが共役転置された行列を表す。

$$H_x = F_x \cdot F_x^H$$

7.3 MF6900A を使った MIMO 性能試験

アンリツ製のフェージングシミュレータ MF6900A を使えば，3GPP の測定規格で定義される 2x2 および 4x2 のマルチパスフェージング伝搬路モデルなどに対応することができる。

MD8430A が生成する各 Cell の Downlink 信号は，MD8430A から MF6900A に一旦渡されて，フェージング効果を付加された後で，MD8430A に戻され，送信 RF ユニットから出力される。

7.4 DL-MIMO 接続試験

MD8430A は 3GPP で規定される各種 Downlink 送信モードをサポートしており，Open/Closed-loop Spatial Multiplexing，Transmit diversity および MU-MIMO などの MIMO 伝搬路を使った接続試験が可能である。

MU-MIMO 試験では，他 UE 向けを想定した PDSCH を,PN 信号を使って生成して，試験対象の UE 向けの PDSCH と同じ無線リソースに重ねて出力することができる。その際，試験対象の UE 向けの PDSCH 送信のためのプリコーディングベクトルとしては，UE が PMI を通して指定したものが使われる。一方，他 UE 向けを想定した PDSCH については，試験対象の UE 向けで使われるプリコーディングベクトルと直行するベクトルが自動的に選択されて使われる。

7.5 UL 送信アンテナセレクション

3GPP Release 9 までの LTE 規格では，Uplink 信号の送信について，複数の送信アンテナを活用する機能として，送信アンテナセレクションが規格化されている。MD8430A では，2 本の UE 送信アンテナのうち，UE が，いずれのアンテナを使って信号を送信したかをモニタすることができるようになっている。

8　データ通信試験機能

MD8430A では,外部のデータサーバを Server Port に接続することで，パケットデータの通信試験を実施することが可能である。入力された IP データは，Gateway 処理部と PDCP（Packet Data Convergence Protocol）レイヤを通り，下位レイヤに転送される。

8.1　Gateway 処理部について

Gateway 処理部では 3GPP 規格 TS23.401 で規定されている Serving Gateway，PDN Gateway に相当する機能が実装されており，シナリオからパラメータを指定することにより，TFT Filtering 機能，Prefix Advertisement 機能，DHCP Server 機能などの設定が可能となっている。これらの機能を設定することでデータ転送経路管理，UE へのネットワーク情報通知，UE の IP アドレス割り当てなどについて，詳細な指定が可能であり，Multiple PDN などの複雑な試験環境を構築することができる。

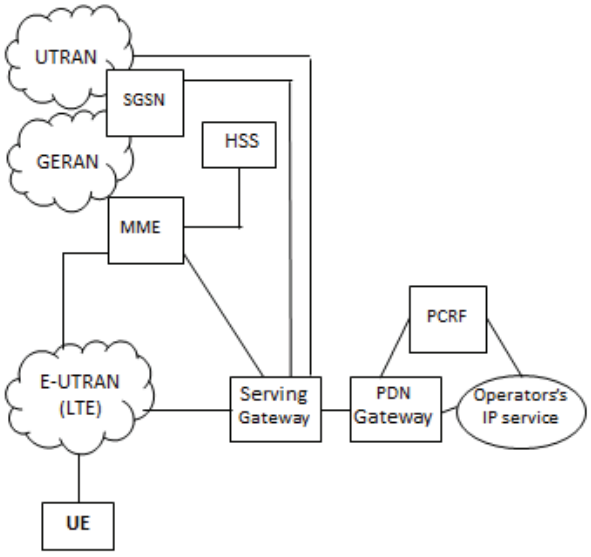

図 6　LTE ネットワークのアーキテクチャ
LTE Network Architecture

8.2　PDCP レイヤについて

PDCP 処理部では，3GPP 規格 TS36.323 で規定されている ROHC（Robust Header Compression），Ciphering，Integrity などの機能が実装されており，転送パケットのヘッダ情報が圧縮される環境や，秘匿・認証が実施される環境での試験が可能となっている。ROHC 機能としては下記の Profile に対応しており，さまざまなプロトコルの Packet について試験することが可能である。

- No compression（0x0000，RFC3095）
- RTP/UDP/IP（0x0001，RFC3095）
- UDP/IP（0x0002，RFC3095）
- ESP/IP（0x0003，RFC3095）
- IP Only（0x0004，RFC3843）

9　TDD 方式の試験機能

MD8430A では，LTE の FDD 方式の他に，TDD 方式にも対応している。TDD は，Uplink と Downlink が，同じ周波数チャネルを共有し，時分割により通信を行う方法であり，様々な利点が考えられる。

一つ目は，Uplink と Downlink が同一周波数であるため，FDD に比べ，限られた周波数帯で利用可能なことが挙げられる。**図 7** に TDD における frame 構成例を示す。TDD の信号 frame は，Downink データ用 Subframe，Uplink データ用 Subframe，DwPTS/UpPTS/GP を含んだ Special Subframe から構成される。GP（Guard Period）は，Downlink 信号と Uplink 信号の干渉を防ぐための領域である。

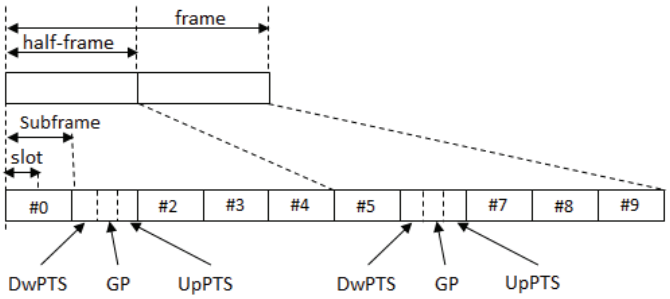

図 7　TDD における frame 構成例
Frame structure example in TDD

二つ目は，同一周波数において，Uplink と Downlink で非対称の設定を行うことが可能であるため，Uplink と Downlink の通信容量の変更が可能なことが挙げられる。Uplink と Downlink の通信容量を設定するパラメータとして Uplink-downlink configurations がある（**表 1** 参照）。

表 1　Uplink-downlink configurations

Uplink-downlink configuration	Subframe number									
	0	1	2	3	4	5	6	7	8	9
0	D	S	U	U	U	D	S	U	U	U
1	D	S	U	U	D	D	S	U	U	D
2	D	S	U	D	D	D	S	U	D	D
3	D	S	U	U	U	D	D	D	D	D
4	D	S	U	U	D	D	D	D	D	D
5	D	S	U	D	D	D	D	D	D	D
6	D	S	U	U	U	D	S	U	U	D

D: Downlink,　U: Uplink,　S: Special subframe

その他，Uplink と Downlink で使用する周波数が同じであるため，eNode からの信号を UE に向けて集中する Beamforming が，FDD に比べ容易である。Beamforming による受信状況改善により，Throughput 性能の向上が期待できる。MD8430A では，3GPP 規格の TS 36.521-1 で規定されている Beamforming Model をシミュレーションすることが可能である。

10 ユーザーインタフェース

MD8430A は，PC 上のソフトウェア MX843010A Control Software（以下，制御ソフト）によって制御される。制御ソフトはシナリオと呼ばれるシグナリングテスタのシミュレーション手順を記述する C 言語プログラム（以下，シナリオ）を実行し，その実行結果を表示，解析することができる。

10.1 データ表示・解析

制御ソフトと MD8430A 間や，MD8430A 内の各レイヤ間でやりとりされるデータは，その送信元，送信先，送信タイミングなどのヘッダ情報が付加され，一つの構成単位（以下，プリミティブ）として扱われる。ユーザーはプリミティブの通信記録（以下，トレースログ）を確認することで，シナリオで記述したシミュレーション結果を得ることが可能である。プリミティブはトレースログ上でリアルタイムに解析表示されるため，ユーザーは即座に制御内容を把握することが可能である。eNodeB と UE の間で送受信されるデータとして DCI，UCI などの制御データがある。これらの制御データに関しては，トレースログを保存した後，変換用のアプリケーション（以下，Trace Converter）を用いて csv 形式ファイルへ変換することにより制御データの内容を把握することが可能である。Trace Converter を使用することにより MAC PDU における Header，Control Element，Random Access Response の解析も可能である。

10.2 GUI（Graphical User Interface）による解析支援

ユーザーデータ用チャネルに関して，各レイヤにおけるデータ送受信数，データ送受信速度等をカウント表示することができる。さらに，これらのデータ送受信の状況を視覚的に捉えるため，グラフ表示することも可能である。**図 8** にユーザーデータの送受信速度をグラフ表示した例を示す。

10.3 SS Interface を利用した試験の自動化

制御ソフトの操作を，ユーザーが作成する C 言語プログラムにより利用可能とするインターフェース SS Interface（SS：System Simulator）を実装した。ユーザーは，このインターフェースを利用してプログラムを作成することで，制御ソフトの起動・終了，シナリオ選択実行，トレースログファイルの保存などの試験作業を自動化することが可能である。

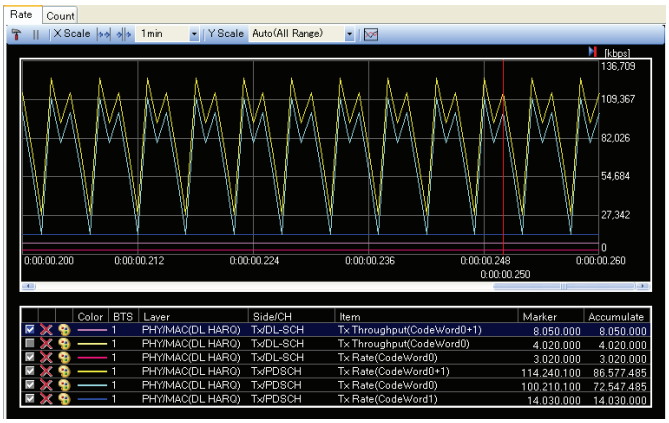

図 8　ユーザーデータ 送受信速度のグラフ表示
Graphical display of user data transmission speed

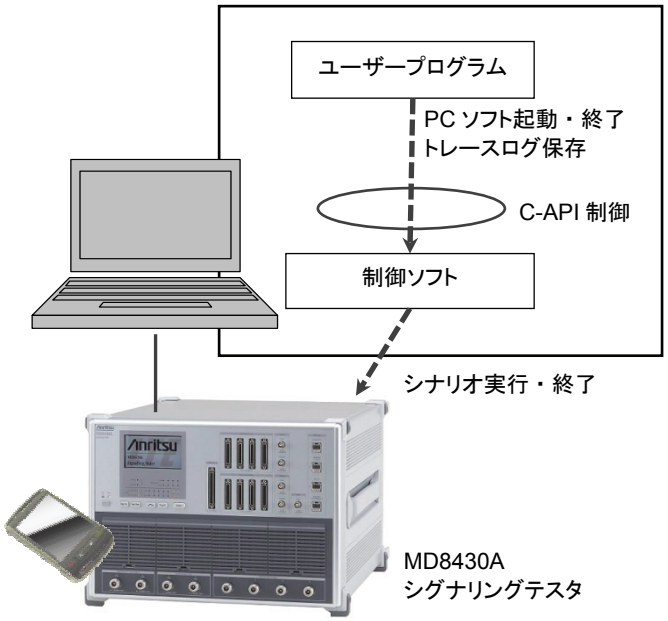

図 9　ユーザープログラムによる試験の自動化
Test automation by user program

11 W-CDMA/HSPA,GSM/GPRS との Inter-RAT 試験

第 3 世代移動通信向けシグナリングテスタである MD8480C は，W-CDMA/HSPA に対応する UE や UE 用チップセットの開発に広く利用されている。MD8430A では，MD8480C との接続インターフェースを備え，制御 PC からの制御情報や，データサーバからのユーザーデータを MD8480C に中継する機能を実装した。これにより，MD8430A による LTE のシュミュレーションと，MD8480C による W-CDM/HSPA や GSM/GPRA のシミュレーショ

ンの連携動作を可能とした。この機能を利用することで，UE が，LTE サービスエリアと W-CDM/HSPA や GSM/GPRA のサービスエリアとの間を移動するときに必要となる，通信システム切り替え機能やデータ通信 Handover 機能などの試験が可能である。

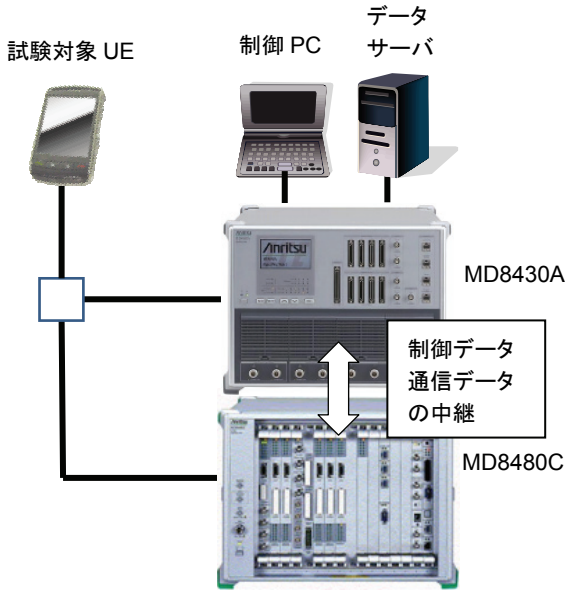

図 10　Inter-RAT 試験システム構成
Inter-RAT Test System Configuration

12 むすび

大容量のデータを高速・低遅延で伝送する次世代移動通信システム LTE に対応する UE のチップセットやプロトコル開発に貢献するシグナリングテスタ MD8430A を開発した。MD8430A は，複雑な信号処理や，高いパフォーマンスが要求される LTE の技術検証に不可欠な試験ツールとして，世界の主要なチップセットベンダー，端末ベンダーに採用されている。また，コンフォーマンス試験や，事業者受け入れ検証向けのシステムを実現するための主要コンポーネントとしてしても利用されており，LTE のサービス品質の向上に貢献している。LTE は，さらなるデータ速度の高速化や，ネットワーク容量の拡大に向けた仕様の標準化が進められている。アンリツは，今後も，新たな技術の検証に必要なソリューションを提供し，LTE の進化と発展に貢献していく。

執筆者

杉本　隆
計測事業グループ
R&D 統轄本部
第 2 商品開発部

橋本礼一
計測事業グループ
R&D 統轄本部
第 2 商品開発部

小林武史
計測事業グループ
R&D 統轄本部
第 2 商品開発部

北川和則
計測事業グループ
R&D 統轄本部
第 2 商品開発部

今野秀則
計測事業グループ
R&D 統轄本部
第 2 商品開発部

樋詰昌樹
計測事業グループ
R&D 統轄本部
第 2 商品開発部

佐々木理人
計測事業グループ
R&D 統轄本部
第 2 商品開発部

櫻井勝夫
計測事業グループ
R&D 統轄本部
第 2 商品開発部

公知