

InP DHBT を用いた 40GbE 用 EA ドライバ IC の開発

Development of EA modulator driver for 40GbE using InP DHBTs

平林文人 Fumihito Hirabayashi, 大久保幸夫 Yukio Ohkubo, 佐々木尚史 Naoshi Sasaki

[要旨]

40GbE 規格の一つである 40GBASE-FR は 2 km の SMF を媒体に 40 Gbit/s 帯光信号をシリアル伝送する方式であり、上記仕様に準拠した光トランシーバの Tx 部の電気・光変換には EA 变調器が使用される。上記 EA 变調器を駆動する EA ドライバには動作レート 40 Gbit/s 以上、出力振幅 2.5 Vpp の性能が要求される。今回、我々は高速性と高耐圧性に優れた InP DHBT をベースとした高速 IC のプロセス技術を用いて 40GbE 用 EA ドライバ IC の開発を行った。EA ドライバ IC の設計において出力部に分布型增幅回路を採用し、交差型差動配線レイアウトを用いて高性能化を試みた。開発した IC を評価した結果、44.6 Gbit/s の動作レートにおいて出力振幅:2.55 Vpp (消費電力 1.35 W), RMS ジッター:560 fs の良好な波形特性を確認した。また -5 ~80°C の温度範囲における出力振幅の変化量は小さく、優れた温度特性を確認した。

1 まえがき

スマートフォンの普及や、クラウドコンピューティングの立ち上がりによりメトロ網やデータセンターでの通信トラフィックは急激に増大している。その通信トラフィック需要の増加に対応するため、高速イーサネットにおいては従来の 10GbE より高速・大容量な 100GbE/40GbE の規格化の検討が行われ、2010 年に標準化が完了した。

100GbE/40GbE 規格における仕様の一つとして 40GBASE-FR がある。これは 2 km のシングルモードファイバー(SMF)を媒体に、データレート 40 Gbit/s 帯の光信号をシリアル伝送する方式である。

図 1 に 40GBASE-FR に準拠した光トランシーバの送信部(Tx 部)のブロック図の例を示す。

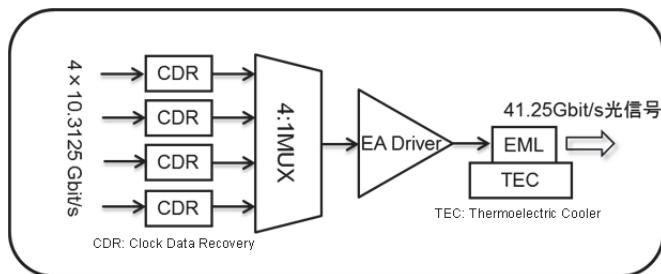


図 1 Tx 部のブロック図

この図に示すとおり、電気・光変換には EA 变調器集積型半導体レーザー(EML)が使用されており、上記 EA 变調器を駆動するために、4:1 マルチプレクサ(4:1 MUX)から出力される 40 Gbit/s 帯電気信号を增幅する EA ドライバ(EA Driver)が必要となる。これまでに当社は遮断周波数 $f_T = 230$ GHz、耐圧 6 V の高速性／高耐圧性に優れた InP DHBT(Double Hetero-junction Bipolar Transistor)^{1), 2)}をベースとした高速 IC のプロセス技術を実用化し

ており、当技術を用いて製造した高速 IC を社内計測器用のキーデバイスとして供給している³⁾。当社の InP DHBT は高速・高出力の動作が要求される 40GbE 用 EA ドライバ IC を実現する能動素子としては十分な高速性と高耐圧性を備えており、今回上記プロセスを用いて 40GbE 用 EA ドライバ IC の開発を行った。

本稿では、開発する 40GbE 用 EA ドライバ IC の目標仕様や、回路の基本構造について述べ、低ジッターで高品位な出力波形を得るために設計指針の一部を紹介する。また、当社で考案した交差型差動配線レイアウトによる差動線路は差動信号間の位相差が小さいことをシミュレーションで検証し、当技術を 40GbE 用 EA ドライバ IC に適用して出力波形を評価した結果について述べる。

2 目標仕様の設定

EA ドライバ IC の開発においては、規格動向や性能の差別化を考慮し適切な目標仕様を設定することが重要である。目標仕様の主な項目について以下に説明する。

- ① 最大動作レート: 40GBASE-FR では OTN(Optical Transport Network)規格に準拠した OTU3 の伝送レート 43.0 Gbit/s まで対応する必要がある。さらに OTN 規格では伝送レート 44.6 Gbit/s の OTU3e についても議論されていたため、最大動作レートは 44.6 Gbit/s に設定した。
- ② 出力振幅: 40 Gbit/s 帯光信号の良好な伝送特性を確保するためには、EA 变調器の出力光信号の消光比は 10 dB 以上が要求される。その消光比を得るために EA 变調器の駆動電圧として一般的に要求される 2.5 Vpp 以上を目標値に設定した。

- ③ 消費電力: 40GbE 用光トランシーバには CFP(Centum gigabit Form Factor Pluggable)が広く採用されていることから、本開発でも CFP トランシーバへ搭載されることを想定した。CFP のような小型サイズのトランシーバに搭載される部品には小型／低消費電力が要求され、EA ドライバ IC の消費電力として 1.6 W 以下を目標値に設定した。
- ④ RMS(Root Mean Square)ジッター: 光トランシーバの Tx 部の光出力波形は規格で定められたマスクマージンを満たすために低ジッター特性が求められ、一般的に 1000 fs 以下が要求される。EA ドライバ IC の開発にあたっては、十分なマスクマージンを確保して差別化を図るために、850 fs 以下を目標値に設定した。
- ⑤ 動作温度: 光トランシーバの動作温度としては 0~70°C が要求され、光トランシーバ内部に搭載される EA ドライバ IC としては内部の温度上昇などを考慮し、上記温度範囲に余裕幅を設けた -5~80°C を動作温度として設定した。

以上より、EA ドライバ IC の目標仕様を表 1 のように設定した。

表 1 EA ドライバ IC の目標仕様

項目	目標値
最大動作レート	44.6 Gbit/s
出力振幅	2.5 Vpp 以上
消費電力	1.6 W 以下
RMS ジッター	850 fs 以下
動作温度	-5~80°C

3 設計

3.1 設計指針

設計した EA ドライバ IC のブロック図を図 2 に示す。EA ドライバ IC は差動増幅器 3 段の構成で入力バッファ(Input Buffer)で 4:1 MUX から出力される差動信号を受け、プリバッファ(Pre Buffer)とブースターアンプ(Booster Amp)を経て単相信号を出力し EA 変調器を駆動する。入力バッファとプリバッファはリミッティングアンプとして動作し、信号の振幅を一定に整え、ブースターアンプで信号を 2.5 Vpp まで増幅する。40 Gbit/s 超の高ビットレートの信号を 2.5 Vpp まで増幅し、かつ低ジッターの特性を得るにはブースターアンプの設計が重要なポイントとなるので、まず一般的なブースターアンプの設計手法について詳述し、3.2 項においてその問題点を明確にするとともに、3.3 項においてこの問題点を解決する新しい交差型差動配線レイアウトについて提案する。

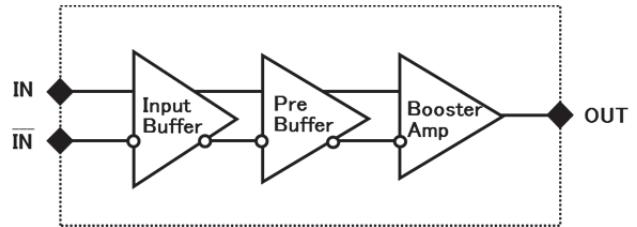


図 2 EA ドライバ IC のブロック図

一般的には高出力・広帯域化には分布型増幅回路を採用したブースターアンプが有利である。分布型増幅回路の基本原理については詳細を付録 1 に示し、以下の説明では省略する。図 3 に従来型の伝送線路(矩形で示す)を含むブースターアンプのレイアウト概念図を示し、この図を用いて従来技術を説明する。このブースターアンプは 4 段の基本差動増幅回路からなる分布型増幅回路の一例を示している。各基本差動増幅回路の出力端子は交互に配置された伝送線路 TLo1, TLo2 により並列接続されており、これらは分布定数線路 TLo を形成している。また各基本差動増幅回路の差動入力端子は交互に配置された伝送線路 TLi1, TLi2 および TLi1b, TLi2b により並列接続されており、これらは分布定数線路 TLi を形成している。TLo は単相の分布定数線路であり、出力端(右端)から信号 Vout(+)を EA 変調器側に出力する構成となっている。また TLi は 2 本の線路を一対とした差動の分布定数線路であり、差動信号 VIn(+), VIn(-)を始端(左端)から入力する構成となっている。以下では TLi の 2 本の線路を VIn(+)信号線路, VIn(-)信号線路と呼ぶ。

上記ブースターアンプの基本差動増幅回路の回路設計では、要求される帯域と出力振幅を考慮して出力電流、DHBT のエミッタサイズおよび段数を最適化する必要がある。一方、分布定数線路 TLi, TLo の伝送線路設計では(1)~(3)の点に留意して特性インピーダンスや長さを最適化しなければならないことが知られている。

- (1) 分布定数線路 TLo の特性インピーダンスは、EA 変調器の入力インピーダンス 50Ω に整合させなければならない。
- (2) プリバッファの低消費電力化と広帯域化を実現するために、プリバッファの負荷抵抗およびそれに整合させる分布定数線路 TLi の特性インピーダンス(Odd モードインピーダンス)はできるだけ高い値に設定する必要がある。なお、プリバッファが低消費電力、広帯域になる理由は負荷抵抗を大きくすることで、プリバッファは出力電流を低減でき、エミッタサイズの小さい低容量の DHBT で構成できるためである。

(3) 各基本差動增幅回路の出力信号が同位相で合成されるように、分布定数線路 TLi と TLo の各基本差動增幅回路間の電気長を互いに等しくしなければならない。

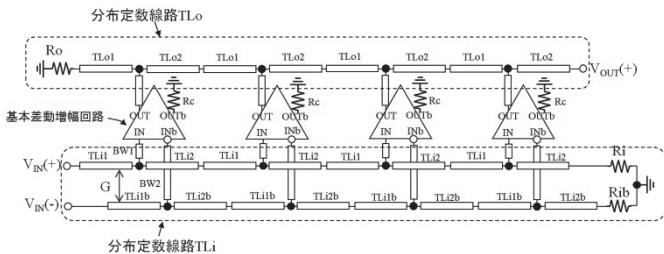


図 3 ブースターアンプの分布型増幅回路レイアウト概念図

3.2 従来の直線型配線レイアウトでの問題点

図 3 に示す従来の分布定数線路 TLi は $V_{IN}(+)$ 信号線路と $V_{IN}(-)$ 信号線路が間隔 G の距離をとって直線的に配置されていた。この配線レイアウトでは、 $V_{IN}(+)$ 信号線路と基本差動增幅回路の IN 端子を接続する分岐配線 BW1 と $V_{IN}(-)$ 信号線路と基本差動增幅回路の INb 端子を接続する分岐配線 BW2 の長さがアンバランスとなり、特に分岐配線 BW2 の長さは間隔 G 以上と長くなるため伝送特性へ及ぼす影響が大きかった。例えば分布定数線路 TLi を 70Ω で設計する場合、InP 基板上に伝送線路を形成する当社の IC プロセスでは間隔 G は数十 μm 以上となり、分岐配線 BW2 の長さは動作周波数領域の波長に比べ無視できない長さになる。基本差動增幅回路の入力端子がハイインピーダンスであることを考慮すると、BW2 のような長い分岐配線はオープンスタブ特性により容量として働くため伝送特性に悪影響を及ぼし、出力波形のジッター劣化の原因となる。ジッターの劣化は間隔 G を狭めることにより低減できるが、間隔 G を狭めると両線路の電磁的な結合が大きくなり特性インピーダンスが下がるので、3.1 項の留意点(2)を反映した設計が困難となる。このため、目標仕様における低消費電力と低ジッター特性の両立は従来難しかった。

3.3 交差型差動配線レイアウト

目標仕様を実現するため、図 4 に示す交差型差動配線レイアウトを提案する。伝送線路 TLi1 が 45° の角度で長手方向に伸び分岐配線 BW1 を介して基本差動增幅回路の IN 端子に接続するとともに、伝送線路 TLi2 が TLi1 と直角に折り返す。さらに伝送線路 TLi1b が 45° の角度で長手方向に伸び分岐配線 BW2 を介して基本差動增幅回路の INb 端子に接続するとともに、伝送線路 TLi2b を TLi1b と直角に折り返すレイアウトとする。また、TLi1b と TLi2 が各基本差動增幅回路の中央位置で、TLi1 と TLi2b が各基本差動增幅回路の間の位置で絶縁層を挟んで互いに 90° で交差させ、上記の繰り返し構造で構成する。この配線レイアウトでは分岐配線 BW1 と BW2 の長さ

を等しくかつ短くすることができるため、分岐配線に起因する伝送特性への影響が低減可能である。これにより、分布定数線路 TLi' の特性インピーダンスを高くしつつ出力波形の低ジッター化を実現できる。交差型差動配線レイアウトは図 3 の直線型の配線レイアウトに比べ、インピーダンス設計が一見複雑に見えるが、2 線路間の距離 G は始端から終端まで一定であるので、設計手法は図 3 の直線型の配線レイアウトの場合と同じである。また、線路同士が交差する場合はインピーダンス計算が複雑になるが、伝送線路 TLi1b と TLi2 または伝送線路 TLi1 と TLi2b は互いに 90° で交差しているため、交差する線路間に相互インダクタンスは生じず、インピーダンスを乱す要因としては交差部の容量のみを考慮すればよいので設計は容易となる。なお、当社の IC プロセスでは 2 線路間の交差を形成する絶縁層には低誘電率の BCB(BenzoCycloButene)を用いているため、交差部の容量の影響は無視できる程度まで低減が可能である。

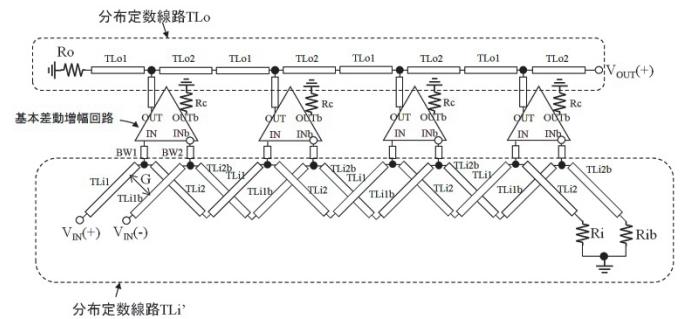


図 4 交差型差動配線レイアウトを用いた分布型増幅回路

4 シミュレーション解析

提案した交差型差動配線レイアウトが従来の直線型の配線レイアウトより優れた性能を有していることを確認するため、特性インピーダンス 70Ω の差動分布定数線路についてシミュレーション解析を実施した。図 5 は、従来の直線型の配線レイアウトの分布定数線路 TLi の(a)反射特性と(b)通過位相特性を示した結果である。解析した周波数は DC から 65 GHz (44.6 Gbit/s 信号の基本周波数の約 3 倍) である。反射特性をみると $V_{IN}(-)$ 信号線路は 65 GHz で反射特性が -10 dB 以上となり $V_{IN}(+)$ 信号線路に比較して悪化している。これは、分岐配線 BW2 が長いために分岐配線のオープンスタブ特性により余計な容量成分が付加されたためと考えられる。また、通過位相特性をみると $V_{IN}(-)$ 信号線路は $V_{IN}(+)$ 信号線路に対し余計な容量成分によって位相遅れが生じており、その位相差は 65 GHz で 30 deg となっている。これにより出力側線路との電気長の整合がずれたり、余計な電磁輻射ノイズが生じるため、出力波形のジッター劣化の原因となることがわかる。

図6は交差型差動配線レイアウトで設計した場合の、分布定数線路 TLoの(a)反射特性と(b)通過位相特性を示した結果である。分岐配線 BW1とBW2の長さは等しくかつ短いため、反射特性は65 GHzまで-17 dB以下と良好であり、2線路間での位相ずれも生じていないことがわかる。これにより、出力波形のジッターの低減が期待できることが確認できる。

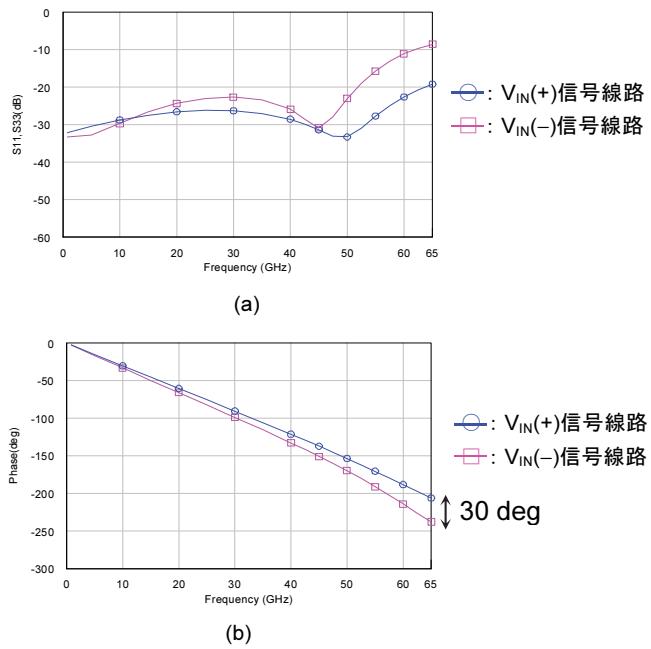


図5 直線型配線レイアウトによる分布定数線路 TLoの
(a)反射特性と(b)通過位相特性

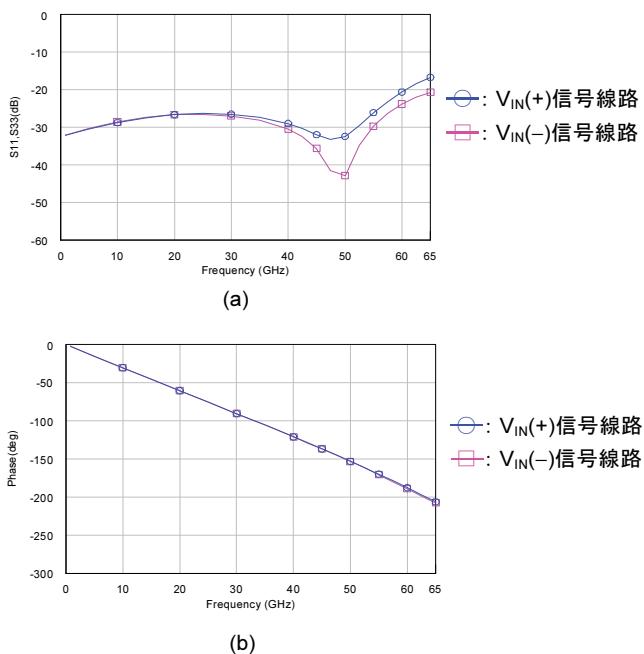


図6 交差型差動配線レイアウトによる分布定数線路 TLoの
(a)反射特性と(b)通過位相特性

5 試作と評価

前述のシミュレーション解析をもとに、チップサイズ 1.5 mm × 2 mm の EA ドライバ IC を設計および作製した。評価は RF プローブを用いて行った。図7に作製した EA ドライバ IC の出力反射特性 (S_{22}) の結果を示す。実線で実測値を示すとともに破線でシミュレーション結果を示した。この実測値は図4に示した終端抵抗 R_o で終端された分布定数線路 TLo の反射特性を示している。伝送線路を最適に設計したことにより、50 GHzまで-15 dB以下と良好な反射特性が得られていることがわかる。また、シミュレーション結果とよく一致しており、本開発で用いた解析が有効であることも確認した。

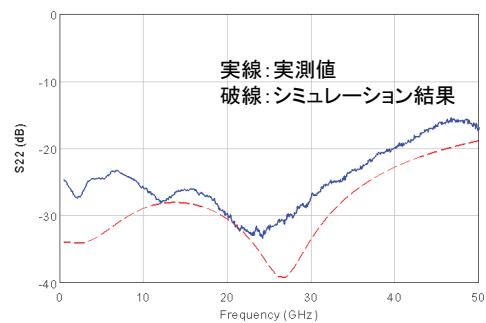


図7 出力反射特性

図8に作製した EA ドライバ IC の出力波形の測定結果を示す。表2に測定条件を示す。なお、本 EA ドライバ IC はシングルエンド入力で駆動した場合でも、プリバッファのリミッティング機能により正常動作するためシングルエンド入力で測定した。

表2 測定条件

ビットレート	44.6 Gbit/s(PRBS $2^{31}-1$)
入力振幅	0.4 Vpp(シングルエンド入力)
電源電圧値、電流値	-5.2 V, 260 mA

図より 44.6 Gbit/s における出力振幅は 2.55 Vpp, RMS ジッターは 560 fs であることが確認できる。また表2に示した電源電圧値と電流値より消費電力は 1.35 W と見積もられ、提案した交差型差動配線レイアウトで目標仕様を十分満足する特性が得られることを確認できた。また立上り時間／立下り時間 $tr/tf(20\text{-}80\%)$ は 8.2 ps/6.5 ps で小さく、十分なアイ開口が得られており、44.6 Gbit/s で EA 変調器を駆動するのに十分な波形特性と考えられる。

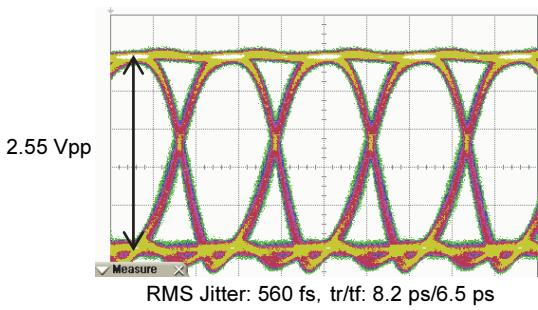


図 8 RF プローブで測定した 44.6 Gbit/s 出力波形
(Vertical: 0.5 V/div, Horizontal: 10 ps/div)

次に温度特性を評価するために EA ドライバ IC を RF の入出力ポートを備えた評価用金属ケースに実装し、各温度での 44.6 Gbit/s 出力波形の測定を実施した。実験で得られた各温度での出力振幅と RMS ジッターを図 9 に示す。同図より、-5~80°C の温度範囲における出力振幅の変化量は±25 mVpp であることがわかる。これはブースターアンプの基本差動增幅回路の定電流源部にカレントミラーレイアウトを採用し温度による出力振幅の変動を抑制したため小さく抑えられたことを示している。またグラフには示していないがクロスポイントの変化量も±0.5%と小さく、これらは 40GbE 用 EA ドライバ IC として十分実用的な特性であった。RMS ジッターは温度が低いほど大きくなる傾向にあるが、-5°C でも 630 fs と十分小さな値を保っていることもわかる。以上のことより目標仕様の温度範囲-5 ~80°Cにおいて波形変化が小さく良好な特性を得られることが確認できた。

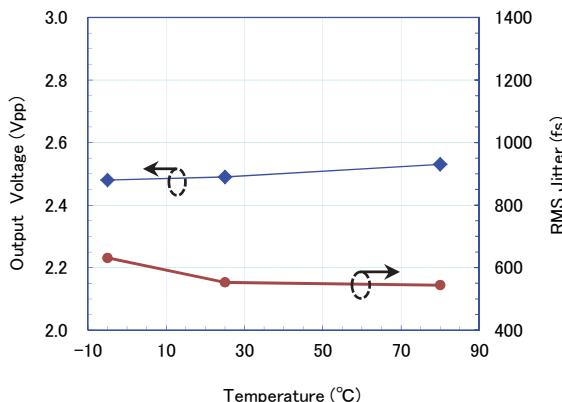


図 9 温度による出力振幅と RMS ジッターの変化

6 むすび

高速性と高耐圧性に優れた InP DHBT をベースとした高速 IC プロセスを用いて、40GbE 用 EA ドライバ IC の開発を行った。ブースターアンプの分布型増幅回路の設計において交差型差動配線レイアウトを適用し、出力波形の高品質化を試みた。作製した IC を評価した結果、ビットレート 44.6 Gbit/s において出力振幅:2.55

Vpp(消費電力 1.35 W), RMS ジッター:560 fs の良好な波形特性を得た。また-5~80°C の温度範囲における波形の温度変化は小さく、本 IC が 40GbE 用の光トランシーバモジュールで使用される EA ドライバ IC として適用可能であることを確認した。

本 IC は信頼性試験を経て AG4P18C として製品リリースされ、光通信システムで使用されている。今後は本開発で得た技術を応用し 100GbE/400GbE 等の高速通信規格に対応した EA ドライバ IC の開発を行っていく予定である。

参考文献

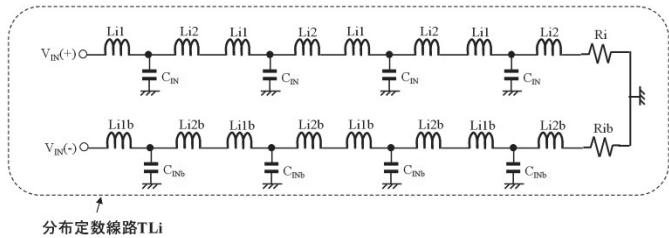
- Y. Ohkubo, T. Matsumoto, T. Koji, Y. Amano, A. Takagi, Y. Matsuoka:
“High-Performance Self-Aligned InP/InGaAs DHBTs with a Passivation Ledge Utilizing a Thin Etching Stop Layer”, 20th Indium Phosphide and Related Materials Conference, WeB 1.3 (2008.05)
- Y. Matsuoka, Y. Ohkubo, T. Matsumoto, T. Koji, A. Takagi:
“On the Emitter Resistance of High-Performance GaAs- and InP-Based Heterojunction Bipolar Transistors”, Japanese Journal of Applied Physics Vol. 47, pp.4441–4447 (2008.06)
- Y. Arayashiki, T. Kamizono, Y. Ohkubo, T. Matsumoto, Y. Amano, Y. Matsuoka:
“High-Bitrate-Measurement-System-Oriented Lower-Jitter 113-Gbit/s 2:1 Multiplexer and 1:2 Demultiplexer Modules Using 1-μm InP/InGaAs/InP Double Heterojunction Bipolar Transistors”, IEICE TRANS. ELECTRON., VOL.E96-C, NO6 (2013.06)

付録

1. 分布型増幅回路の基本原理

分布型増幅回路は複数の基本増幅回路が所定間隔で周期的に配置され、各基本増幅回路の入力端子または出力端子を特性インピーダンスが高い伝送線路で並列に接続した構造である。この構造では伝送線路のインダクタンス成分と基本増幅回路の入出力容量がカットオフ周波数の高い疑似的な分布定数線路を形成する。例として図 3 の回路を用いて説明すると、図 3 の TLi は伝送線路 TLi1, TLi2, TLi1b, TLi2b のインダクタンス成分 Li1, Li2, Li1b, Li2b と各基本差動増幅回路の IN 端子, INb 端子の入力容量 C_{IN} , C_{INb} により、付図 1 のような等価回路からなる分布定数線路となる。一方、等価回路は省略するが、TLo は各基本差動増幅回路の OUT 端子の出力容量 C_{OUT} と TLo1, TLo2 のインダクタンス成分 Lo1, Lo2 で形成される分布定数線路である。分布定数線路 TLi の特性インピーダンス (Odd モードインピーダンス) と終端抵抗 R_i , R_{ib} の抵抗値は $V_{IN}(+)$, $V_{IN}(-)$ 信号源の出力インピーダンス (プリ

バッファの負荷抵抗)と同じ値で整合しているため、差動信号 $V_{IN}(+)$, $V_{IN}(-)$ は各基本差動增幅回路に広帯域かつ低反射で伝送される。各基本差動增幅回路は入力された差動信号を増幅して OUT 端子から出力し、OUT 端子から出力された各信号は分布定数線路 TLo 上で同相で合波され信号 $V_{OUT}(+)$ を負荷 (EA 変調器) 側に出力する。分布定数線路 TLo の特性インピーダンスと終端抵抗 R_o は、負荷の入力インピーダンスと同じ値で整合しているので、信号 $V_{OUT}(+)$ は広帯域、低反射で負荷に伝送される。このように分布型増幅回路は複数の基本増幅回路に低反射で伝送され増幅された信号を、各基本増幅回路の出力容量をとり込んだ疑似的な分布定数線路上で同相合波するので、高出力かつ広帯域な増幅が可能となる。



分布定数線路 TLo

付図 1 分布定数線路 TLo の等価回路

執筆者



平林文人
デバイス開発センター
高速デバイス開発部



大久保幸夫
デバイス開発センター
高速デバイス開発部



佐々木尚史
デバイス開発センター
高速デバイス開発部

公知