

MP2100B 12.5 Gbit/s 4ch ビットエラーレートテストの開発

白土 悟 Satoru Shiratsuchi, 阿部高也 Takaya Abe, 鈴木誠也 Seiya Suzuki, 斎藤澄夫 Sumio Saito

[要 旨]

12.5 Gbit/s 4ch BERT(Bit Error Rate Tester)とサンプリングオシロスコープを1台に搭載した MP2100B を開発した。MP2100B は今後需要の増加が見込まれている4チャンネル光トランシーバの性能試験に1台で対応できる。BERT では社内製広帯域アンプと市販高速トランシーバを組み合わせることにより、高性能と低コストを両立した。光トランシーバの受光感度試験の結果、従来機種である MP2100A を 0.7 dB 上回る性能を得た。

1 まえがき

クラウドコンピューティングサービスの普及に伴う、データセンタの情報量の急増により、データセンタで使用されているサーバやネットワーク機器の伝送容量を増やすことが急務となっている。そのためデータセンタではサーバやネットワーク機器の光インタフェース化が進んでおり、光トランシーバの需要が急増している。特に10GbE 用 SFP+や 40GbE(10 Gbit/s×4)用 QSFP+の需要の急増が著しい^{1)~3)}。光トランシーバの製造・開発には BERT とアイパターン解析用のサンプリングオシロスコープが必要となる⁴⁾。BERT は信号源となる PPG(Pulse Pattern Generator)と、ビットエラー測定をする ED(Error Detector)で構成される。従来の BERT とサンプリングオシロスコープは別筐体の測定器であったため、設備コストも高く、大きなスペースが必要であった。これらの問題を解決すべく、アンリツでは以前から2チャンネルの BERT と2チャンネルのサンプリングオシロスコープを1台に搭載した MP2100A を製品化していた⁵⁾。

しかし 40GbE 用 QSFP+に対応するには4チャンネルの BERT が必要となる⁶⁾。それには MP2100A が2台必要となるため、コスト、スペース面でのさらなる改善が求められていた。そこで筆者らは、MP2100A と同じ外形寸法で BERT を4チャンネルに拡張した MP2100B を開発した。これにより 40GbE 用 QSFP+の BER 測定を1台で、しかも今までと同じスペースで実施できるようになった。

MP2100B の開発では、従来機種の MP2100A のサンプリングオシロスコープをそのまま流用し、BERT のみを新規に開発することにした。本稿では BERT を2チャンネルから4チャンネルに拡張・性能改善するに当たり開発した技術について述べる。

2 基本構成

2.1 MP2100B の構成

図1に MP2100B の外観写真を示す。12.1 インチのタッチパネル式液晶ディスプレイに BERT とサンプリングオシロスコープの操作画面と測定結果が同時に表示される。筐体サイズは従来機種の MP2100A と同じ 341×221.5×180 mm、重量 7 kg 以下とコンパクトで可搬性に優れる。



図1 MP2100B の外観

図2に MP2100B のブロック図を示す。BERT は4チャンネルの PPG と4チャンネルの ED から構成され、BERT の Clock は内部と外部の切り替えができる。サンプリングオシロスコープ(Scope)は電気チャンネルと光チャンネルから構成される。

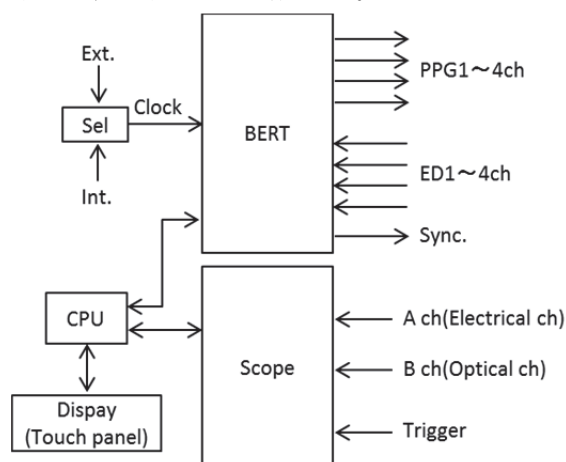


図2 MP2100B のブロック図

2.2 BERT の構成

図 3 に BERT のブロック図を示す。PPG では FPGA(Field Programmable Gate Array)で生成した最大 12.5 Gbit/s の NRZ 信号を市販の高速トランシーバ IC でリタイミングしてジッタ特性を向上させた後、Tx アンプで増幅し、0.1~0.8 V_{p-p} を出力する。ED では入力信号を Rx アンプで振幅を増幅して感度特性を向上させている。BERT の Clock は内部と外部の切り替えを可能にし、外部から供給された Clock にも同期させることができるようにした。Reference Clock 生成部で低位相雑音特性の Clock を高速トランシーバに供給している。

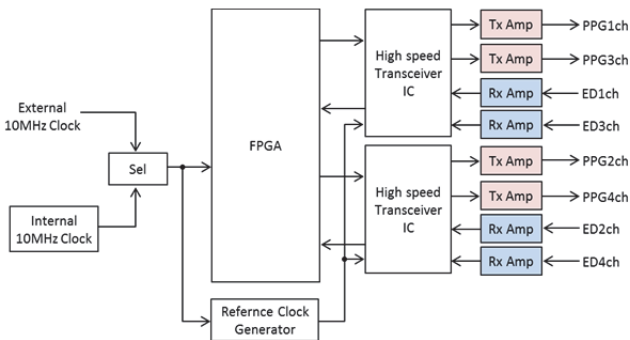


図 3 BERT のブロック図

3 設計の要点

3.1 BERT の多チャンネル化

従来機種では 2 チャンネルであった BERT を同じ筐体サイズのまままで 4 チャンネルに拡張するために、図 3 に示す BERT のブロック図への変更を行った。従来機種では 1 つの高速トランシーバ IC に 1 チャンネルの PPG と ED に対応させていたが、MP2100B では 1 つの高速トランシーバ IC に 2 チャンネルの PPG と ED を対応させた。これにより部品数を削減できたため、同じ筐体サイズで 4 チャンネルに拡張することが可能になった。

3.2 PPG の低コスト化と高性能化の両立

PPG 出力波形の低ジッタ特性は、BERT の性能を決定付ける重要な項目である。今回使用した高速トランシーバ IC は、信号レベルの減衰や品質劣化を補正する Emphasis 機能を装備している。この機能を最適に調整することにより、低ジッタの出力波形を実現した。しかし高速トランシーバ IC では出力振幅が不足するため、市販品のアンプを追加したところ、目標のコストでは低ジッタの性能が得られなかった。そこで社内で新たに化合物半導体である GaAs(Gallium Arsenide)を用いた専用 IC を開発した。さらに、イコライザ回路を追加して出力波形のオーバシュートを抑える波形改善を行った^{7), 8)}。

図 4 に PPG のブロック図を示す。Tx アンプ出力の Positive/Negative それぞれに RC イコライザを接続した。図 5 に RC イコライザの等価回路を示す。この回路の合成インピーダンス Z は(1)式で求められる。

$$Z = Z_1 + Z_0 \quad (1)$$

ここで Z_1 は抵抗 R とコンデンサ C の合成インピーダンスであるため以下の式で求められる。

$$\frac{1}{Z_1} = \frac{1}{R} + \frac{1}{j\omega C} \quad (\omega = 2\pi f) \quad (2)$$

$$|Z_1| = \frac{R}{\sqrt{1 + (2\pi f C R)^2}} \quad (3)$$

ここで $Z_0 = 50 \Omega$ する。本設計では 0.1 GHz 以下の成分がオーバシュートの原因となっていたため $R = 20 \Omega$, $C = 10 \text{ pF}$ とした。

図 6 に合成抵抗 Z -周波数 f 特性を示す。0.1 GHz 以下では 70Ω で高インピーダンスとなり、10 GHz 以上では 50Ω に近づいている。その結果、0.1 GHz 以下では振幅が低下するイコライザとして機能している。

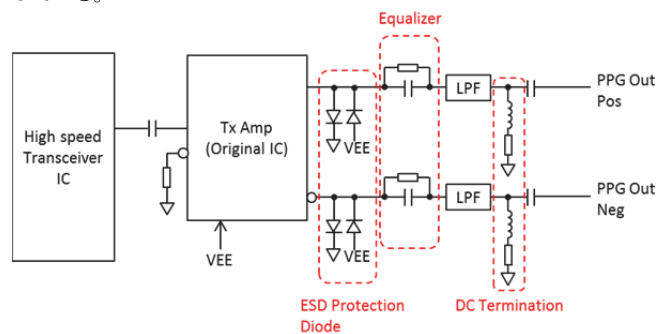


図 4 PPG のブロック図

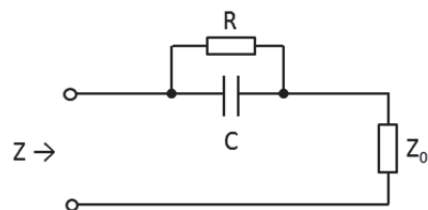


図 5 RC イコライザの等価回路

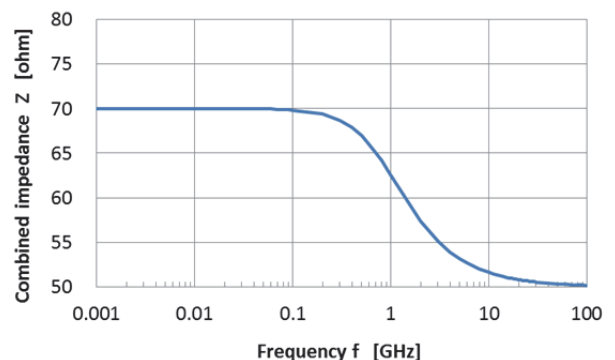
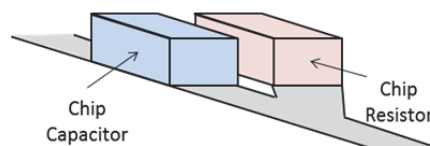


図 6 合成抵抗 Z -周波数 f 特性

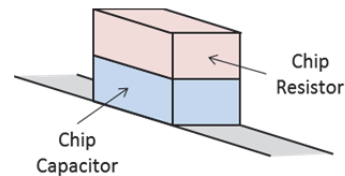
これらの抵抗とコンデンサはプリント板実装のチップ部品で構成しているので非常に安価に実現できる反面、物理的な大きさが伝送線路の特性インピーダンスに影響を与えてしまう。その対策として実装方法を改善した。

図 7 にイコライザ実装方法の改善を示す。図 7 a) の従来の実装方法では、チップ抵抗とチップコンデンサをプリント板上に並べて配置していた。この場合、分岐部分で伝送線路の特性インピーダンスが下がるため 50Ω を維持できず反射の影響を受けて波形を乱していた。そこで図 7 b) に示すようにチップ抵抗とチップコンデンサを重ねて配置した。これにより伝送線路の分岐がなくなったため特性インピーダンスを 50Ω に維持したままイコライザの機能を装備することができた。

Tx アンプ, Rx アンプ共に高速 IC であるため静電気耐性が低く、その入出力端子は本測定器ユーザが頻繁に接触することになるため故障する懸念がある。その対策として図 4 に示すように Tx アンプ, Rx アンプ共に ESD 保護ダイオードを接続して耐静電気特性を強化した。



a) 従来の実装方法(並べて配置)



b) 性能改善した実装方法(重ねて配置)

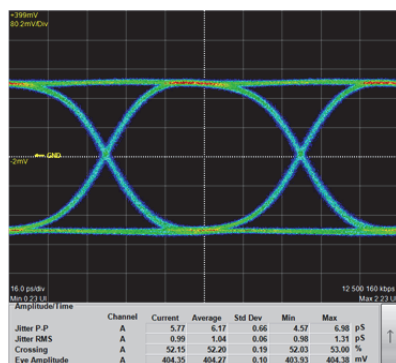
図 7 イコライザ実装方法の改善

4 性能評価

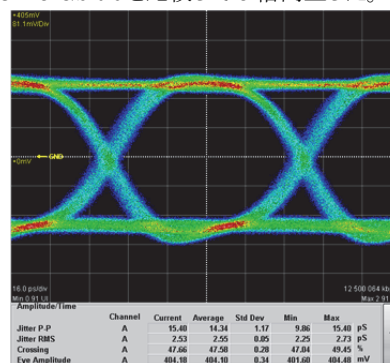
4.1 PPG 出力波形

図 8 に PPG 出力波形を示す。今回開発した MP2100B と従来機種 MP2100A の PPG 出力波形を比較する。MP2100B では RMS ジッタ=0.99 ps@12.5 Gbit/s となり、従来機種の MP2100A での RMS ジッタ=2.53 ps@12.5 Gbit/s と比較して半分以上に改善し、ベースラインのリンギングもない高品質な波形となった。

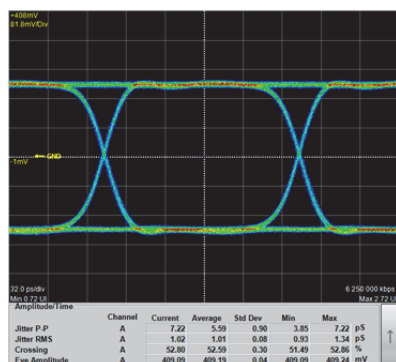
表 1 に MP2100B の主な仕様を示す。ED 受信感度は 10 mVpp (Typ.)@12.5 Gbit/s となり、MP2100A の ED 受信感度の 50 mVpp @10.3125 Gbit/s と比較して 5 倍向上した。



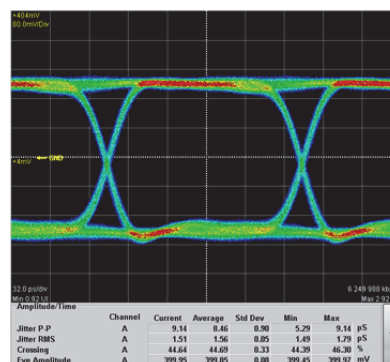
a) MP2100B 12.5 Gbit/s



b) MP2100A(従来機種) 12.5 Gbit/s



c) MP2100B 6.25 Gbit/s



d) MP2100A(従来機種) 6.25 Gbit/s

図 8 PPG 出力波形

表 1 MP2100B の主な仕様

Item	Value
BERT	
Number of channel	4
Bitrates	125 Mbit/s to 12.5 Gbit/s
Test Pattern	PRBS: 2^7-1 , 2^9-1 , $2^{15}-1$, $2^{23}-1$, $2^{31}-1$ (Inverted On/Off) User data: 1.3 Mbits
Data Output	
Amplitude	0.1 Vp-p to 0.8 Vp-p
Tr/Tf	24 ps (20 to 80%, typ.)
RMS Jitter	1 ps (typ.)
Intrinsic RJ (RMS)	600 fs (typ.)
Data Input Sensitivity	10 mVp-p (typ.)@12.5 Gbit/s
Sampling Oscilloscope	
Power Input	150 ksample/s (max.)
Sampling Speed	
Bandwidth (-3 dB)	DC to 25 GHz (typ.)
Flatness	± 1 dB (typ.)
Optical Input	750 nm to 1650 nm
Wavelength	
Bandwidth (-3 dB)	DC to 9.0 GHz (typ.)

4.2 光トランシーバの受光感度試験

光トランシーバの性能を示す指標として受光感度試験が広く行われている^{4), 9)}。図 9 に受光感度試験の測定ブロック図を示す。DUT である光トランシーバの光出力信号を可変光アッテネータで減衰させていくと、光受信強度に応じてエラーレートが増加していく。その関係を示したのが受光感度試験である。現在市販されている 10GbE 用 SFP+ や 40GbE 用 QSFP+ 光トランシーバは小型化・低消費電力化のためクロックデータリカバリ回路が内蔵されていない場合が多い。その場合、測定結果には光トランシーバ自体の性能に加えて、測定器のノイズやジッタなどアナログ性能が影響する。このため、高精度に測定するためにはより高品質な PPG 出力波形とより高感度な ED が必要とされる。

図 10 に光トランシーバ SFP+ の受光感度試験結果の比較の例を示す。MP2100B の性能改善は、40GbE 用 QSFP+ だけでなく、10GbE 用 SFP+ の測定精度向上にも効果がある。それを示すため、DUT には SFP+ を使用し、MP2100B と MP2100A およびアンリツ製の高性能 BERT である MP1800A とで受光感度試験を行い、比較した。MP2100B のエラーレート 1×10^{-11} における受光感度は -19.0 dBm となり、従来機種の MP2100A の -18.3 dBm と比較して 0.7 dB 改善し

た。この試験で、ED に入力される信号が光トランシーバで発生するノイズの影響を受けているため、4.1 項で示した PPG の電気信号を直接 ED に入力したときの性能差(受信感度 5 倍)までは至らない。図 11 に MP2100B の SFP+ の受光感度試験時の各波形を示す。入力光信号の強度(振幅)が低下すると相対的にノイズの影響が大きくなり、波形の劣化と共にエラーレートが悪化していくこととなる。

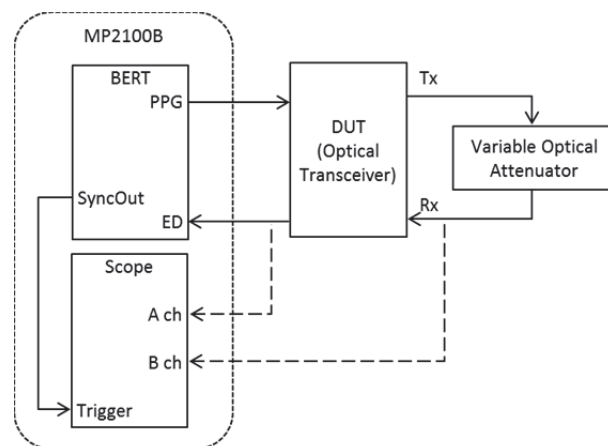


図 9 受光感度試験の測定ブロック図

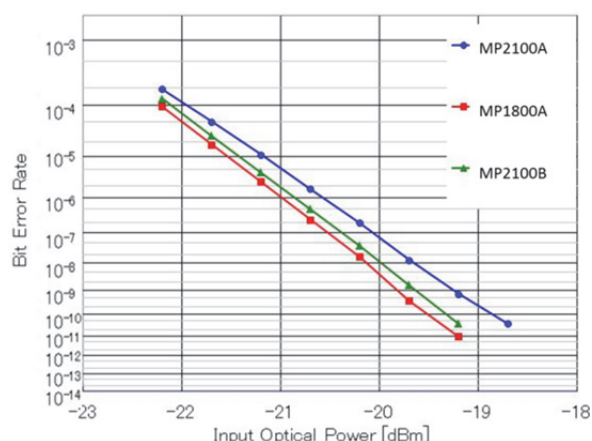


図 10 光トランシーバ SFP+ の受光感度試験結果の比較の例 (10.3125 Gbit/s, PRBS31)

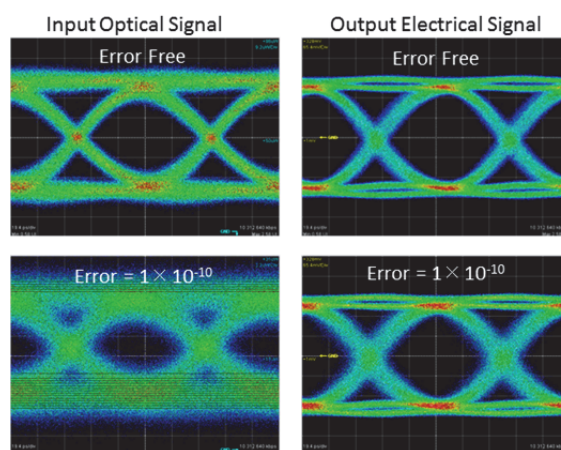


図 11 MP2100B で SFP+ の受光感度試験時の各波形

4.3 解決した課題

今回開発したMP2100Bでは従来機種のMP2100Aと同じ筐体サイズで4チャンネルBERTに拡張し、1台でQSFP+を試験することが可能となった。また、MP2100Aに比べてED受信感度が5倍改善した結果、光トランシーバの受光感度試験ではMP2100Aを0.7 dB上回る高感度の性能を得た。

5 むすび

データセンタの情報量の急増により、サーバやネットワーク機器の光インタフェース化が進み、10GbE用SFP+や40GbE用QSFP+等の光トランシーバの需要が急増している。これらの試験要求に応えるべく、今回12.5 Gbit/s 4チャンネルBERTとサンプリングオシロスコープを1台に搭載したMP2100Bを開発した。4チャンネルBERTの小型化設計により、従来機種のMP2100Aの2チャンネルBERTと同じ筐体サイズを実現した。また性能面ではPPG波形の高品質化とEDの高感度化に取り組み、光トランシーバの受光感度試験ではMP2100Aより0.7 dB改善した。

今後もBERやアイパターン等を評価するための最適なソリューションを提供することで、高速・大容量の通信インフラを支えるさまざまな光トランシーバの開発・生産効率の改善や評価品質の向上に貢献していく。

参考文献

- 1) Cisco White Paper: "Fiber-Optic Cabling Connectivity Guide for 40-Gbps Bidirectional and Parallel Optical Transceivers", (2013)
- 2) Y. K. Chen: "Coherent Transmitters and Receivers for Pluggable Mpdules", OFC 2014, W11.1, (2014)
- 3) Casimer DeCusatis: "Optical Interconnect Networks for Data Communications", Journal of Lightwave Technology, Vol. 32, pp.544-552 (2014.2)
- 4) 神杉秀, 石井邦幸, 村山哲, 田中弘巳, 倉島宏実, 石橋博人, 津村英志: "データセンタ用低消費電力光トランシーバ", SEI テクニカルレビュー, 第183号, pp.60-64 (2013.7)
- 5) <https://www.anritsu.com/en-us/test-measurement/products/mp2100a>
- 6) "SFF-8436 Specification for QSFP+ 10 Gb/s 4X PLUGGABLE TRANSCEIVER Rev 4.8" (October 31, 2013)
- 7) Chao Jiang, QingSheng Hu: "A 6.25 Gb/s Adaptive Analog Equalizer in 0.18 μ m CMOS Technology for High-speed SerDes", 2012 2nd International Conference on Computer Science and Network Technology, pp.266-270 (2012)

- 8) Ruey-Bo Sun, Chang-Yi Wen, Ruey-Beei Wu: "RC Passive Equalizer for Through Silicon Via", 2010 IEEE 19th Conference on Electrical Performance of Electronic Packaging and Systems, pp.45-48 (2010)
- 9) Yoon Koo Kwon, Kang Yong Jung, Ho Sung Cho, Jongyoon Shin, Seungjoo Hong, Jong Yeong Lim, Sungmin Cho, Hee Yeal Rhy, Gwang Yong Yi: "Optical transceiver for CWDM networks with multi sub-channel interface" OFC 2014, Th3J.2, (2014)

執筆者



白土 悟
R&D 本部
第1商品開発部



阿部 高也
R&D 本部
第1商品開発部



鈴木 誠也
サービスインフラストラクチャーソリューション事業部
ソリューションマーケティング部



斎藤 澄夫
R&D 本部
第1商品開発部

公知