

PCIe Gen4 に対応した MP1900A シグナル クオリティ アナライザ-R の開発

城所久生 Hisao Kidokoro, 松田修一 Shuichi Matsuda, 和田 健 Takeshi Wada, 山根一浩 Kazuhiro Yamane,
大日向哲郎 Tetsuro Obinata, 南 昂孝 Takanari Minami

[要 旨] データセンタの IP トラフィック増に伴い、データセンタ機器内のバスインタフェースは高速化が進んでいる。中でも PCI Express (以下、PCIe) Gen4 は、2017 年 10 月に Rev1.0 がリリースされ、今後の成長が見込まれるインタフェースである。成長するデータコム市場でインタフェースの高速化に貢献するべく、新規開発した MP1900A で、リンクトレーニング機能を実現し、いち早く PCIe Gen4 物理層評価に対応した。

1 まえがき

スマートフォンやモバイル端末によるデータ通信量の増加に伴い、データセンタ内のネットワークインタフェースは 200 Gbps および 400 Gbps イーサネットに、通信機器バスインタフェースは PCIe Gen4(16.0GT/s)に高速化されようとしている。PCIe は、それまでほとんどのコンピュータに採用されていた PCI(Peripheral Component Interconnect)バスを高速化する目的でシリアル化され、2002 年に初めて 2.5GT/s の Gen1 が公開された。その後ボトルネックを解消する目的で 2006 年に 5.0GT/s の Gen2, 2010 年に 8.0GT/s の Gen3 と高速化が図られた。そして 2017 年には、16.0GT/s の Gen4 の規格化が完了し、今後テスト方法などの規定が予定されている。

PCIe の規格は PCI-SIG という規格団体により策定されており、そこにはチップベンダ、IP(Intellectual Property)ベンダ、測定器ベンダが参画し、相互接続性を考慮したコンプライアンステストとして、そのテスト手法だけでなく、使用する測定器や治具が細かく規定されている。Gen4 の規格化は予定より 1 年ほど遅れた。これは 16.0GT/s の高速化を実現することが当初の想定以上に困難であったことが要因である。現在規格化が開始された 32.0GT/s の Gen5 ではさらにその難易度が高まると思われる。

我々はこれまで 10 Gbps, 25 Gbps, および 100 Gbps イーサネット等の光モジュールや高速デバイスの品質評価・管理を目的とした幅広い測定需要に応えるため、MP1800A シグナル クオリティ アナライザ(以下、SQA)をリリースしている。今までの SQA の試験と異なり、PCIe でジッタ耐力試験を行う場合には、測定に先立ち、被測定物(DUT: Device Under Test)と測定器の間でリンクトレーニングを行い、DUT をループバック状態に遷移させなければならない。

PCIe に対応するため、MP1900A シグナル クオリティ アナライザ-R(以下、SQA-R)では以下を開発した。

- DUT とのリンクトレーニング機能を提供する、Link Training and Status State Machine(LTSSM)
- PCIe の測定要求である高速エンファシス切り替えに対応したパルスパターン発生器 MU195020A 21G/32G bit/s SI PPG(以下、SI PPG)
- 高精度 Continuous Time Linear Equalizer(CTLE)を備えた誤り検出器 MU195040A 21G/32G bit/s SI ED(以下、SI ED)
- さまざまなストレス用ノイズを印加可能な MU195050A Noise Generator(以下、Noise Gen)
- DUT とのリンクトレーニングを制御する MX183000A-PL021 PCIe リンクトレーニングソフトウェア

さらに、SQA-R ではコンプライアンステストの対応だけでなく、開発初期段階の不具合などを解析可能な LTSSM の解析、イベントトリガ発生機能などを含み、設計検証時間の短縮を可能としている。同時に将来のソフトウェアアップデートにより Gen5 対応も可能な性能を装備し、投資コスト低減に貢献する。

本稿では PCIe の測定に対応した SQA-R の開発方針、LTSSM、主要機能、測定例について解説する。

2 開発方針

PCIe Gen3 までは、他社の測定器で物理層評価の方法が確立されている。SQA では、PCIe Gen4 研究開発の初期段階の物理層評価機能、性能を装備していたものの、量産化に必要なコンプライアンステストに対応していなかった。また、評価においては SQA 以外に 2 台のノイズ発生源を必要とし、機器間の連携に複雑な手順を必要とした。PCIe Gen4 では、物理層評価方法はまだ確立されていないため、Rev1.0 リリース前から、ワークショップというかたちで測定器ベンダと DUT ベンダが集まり、測定を行いながら確立していく手法が取られることになった。ここに、操作が簡易で、1Box で試験できる BER(Bit Error Rate)測定器を提供し、PCIe

Gen4 物理層測定器としての地位を確立することを目指し SQA-Rを開発した。

3 LTSSM の搭載

DUT のループバックへの遷移は、DUT 内の LTSSM と呼ばれるステートマシンで管理されている。LTSSM は、PCIe Base Specification で規定されている¹⁾。測定のためには、DUT と測定器の間でリンクトレーニングを行い、DUT の状態(LTSSM)を Loopback ステートに遷移させなければならない。SI PPGとSI ED のFPGA(Field-Programmable Gate Array)には、DUT とリンクトレーニングを行えるように、LTSSM を搭載した。

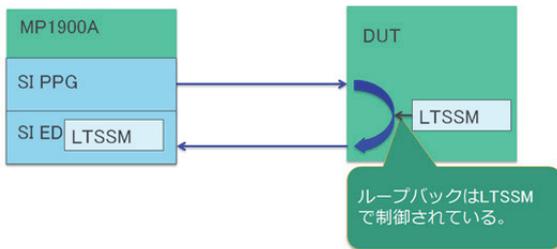


図1 LTSSM によるループバック動作

3.1 Loopback ステートへの遷移フロー

PCIe Gen4でDUTをループバックさせる方法は、2通り存在する。1 つは、Configuration ステートルートで遷移させる方法である。この方法は、簡易なリンクトレーニングしか行わないため、遷移するステート数は少なくループバックは容易である。しかし、出力波形の調整と受信イコライザの調整は実施できない。もう一つは、Recovery ステートルートで遷移させる方法である。こちらの方法は、遷移するステート数が多く、リンクトレーニングは複雑であるが、出力波形の調整と受信イコライザの調整を行い、信号品質を最適化できる。開発した LTSSM では、両方のリンクトレーニングに対応した。LTSSM における Loopback ステートへの遷移フローを図2に示す。

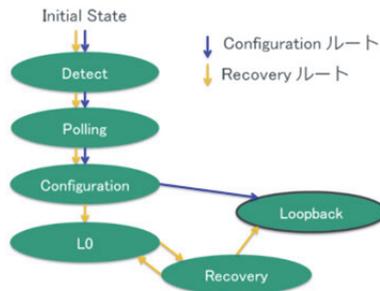


図2 LTSSM による Loopback ステートへの遷移

3.2 LTSSM のリンクトレーニング内容

リンクトレーニングは、Training Sequence Ordered Set(以下、TS OS)と呼ばれるパターンを用いる。TS OS を送受信することにより、DUT と SQA-R との間でビットアライメント、シンボルアライメント、物理層パラメータの交換が行われる。また、リンクトレーニング中は、トランスミッタが電気的アイドル状態へ遷移することを示す Electrical Idle Ordered Set(以下、EIOS)や、電気的アイドル状態からの遷移を示すブロックアライメントにも使われる Electrical Idle Exit Ordered Set(以下、EIEOS)も適時送信される。

LTSSM の各ステートで実施される内容を以下に説明する。

(1) Detect ステート

送信は電気的アイドル状態にあり、対向装置が接続されたか否かを検出する。

(2) Polling ステート

TS OS を交換し、ビットアライメントと、シンボルアライメントを確立する。

(3) Configuration ステート

TS OS を交換し、リンク速度とレーンの幅、レーン番号をネゴシエーションする。ここでループバックの要求をすると、Loopback ステートに遷移できる。

(4) L0 ステート

通常動作のステートである。Configuration ステートでより高い速度のネゴシエーションが成立している場合、Recovery ステートに遷移する。

(5) Recovery ステート

構成されたレーンにおいて、ビットレートを変更し、再度、ビットアライメント、シンボルアライメント、ブロックアライメントを確立する。このとき、TS OS の交換により、出力波形の調整と受信イコライザの調整も可能である。Recovery ステート Gen4(16.0GT/s)へは、一度の遷移で到達せず、Recovery(Gen1(2.5GT/s) → Gen3(8.0GT/s)) → L0 → Recovery(Gen3(8.0GT/s) → Gen4(16.0GT/s))という経路を経て到達する。Gen4(16.0GT/s)に変更後ループバックの要求を行うと、Loopback ステートに遷移する。

(6) Loopback ステート

TS OS を交換し、ループバックのネゴシエーションを行う。Configuration ステートから遷移した場合は、ここで Gen1(2.5GT/s) → Gen4(16.0GT/s)にビットレートの変更を行う。

リンクトレーニングが成立すると、SI PPG は試験パターンの送信を開始、DUT は内部でループバックして、SI ED で試験パターンを受信可能となる。

3.3 LTSSM のブロック構成

FPGA に搭載した LTSSM ブロックはリンクトレーニングを行う機能のほか、PHY 機能、ログ機能、SI PPG の制御機能、および高速フロントエンドデバイス制御機能を装備する。LTSSM ブロックを **図 3** に示し、各ブロックの概要を以下に説明する。

(1) SI ED PHY ブロック

PCIe で使われる符号化(8b/10b, 128b/130b)パターンのビット同期、シンボル同期、ブロック同期を確立する。TS OS のスクランブル解除とデコードをする。試験パターン中に含まれる Skip Ordered Set(SKP OS)を除去する。

(2) LTSSM Log ブロック

リンクトレーニングの内容を LTSSM 遷移ログとして保存する。

(3) SI PPG Control ブロック

SI PPG の Pattern Generator ブロックに対して、リンクトレーニングに応じた TS OS の生成を指示する。ループバック後には、試験パターンの生成を指示する。SI PPG PHY ブロックは EIOS, EIEOS, SKP OS を自動的に発生する。

(4) 高速フロントエンド Control ブロック

SI ED の高速フロントエンドデバイスをネゴシエーションされたビットレートへ変更する。エンファシス設定を切り替えることで、SI PPG の出力波形を Recovery ステートにてトレーニングされたものに変更する。

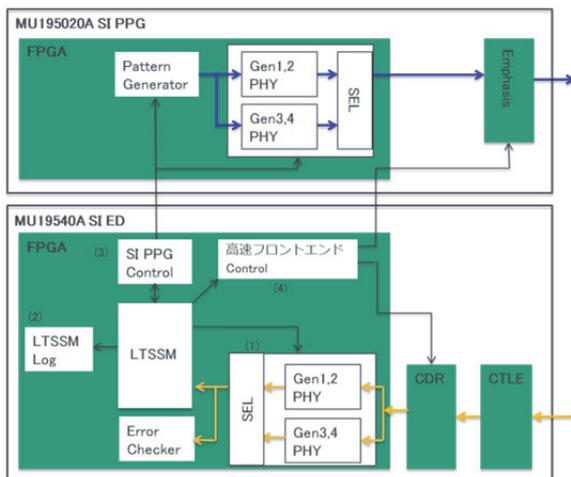


図 3 LTSSM ブロック

4 10Tap エンファシス機能の搭載

デジタル信号がプリント板を通過する際、高周波成分ほど信号の減衰が大きくなるため、アイパターンの開口が閉じてしまう。PCIe に代表されるインターコネクト向けインタフェースでは、この減衰分をあらかじめ送信側で補償してアイパターンの開口を保持するエンファシスという伝送技術を採用している。このエンファシス技術は FIR(Finite Impulse Response)フィルタを用い、高周波成分を強調することにより、時間軸上での波形を改善するものである。波形劣化を見越し、あらかじめ適正なエンファシスゲインを印加することでアイの開口が保持できる。

上記エンファシス技術を応用すると、高周波成分を減衰させることにより、時間軸上の波形を劣化させ、さまざまなデバイス、チャンネルを通した波形を模擬することが可能となる。PCIe に代表されるインターコネクト向けインタフェースでエンファシスに要求される FIR フィルタのタップの数は最大 3Tap であるが、さまざまな減衰劣化波形を模擬するにはタップ数が多いほど有利であり、SI PPG では業界最大タップ数となる 10Tap エンファシス機能を実現した。

4.1 PCIe でのエンファシス要求

PCIe Gen4 においてトランスミッタ側の物理層で要求されるエンファシス機能は、伝送波形の立ち上がりを強調するデエンファシスと立ち下がり強調するプリシュートがある。ビットレート 16 Gbit/s において **表 1** のような 11 通りの設定(プリセット)が PCIe Base Specification で定義されている¹⁾。P7, P8 のプリセットではデエンファシスとプリシュートを同時に設定する必要があり最低 3Tap が要求される。

表 1 Tx Preset Ratios

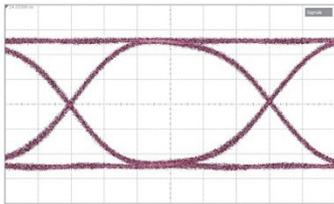
Preset	Pre-shoot(dB)	De-emphasis(dB)
P4	0.0	0.0
P1	0.0	-3.5 dB±1 dB
P0	0.0	-6.0 dB±1.5 dB
P9	3.5 dB±1 dB	0.0
P8	3.5 dB±1 dB	-3.5 dB±1 dB
P7	3.5 dB±1 dB	-6.0 dB±1.5 dB
P5	1.9 dB±1 dB	0.0
P6	2.5 dB±1 dB	0.0
P3	0.0	-2.5 dB±1 dB
P2	0.0	-4.4 dB±1.5 dB
P10	0.0	Boost limit

4.2 実現した機能・性能

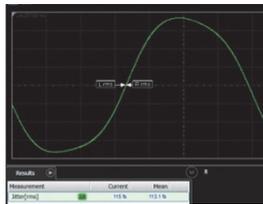
SI PPG の主な性能を表 2、図 4 に示す。

表 2 SI PPG 代表規格

項目	規格
動作ビットレート	2.4 Gbit/s~21 Gbit/s または 32.1 Gbit/s
チャンネル数	1 または 2
出力振幅	0.1 Vp-p~1.3 Vp-p(Single-end) 0.2 Vp-p~2.6 Vp-p(Differential)
エンファシス	10Tap(6post-Tap, 1main-Tap, 3pre-Tap) -20 to +20 dB Setting
Tr/Tf(20~80%)	12 ps (代表値)
ランダムジッタ	115 fs rms (代表値)



28.1 Gbit/s PRBS 2³¹-1
Typical Output Waveform



Low intrinsic RJ 115 fs rms

図 4 SI PPG の出力波形

図 4 からわかるように、SI PPG では高速な立ち上がり時間(Tr)と立ち下がり時間(Tf)、低ジッタを実現した。

SI PPG におけるエンファシス機能は、あらかじめ表 1 に記載のプリセットを備えている。所望のプリセットを選択することにより、エンファシスを 500 ナノ秒以下で切り替え可能である。また最大 16 のプリセット値をユーザが設定可能である。エンファシス機能だけでなく、10Tap を使い、ISI (Inter-Symbol Interference, 符号間干渉) の損失模擬波形の生成も可能である。図 5 に波形調整例を示す。

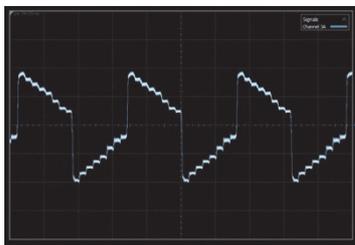


図 5 10Tap エンファシスによる波形調整例

4.3 PPG HIC

SI PPG のデータ信号出力部は HIC(Hybrid Integrate Circuit)と呼ばれる構造を採用し、薄膜基板とベア IC チップ、周辺回路から構成される。薄膜基板回路の伝送線路の材質は石英とし、グランデットコプレーナ線路構造を採用して、DC から高周波まで優れた伝送特性を実現した。また、我々が保有する独自の InP HBT

(Heterojunction Bipolar Transistor)プロセスで、10Tap エンファシス印加可能な専用 MUX IC(Multiplexer Integrated Circuit)開発を行い、最大 32.1 Gbit/s の低ジッタ、高速 Tr/Tf の高品位な波形出力を可能とした。

4.4 特長、長所

SI PPG は最大 32.1 Gbit/s の高品質波形出力が可能であること、10Tap のエンファシス機能を内蔵していることが最大の特長である。このモジュール 1 台で PCIe に代表されるインターコネクト向けインタフェース測定に必要なエンファシス設定に対応できる。さらに、さまざまなデバイス、チャンネル通過後の損失劣化波形を模擬して出力することで ISI の推定もサポートする。これらにより SI PPG は各種デバイスの設計検証の効率化に貢献する。

5 CTLE の搭載

CTLE とは、高周波数成分の減衰に合わせるように、受信側で低周波数成分を減衰させるイコライザである。低域と高域の減衰量のバランスを取ることで、アイパターンの開きを改善する。

5.1 PCIe Gen4 における CTLE の要求

PCIe Gen4 では 8.0GT/s と 16.0GT/s での CTLE の伝達関数が定義されており、

$$H(s) = \omega_{p2} \frac{s + \omega_{p1} * A_{DC}}{(s + \omega_{p1}) * (s + \omega_{p2})} \quad \dots(a)$$

で表される。ここで、 ω_{p1} は低域極、 ω_{p2} は高域極、 A_{DC} は調整可能な DC ゲインである。表 3 に示す各値を式(a)に代入し、周波数特性を描くと図 6 のような特性が得られる。

表 3 PCIe Gen4 における CTLE の各パラメータ

Parameter	8.0GT/s	16.0GT/s
ω_{p1} [rad/s]	$2\pi * 2$ GHz	$2\pi * 4$ GHz
ω_{p2} [rad/s]	$2\pi * 8$ GHz	$2\pi * 16$ GHz
A_{DC} [dB]	-6~-12 dB	

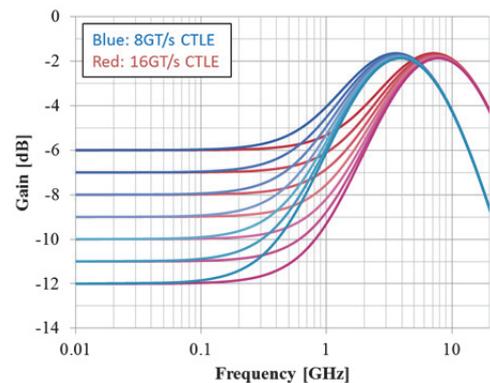


図 6 PCIe Gen4 で規定される CTLE

すなわち、PCIe Gen4 規格の要求を満たすためには、

- (1) 可変低域ゲイン
- (2) 定義された伝達関数を満たす周波数特性
- (3) 8.0GT/s, 16.0GT/s 両対応

への対応が必要となる。

5.2 実現したマルチバンド CTLE の概要

我々が保有する独自の InP HBT プロセスを用いて、PCIe の要求を満たすマルチバンド CTLE MMIC(Monolithic Microwave Integrated Circuit)を開発した。CTLE のブロックを図 7 に示す。この CTLE は 3 つの CTLE と 1 つのアンプで構成されている。8.0GT/s と 16.0GT/s に対応する CTLE に加え、OIF(Optical Internetworking Forum)の CEI28G-VSR で規定されている 28.0GT/s の CTLE を搭載した。また、イコライザなしの CTLE OFF ルートは、40 GHz までフラットに伸びているアンプを搭載し、従来機種で対応してきた高感度測定を実現可能とした。これらを切り替えることで、各ビットレートに対応した測定を可能とする。

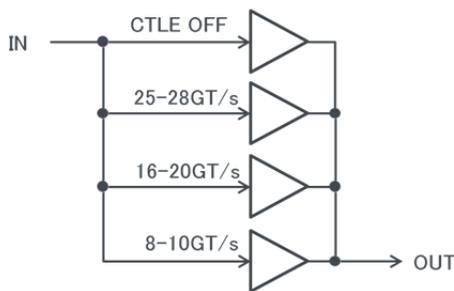
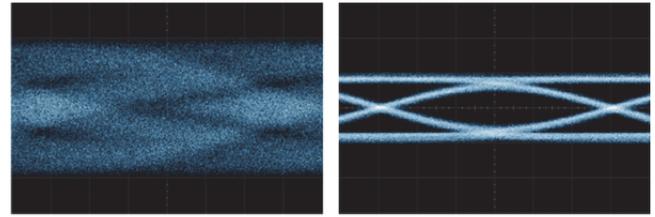


図 7 CTLE MMIC ブロック図

5.3 CTLE MMIC による損失補償

SI PPG により生成された 400 mVp-p, 16.0GT/s のデータ信号が、ナイキスト周波数である 8 GHz にて 12 dB 損失する伝送路を通過した際の波形を図 8(a)に示す。波形がプロットされる点が広がり、中心付近にもプロットが及んで、完全にアイパターンはつぶれている。開発した CTLE MMIC による損失補償効果を図 8(b)に示す。繰り返し同じ位置に波形がプロットされ、中心付近はプロットがなく、アイパターンが開いた良好な波形となっており、十分な損失補償能力を備えていることが確認できる。

以上に示した CTLE MMIC は SI ED に搭載され、伝送損失によりアイパターンが閉じている場合でも、BER 測定を可能としている。



(a) -12dB at 8GHz チャンネル通過波形 (b) CTLEによる損失補償後の波形

図 8 CTLE MMIC の損失補償評価例(16GT/s)

6 Noise Generator の実現

PCIe Gen4 レシーバーのストレスダイテストでは、データ信号に固定値の Random jitter(Rj)および Common Mode Interference(CMI)に加えて、Sinusoidal jitter(Sj)および Inter Symbol Interference(ISI), Differential Mode Interference(DMI)を印加する¹⁾。表 4 に、PCIe Gen4 16.0GT/s ストレスダイパラメータの規格を示す。

表 4 PCIe Gen4 16.0GT/s ストレスダイパラメータ規格値

パラメータ	規格値
Eye width (EW)	0.30 UI (18.25~19.25 ps)
Eye height (EH)	15 mV (13.5~16.5 mV)
Long Rx calibration channel (ISI)	27~30 dB @ 8 GHz
Generator launch voltage	800 mVp-p 調整範囲: 720~800 mVp-p
Swept Sinusoidal Jitter (Sj)	6.25 ps (6.25~6.75 ps)@100 MHz 調整範囲: 5~10 ps p-p Jitter Tolerance Mask あり
Random Jitter (Rj)	1.0 ps RMS (固定値)
Differential Mode Interference (DMI)	14 mVp-p(12~14 mV) @ 2.1 GHz 調整範囲: 10~25 mVp-p
Common Mode Interference (CMI)	150 mVp-p @ 120 MHz (固定値)

ここで EW および EH は、Generator launch voltage, Sj, DMI を表 4 に記載の調整範囲内で微調整して得るものである。

Noise Gen は PCIe Gen4 レシーバーのストレスダイテストで必要な CMI および DMI を同時に SI PPG の出力信号に重畳できる。Noise Gen の概略仕様を表 5 に示す。

表 5 Noise Gen 概略仕様

項目	仕様
Data Input/Output Loss	-3.0 dB +1/-2.5 dB -3.3 dB (Typ.) (U形セミリジッドケーブル込み)
Differential Mode Interference (DMI)	4~200 mVp-p/1 mV Step (Differential)
	2 GHz~10 GHz/10 MHz Step
Common Mode Interference (CMI)	10~250 mVp-p/2 mV Step (Single-ended)
	Low Band: 100 MHz~1 GHz/ 1 MHz Step
	High Band: 1 GHz~6 GHz/ 10 MHz Step

表 4 の DMI の最大振幅 25 mVp-p を DUT 端で付加するには、Long Rx calibration channel の 2.1 GHz における損失が 10 dB 程度であることから、Noise Gen 端で 79 mVp-p 程度の振幅が必要になる。また、表 4 の CMI の振幅 150 mVp-p を DUT 端で付加するには、120 MHz における損失が 2 dB 程度であることから、Noise Gen 端で 190 mVp-p 程度の振幅が必要になる。表 5 に示したとおり、Noise Gen では DMI および CMI いずれにおいても PCIe Gen4 評価に十分な周波数および振幅の設定範囲を備えている。

Noise Gen では CMI および DMI を SI PPG からのデータ信号に重畳するために Pickoff-TEE タイプのコンバイナを採用している。SI PPG 出力波形の劣化を最小限にするためにコンバイナを新規に設計した。図 9 に Noise Gen 通過後の SI PPG 16G bit/s 代表波形を示す。図 4 と同様な波形が得られている。また、図 10 に Noise Gen でデータ信号に CMI および DMI Noise を重畳させた代表波形を示す。図 9 および図 10 からわかるように、Noise Gen は、モジュール通過による波形劣化が少なく、所望の CMI, DMI が重畳できる。

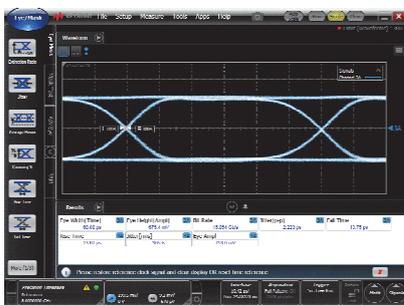


図 9 Noise Gen 通過後の SI PPG 16G bit/s 代表波形

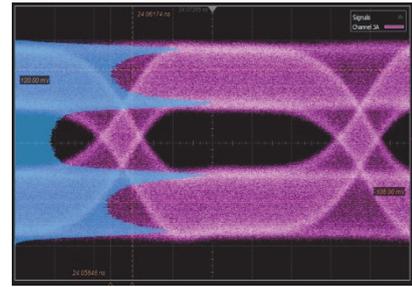


図 10 CMI および DMI を重畳させた代表波形

SQA-R 制御ソフトウェアにおける Noise Gen 制御画面を図 11 に示す。Noise Gen 内部のブロックダイアグラムをベースに CMI や DMI 信号等の流れを表現することで、設定状態がユーザーに視覚的に理解しやすい画面構成とした。

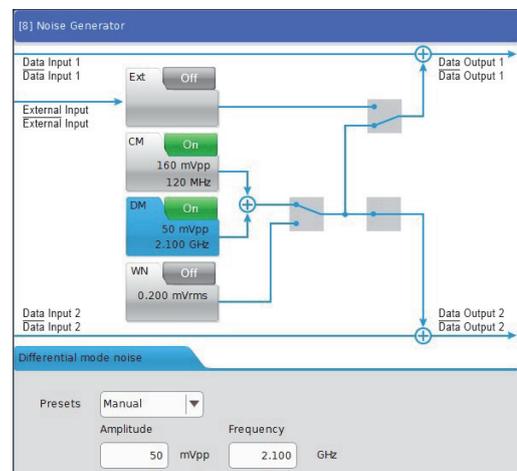


図 11 Noise Gen 制御画面

7 リンクトレーニングソフトウェアの開発

PCIe リンクトレーニングには、DUT と測定器の間で最適な Preset と CTLE 値を決定させつつ、DUT を Loopback.Active 状態に遷移させる Link Equalization という処理が含まれる。ここで、Link Equalization は、LTSSM ステートの一つである Recovery.Equalization ステートで実施される、送受信で使用される最適なプリセットおよび CTLE 値を動的に決定する処理を指す。これを行うためには、DUT と多くのパラメータを高速でやりとりしながら複雑で多くのステートを遷移する必要があり、ここで通信トラブルが発生することが多い。このように、PCIe では DUT をリンクレーニングで目的のステートへ遷移させること自体が課題の一つになっている。この課題を克服するために、リンクレーニングソフトウェアでは、コンプライアンステストに必要な機能に加え、トラブルシューティングのための機能も充実させた。

7.1 Link Training タブ

図 12 に Link Training 画面を示す。Link Training 画面では、DUT とのリンクトレーニングに成功しない場合のデバッグに有用な情報を一画面で確認できる。例えば、Root complex と Endpoint の周波数偏差の吸収に必要な送信 SKP OS 数、受信 SKP OS 数や、Link Equalization の成否などである。送信 SKP OS 数や Link Equalization のパラメータは、Option 画面で柔軟に変更できる。

リンクに成功した場合は、そのままコンプライアンステストの項目である BER 測定やオプションテストである Jitter Tolerance Test を実行できる。

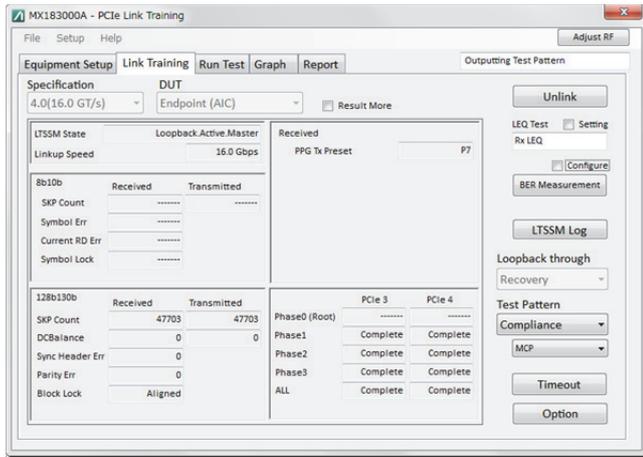


図 12 Link Training タブ

7.2 Link Training Log Viewer 機能

図 13 に Link Training Log Viewer 画面を示す。複雑な LTSSM ステート遷移を検証するためにロジックアナライザがあるが、これは BERT システムのようにデータに対して所望のストレスを印加した条件下でのテストが困難である。これに対して、本アプリケーションではリンクトレーニング中の LTSSM ステートの遷移を一覧表示できる LTSSM Log 機能を搭載した。これにより、ストレスが印加された実際の使用環境に即した条件で、ロジック層に近い領域の検証が可能である。

Time [ns]	ΔTime [ns]	State	Speed[Gt/s]	Detect Preset	Error Count	Use Preset	Preset	Pre-cursor	Cursor	Post-cursor
173,206,968	616	RECOVERY_RCVL_CFG_1S2	8.0	---	---	---	---	---	---	---
173,207,584	1,904	RECOVERY_IDLE	8.0	---	---	---	---	---	---	---
173,209,488	24	LD	8.0	---	---	---	---	---	---	---
173,209,512	2,512	RECOVERY_RCVL_LOCK	8.0	---	---	---	---	---	---	---
173,212,024	2,504	RECOVERY_RCVL_CFG_2S2	8.0	---	---	---	---	---	---	---
173,214,528	6,725,928	RECOVERY_SPEED	8.0	---	---	---	---	---	---	---
173,940,656	32	RECOVERY_PHASE	16.0	---	---	---	---	---	---	---
173,940,688	8	RECOVERY_RCVL_LOCK	16.0	---	---	---	---	---	---	---
179,940,496	278,264	RECOVERY_EQUALIZATION_PHASE1	16.0	---	368	0	7	0	24	0
180,218,760	6,002,400	RECOVERY_EQUALIZATION_PHASE2	16.0	0	0	0	7	0	24	0
186,221,540	23,009,208	RECOVERY_EQUALIZATION_PHASE3	16.0	0	0	0	7	0	24	0
209,230,368	2,000,000	RECOVERY_EQUALIZATION_PHASE4	16.0	1	0	1	7	0	24	0
211,230,368	2,000,000	RECOVERY_EQUALIZATION_PHASE5	16.0	1	0	1	7	0	24	0
212,230,368	1,904	RECOVERY_PHASE	16.0	---	---	---	---	---	---	---
213,233,872	448	RECOVERY_RCVL_LOCK	16.0	---	---	---	---	---	---	---
213,232,320	2,040	LOOPBACK_ENTRY_MASTER_T51	16.0	---	---	---	---	---	---	---
213,234,360	0	LOOPBACK_ACTIVE_MASTER	16.0	---	---	---	---	---	---	---

図 13 LTSSM Log Viewer

上記のログ情報から、DUT がタイムアウトしたステートや送受信したパラメータを把握できる。この状態でデータに対するストレスを

印加または除去することで、DUT が持つアナログ的な弱点や論理的な問題が切り分けられ、デバッグにかかるコストを低減できる。

7.3 LTSSM Trigger 機能

図 14 に LTSSM Trigger 画面を示す。LTSSM Trigger は、リンクトレーニング中に指定されたステートに遷移した時点で、SQA-R からパルス信号(トリガ)を出力する機能である。これにより、本機能とリアルタイムオシロスコープを組み合わせ、パルス信号位置でのデータ波形取得を可能とした。前述した LTSSM Log のステートの情報だけでなく、指定したステート前後の実データのやりとりを解析でき、さらに強力なデバッグが可能である。図 14 はトリガ設定画面、図 15 は Link Equalization 中に DUT のプリセットが変化する前後をトリガ出力を使ってキャプチャした画面である。

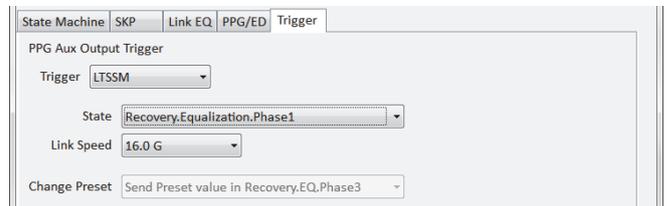


図 14 LTSSM Trigger



図 15 Link Equalization での出力波形例

8 PCIe Gen4 の物理層 Rx テストの例

SQA-R を使用した PCIe Gen4 物理層テストの例として、PCIe Gen4 Add in Card を DUT としたときの Rx テストの系を図 16 に示す。

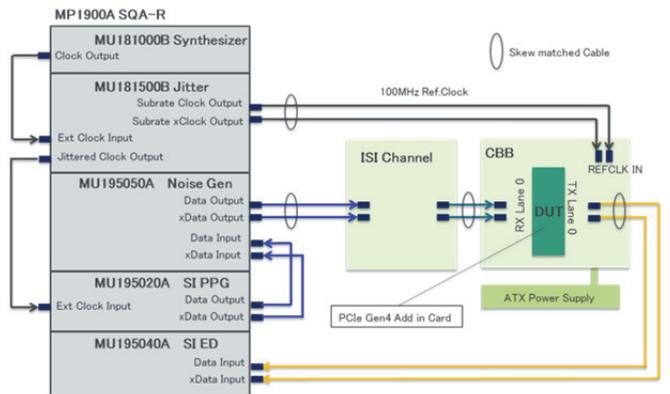


図 16 PCIe Gen4 Add in Card の Rx テスト系

Jitter モジュールで Rj, Sj が付加されたクロックを生成する。このクロックを用いて、SI PPG でデータ信号を生成する。SI PPG の出力信号は、Noise Gen モジュールに接続される。Noise Gen モジュールでは、DMI, CMI を重畳させる。

CBB(Compliance Base Board)および ISI Channel は、試験用の治具で、PCI-SIG から提供されている。CBB は、DUT の信号の取り出しと、クロック供給、電源供給を行うためのものである。試験は共通クロック系で実施され、Jitter モジュールから 100 MHz のリファレンスクロックを CBB ボードに供給する。ISI Channel は、16.0GT/s のナイキスト周波数である 8 GHz で公称値 28 dB の損失がある伝送路を作り、DUT に入力される信号のアイダイアグラムを規定値に校正するために用いられる。すべてのストレスが印加された信号は、CBB(DUT)入力端でリアルタイムオシロスコープで取得し、PCIe 専用の波形解析ツール(Sigtest)でアイパターンの開口度を演算して校正する。印加量と振幅の調整から演算までを繰り返すことで、表 4 に示す PCIe Gen4 16.0GT/s にて要求されているストレスダイパラメータの EW, EH 規格値を満足させる。

校正を行った後、LTSSM を使ったリンクトレーニングを行い、DUT をループバックに遷移させる。ループバック後の試験パターンは、Gen4 Modified Compliance Pattern を使用する。この状態で DUT は、BER 10^{-12} を達成する必要がある。

SQA-R を使った測定結果を図 17 に示す。 10^{-12} を確認するのに約 63 秒を必要とする。測定が終わると PASS もしくは FAIL が大きく表示され、結果が容易に確認できる。

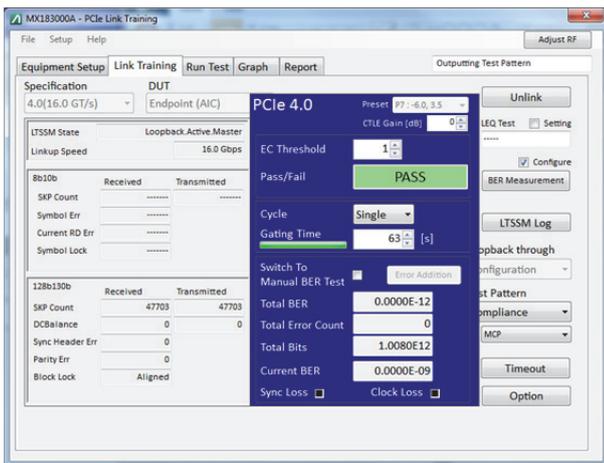


図 17 Rx テスト結果画面

9 むすび

成長するデータコム市場で求められるインタフェースの高速化に貢献するべく、PCIe Gen4 の物理層評価に対応した SQA-R を開発した。SQA-R は、簡便な操作性を持ち、1Box で PCIe 試験に対応することを特長とする。今後も PCI-SIG と連携し、ワークショップなどでの活動を通じて PCIe Gen4 物理層評価に貢献していきたい。

また、PCIe 規格は、現在 Gen5(32.0GT/s)の策定が始まっている。SQA-R は Gen5 にも対応可能な能力を備える測定器である。今後の新たな測定ニーズにも応えて、データコム市場の伸展に貢献していきたい。

参考文献

- 1) PCI-SIG, "PCI Express Base Specification, Rev. 4.0 Version 1.0", PCI Express Base Specification, Rev. 4.0 Version 1.0, pp.287, pp.1022, pp.1053-1061, (September 27, 2017)

執筆者



城所久生
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部



松田修一
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部



和田健
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
ソリューションマーケティング部



山根一浩
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部



大日向哲郎
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部



南昂孝
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

告知