

# MP2110A サンプルングオシロスコープの開発

村上 崇 Takashi Murakami, 横山裕樹 Yuki Yokoyama, 神園隆司 Takashi Kamizono,  
平林文人 Fumihito Hirabayashi

**[要 旨]** 25 Gbit/s 4ch BERT(Bit Error Rate Tester)とサンプルングオシロスコープを1台に搭載したMP2110Aを開発した。MP2110Aは今後需要の増加が見込まれている100GbE用光トランシーバの性能試験に1台で対応できる。サンプルングオシロスコープは、帯域40 GHzのO/E変換モジュールとサンプラモジュール、および高精度トリガシステムを新規採用した。評価の結果、-13.6 dBmの高感度Mask Margin測定と平均174fs rmsの優れたジッタ特性を確認した。

## 1 まえがき

クラウドコンピューティングサービスの普及に伴う情報量の増大により、データセンタで使用されているサーバやネットワーク機器の伝送容量を増やすことが急務となっている<sup>1)~3)</sup>。データセンタではサーバやネットワーク機器の光インタフェース化が進んでおり、光トランシーバの需要が急増している。特に25GbE(25 Gigabit Ethernet)用SFP28や、100GbE(25 Gbit/s×4レーン)用のQSFP28と呼ばれるフォームファクタを採用した光トランシーバの需要は2016年以降急増すると予測されている。光トランシーバの製造・開発にはBERT(Bit Error Rate Tester)とアイパターン解析用のサンプルングオシロスコープが必要となる<sup>4)</sup>。アンリツは2015年に光トランシーバの製造・開発用に4ch BERTとサンプルングオシロスコープを1台に搭載したMP2100Bを商品化した<sup>5)</sup>。しかしMP2100Bは測定可能なビットレートが最大12.5 Gbit/sであり、25GbEや100GbE用光トランシーバ測定に対応できていない。そこで筆者らは25 Gbit/sに適した4ch BERTとサンプルングオシロスコープを1台に搭載するMP2110Aを開発した。これによりSFP28やQSFP28といった光トランシーバモジュールのBER測定とサンプルングオシロスコープによる光出力波形測定を1台で実施できるようになった。

MP2110Aの開発では、25 Gbit/s信号を観測するため、サンプルングオシロスコープの全面的な設計変更を行った。具体的には、アナログ入力帯域の広域化のため、光帯域40 GHzのO/E(Optical to Electrical)変換モジュールと電気帯域40 GHzのサンプラモジュールを新規設計した。また新しいトリガシステムを採用し、測定器内部で生じる残留ジッタを平均200fs rms以下に低減した。本稿ではこれら要素技術の設計における要点について解説する。

## 2 基本構成

### 2.1 MP2110Aの構成

図1に開発したMP2110Aの外観を示す。MP2110Aは1筐体の中にBERTとサンプルングオシロスコープ(以下、Scopeと記載)を組み込んだ測定器である。正面から見て上段にScope、下段にBERTが搭載されている。GUI(Graphical User Interface)を表示するためのディスプレイは、光トランシーバ製造現場では不要である場合が多く、必要に応じて外部に接続する。



図1 MP2110Aの外観

図2にMP2110Aのブロック図を示す。BERTは4ch PPG(Pulse Pattern Generator)と4ch ED(Error Detector)から構成され、PPGに同期したクロック信号がClock Output端子から出力される。Sync Output端子からはパルスパターン周期に同期したクロック信号が出力される。Scopeは2chのデータ入力端子(Ch A Input, Ch B Input)とTrigger Clock Input端子を持つ。ユーザはデータ入力端子構成を電気チャネルおよび光チャネルから選択可能である。

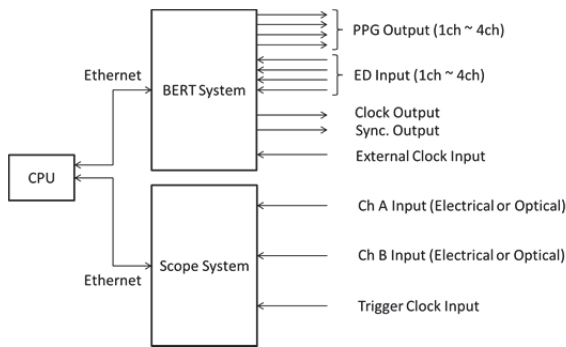


図 2 MP2110A のブロック図

## 2.2 Scope の構成

図 3 に Scope のブロック図を示す。この図では Ch A を電気チャネル、Ch B を光チャネルとした。Ch A の電気チャネルでは、入力信号はサンプラモジュールに入力される。Ch B の光チャネルでは、入力信号は O/E 変換モジュール(以下、O/E モジュールと記載)において電気信号に変換され、電気チャネル同様にサンプラモジュールに入力される。サンプラモジュールはトリガシステムからのタイミング信号に基づいて Ch A または Ch B 入力信号をサンプリングする。サンプラモジュールからの出力信号レベルは IF(Intermediate Frequency)回路によって増幅され ADC(Analog to Digital Converter)によってデジタルデータに変換される。デジタル変換されたデータは FPGA(Field Programmable Gate Array)および CPU によるソフトウェア処理により解析され、最終的な結果としてアイパターン解析結果を表示する。

Trigger Clock Input 端子には、Ch A または Ch B 入力信号に同期したクロック信号が入力される。このクロック信号は、トリガ回路によって制御され、数 100 kHz の低速タイミング信号としてサンプラモジュールと FPGA に供給される。

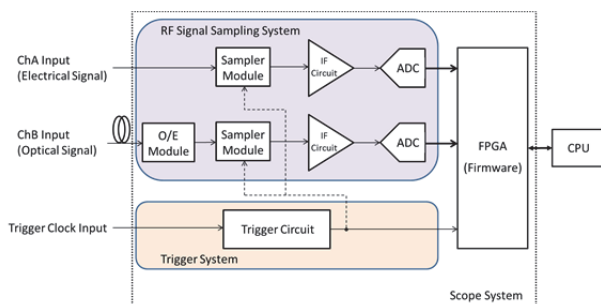


図 3 Scope のブロック図

## 3 設計の要点

### 3.1 光信号サンプリングシステム

IEEE802.3 は、イーサネット通信に用いられる光トランシーバの相互接続性を確保するため、光送信波形のアイパターン形状をアイマスクを用いて規定している。ここでアイパターン観測用オシロスコープのアナログ入力帯域 (3 dB 帯域) は、観測信号ビットレート周波数の 75% に等しくなることが定められている。例えば 25.78125 Gbit/s の場合、19.34 GHz の 3 dB 帯域幅が要求される。

相互接続性のための試験とは別に、光トランシーバの開発・製造時に送信波形の正確な立ち上がり時間やオーバーシュート特性を解析する場合、オシロスコープには観測信号ビットレート周波数より十分に広い入力帯域が必要となる。例えば 25.78125 Gbit/s の場合、基本周波数の 3 倍となる 40 GHz 程度が要求される。

MP2110A の場合、Scope の光チャネルのアナログ入力帯域は、図 3 に示した O/E モジュールとサンプラモジュールによって決定される。MP2110A では、最大 40 GHz の広帯域特性を高感度で実現するため、O/E モジュールおよびサンプラモジュールを新規に開発した。

#### 3.1.1 広帯域 O/E モジュールの開発

図 4 に開発した O/E モジュールのブロック図を示す。O/E モジュールは、PD(Photo Diode)、TIA(Trans Impedance Amplifier)とイコライザ(Equalizer)によって構成されている。図 5 は PD と TIA のみで構成した O/E モジュールの周波数特性の一例である(図中、点線の without Equalizer グラフ)。この例では、PD と TIA のみの構成では 17.5 GHz において 3 dB 減衰しており、要求帯域を満足していない。そのためイコライザによって減衰を補償して O/E モジュールの広帯域化を図った。図 5 の実線グラフは、イコライザを搭載した O/E モジュールの特性の例であり、3 dB 帯域特性が 40 GHz まで改善したことが確認できる。

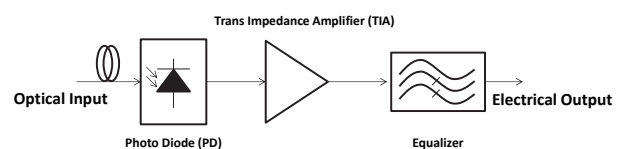


図 4 O/E モジュールのブロック図

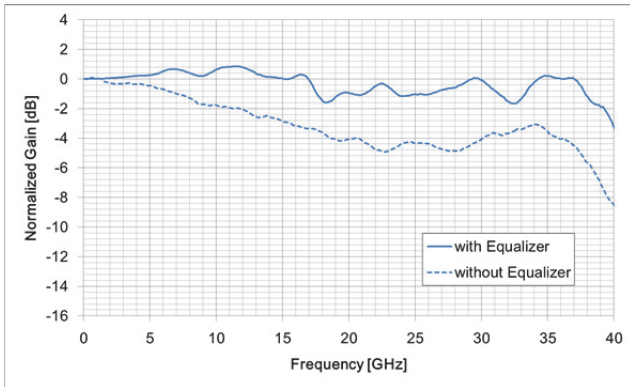


図5 開発した O/E モジュール特性(1310 nm 帯)

広帯域性能だけではなく波長範囲と感度も O/E モジュールの重要な性能である。波長範囲に関しては、100GbE 規格では 1310 nm 帯と 850 nm 帯の 2 波長帯が求められる。2 波長帯に対応するには、両波長範囲対応の PD を採用することで解決可能である。ただし、このような PD は受光感度(単位:[A/W])が中間の 1000 nm 前後の波長帯において最高となるように調整されるため、1310 nm 帯と 850 nm 帯における受光感度が高くない欠点がある。MP2110A では、各波長に対して最高の受光感度を得るため、1310 nm 帯と 850 nm 帯用とでそれぞれ別々の PD を採用した。波長帯域ごとに 2 種類の O/E モジュールを用意し、測定器内部のスイッチで切り替えて受信する方式を採用した。

### 3.1.2 広帯域サンプラモジュールとの結合

開発した帯域 40 GHz の O/E モジュールには 3 dB 帯域を可変する機能はない。そのため 3.1 節に記載した相互接続性に必要な 19.34 GHz の 3 dB 帯域を実現するには、後段に低域通過フィルタ機能が必要となる。MP2110A ではこの低域通過フィルタ機能をサンプラモジュールで実現した。図 6 に開発したサンプラモジュールの内部ブロック図を示す。サンプラモジュールは電気信号入力ポートに対して 2 個のサンプリングダイオードが接続され、50Ω 抵抗で GND に終端されている。

サンプリングダイオードは通常は動作しないように、それぞれ逆バイアス電圧(Reverse-Bias)が印加されている。すなわちサンプリングダイオードは通常、非導通状態となっている。そこにトリガ回路から短パルス信号(Strobe Pulse)が印加されると、サンプリングダイオードは Strobe Pulse が印加された期間中のみ導通状態に変化する。この期間中、入力信号レベルに応じてサンプリングキャパシタへ電荷が充電される。Strobe Pulse が非印加状態に戻ると、サンプリングダイオードは再び非導通状態に変化するが、サンプリングキャパシタには電荷が充電された状態のままとなる。次の Strobe

Pulse 印加までの間に充電された電圧値を読み込み、アイパターン波形サンプルとして処理する。

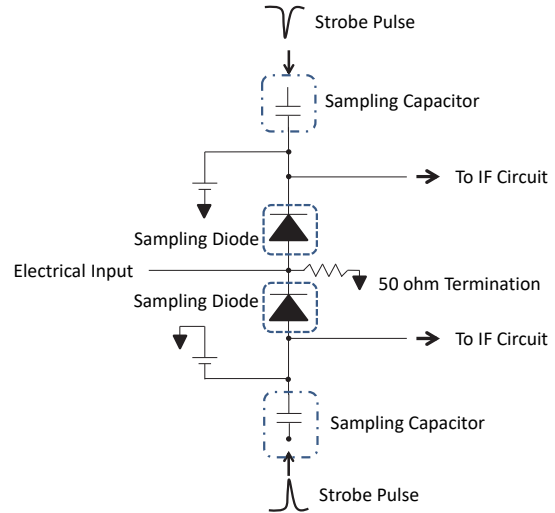


図6 サンプラモジュールのブロック図

サンプラモジュールの 3 dB 帯域はサンプリングダイオードが導通状態に変化している時間によって決定される<sup>6)</sup>。従って導通時間を制御できればサンプラモジュールの帯域を可変できる。先述のように、通常、サンプリングダイオードには逆バイアス電圧が印加されている。逆バイアス電圧が大きい状態(High Reverse-Bias Condition)で Strobe Pulse を印加すると、導通時間が短くなる。一方で逆バイアス電圧が小さい状態(Low Reverse-Bias Condition)で Strobe Pulse を印加すると、導通時間が長くなる。すなわち逆バイアス電圧を制御することで、サンプラモジュールの帯域調整が可能である。図 7 は逆バイアス電圧を調整した際のサンプラモジュールの周波数応答の変化の概念を示している。新規設計したサンプラモジュールでは、サンプリングダイオードの動作周波数を 40 GHz まで拡張し、さらに 3 dB 帯域を 17 GHz から 40 GHz まで可変できる設計とした。

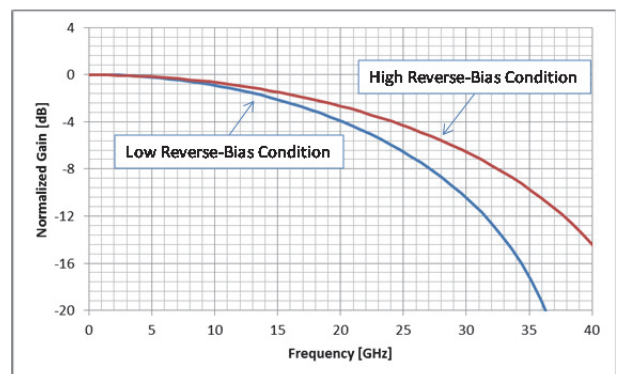


図7 逆バイアス電圧と帯域の関係

### 3.2 トリガシステム

図 8 に MP2110A のトリガシステムブロック図を示す。

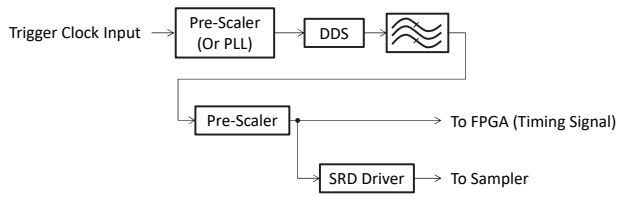


図 8 トリガシステムブロック図

トリガシステムは分周器と DDS(Direct Digital Synthesizer), BPF(Band Pass Filter)で構成されている。初段の分周器は供給されたトリガクロック周波数を DDS 入力範囲に調整する。トリガクロック周波数が DDS 入力範囲より小さい場合は PLL(Phase Locked Loop)を用いて通倍する。DDS によってさらに分周されたクロック信号は後段の BPF に接続される。DDS 出力に現れるイメージ成分や高調波成分などの不要波成分は BPF によって除去される。最後に再度分周器を用いてサンプラモジュールが動作可能な周波数に変換する。次に SRD(Step Recovery Diode)Driver を用いてサンプラモジュールを動作させるために必要な電圧レベルに変換し、サンプラモジュール駆動用の信号として出力する。トリガシステムの分周動作を表現すると以下となる：

$$\begin{aligned} \text{トリガシステム出力周波数} &= \frac{B}{S} \times \frac{1}{P} \times \frac{N}{M} \times \frac{1}{L} \\ &= \frac{B \times N}{S \times P \times M \times L} \end{aligned} \quad (1)$$

ここで  $B$  は測定信号の信号レート、 $S$  は供給同期クロックの分周比、 $P$  は初段分周器の分周比、 $N/M$  は DDS による分周比、 $L$  は最終段の分周比をそれぞれ示す。また  $S, P, N, M, L$  は正数である。トリガシステム出力信号の周期は、式(1)の逆数で表現されるため

$$\text{トリガシステム出力周期} = \frac{S \times P \times M \times L}{B \times N} \quad (2)$$

式(2)において、 $1/B$  は 1UI(Unit Interval)であるため、単位を UI とすると式(2)はさらに

$$\text{トリガシステム出力周期} = \frac{S \times P \times M \times L}{N} \text{ [UI]} \quad (3)$$

と表現できる。式(3)の分子と分母が互いに素の関係であるとき、 $N$  回トリガが発生すると  $S \times P \times M \times L$ , [UI]だけ入力信号に対して位相がずれ、前提条件より  $S \times P \times M \times L$  は正数となる。結果として本トリガシステムでは、DDS に設定する  $N$  値によって“ $N$  サンプルで Bit 内位相を周回掃引するサンプリング動作”が可能となる。

MP2110A ではトリガシステムで発生する残留ジッタを抑圧するため、新たに高精度トリガオプションを搭載した。図 9 に高精度トリガ機能のシステムブロック図を示す。基本構成は図 8 と同じだが、BPF 出力信号を遅延器を介してジッタ補正用のサンプラモジュールに接続している。このジッタ補正用のサンプラモジュールは、最終段の SRD Driver 出力で駆動されている。したがってジッタ補正用のサンプラモジュールは、遅延器から出力される信号(基準クロックと呼ぶ)をその分周タイミングでサンプリングしていることになる。

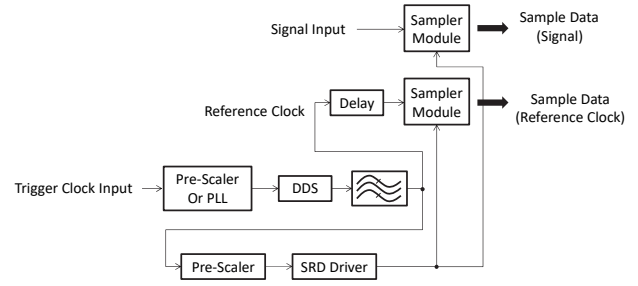


図 9 高精度トリガシステムブロック図

図 10 でこの様子を説明する。図の Ref. Clock で示される基準クロックが立ち上がり遷移の中央付近において Strobe Signal でサンプリングされるよう、遅延器をあらかじめ調整しておく。Ref. Clock と Strobe Signal は分周関係にあるため、サンプルされたデータ系列(Sampled Data)は、ほぼ一定の値となる。Sampled Data に生じるサンプルごとの微小な電圧値の変動は、サンプラモジュール内部の雑音十分小さい場合、基準クロック(Ref. Clock)のタイミングのずれ(Reference Clock Jitterと呼ぶ)と、Strobe Signal のタイミングのずれ(Sampling Jitterと呼ぶ)の差に起因する。Reference Clock Jitter が Sampling Jitter と比較して十分に小さい場合、Sampled Data の電圧値の変動は、Sampling Jitter の変動を表している。すなわち、ジッタ補正用のサンプラモジュールによって、トリガシステム内部で発生する Sampling Jitter を検出している。

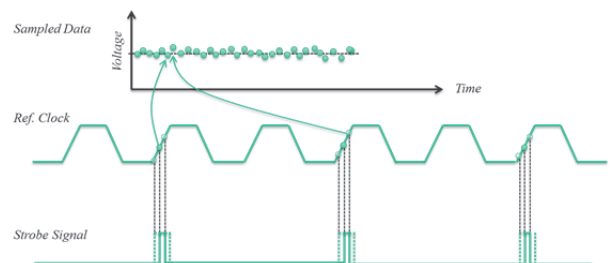


図 10 高精度トリガにおけるジッタ補正

図 9 の上側に示された被測定信号用のサンプラモジュールも同様に、トリガ信号に含まれる Sampling Jitter の影響を受ける。しかし、被測定信号のアイパターンを描画する際、ジッタ補正用サン

ラモジュールで検出した Sampling Jitter を差し引けば、この影響を抑圧できる。ただし、Sampled Jitter を求める過程で除外したサンプリングラモジュール内部の雑音、および Reference Clock Jitter は、抑圧しきれず残留する。MP2110A では、低雑音サンプリングラモジュールと、純度の高い基準クロックを生成する DDS システムを採用することで、残留ジッタ 200fs rms 以下を目標に設計されている。

## 4 性能評価

### 4.1 光信号波形および感度性能

図 11 に 25.78125 Gbit/s における LN 変調器観測波形を示す。使用パターンは PRBS2<sup>31</sup>-1、消光比は 10 dB、入力平均パワーは -2 dBm である。波形歪は少なく Mask Margin が 43%、ジッタ性能は 800fs rms と優れていた。図 12 は、本変調器出力波形を用いて Mask Margin の光入力レベル依存性を評価した結果である。ここで光入力レベルは外部の光アッテネータで減衰され Scope に入力されている。通常、光入力レベルが小さくなるほど、Scope 内部で発生する雑音が被測定信号に対して相対的に大きくなり、Mask Margin は徐々に悪化する。実験の結果、Mask Margin が 0% を下回るときの光入力レベルは目標の -12 dBm を上回る -13.5 dBm であった。

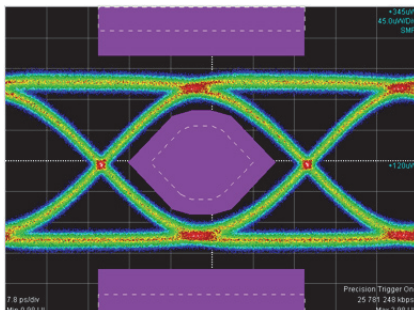


図 11 観測光波形 (25.78125 Gbit/s, LN 変調器)

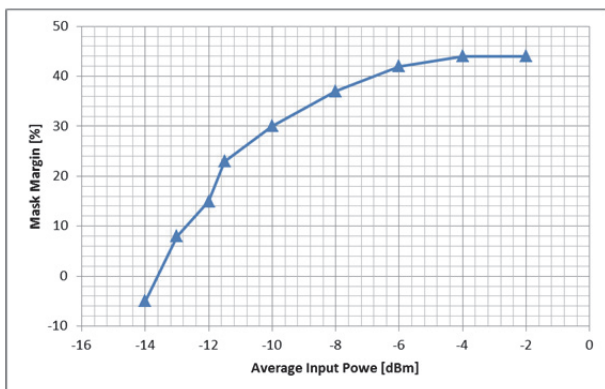


図 12 Mask Margin の光入力レベル依存性の測定結果

### 4.2 高精度トリガ性能

図 13 に市販の高純度シンセサイザ(-130 dBc/Hz@1 MHz Offset)から出力された 10 GHz の正弦波電気信号を MP2110A に入力した場合の観測波形を示す。ここで、Scope の電気信号入力端子とトリガクロック端子には、10 GHz 正弦波信号を 2 分岐して入力している。Scope の電気信号とトリガクロックには同じタイミングジッタを持つ信号が入力されるため、観測ジッタは Scope 内部で発生するジッタを表している。観測ジッタは、高精度トリガ機能を OFF としたとき 330fs rms だったが、高精度トリガ機能を ON とすると 230fs rms に改善した。これは高精度トリガ機能によって MP2110A 内部の Sampling Jitter が抑圧されたためと考えられる。図 14 に市販シンセサイザを用いてトリガ入力周波数を変化させた場合の観測ジッタ結果を示す。この結果より 2.4 GHz から 15 GHz までのトリガ周波数において、目標の 200fs rms を上回る平均 174fs rms を達成した。

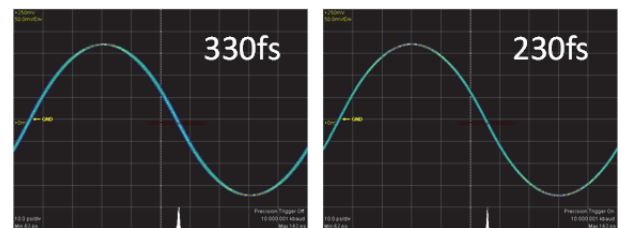


図 13 周波数 10 GHz 入力時のジッタ観測結果  
(左:高精度トリガ OFF, 右:高精度トリガ ON)

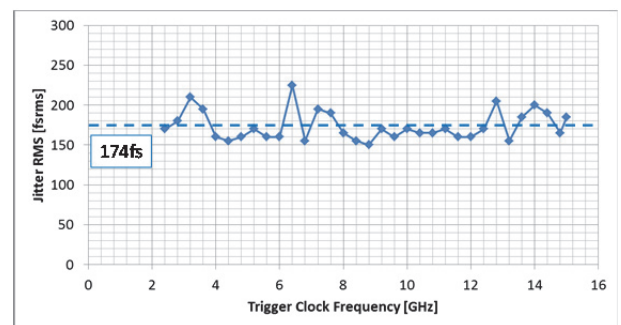


図 14 高精度トリガ ON におけるトリガ周波数と観測ジッタの関係

## 5 むすび

データセンタの情報量の急増により、25GbE や 100GbE 用光トランシーバの需要が急増している。これらの試験要求に応えるべく、25 Gbit/s 4ch BERT とサンプリングオシロスコープを 1 台に搭載した MP2110A を開発した。サンプリングオシロスコープでは新規開発した 40 GHz サンプリングラモジュールおよび 40 GHz O/E モジュールを用いて -13.6 dBm の高感度 Mask Margin 測定を実現した。

また新規トリガシステムを採用して 174fs rms のトリガジッタ性能を実現した。

今後も BER やアイパターン等を評価するための最適なソリューションを提供することで、高速・大容量の通信インフラを支えるさまざまな光トランシーバの開発・生産効率の改善や評価品質の向上に貢献していく。

## 参考文献

- 1) Cisco White Paper: “The Future Is 40 Gigabit Ethernet”, (2016)
- 2) Intel White Paper: “Practical Considerations for Choosing a Network Speed That’s Right for Your Business”, (2017)
- 3) Ixia White Paper: “25GbE: The Future of Ethernet Ixia and QLogic Validate End-to-End Interoperability of 25 Gigabit Ethernet” (2015.12)
- 4) 大森弘貴, 松井崇, 田中康祐, 田中弘巳, 津村英志: “小型 100 Gbit/s 光トランシーバ(CFP4)”, SEI テクニカルレビュー, 第 188 号, pp.99-103 (2016.1)
- 5) 白土悟, 阿部高也, 鈴木誠也, 斎藤澄夫: “MP2100B 12.5 Gbit/s 4ch ビットエラーレートテストの開発”, アンリツテクニカル, No 92 (2017.3)  
<https://www.anritsu.com/en-us/test-measurement/products/mp2100b>
- 6) 上森将文, 小林謙介, 光野正志, 清水一也, 小林春夫, 戸張勉: “広帯域高精度サンプリング技術”, 電子情報通信学会論文誌(2007.9)

---

## 執筆者



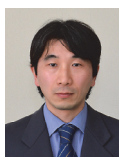
村上 崇  
計測事業グループ 計測事業本部  
サービスインフラストラクチャーソリューション事業部  
商品開発部



横山 裕樹  
計測事業グループ 計測事業本部  
サービスインフラストラクチャーソリューション事業部  
商品開発部



神園 隆司  
デバイス開発センター  
高速デバイス開発部



平林 文人  
デバイス開発センター  
高速デバイス開発部

公知