

# ジッタ耐力試験の実践

MP1800A シリーズ  
シグナル クォリティ アナライザ

## 内容

1. はじめに .....	2
2. 各種ジッタ成分の意味.....	3
3. ジッタ耐力測定時の注意点 .....	9
4. まとめ .....	17

## 1. はじめに

近年、半導体デバイス性能の向上により、28 Gbps 帯の Bit Rate が一般的に扱われるようになってきました。28 Gbps 帯のような高速信号を扱う場合、周辺環境で発生する種々の要因がジッタ成分として伝送品質に与える影響を無視することができなくなってきました。そのため、正確なデバイスの特性評価には、複雑なジッタ印加を伴う試験が必要になってきています。従来、光通信市場でのジッタ耐力試験では、正弦波ジッタ(以下 SJ)だけを印加するのが一般的でした。近年では、SJだけでは、周辺環境の影響を含めてデバイスの特性を正確に評価することは困難になってきています。本アプリケーションノートでは、各種ジッタ成分の意味を解説し、複雑化するジッタ試験のための測定指針を示すと共に、アンリツの MP1800A を用いた具体的なジッタ耐力測定例を記載します。

## 2. 各種ジッタ成分の意味

### 2.1 SJ (Sinusoidal Jitter)

SJ は、単一の周波数成分を持つジッタで、ジッタ耐力試験を行う上で最も基本的なジッタ成分です。自然界には、さまざまな周波数のジッタ成分が存在しており、SJ は、周波数ごとのジッタ耐力を確認するために使用します。

クロックをデータと並走させない伝送方法では、送信デバイスから伝送されたデータ信号は、受信デバイス側の Clock Recovery 回路でリタイミングされます。このリタイミング動作を評価する上で重要な指標となるのが、ジッタ耐力特性です。

Clock Recovery は、内部に PLL (Phase Locked Loop)回路を用いる方法が一般的です。図 2.1.1 に Clock Recovery Circuit を示します。

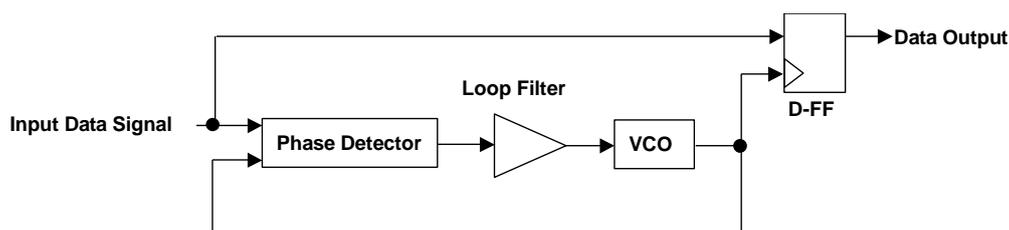


図 2.1.1 Clock Recovery Circuit

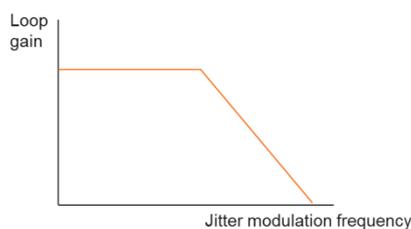


図 2.1.2 Loop Bandwidth

Clock Recovery も基本的な回路は PLL 回路と同じであり、ループ帯域が決まっています(図 2.1.2)。ループ帯域が広い場合は、ジッタ耐力が優れている、Clock Recovery 回路のロック時間が短くなる等のメリットがあります。Clock Recovery に入力される信号が途切れたり、周波数が一時的にずれたりした後に信号が正常状態に復帰するような場合、Clock Recovery のロック時間が短ければ、システム全体が正常動作に復帰するまでの時間も短くなります。広いループ帯域は、このように短いロック時間を実現する一方、入力信号のジッタが Clock Recovery 以降の回路に伝搬しやすくなるというデメリットがあります。そのため、ループ帯域の広い Clock Recovery 回路を多段に重ねた場合、後段になるほどジッタ量が蓄積されてしまい、システム全体が正常に動作しなくなる可能性があります。

ジッタ耐力試験時では、上記のような PLL 回路のループ帯域が、設計通りにできているか、どの程度ばらついているかを確認することが重要になります。すでに記載したように、Clock Recovery は、固有のループ帯域を持ちます。入力データ信号のジッタがループ帯域内の場合で、かつジッタ変調量が一定量以内の場合には、再生されたクロックは、データ信号のジッタに追従するため再生クロックと、入力データ間の位相不一致によるエラーは発生しません。つまり入力データと再生されたクロックが同じジッタ量を持つため、図 2.1.1 の D-FF におけるクロックとデータの位相関係が維持され、エラーが発生しないということになります。しかし入力データ信号のジッタが帯域外の場合、再生されたクロックのジッタは抑圧され、入力データ信号のジッタ量よりも少なくなります。そのため、図 2.1.1 の D-FF でのクロックとデータの位相関係が変化し、エラーが発生します。

SJ はこのように、変調周波数と変調量を変化させながら、エラーが発生する限界性能を確認するジッタ耐力試験に使用される最も基本的なジッタ成分です。

PCI Express では、ジッタ耐力試験時には、二つの SJ を印加することが規定されています。MP1800A では、オプション構成により一つまたは二つの SJ を同時かつ独立に印加させることができます。また、変調周波数 10 MHz 以上の高速変調領域でも、ジッタ耐力試験に十分な 1UI を印加することができます。

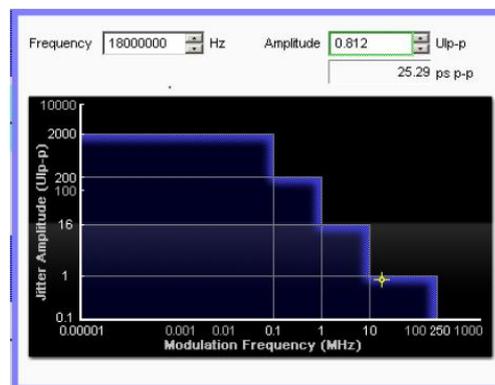


図 2.1.3 MP1800A SJ Setting Screen

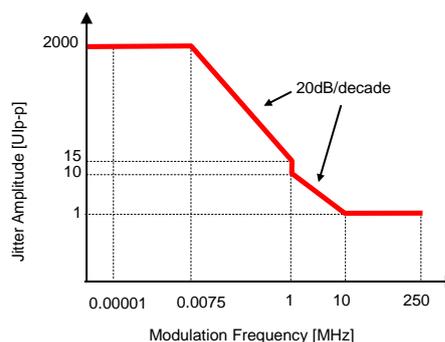


図 2.1.4 MP1800A SJ Mask at 32 Gbps

## 2.2 RJ (Random Jitter)

RJ は、一般的にシステム内で発生する熱雑音等、特定の周波数に依存しないノイズの影響により発生する成分で、広い周波数範囲に分布しています。

CEI 3.0 のジッタ耐力試験では、RJ に対し以下のように、PLL 帯域内のジッタ成分を除去し、耐力試験での負荷となる PLL 帯域外の成分のみを印加するよう、High Pass Filter を使用することが規定されています。

### 2.A.3 Annex - Random Jitter Mask

To ensure that the random jitter modulation of stressed signals is above the CDR bandwidth and therefore untracked, the following filter mask shall be applied where necessary.

Figure 2-5. Random Jitter Spectrum

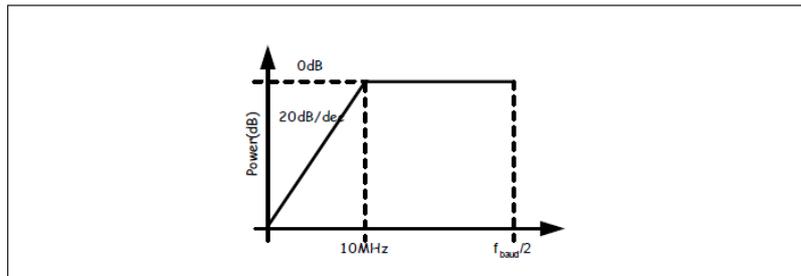


図 2.2.1 CEI 3.0 RJ Filter Mask

この規定によると、RJ は、10 MHz 以下の成分に対して High Pass Filter を設定し、少なくとも CDR の帯域を越える周波数成分までを印加する必要があります。印加する RJ の最大値は、Baud rate の半分となっていますので、Baud rate が 28 Gbps であれば、14 GHz となります。しかし、実際の CDR 帯域が Baud rate の半分まで広がることはなく、通常 PLL 帯域の 10 倍程度の範囲を試験すれば十分です。そのため、測定器の RJ 帯域としては、100 MHz から 200 MHz 程度あれば、十分に試験に必要な範囲をカバーすることが可能です。2.1 に記載した通り、CDR 帯域が広すぎるとジッタが蓄積されシステム全体が不安定になるためです。

MP1800A では、HPF および LPF を内蔵した RJ を簡単に印加する機能があります。HPF や LPF は、ジッタ耐力試験時の再現性を高める上でも、外部で取り付けるべきではなく、測定器内部に組み込まれていることが理想です。

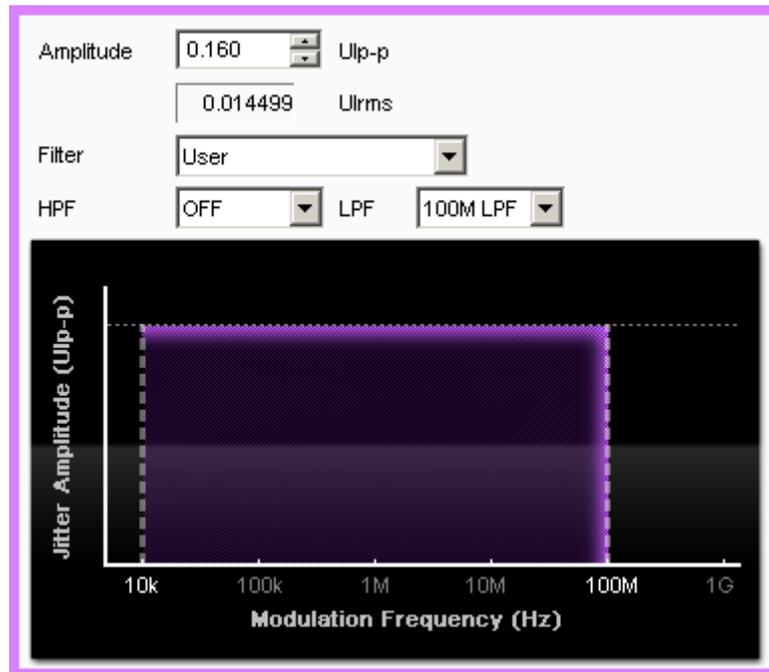


図 2.2.2 MP1800A RJ Setting Screen

また、MP1800A の RJ は、Filter の項目で、PCIe を選択した場合、PCI Express で要求される Low Frequency 領域と High Frequency 領域での RJ 量(ps rms)を独立に設定できるようになります。

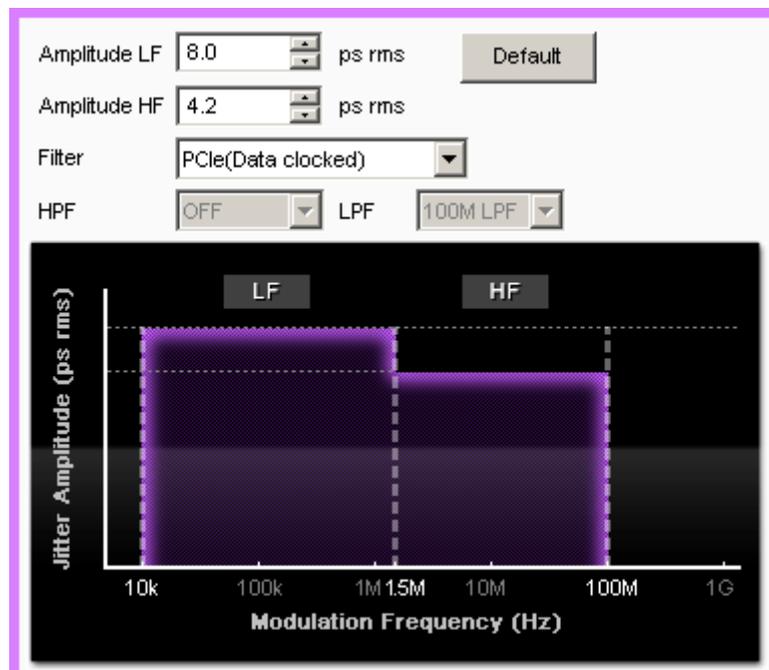


図 2.2.3 MP1800A RJ Setting Screen for PCIe

## 2.3 BUJ (Bounded Uncorrelated Jitter)

BUJ は、一般的に近接するデータ信号によるクロストークに起因するジッタです。測定器から発生させる場合は、測定対象となるデータ信号と相関がない独立した Clock 源から発生させた PRBS 信号を使います。測定対象のデータ信号に PRBS15 を使用しているのであれば、干渉を避けるために、BUJ は PRBS15 以外を使うことが望ましいとされています。また、BUJ PRBS の Bit rate も、干渉を避けるために、測定対象の Bit rate と通倍の関係を持つ値を設定するのは避けるべきです。

CEI 3.1 では、測定対象のデータ信号に用いるジッタ耐力他一般的な試験パターンとしては、PRBS31 が推奨されています。BUJ の PRBS パターンは、7 段から 11 段、baud rate は測定対象の 1/10 から 1/3、そして BUJ PRBS の 1/20 から 1/10 の baud rate の LPF を使用することが規定されています。

次に 28 Gbps の PRBS31 を測定対象のデータ信号に使用する場合は CEI 3.0 に即した設定例について記載します。測定対象が 28 Gbps ですので、BUJ baud rate は、その 1/10 から 1/3、すなわち 2.8 Gbps から 9.3 Gbps の間であることが要求されます。LPF は、BUJ baud rate の 1/20 から 1/10 ですから、140 MHz から 930 MHz の間の値になります。そして BUJ PRBS は、7 段、9 段または 11 段のいずれかを選択します。もし測定対象の信号が PRBS 7 段を使用しているのであれば、測定対象と同じ PRBS パターンを使用するのではなく、BUJ は 9 段または 11 段を使用すべきです。

MP1800A で BUJ を印加する場合 Bit rate として、以下の範囲で設定が可能です。

表 2.3.1 BUJ setting items

Items	Value	Note
PRBS	7,9,11	主信号と異なるパターンを使用する
Bit rate	1/10 to 1/3	2.8 Gbps to 9.3 Gbps(@28 Gbps)
LPF	1/20 to 1/10	140 MHz to 930 MHz(@28 Gbps)

表 2.3.2 MP1800A BUJ baud rate setting range

Baud rate (Gbps)	Step (kbps)
0.1 to 3.2	1
4.9 to 6.25	1
9.8 to 12.5	1

前述した通り、28 Gbps時のBUJ baud rateは、2.8 Gbpsから9.3 Gbpsの間になりますので、最も高いbaud rateのBUJは、6.25 Gbpsになります。この場合のLPFは、312.5 MHzから625 MHzの間に設定されることが規定されています。MP1800AのBUJ用LPFは、500 MHz, 300 MHz, 200 MHz, 100 MHz, 50 MHzの中から選択可能ですので、この例では500 MHzを選択すべき、ということになります。BUJのパターンは、MP1800Aの場合、7, 9, 11, 15, 23, 31が選択可能ですが、CEI 3.0規定に基づいて7, 9, 11のいずれかを選択します。

## 2.4 Half period Jitter (F/2 Jitter)

昨今、半導体デバイス Bit Rate の高速化に伴い、半導体ベンダは、取り扱いの難しい Full rate clock を半導体内に配置することを避け、最終出力段に Selector を使用し、Half rate clock を使用する例が増えてきました (図 2.4.1)。

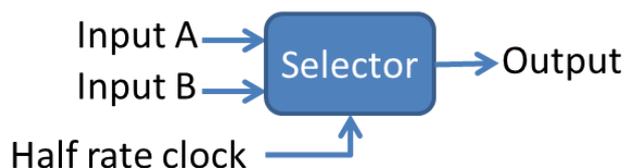


図 2.4.1 Selector type 出力

通常図 2.4.1 の回路は以下の図 2.4.2 のようなタイミングで動作します。

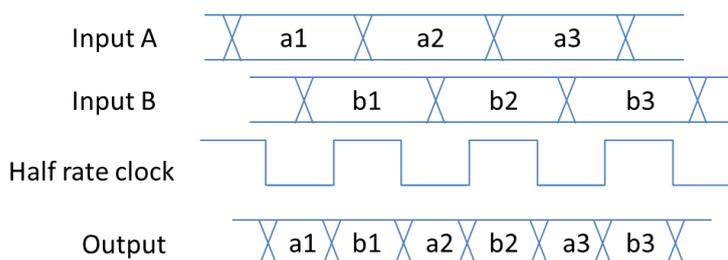


図 2.4.2 Selector の動作タイミング

この時、もし Half rate clock の Duty が 50% でなかった場合、出力データの周期は、図 2.4.3 に示すように、1 bit ごとに狭い状態と広い状態を繰り返すこととなります。これを Half period jitter (以下 HPJ) といいます。

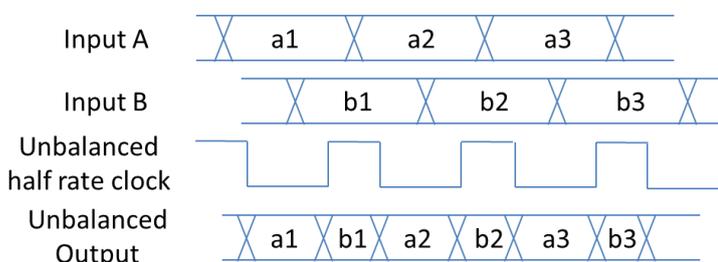


図 2.4.3 Clock Duty が 50% でない場合の Selector 出力

Clock Duty 変化の要因としては、半導体デバイス内部の Clock Buffer Threshold 電圧のずれや、帯域不足等による Clock 波形の歪み等が考えられます。HPJ は、このような状況下で出力される信号を受信回路が正しく受信できるかどうか確認するために使用されます。

MP1800A では、PPG (Pulse Pattern Generator) の出力に HPJ を印加する機能を保有しているため、SJ, RJ, BUJ 等のジッタを印加しながら、さらに HPJ を加えることで、より厳しいストレス条件を作り出すことが可能です。HPJ 設定量を決定するには、ISI に起因して発生する DJ (DDPWS) を分離するため、まずデータ信号で 1010 のクロックパターンを発生させ、HPJ を規定し、その後、DJ を CAL する必要があります。

### 3. ジッタ耐力測定時の注意点

一般的に、半導体デバイスのジッタ耐力測定は、温度条件や電圧条件、Bit rate 等をパラメータとして変化させながら、複数のデバイスに対し、繰り返し実施することが想定されます。その際、変化させるパラメータ以外は、同一条件で何度も再現性良く実施する必要があります。ここでは、再現性の高いジッタ耐力試験を実施するために、考慮しておくべき測定器間を接続するケーブルや、測定器自体の設定項目について、記載します。

#### 3.1 ケーブル長について

典型的なジッタ耐力試験系を図 3.1.1 に示します。

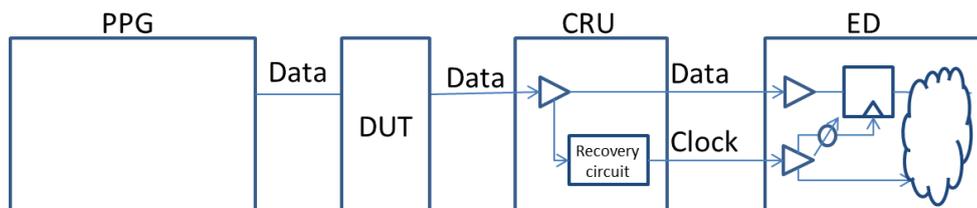


図 3.1.1 Jitter Tolerance Test System

ここで注意が必要なのは、ブロック間でクロックとデータが併走して接続されている部分のクロックとデータの経路長です。図 3.1.1 では、CRU(Clock Recovery Unit)と ED(Error Detector)の間が該当します。送信側から発信されたジッタは、データとクロック両方のルートを同じタイミングで伝達していきませんが、経路長が異なると、受信側の識別回路、図 3.1.1 の例では ED 内の D-FF 回路にて、クロックとデータの位相関係がずれてしまい、誤りを発生させることになります。経路長の違いによる誤りの発生を防ぐためには、データとクロックの経路長を、前後のブロック内部の伝播遅延時間も含めて同じにする必要があります。図 3.1.1 の例では、CRU 内部でデータがクロックとデータに分岐した後のクロックルートとデータルートの長さ、ED 内部でのクロックルートとデータルートの長さ、そして CRU と ED のクロックとデータ間を接続するケーブル長に注意を払う必要があります。上記のクロック経路長の合計とデータ経路長の合計を一致させることで、測定系構築により誤りが発生する状況を避けることができます。ブロック内のデータとクロックの経路長は、外部から判断することは難しいため、測定器メーカーから提供されます。

クロックとデータ間のケーブル取り扱いに関する詳細は、弊社「[伝送線路長の BER 測定への影響 MP1800A-J-E-1](#)」を参照してください。

また、アンリツは、ED 内部に組み込まれた Clock Recovery オプションを用意しています。ED 内部に Clock Recovery を組み込むことで、ユーザは、CRU と ED 間のデータとクロック間の経路長を意識する必要がなくなります。また、クロックケーブルを接続する必要もなくなるため、接続が簡素化されます。さらに、接続ケーブルが簡素化されることにより、誤接続による再実験等、時間の無駄を省くことができます。以上からアンリツでは、ジッタ耐力時に、ED 内蔵の Clock Recovery オプションを使用することを強く推奨します。図 3.1.2 に Clock Recovery 回路を内蔵した ED を使ったアンリツのジッタ耐力試験系を示します。

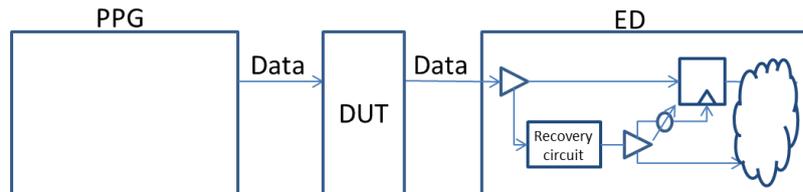


図 3.1.2 Anritsu Jitter Tolerance Test System with embedded CRU

### 3.2 MP1800A 使用時のケーブル長について

実際にジッタ耐力試験を行う場合の推奨する MP1800A ケーブル長について、機器内部の伝播遅延時間を加味した値を記載します。以下で記載する PPG は MU183020A または MU18103021A 28G/32G bit/s PPG、ED は、MU183040A/B または MU183041A/B 28G/32G bit/s ED のことを示します。

#### 3.2.1 PPG-DUT-ED 間の接続

EDにClock Recoveryを内蔵している場合、PPG-ED間で、Clockケーブルを接続する必要はなく、Cable1、Cable2のケーブル長も気にする必要はなく、任意の長さのケーブルを使用することができます。MU183040B / MU183041B 28G/32G bit/s High Sensitivity EDは、内蔵のClock Recoveryオプションを使用可能ですので、図3.2.1.1のように簡単な接続でジッタ耐力試験を実施することが可能です。

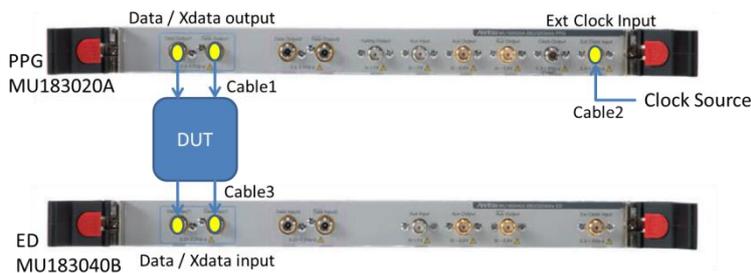


図3.2.1.1 PPG / ED with CR and DUT case

### 3.2.2 PPG-Emphasis間の接続

次に図 3.2.2.1 に、PPG と DUT の間に Emphasis を配置する場合の例を示します。IEEE802.3bj (100GBase-KR-4, CR4,KP4)や IEEE802.3ap (10GBase-KR10)等では、伝送信号に Emphasis を印加することが規定化されています。

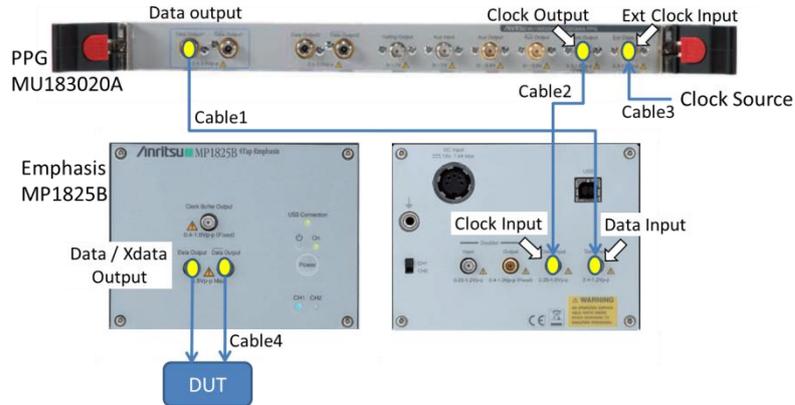


図 3.2.2.1 PPG with Emphasis case

アンリツでは、PPG の出力に Emphasis を加えるために、最高 32 Gbps まで動作する高品質波形の MP1825B 4tap Emphasis を提供しています。Emphasis 内部は、図 3.2.2.2 に示すように、クロック信号とデータ信号が D-FF に接続されており、クロックとデータの経路長を意識する必要があります。

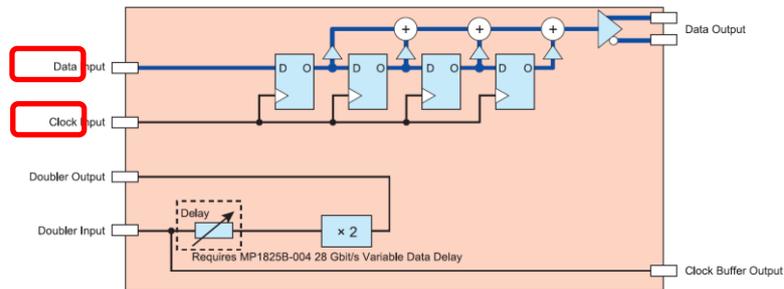


図 3.2.2.2 MP1825B Emphasis block diagram

そのため、図 3.2.2.1 のように PPG と Emphasis を接続する場合、クロックとデータルートの長さを以下の関係に保つ必要があります。

$$[\text{Cable2 長} = \text{Cable1 長} + \alpha \text{ cm}] \dots \text{式 3.2.2.1}$$

$\alpha$  は、表 3.2.2.1 に示すように Bit rate ごとに最適な長さが異なります。

表 3.2.2.1 Optimum cable length

Bit rate (Gbps)	Cable length difference( $\alpha$ cm)
2.40 to 4.00	59 to 91
4.00 to 6.64	64 to 85
6.64 to 8.50	56 to 77
8.50 to 13.24	61 to 72
13.24 to 15.00	59 to 70
15.00 to 16.44	34 to 55
16.44 to 17.00	33 to 54
17.00 to 19.84	38 to 49
19.84 to 25.00	43 to 54
25.00 to 30.00	43 to 54
30.00 to 32.10	35 to 56

なお、アンリツでは表 3.2.2.1 のほとんどのケースで対応可能な 50 cm のケーブル長差を作るために、以下のケーブルを提供しております。

ケーブル名称	PPG 接続コネクタ	Emphasis 接続コネクタ	Note
J1439A Coaxial Cable (0.8m, K Connector)	Data Output	Data Input	Cable1
J1611A Coaxial Cable (1.3m, K Connector)	Clock Output	Clock Input	Cable2

### 3.3 MP1800A の設定について

ここでは、実際にジッタ耐力試験をする上で、注意が必要な MP1800A 固有の設定について記載します。

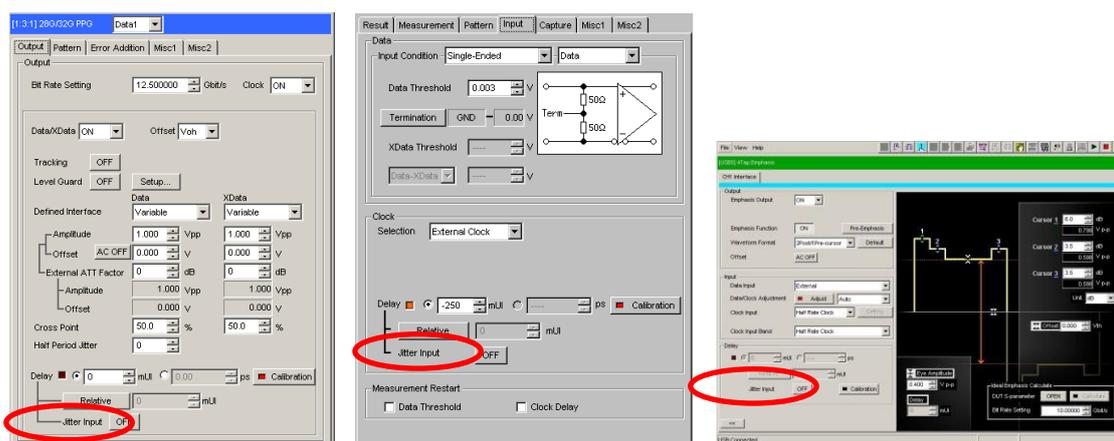


図 3.3.1 Jitter Input Setting for PPG / ED / Emphasis Screen

MU18302xA 28G/32G bit/s PPG, MU18304xA/B 28G/32G bit/s ED, MP1825B 4Tap Emphasis には、データ、クロック間の位相を調整するための位相調整回路があります。この位相調整回路の設定精度を高めるために、調整回路では負帰還回路を使用しています。クロック信号にジッタを印加した状態にすると、この負帰還回路がジッタを位相調整回路の揺らぎと考え、位相設定位置を安定させるために、追従しようとしてしまい、位相設定値が揺らいでしまう現象が発生する場合があります。この現象を防ぐために、ジッタを印加した状態で PPG/ED/Emphasis を使用する場合には、この負帰還回路を無効にする[Jitter Input]という設定があります。ジッタを印加した状態で使用する場合には、[Jitter Input]を[ON]にしていただき、負帰還を無効にすることで、位相設定値を所望の値で固定することができます。ジッタを印加しないで使用する場合には、[Jitter Input]は[OFF]に設定してください。

ジッタ耐力試験をする場合には、[Jitter Input]を[ON]にし、負帰還回路を無効にしてください。逆に Bathtub 測定のように、位相設定の精度が重要な場合には、[Jitter Input]を[OFF]にしてください。

### 3.4 MX181500A Jitter / Noise Tolerance Test Software

アンリツは、ジッタ耐力試験を簡単に実施するための MX181500A アプリケーションソフトウェアを用意しております。ここでは、簡単にその使用方法を説明します。MX181500A を起動すると図 3.4.1 の画面が開きます。

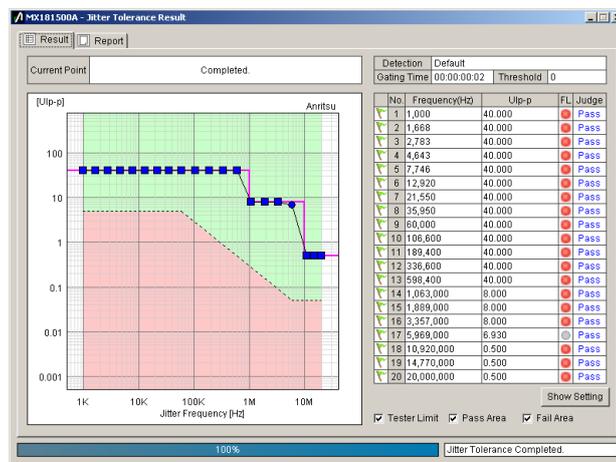


図 3.4.1 MX81500A Screen

DUT のジッタ耐力限界値がどの程度か調べるためには、[Jitter Tolerance]を、選択してください。Jitter Tolerance では、DUT が Error を発生するか、測定器のジッタ発生限界値に達するまでジッタを増加させていくため、DUT が、規格を超えてどの程度の実力を持っているか把握することができます。

すでに DUT の実力を把握しており、ジッタ耐力規格を満足するかどうか、確認するだけの試験を行いたい場合には、[Jitter Sweep]が便利です。事前に設定した変調周波数、変調量を発生し、Go / No Go を判断するだけで、[Jitter Tolerance]と比較して高速な試験が可能です。

上記どちらの測定においても、測定のパラメータとしては SJ の変調周波数と変調量になりますが、測定時のバックグラウンドジッタとして、固定値として、二つ目の SJ, RJ, BUJ, SSC を印加することができます。

ジッタ耐力測定時には、指定のエラー検出条件に達するまでジッタ量を変化させながら探索を行います。探索方法は、二分岐探索の他、大きい値から小さい値に向けて探索していく Downwards, 小さい値から大きい値に向けて探索していく Upwards があります。また、Downwards と Upwards には、それぞれ探索ステップとして一定の間隔で値を変えていく Linear と一定の比率で値を変えていく Log が選択可能です。

また、MX181500A 自体をリモートコマンドで制御することができるため、DUT 検証のための自動測定ソフトの一部に組み込むことも可能です。

### 3.5 Passive equalizer

本稿の冒頭でも記載した Bit Rate の高速化に伴い、ジッタ耐力試験では、半導体チップのような DUT が実装されている PCB 上での信号劣化が結果に及ぼす影響も考慮する必要があります。測定器からジッタを印加した後に、DUT でエラーが発生していなかったとしても、図 3.5.1 に示すように、DUT が実装されている PCB 上で DUT の出力信号が劣化し、ED に入力される信号の Eye が完全に閉じてしまう場合があります。

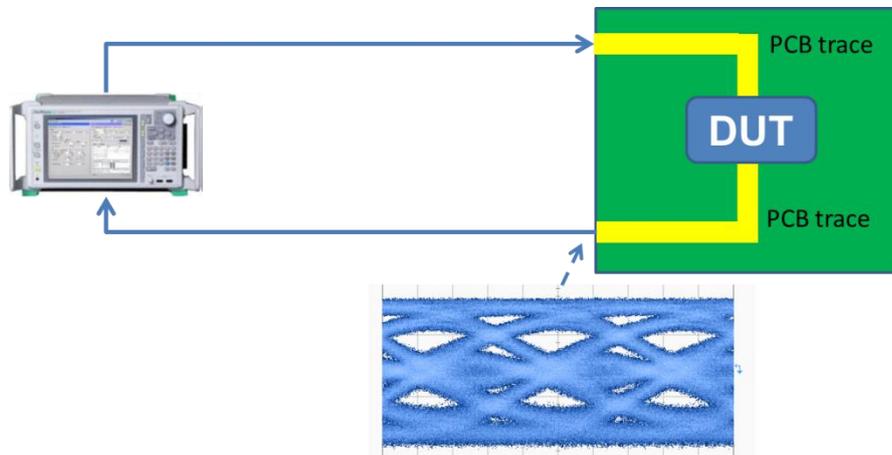


図 3.5.1 Closed DUT output eye on PCB

このような場合、DUT に十分なジッタ耐力があったとしても、Eye が閉じているために、ED でエラーを測定することができなくなります。これでは、正しいジッタ耐力試験の結果を得ることができません。正しいジッタ耐力試験結果を得るためには、Equalizer により PCB のような伝送路による波形劣化の影響を補正する必要があります。

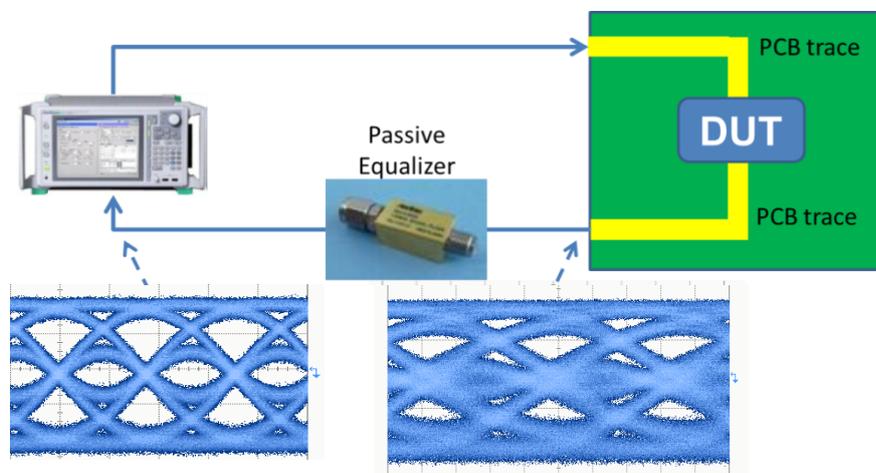


図 3.5.2 DUT output waveform after equalizer

アンリツでは、伝送路による劣化の影響を補正し、ED でエラーを測定できるようにするために、25 Gbps, 28 Gbps 帯の信号に特化した 3dB (J1621A)、6dB (J1622A) の Passive equalizer を用意しております。

## 4. まとめ

本 Application Note では、複雑化するジッタの意味と、MP1800A による発生方法を示しました。また、ジッタ耐力測定について、その概念と MP1800A を使用した測定方法について記載しました。

アンリツは今後ともお客様のビジネスに貢献できる測定ソリューションを提供し続けます。

## 参考文献

- Implementation Agreement OIF-CEI-3.1 February 18, 2014
- Methods and Problems in Evaluating High-Speed Jitter Tolerance, Anritsu Corporation, Application note, January 2010 (MP1800A\_Jitter\_Tolerance\_EF1100).
- Effect of Transmission Line Length on BER Testing – How to Handle High-Speed Digital Signals, Technical Note, 2013 (MP1800A-EE1100).

## Appendix Clock Recovery がない場合の接続

Clock Recovery がない場合は、正確な測定結果を得るためには、適切な長さのケーブルを用いる必要があります。

まず、PPG-DUT-ED という接続系で記載します。

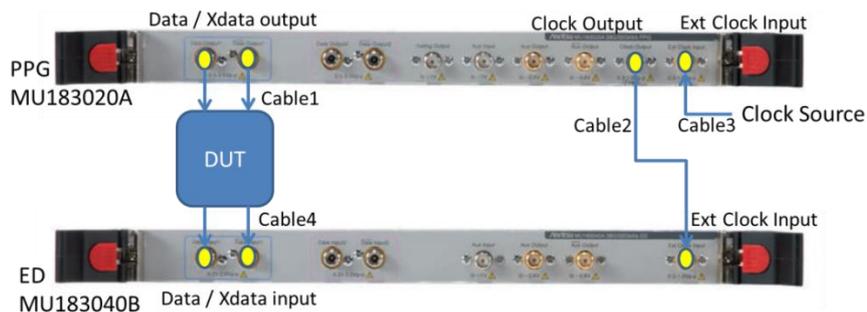


図 A.1 PPG / ED and DUT case

ED として MU18304xA/B を使用する場合、クロック入力として、1/2 の周波数を接続する必要があります。

図 A.1 の場合、以下の関係を成立させる必要があります。

$$[\text{Cable2 長} = \text{Cable1 長} + \text{Cable4 長} + \text{DUT 伝播遅延時間}] \dots \text{式 A.1}$$

式 A.1 の右辺と左辺でのケーブル長の許容誤差は、Bit Rate により変化しますので、表 A.1 に示します。

表 A.1 Acceptable error

Bit Rate (Gbit/s)	Acceptable error (cm)
2.40 to 6.64	+/- 21.0
6.64 to 8.00	+/- 21.0
8.00 to 13.24	+/- 13.5
13.24 to 16.44	+/- 13.5
16.44 to 17.00	+/- 13.5
17.00 to 19.84	+/- 7.5
19.84 to 25.00	+/- 7.5
25.00 to 30.00	+/- 5.5
30.00 to 32.10	+/- 10.5

なお、伝播遅延時間を50Ω系のケーブル長として計算する場合、1m = 4.75nsと考えることができます。

次に、図A.2に、PPG-Emphasis-DUT-ED間の測定系を示します。PPGの1/4 Clock(Cable2)をEmphasisに接続し、Emphasis内部のFrequency Doublerで2倍の周波数になった1/2 Clock(Cable7)をEDのクロックとして使用します。

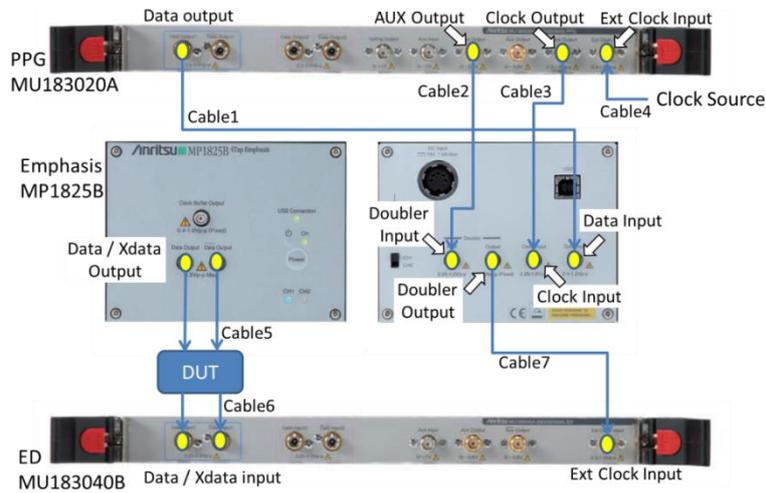


図 A.2 PPG / Emphasis / ED and DUT case

図 A.2 の場合、以下の関係を成立させる必要があります。

$$[\text{Cable2 長} + \text{Cable7 長} = \text{Cable5 長} + \text{Cable6 長} - 50 \text{ cm} + \text{DUT 伝播遅延時間}] \cdots \text{式 A.2}$$

ただし Cable1=Cable5=Cable6=80 cm, Cable3=130 cm の長さのケーブルを使用するものとします。すると、式 A.2 の右辺は、80 cm(Cable5) + 80 cm(Cable6) - 50 cm + DUT 伝播遅延時間 = 100 cm + DUT 伝播遅延時間となります。上記条件での式 A.2 左辺の Bit Rate ごとのケーブル長許容範囲を、表 A.2 に示します。

表 A.2 Acceptable length range

Bit Rate (Gbit/s)	Cable2 + Cable7 + DUT tpd (cm)
16.00 to 16.44	105.0 +/- 12.0 + DUT tpd
16.44 to 17.00	104.0 +/- 12.0 + DUT tpd
17.00 to 19.84	104.0 +/- 6.0 + DUT tpd
19.84 to 21.84	105.8 +/- 6.0 + DUT tpd
21.84 to 25.00	109.1 +/- 6.0 + DUT tpd
25.00 to 26.40	109.8 +/- 4.0 + DUT tpd
26.00 to 28.00	111.2 +/- 4.0 + DUT tpd
28.00 to 30.00	114.5 +/- 4.0 + DUT tpd
30.00 to 32.10	127.3 +/- 9.0 + DUT tpd

Cable2 と Cable7 の長さの比率は任意でかまいません。

図 A.2 の接続構成では、MP1825B Frequency Doubler の動作周波数範囲制約により、16 Gbit/s 以上の動作となります。16Gbit/s 以下で動作する場合、には ED MU18304xB の Clock Recovery オプションを使用ください。

また、上記の関係を満たすと同時に、PPG と Emphasis 間の Cable1 と Cable3 の長さは 3.2.2 節で記載しましたように、以下の関係を成立させる必要があります。

$$[\text{Cable3 長} = \text{Cable1 長} + \alpha \text{ cm}] \cdots \text{式 A.3}$$

Bit rate ごとの式 A.3 の  $\alpha$  の範囲を、表 A.3 に示します。

表 A.3 Optimum cable length

Bit rate (Gbps)	Cable length difference( $\alpha$ cm)
2.40 to 4.00	59 to 91
4.00 to 6.64	64 to 85
6.64 to 8.50	56 to 77
8.50 to 13.24	61 to 72
13.24 to 15.00	59 to 70
15.00 to 16.44	34 to 55
16.44 to 17.00	33 to 54
17.00 to 19.84	38 to 49
19.84 to 25.00	43 to 54
25.00 to 30.00	43 to 54
30.00 to 32.10	35 to 56



お見積り、ご注文、修理などは、下記までお問い合わせください。記載事項は、おことわりなしに変更することがあります。

## アンリツ株式会社

<http://www.anritsu.com>

本社	〒243-8555 神奈川県厚木市恩名 5-1-1	TEL 046-223-1111
厚木	〒243-0016 神奈川県厚木市田村町 8-5	
	計測器営業本部	TEL 046-296-1202 FAX 046-296-1239
	計測器営業本部 営業推進部	TEL 046-296-1208 FAX 046-296-1248
	〒243-8555 神奈川県厚木市恩名 5-1-1	
	ネットワークス営業本部	TEL 046-296-1205 FAX 046-225-8357
新宿	〒160-0023 東京都新宿区西新宿 6-14-1	新宿グリーンタワービル
	計測器営業本部	TEL 03-5320-3560 FAX 03-5320-3561
	ネットワークス営業本部	TEL 03-5320-3552 FAX 03-5320-3570
	東京支店(官公庁担当)	TEL 03-5320-3559 FAX 03-5320-3562
仙台	〒980-6015 宮城県仙台市青葉区中央 4-6-1	住友生命仙台中央ビル
	計測器営業本部	TEL 022-266-6134 FAX 022-266-1529
	ネットワークス営業本部東北支店	TEL 022-266-6132 FAX 022-266-1529
名古屋	〒450-0002 愛知県名古屋市中村区名駅 3-20-1	サンシャイン名駅ビル
	計測器営業本部	TEL 052-582-7283 FAX 052-569-1485
大阪	〒564-0063 大阪府吹田市江坂町 1-23-101	大同生命江坂ビル
	計測器営業本部	TEL 06-6338-2800 FAX 06-6338-8118
	ネットワークス営業本部関西支店	TEL 06-6338-2900 FAX 06-6338-3711
広島	〒732-0052 広島県広島市東区光町 1-10-19	日本生命光町ビル
	ネットワークス営業本部中国支店	TEL 082-263-8501 FAX 082-263-7306
福岡	〒812-0004 福岡県福岡市博多区榎田 1-8-28	ツインスクエア
	計測器営業本部	TEL 092-471-7656 FAX 092-471-7699
	ネットワークス営業本部九州支店	TEL 092-471-7655 FAX 092-471-7699

再生紙を使用しています。

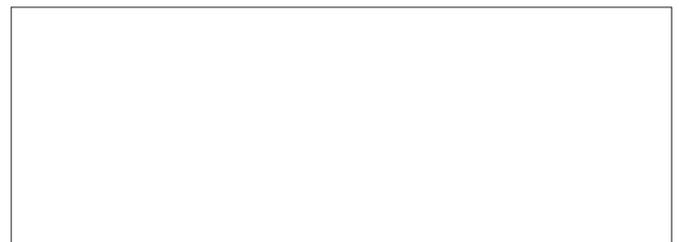
計測器の使用方法、その他については、下記までお問い合わせください。

### 計測サポートセンター

TEL: 0120-827-221 (046-296-6640)  
受付時間 / 9:00~12:00、13:00~17:00、月~金曜日(当社休業日を除く)  
E-mail: MDVPOST@anritsu.com

● ご使用の前に取扱説明書をよくお読みのうえ、正しくお使いください。

1409



■本製品を国外に持ち出すときは、外国為替および外国貿易法の規定により、日本国政府の輸出許可または役務取引許可が必要となる場合があります。また、米国の輸出管理規則により、日本からの再輸出には米国商務省の許可が必要となる場合がありますので、必ず弊社の営業担当までご連絡ください。