

FEC Symbol Capture機能を用いた FEC Rx試験の実施

シグナル クオリティ アナライザ-R MP1900A

目次

1. はじめに	2
2. FECの概要とMP1900AによるFEC Solution	2
2.1 IEEE 802.3のFECの概要	2
2.2 FECを用いた物理層評価について	3
2.3 アンリツMP1900A PAM4 BERTによるFECテストソリューション概要	4
2.3.1 複数レーンのストレス信号源とDUTのFEC Decoderによるエラー訂正後のBER評価	4
2.3.2 BERTによる各Physical Laneの評価	4
2.3.3 BERTとFEC Symbol Capture機能による各Physical Laneの評価	5
2.4 Physical Laneを測定するためのFEC Symbol Capture機能	5
3. 100GAUI-2 FEC-aware Rxテストソリューション	6
3.1 測定機器構成	6
3.2 100GAUI-2 FEC-aware Rx Test	7
3.3. PAM4 PPG Error Addition機能によるFEC-aware Rx Test	11
3.4. FEC-aware Rx Jitter耐力試験	12
3.5. FEC-aware Rx Testまとめ	14
4. まとめ	14
付録) FEC LaneとPhysical LaneにおけるFECシンボルの取り扱いについて	15

1. はじめに

近年、モバイル通信5GやIOT機器の普及により、IPデータトラフィックの増大が続いています。大容量データ通信を支えるデータセンタの中では、400GbE通信方式の導入が進みつつあり、将来さらなる大容量伝送に対応するため800GbE/1.6 TbEへの進展が検討されています。2017年に標準化された 200GbE/400GbEでは、伝送容量増加のために、伝送フォーマットとしてPAM4が採用されています。2値で伝送する従来のNRZと比較して、4値で伝送するPAM4は伝送容量を2倍にすることができる反面、SN比が約10 dB悪化します。200GbE/400GbEの物理層伝送では、伝送速度の上昇とSN比の悪化によって、NRZ伝送では当然であったError Free伝送を実現することが難しくなり、FEC (Forward Error Correction) を前提とした伝送方法が用いられています。

本アプリケーションノートでは、シグナル クオリティ アナライザ-R MP1900AによるFEC Solutionを解説し、PAM4 ED MU196040BのFEC Symbol Capture機能を用いた具体的なFEC Rx試験の測定例を記載します。

2. FECの概要とMP1900AによるFEC Solution

本章ではまずFECの概要について説明し、それを踏まえMP1900Aシリーズ PAM4 EDのFEC Symbol Capture機能の説明および、その際のFECシンボルおよびCodewordの定義について説明します。

2.1 IEEE 802.3のFECの概要

IEEE 802.3ではいくつかのFECが使われています。代表的な方法として、Reed-Solomon codeを使用した方法があり、RS (n, k) と表記されます。

表2.1-1、図2.1-1のように、NRZ方式を用いる物理層伝送ではRS (528, 514)、PAM4の伝送ではRS (544, 514) が使用されています。同表に定数n、kおよびFECシンボルに関する各定義をまとめます。

表2.1-1 RS-FECのタイプ

RS-FEC	定数	NRZ RS-FEC RS (528, 514)	PAM4 RS-FEC RS (544, 514)
トータルFECシンボル数/Codeword	n	528	544
メッセージFECシンボル数	k	514	514
パリティシンボル数	n-k	14	30
ビット数 (/1 FECシンボル)	-	10	10
訂正可能FECシンボル数	-	7	15

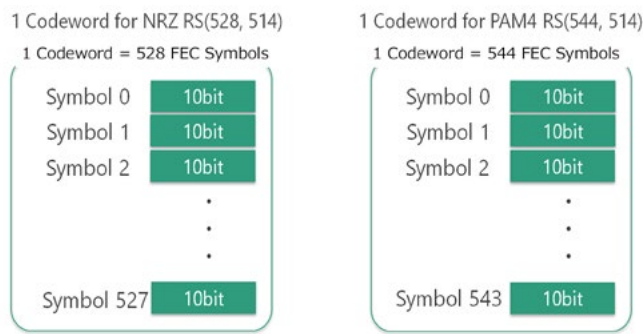


図2.1-1 NRZ/PAM4 RS-FEC

IEEE 802.3で定義されているRS-FECでは、信号自体をCodewordと呼ばれる単位に分割し、CodewordはFECシンボルと呼ばれる10ビット単位に分割されます。

NRZのRS (528, 514) は、1 Codeword内に528個のFEC シンボルが含まれ、そのうち514 FECシンボルが情報、528と514の差分14が、エラーを検出・訂正するためのパリティシンボルとなります。PAM4のRS (544, 514) も同様の考え方で1 Codeword内のFECシンボル数は544個、そのうち514FECシンボルが情報で、544と514の差分30がパリティシンボル数となります。

FECを使った伝送エラーを測定する場合、10ビットで定義されている1 FECシンボル中にビットエラーが何ビット含まれるかということは考慮されません。1 FECシンボル中のビットエラー数は、1ビットでも10ビットでも、エラーが含まれるFECシンボルとして検出されます。

NRZ RS (528, 514) の場合、1 Codeword中のエラーを含むFECシンボルが7個までの場合は、訂正可能となります。そのCodewordは、FECデコード後には、エラーを含まない情報の塊になります。エラーを含むFECシンボルが8個以上になると、エラーを訂正することはできず、“Uncorrectable Codeword”として扱われます。

PAM4 RS (544, 514) の場合は、1 Codeword中のエラーを含むFECシンボルが15個までの場合は訂正可能、16個以上になるとUncorrectable Codewordとして扱われます。

2.2 FECを用いた物理層評価について

IEEE 802.3 Ethernet Open System Interconnection (OSI) において、送信データは、MAC (Medium Access Control) Layer側からPCS (Physical Coding Sublayer) を経由し、PMD (Physical Medium Dependent) から送信されます。逆に、PMDで受信したデータはPCSを経てMAC側に流れていきます。FECは、PCS内の機能ブロック一つとして位置づけられています。

送信時、MAC Layerから伝達してきたデータは、まずPCS内のTranscoding Blockで64B/66Bのあと256B/257BにTranscodeされます。次に信号の0/1ビットのバランスを一定にするためPRBS58等で、Scrambleされます。その後、送信するデータが複数レーンの場合には、受信時にレーン間のBit Skewを吸収できるように、一定間隔ごとにAlignment Markerが付加されます。次にFECの計算をし、最後にPMAのレーン数に応じ、複数レーンにインターリーブされます。

受信時は、この逆で、Alignment Markerを使ってレーン間Skewを修正した後、複数レーンのデータを論理的に一つのデータにまとめます。この後データは、FECのDecode、Scrambleの解除、Coding削除をされた後、MAC Layerに伝達されていきます。

• 200GBASE-R/400GBASE-R model

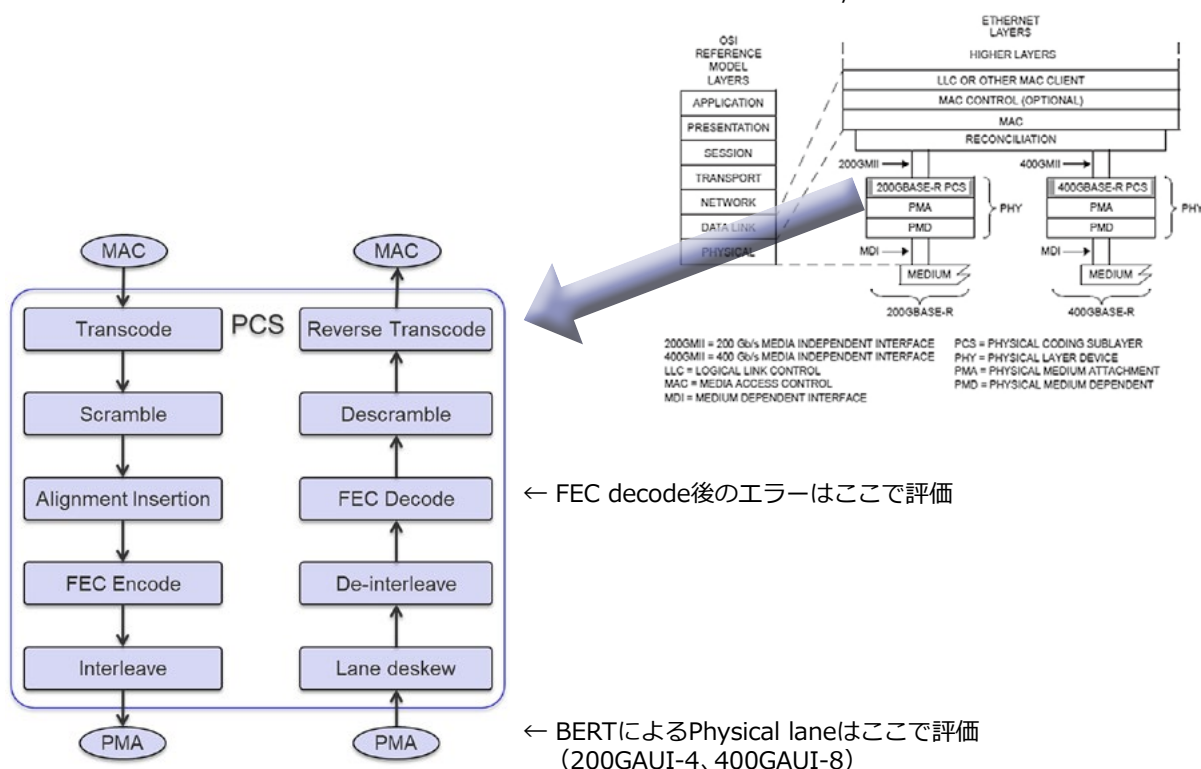


図2.2-1 Ethernet model function block diagram

200GbE/400GbE規格 (IEEE 802.3 Annex 120E) で定義されている200GAUI-4/400GAUI-8の評価では、BERT (Bit Error Rate Tester) を使用した、入力感度、ジッタ耐力などのストレス入力試験が要求されています。PAM4方式を採用している200GAUI-4/400GAUI-8の物理層伝送は、前述のようにエラーフリー伝送は困難であり、 $BER < E-5$ として定義されています。その物理層伝送でのエラーは、PCSのFEC Decodeで訂正され、200G/400G伝送が実現されます。しかしながら、実際のケースでは、BERTを使用した200GAUI-4/400GAUI-8の各レーンのストレス入力試験結果が $< E-5$ 以下であったとしても、エラーが2.1項で説明したCodeword区間にバースト的に集中して発生すると、FEC Decodeによる訂正ができない場合があります。そのため、200GAUI-4/400GAUI-8のストレス試験では、図2.2-1に示すポイントでエラーを評価する必要があります。

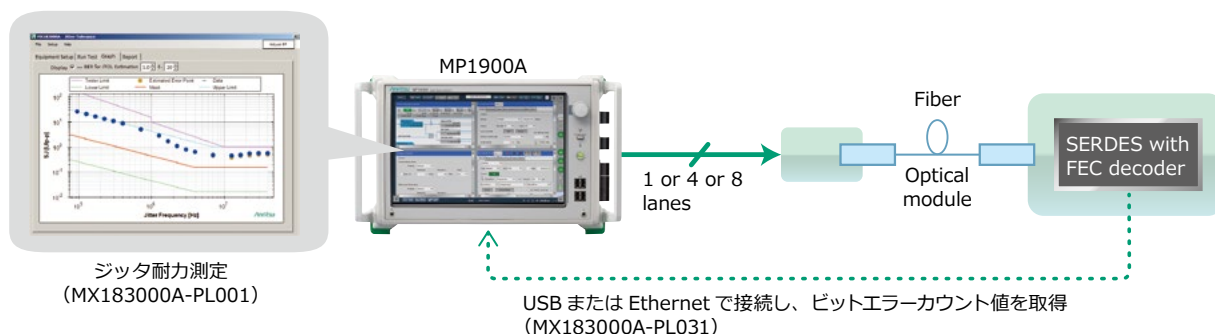
- FEC Encodeした複数レーンのストレス信号をDUTへ入力し、DUTの複数レーン出力をFEC Decodeした後にエラーが訂正されることを評価
- BERTを使用し、各Physical Laneのエラーレートが定義のとおり $< 10^{-5}$ であることを評価

2.3 アンリツMP1900A PAM4 BERTによるFECテストソリューション概要

2.3.1 複数レーンのストレス信号源とDUTのFEC Decoderによるエラー訂正後のBER評価

200GbE/400GbEで定義されているFEC Decode後のエラーを評価するには、図2.3-1の通り同期した4chまたは8chの信号源すべてにジッタを印加し、DUTへ入力する必要があります。MP1900Aでは、同期したマルチチャネルパルスパターン発生器 (PPG) 出力のRS-FEC PatternにRandom Jitter(RJ)、Bounded Uncorrelated Jitter(BUJ) とSinusoidal Jitter(SJ) ストレスを印加し、DUTのジッタ耐力試験を実施することが可能です。なお、PAM4 エラー検出器 (ED) はRS-FECのデコード機能を持たないため、図2.3-1のようにDUT内のFEC Decoder後のFECシンボルエラー結果を読み取る測定系になります。

光FEC信号伝送評価



電気FEC信号伝送評価

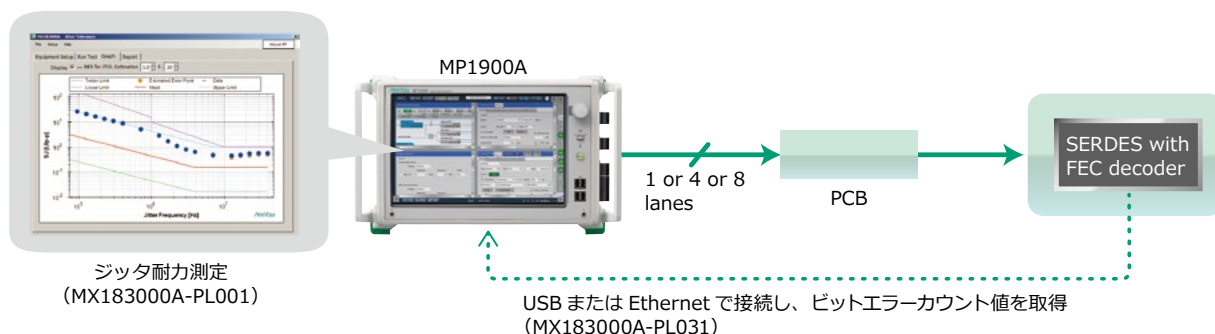
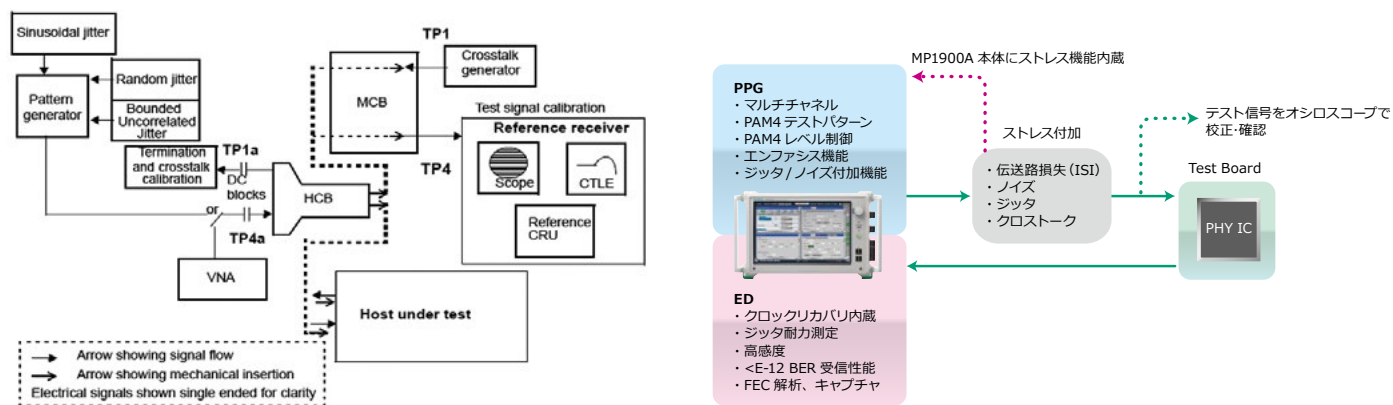


図2.3-1 RS-FECジッタ耐力テストブロック

MP1900Aは、DUTのBERカウンタ値を読み取るためのDUT Error Counts Import MX183000A-PL031、ジッタ耐力を自動測定するためのJitter Tolerance Test MX183000A-PL001の各アプリケーションソフトウェアを用意し、ストレス入力試験をサポートします。

2.3.2 BERTによる各Physical Laneの評価

200GAUI-4/400GAUI-8インタフェースでは、ストレス入力試験として、ジッタ耐力試験が規定されています。たとえば、Host Stressed input test規格では、図2.3-2のように、SJ、RJ、BUJを入力信号に印加するジッタ耐力試験系が規定されています。MP1900Aでは、PAM4 PPGとジッタ発生源を組み合わせ、定義されているストレス信号を発生させることができます。そのストレス信号をDUTへ入力し、出力のBERを測定することができます。



(200GAUI-4/400GAUI-8 Host Stressed Input Test)

(MP1900A PAM4 BERTによるストレステスト概要)

図2.3-2 各Physical Laneのストレス入力テスト

2.3.3 BERTとFEC Symbol Capture機能による各Physical Laneの評価

前項ではBERTによるFEC Decode前のストレス入力試験について説明しましたが、さらに、EDのFEC Symbol Capture機能を使うことにより、200GAUI-4/400GAUI-8などで定義されている各Physical Laneにおいて、FEC Decodeでは訂正できないバースト的に発生したエラーを検出し、キャプチャしたデータからエラー要因を解析することができます。

機能の詳細を2.4項で説明します。

2.4 Physical Laneを測定するためのFEC Symbol Capture機能

図2.4-1にFEC Symbol Capture設定画面を示します。MU196040B PAM4 EDは、入力データをRS-FECパターンとみなし、無作為にFECシンボルおよびCodeword区切りを生成します。そのCodeword内において、設定されたFEC Symbol Error Thresholdより多いFECシンボルエラーが検出された場合に、パターンデータおよびエラーデータをキャプチャすることが可能です。トリガをかけるFEC Symbol Error Threshold条件は任意に設定できるため、UncorrectableとなるCodewordだけでなく、測定対象のFECシンボルエラーの基準に応じたFECシンボルエラーが挿入された場合のデータを取得し、解析することが可能です。

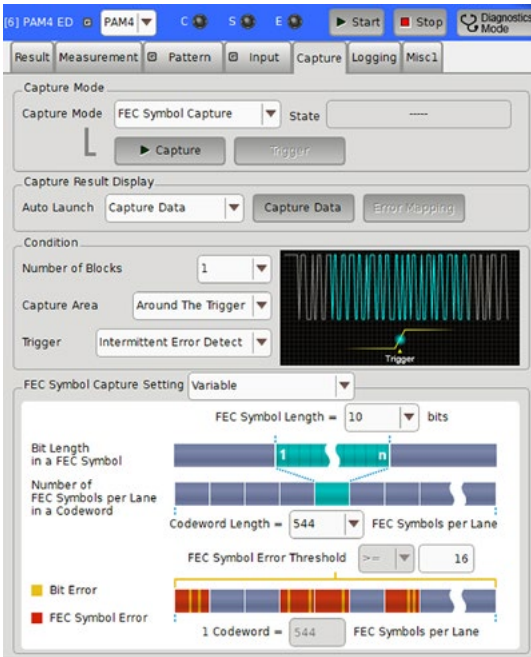


図2.4-1 FEC Symbol Capture設定画面

FEC Symbol Capture機能には、Intermittent Error DetectとConsecutive Error Detectの二つのトリガ条件があります。表2.4-1に二つのトリガのトリガ条件およびそのトリガの推奨使用方法を示します。

表2.4-1 FEC Symbol Captureのトリガ条件

Trigger Condition設定	機能概要	使い方
Intermittent Error Detect	Codeword区切りに依存し、設定したFECシンボルエラー数を基準にキャプチャを開始する。	FEC訂正可能かどうかを判別したい場合に使用する。
Consecutive Error Detect	Codeword区切りに依存せず、連続したFECシンボルエラーに対して、設定数を基準にキャプチャを開始する。	連続したFEC Symbol Errorをキャプチャしたい場合に使用する。 DFEやCDRなど論理的に連続したFECシンボルエラーが発生するデバイスを評価する場合に使用する。

Intermittent Error Detectは、受信したデータを無作為にCodeword、FECシンボルに区切り、Codeword中のFECシンボルエラー数が、設定したFEC Symbol Error Threshold値以上となったときにキャプチャを実行します。キャプチャした結果から、ビットエラーおよびFECシンボルエラーがどのように分布しているか検証することができます。

一方、Intermittent Error Detectでは、無作為にCodeword区切りを行うため、連続したFECシンボルエラーが生じたときに、FECシンボルエラーが隣り合うCodewordをまたいで連続する場合があります。そのような場合、連続するFECシンボルエラーは、Codewordの区切りを基準に分割してカウントされる場合があります。そこで、連続するFECシンボルエラーを確実にキャプチャしたい場合は、Consecutive Error Detectを使用します。Consecutive Error Detectは、Codeword区切りを生成せず、連続したFECシンボルエラー数が、設定したFEC Symbol Error Threshold以上となったときにキャプチャを開始します。

Capture結果画面では、検出したビットエラーの数およびFECシンボルエラーの数を確認することができます。図2.4-2にFEC Symbol Capture結果画面例を示します。

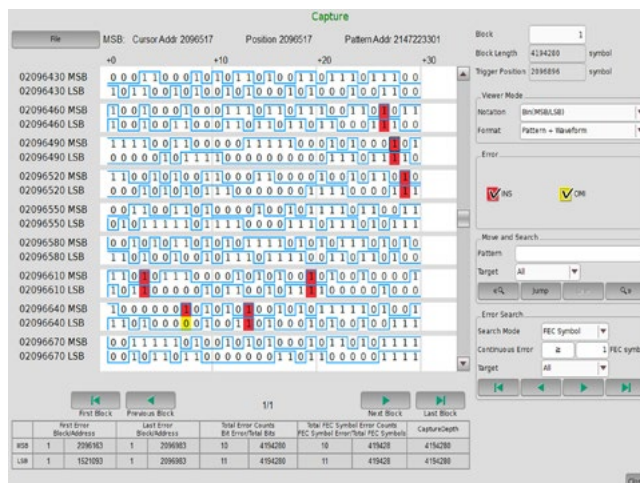


図2.4-2 FEC Symbol Capture結果画面例

FECシンボルごとに区切りを設けているため、エラーとなったFECシンボルおよびそのビットの分布を容易に確認することができます。また、キャプチャを開始した時点のトリガ信号をPAM4 ED MU196040BのAUX Outコネクタから外部出力することも可能なため、リアルタイムオシロスコープなどと組み合わせて使用することで、同時に波形の解析を行うことも可能です。

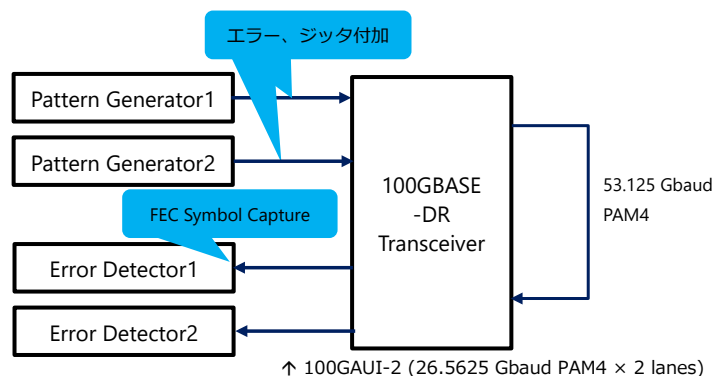
3. 100GAUI-2 FEC-aware Rxテストソリューション

本章では、MP1900Aシリーズ PAM4 EDのFEC Symbol Capture機能を使用した、100GBASE-DR 光トランシーバの測定例を説明します。光トランシーバのRxにロジカルエラーを入力した場合と、ジッタストレスを入力した場合の測定結果を示します。

3.1 測定機器構成

100GBASE-DR光トランシーバの100GAUI-2電気インタフェース測定系を図3.1-1に示します。

● 測定系概要



● 実際の接続

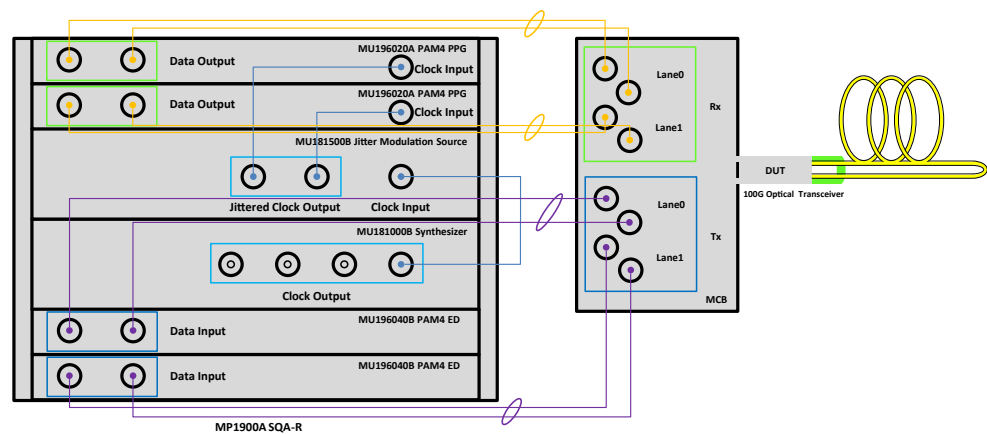


図3.1-1 100GBASE 2Lane FEC Rx試験測定系

表3.1-1 機器構成リスト

Model	Name	Qty.	Remarks
MP1900A	Signal Quality Analyzer-R	1	
MU181000B	12.5 GHz 4-Port Synthesizer	1	
MU181500B	Jitter Modulation Source	1	
MU196020A	PAM4 PPG	2	オプション 001、011、030、042、050
MU196040B	PAM4 ED	2	オプション 001、011、021、041
J1789A	40-cm coaxial cable	8	V connector
34VFK50A	Adapter	8	V (f.) -K (m.) adapter
-	Optical Transceiver (DUT)	1	
-	Module compliance board	1	
-	Power supply (+3.3 V)	1	

3.2 100GAUI-2 FEC-aware Rx Test

以降の測定では、エラー、ジッタを付加しない状態でのFECシンボルエラー測定を行ったのち、PAM4 PPGの出力信号にエラー付加した場合とジッタを付加して、それらに依存したFECシンボルエラー特性を評価します。

初期設定

測定を開始する前に以下の初期設定を行います。

- MP1900Aの電源をOnにし、ApplicationsリストからExpert BERTを選択して制御ソフトウェアを起動させます。
- PAM4 PPG1とPPG2の出力を以下のように同期させます (図3.2-1)。
 - Menu機能からCombination Settingを選択します。
 - Combination Setting画面で、Sync ON/OFF設定、Sync Type設定をそれぞれChannel Synchronizationに設定します。
 - 画面の説明に従い、Multi Channel Calibrationを実行します。
- 設定画面でのBaud-rateを容易にするため、機器間を連動させます (図3.2-2)。
 - 画面右のモジュール選択ボタンでPAM4 PPG1を選択し、Misc2タブで、Clock SourceをいったんExternalにします。
 - 画面右のモジュール選択ボタンで" Jitter" を選択し、Jitter Modulation Source設定画面で、Clock SourceをExternalからMU181000Bへ変更します。
 - PAM4 PPG1のMisc2タブで、Clock SourceをExternalからMU181500Bへ変更します。
- PAM4 PPG、PAM4 EDの設定画面から、それぞれ表3.2-1の設定をします (Pattern設定、Output/Input設定に関してそれぞれ図3.2-3、図3.2-4参照)。

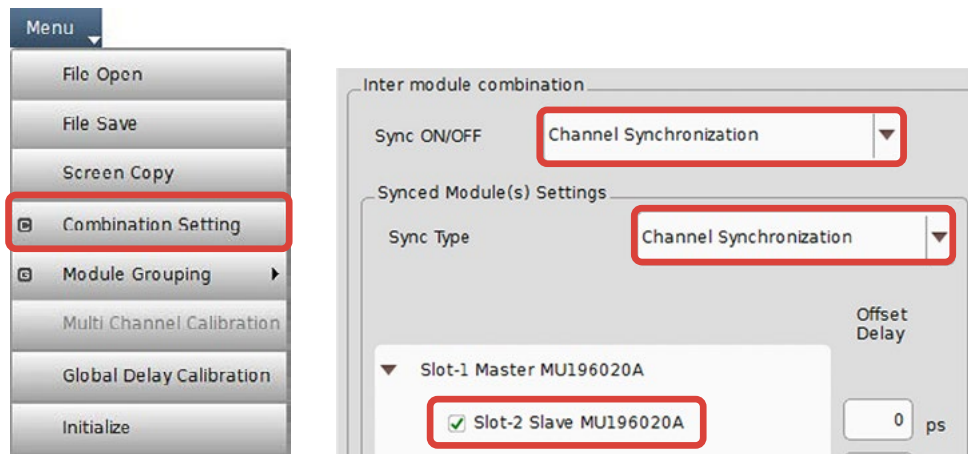
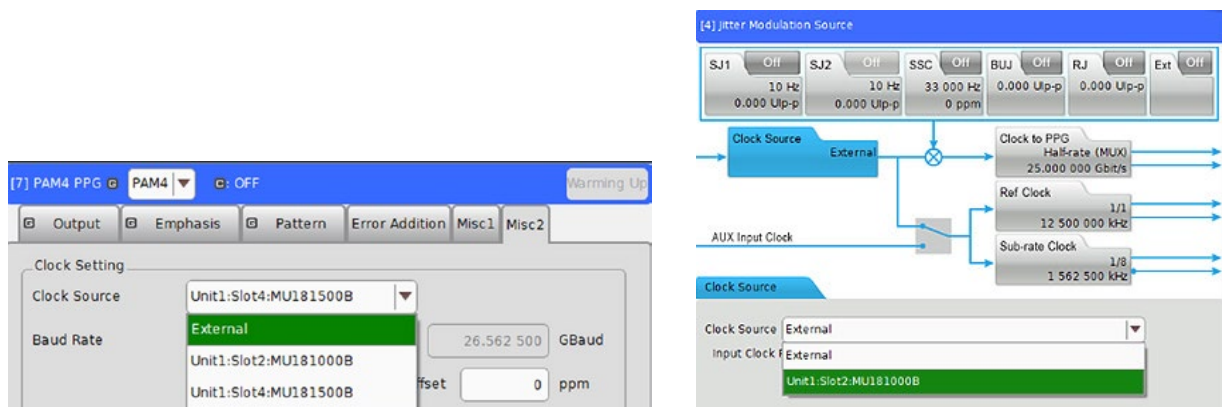


図3.2-1 PPG1とPPG2間の同期設定



PAM4 PPG1 Misc2 Setting

MU181500B Setting

図3.2-2 Clock Source設定

表3.2-1 100GBase 2Lane FEC Rx初期設定一覧

Module	Tab	Function	Setting
PPG1	Output	Baud Rate	26.5625 Gbaud
PPG1/PPG2	Output	Total Amplitude	450 mV (900 mV Differential) Even setting for 3 eyes
		Jitter Input	ON
		Cable for Data Output	J1789A 0.4 m cable
	Emphasis	Manual Setting	OFF
ED1	Pattern	Test Pattern	PRBS31Q
	Input	Input Condition	Differential 50Ohm
		Equalizer	Low Frequency Equalizer : OFF Decision Feedback Equalizer : OFF
		Clock, Selection	Recovered Clock
		Clock, Baud Rate	26.5625 Gbaud
		Clock, LBW	Jitter Tolerance
		Clock, Jitter Input	ON

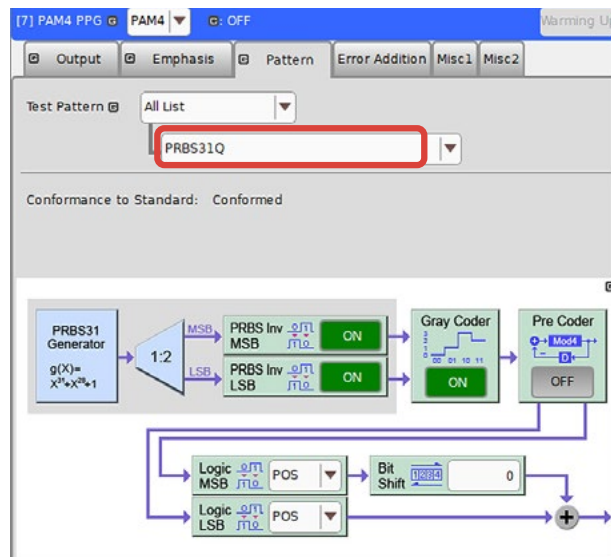


図3.2-3 Pattern設定

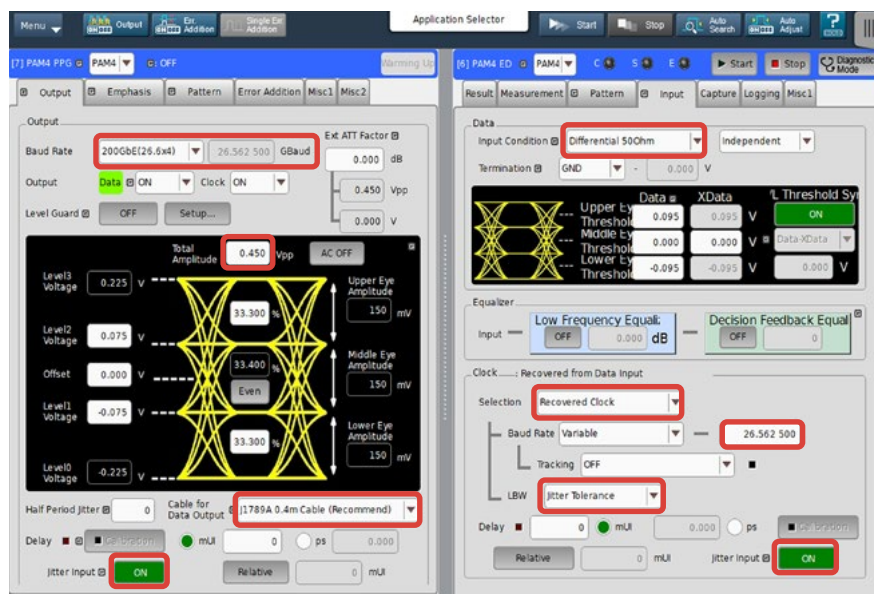


図3.2-4 PPG1のOutputタブ、ED1のInputタブ設定

ループバックでのBER測定手順

1. Optical Transceiverに接続している+3.3 V電源をONにします。このとき、Optical Transceiverはループバック状態となります。
2. MP1900AのOutputをONにします (図3.2-5)。
3. Auto Search を使用し、Fine search、Equalizer ONを実行し、入力Threshold、Delay、Equalizer設定を最適調整します (図3.2-5)。

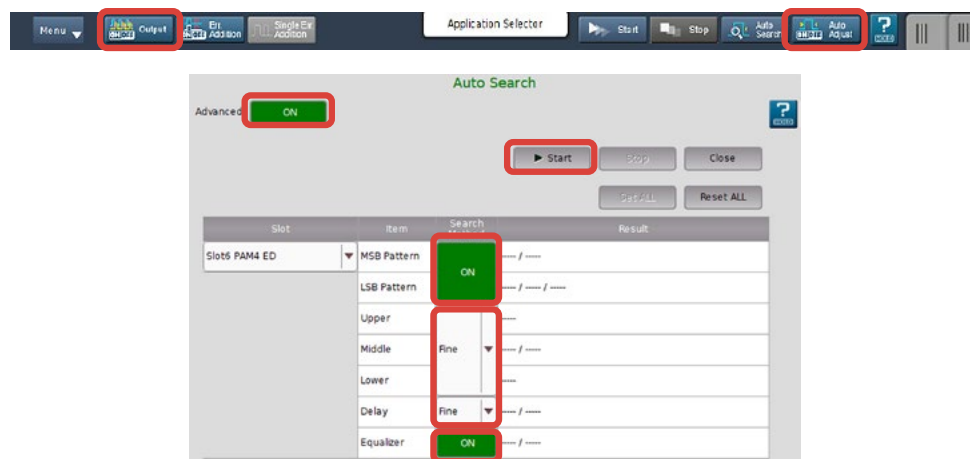


図3.2-5 Output ON設定およびAuto Search設定

PAM4 EDのFEC Symbol Capture機能による測定手順

1. PAM4 ED設定画面のCaptureタブで、Capture ModeをFEC Symbol Captureに設定します (図3.2-6)。
2. 表3.2-2のとおり設定します。

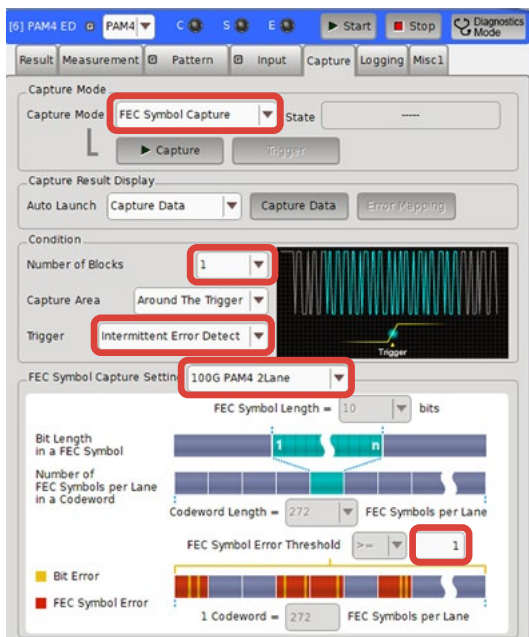


図3.2-6 FEC Symbol Capture機能初期設定

表3.2-2 FEC Symbol Capture機能初期設定

Function	Setting
Number of blocks	1
Trigger	Intermittent Error Detect
FEC Symbol Capture Setting Selection	100G PAM4 2Lane FEC Symbol Length* : 10-bits Codeword Length* : 272
FEC Symbol Error Threshold	1

* : 設定については付録参照

3. Captureボタンをクリックします。FEC Symbol Error Threshold設定以上のFECシンボルエラーが検出されると、PAM4 EDはキャプチャを開始し、Stateの表示からその状態を確認することができます (図3.2-7)。キャプチャが完了すると結果画面が現れます。
4. Capture Triggerがかかり、キャプチャが完了した場合は、結果画面を閉じ、FEC Symbol Error Thresholdの値を1増やして、Captureボタンをクリックして再測定を行います。
5. Capture Triggerがかからなくなるまで上記手順4を繰り返します (参考：この時のCapture Trigger待ち時間は30秒としました)。
6. Capture Triggerがかかった最大のFEC Symbol Error Threshold (以下Max FEC Symbol Error) を記録します。

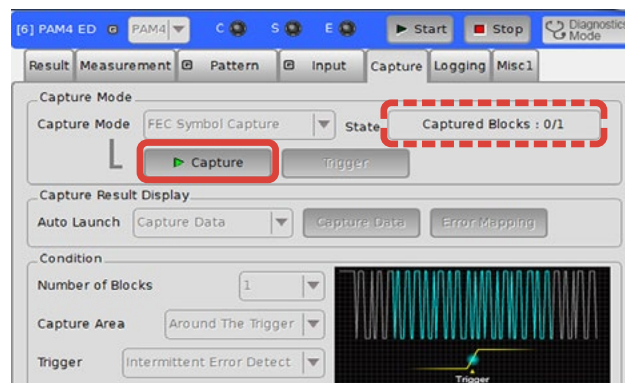


図3.2-7 FEC Symbol CaptureスタートボタンとStateの表示

上記手順により得られたPAM4 Symbol Error RateおよびMax FEC Symbol Errorを表3.2-3に示します。ジッタ、エラーを付加しないベースライン状態では、1 Codeword中に最大4 FECシンボルエラーが確認されましたが、IEEE 802.3にて規定されている訂正可能なFECシンボルエラー数15以下のため (表2.1-1参照)、ベースライン状態ではすべて誤り訂正可能なCodewordと言えます。

表3.2-3 ベースライン状態のFEC Symbol Capture結果

Test Item	Result
PAM4 Symbol Error Rate	1.066E-7
Max FEC Symbol Error	4

3.3. PAM4 PPG Error Addition機能によるFEC-aware Rx Test

3.2項におけるベースライン状態の測定に続いて、PAM4 PPGのError Addition機能を用いてロジカルエラーを付加した場合のFEC Rx測定について説明します。PPGのError Addition設定画面を図3.3-1に示します。

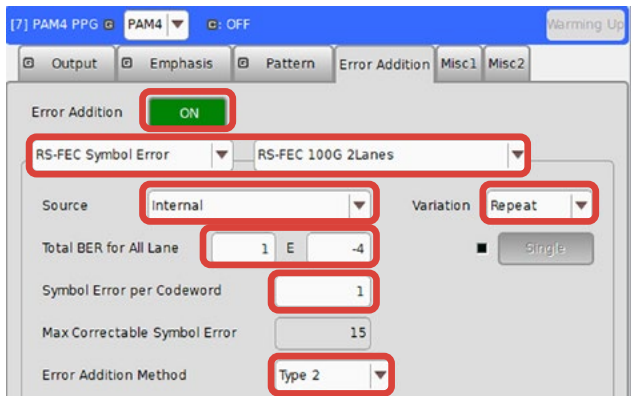


図3.3-1 PAM4 PPG Error Addition機能設定画面

PAM4 PPGのError Addition機能を使い、Symbol Error per Codeword数に対する、Max FEC Symbol Error数を、3.2項と同様にPAM4 EDのFEC Symbol Capture機能によって測定します。

● 測定手順

1. PAM4 PPGのError Additionタブで表3.3-1に示す初期設定を行います。(図3.3-1参照)

表3.3-1 PAM4 PPGのError Addition初期設定

Function	Setting
Error Addition	ON RS-FEC Symbol Error RS-FEC 100G 2Lane
Source	Internal
Variation	Repeat
Total BER for All Lane	1E-4
Symbol Error per Codeword	1
Error Addition Method	Type2

2. 3.2項のFEC Symbol Capture機能による測定手順に従い、Max FEC Symbol Errorを測定します。
3. PAM4 PPGでSymbol Error per Codewordの値を増やし、同様にFEC Symbol Capture機能によりMax FEC Symbol Errorを測定します。

Symbol Error per Codeword数に対するMax FEC Symbol Error測定結果を図3.3-2に示します。

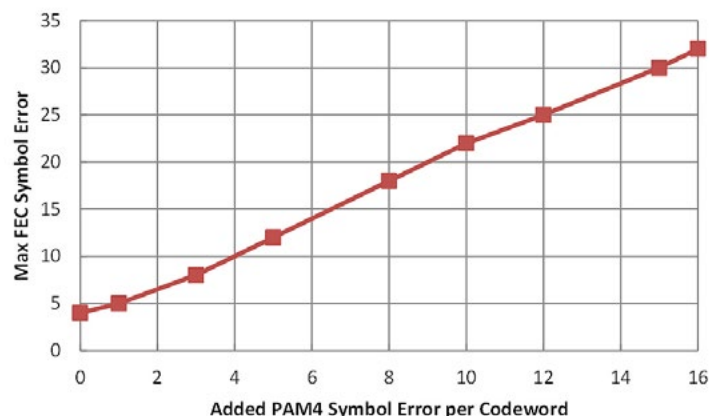


図3.3-2 PAM4 Symbol Error挿入数に対するMax FEC Symbol Error数

1 Codeword中のPAM4 シンボルエラー挿入数の増加に伴いMax FEC Symbol Error数も増加することが確認できます。また、PAM4 PPGのエラー挿入はError Addition Method設定によりFEC SymbolとPAM4 Symbolを選択して挿入できます。Error Addition MethodをMSB OnlyまたはLSB OnlyとすることでFEC Symbol Errorを挿入できます。それ以外の設定ではPAM4 Symbol Errorを挿入できます。PAM4 Symbol Error挿入の場合、挿入エラー数xに対して期待される1 Codeword中のFEC Symbol Error数yは $x \leq y \leq 2x$ の範囲となります。

ベースライン状態ですでにMax FEC Symbol Error4として観測されているため、Error Addition機能を使って観測されるFEC Symbol Error数は $x \leq y \leq 2x + 4$ の範囲となります。このようにPAM4 PPGのError Addition機能を用いることで、さまざまなロジカルエラー状態のCodewordを模擬することができます。そのエラーについても、FEC Symbol Capture機能によりキャプチャ・解析することが可能です。

3.4. FEC-aware Rx Jitter耐力試験

200GAUI-4/400GAUI-8などに対応するデバイスの特性評価を行うためには、SJだけではなくRJやBUJなどさまざまなジッタを組み合わせて評価を行う必要があります。ここでは、MU181500B Jitter Modulation Source (以下Jitter Module) により、SJ、RJおよびBUJをそれぞれ付加した時のFEC Rx Jitter耐力測定を行います。各種ジッタの設定画面を図3.4-1に示します。

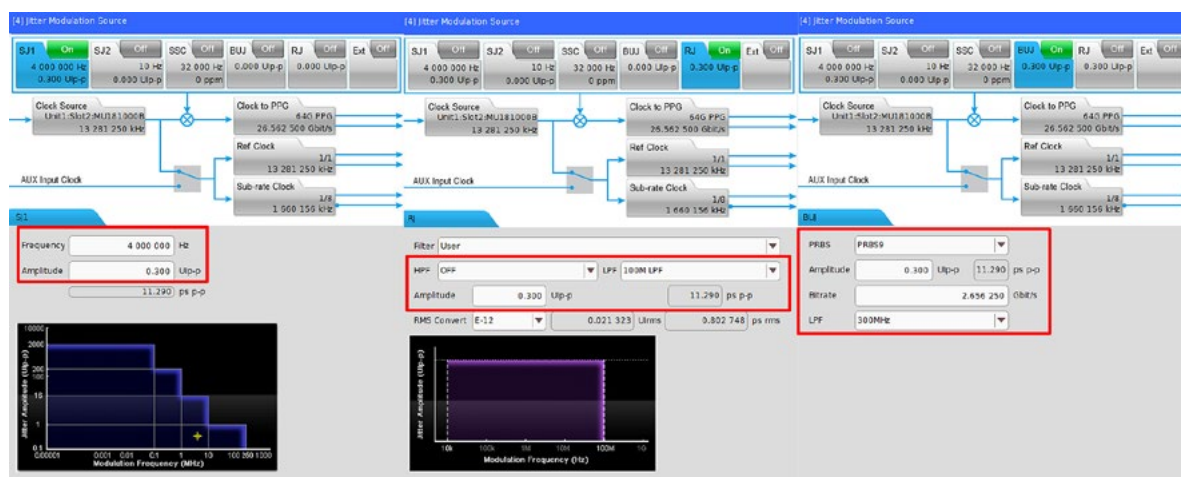


図3.4-1 Jitter設定画面一覧(左: SJ 中央: RJ 右: BUJ)

各種ジッタ量を変化させ、その時のPAM4 Symbol Error RateおよびMax FEC Symbol Error数を測定します。その測定手順を以下に示します。

1. Jitter Moduleに表3.4-1の設定を行います。
2. 3.2項のベースライン状態の測定手順のとおりに、PAM4 Symbol Error RateおよびMax FEC Symbol Errorを観測します。
3. SJ、RJ、BUJそれぞれについて、Amplitudeを増やしていき、3.2項と同様にFEC Symbol Capture機能を使用してPAM4 Symbol Error RateおよびMax FEC Symbol Errorを観測します。

表3.4-1 100GBase 2Lane FEC Rx Jitter試験初期設定

Jitter Type	Item	Setting
SJ1	Frequency	4 MHz
	Amplitude	Variable
RJ	HPF	OFF
	LPF	100 MHz
	Amplitude	Variable
BUJ	PRBS	PRBS9
	Amplitude	Variable
	Bitrate	2.65625 Gbit/s
	LPF	300 MHz

上記手順で取得した結果を図3.4-2および図3.4-3に示します。

図3.4-2結果では、Jitter Amplitude 0.35 UIまでPAM4 Symbol Error Rateが $1\text{E-}7$ で、SJ、RJ、BUJいずれのジッタストレスを印加した場合でも同程度のエラーレートで観測されました。しかし、図3.4-3では、SJが0.3 UIを超えたところでMax FEC Symbol Error数は上昇し、0.36 UIを印加すると16に増加しました。

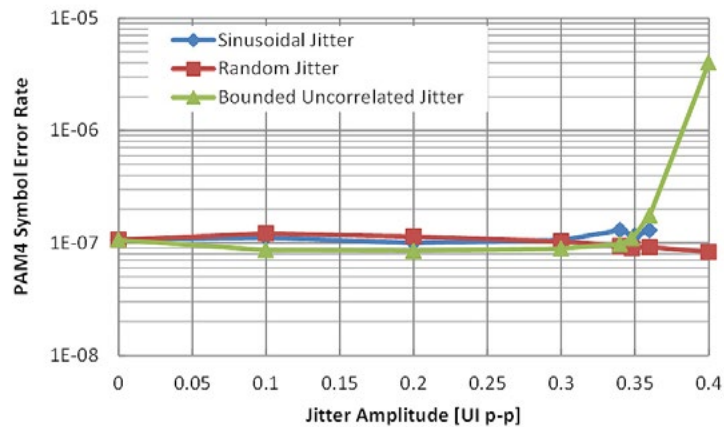


図3.4-2 Jitter量に対するPAM4 Symbol Error Rate

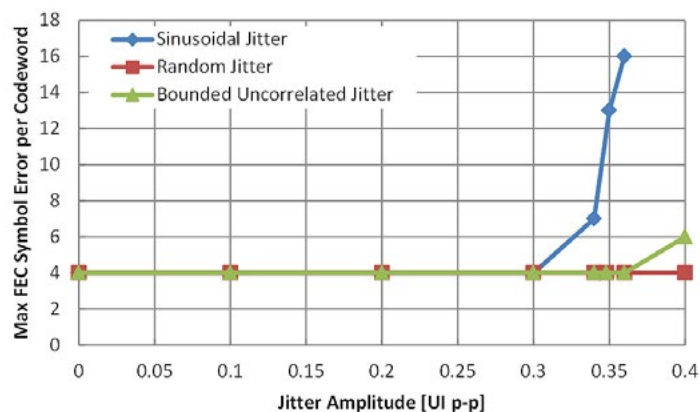


図3.4-3 Jitter量に対するMax FEC Symbol Error数

SJは周期的なバーストエラーの要因となるため、同じPAM4 Symbol Error Rateでも同一Codeword内に集中してエラーが挿入されることとなります。そのため、SJを印加した場合のみMax FEC Symbol Errorの数が増加したと考えられます。また、BUJおよびRJは、ランダムにPAM4 Symbol Errorが挿入されるため、PAM4 Symbol Error Rateに応じたMax FEC Symbol Error数の増加となります。このように同程度のPAM4 Symbol Error Rateであっても、エラーの分布状況により、特定のCodewordにエラーが集中することでMax FEC Symbol Error数が大きく異なる結果となります。この結果から、ジッタを印加してFEC Rx耐力を測定する場合は、PAM4 Symbol Error RateやBit Error RateだけでなくMax FEC Symbol Error数を確認することが非常に重要となります。

3.5. FEC-aware Rx Testまとめ

本測定では、100GAUI-2 (IEEE 802.3 Annex 135G) の各レーンのストレス入力テストをFEC Symbol Capture機能を使って測定しました。この測定により、各Physical LaneのBER結果だけでなく、FEC Decodeでは訂正できないバーストエラーの検出、解析をサポートします。

なお、本測定は、2.2、2.3項で説明するように、FEC Decode後の測定とは測定ポイントが異なり、複数レーンのエラー訂正結果と一致するものではありません。また、DUTの特性により、1レーンの結果が他のレーンでも同様に観測されるとは限らないため、本測定ソリューションを使って、各レーンあるいはワーストケースとなるレーンを測定し、エラー解析することを推奨します。

4. まとめ

3項の測定例のようにFECのRx測定においては、従来までのBER/SER測定では考慮する必要がなかった、1 Codeword内という特定区間におけるFEC Symbol Error数を考慮する必要があります。そのため、本アプリケーションノートでは、MP1900AのFEC Rx測定ソリューションと、MP1900Aを使用したRS-FEC Rx試験の測定例を紹介しました。

アンリツは今後とも業界動向を把握し、お客様と業界発展に貢献するソリューションをタイムリーに提供し続けます。

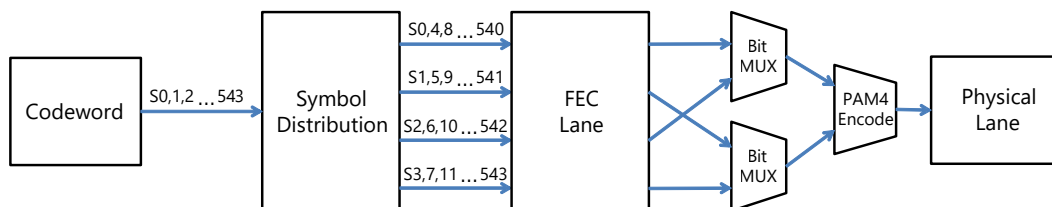
参考文献

IEEE Std 802.3™-2022

付録) FEC LaneとPhysical LaneにおけるFECシンボルの取り扱いについて

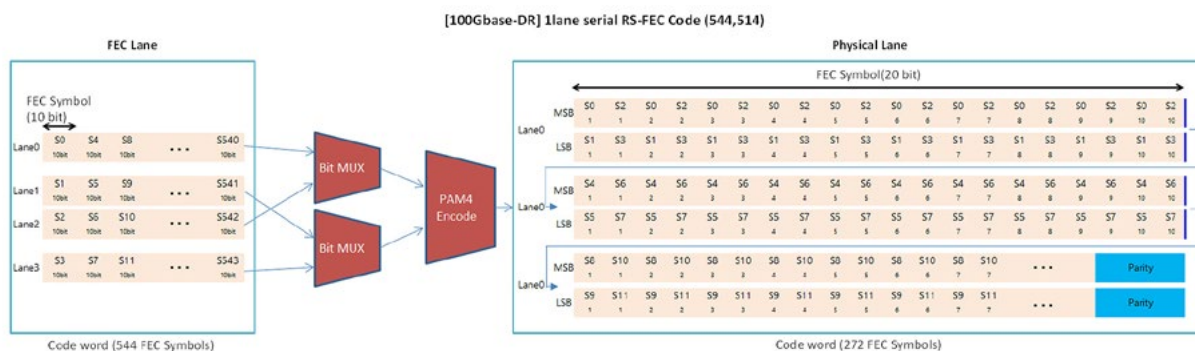
2.1項で説明した通り、IEEEで規定されるRS-FECには、RS (528, 514) とRS (544, 514) の2種類があります。FEC Codewordサイズは異なるものの、Codewordを構成するFECシンボル長はいずれも10ビットで定義されています。

100G 1Lane におけるビットおよびFECシンボル伝送の様子を図a-1に示します。Codewordから各FEC LaneにSymbol Distributionされた時にはひとつのFECシンボル中の10ビットは常に連続していますが、その後各FEC Laneに対してBit MUXを行うことになるため、Physical Laneにおいて一つのFECシンボル中の10ビットは連続しません。そのため物理層の測定器であるMP1900Aは独自のFECシンボルおよびCodewordを定義しています。

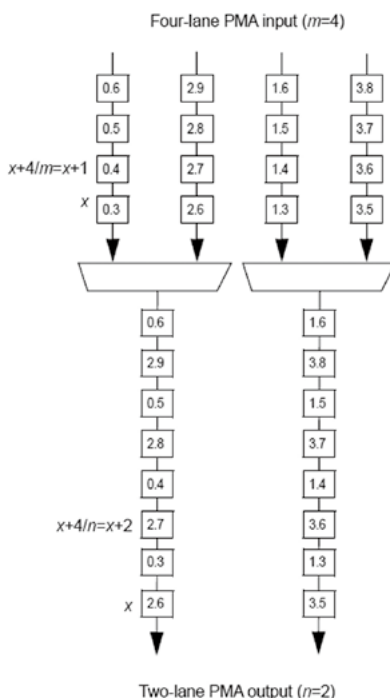


図a-1 100G 1 lane RS (544, 514) Transmit bit/FEC Symbol ordering

具体的な100G 1Laneの規格におけるビット伝送の例を図a-2に示します。参考として、100GBase PMAの多重化の図を図a-2に示します。図a-2で、青い区切線は20 bitごとのFECシンボルの区切りとします。S0はFEC Symbol0、S1はFEC Symbol1を、その下の数字は該当FEC Symbolにおけるビットナンバーを示します。100G 1Lane の規格では、Physical Laneとしては1Laneしかありませんが、FEC Laneとしては4Laneあることがわかります。図a-1に示すとおりいずれか二つのFEC LaneをBit MUXした後PAM4 Encodeすることにより、Physical Laneとして1LaneのPAM4信号となります。このときBit MUXをする影響で、FEC Laneでは一つのFECシンボル中で連続していた10ビットが、Physical Laneでは連続しないことがわかります。

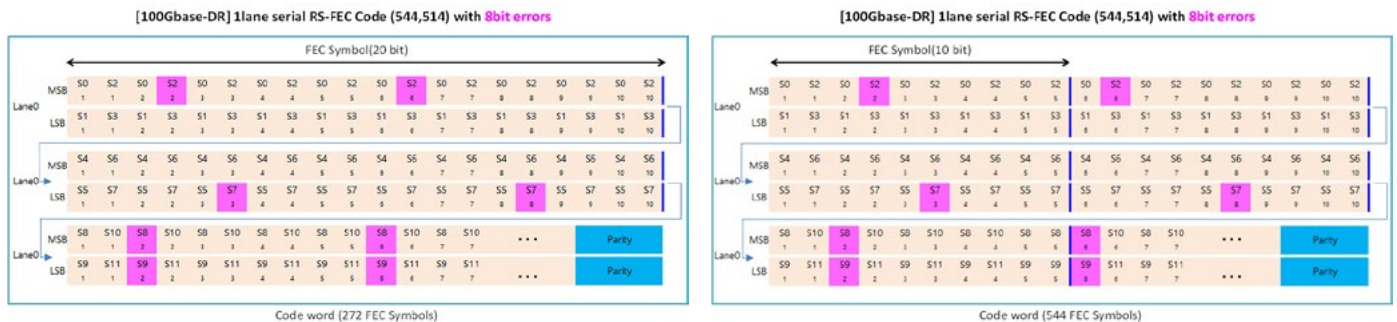


図a-2 100G 1 lane RS (544, 514) Codeword Structure



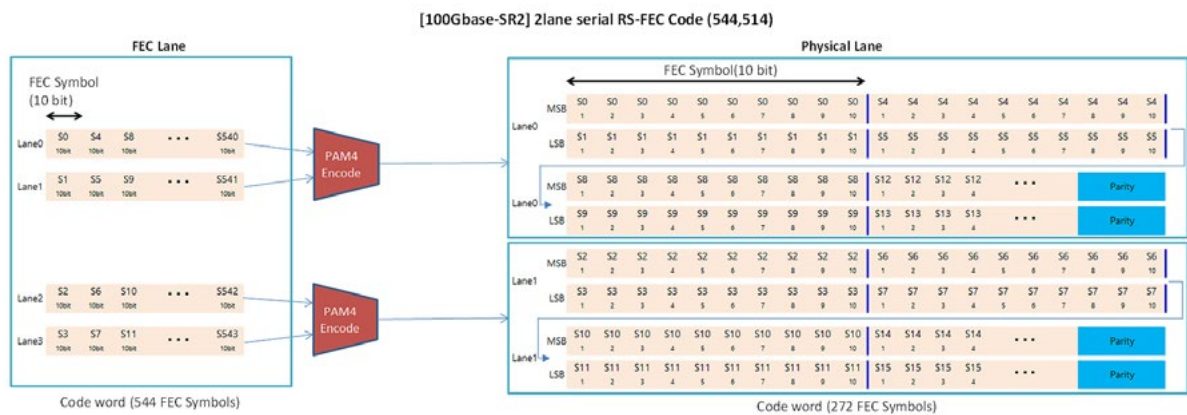
図a-3 4 : 2 100GBase PMA bit MUX

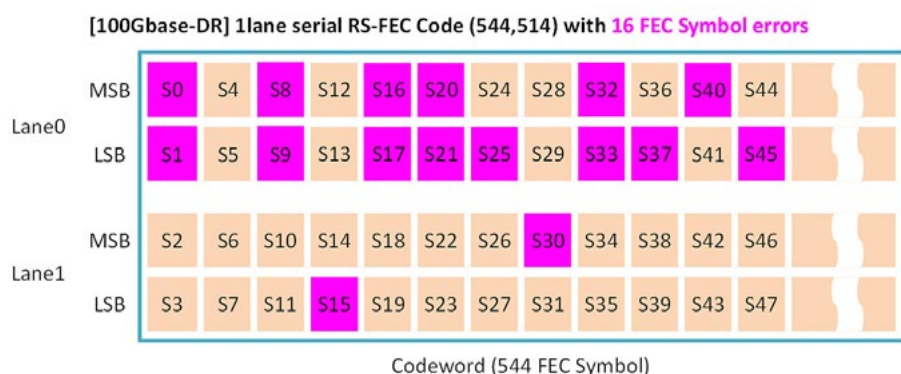
100Gbase 1laneの規格において、FEC Symbol Lengthを20ビットとした場合と10ビットとした場合のエラー分布の様子を図a-4に示します。ビットエラーはどちらも同じ位置に挿入されていますが、FEC Symbol Lengthが20ビットのときは4 FECシンボルエラー、FEC Symbol Lengthが10ビットの時は8 FECシンボルエラーとなっていることがわかります。ビットエラーのおこっているFEC Symbol Numberを確認すると、2、7、8、9であるため、実際はどちらも4 FECシンボルエラーが挿入されていることになります。このようにFEC Laneと同様に1 FECシンボル = 10ビットとしてしまうと、隣のFECシンボルに同一FECシンボルのビットが現れることになります。そのため1 FECシンボルを10ビットで区切ってしまうとFECシンボルエラーの測定結果が期待値にならない可能性があります。それを防ぐためにMP1900Aではこのような規格においては1 FECシンボル = 20 ビットの設定で測定することを推奨しています。こうすることでUncorrectableとなるしきい値を変えることなく測定を行うことが可能となります。このとき、1 FECシンボル長は変わりますがCodewordのビット長は変わらないため、1 Codeword は544 FECシンボルではなく 272 FECシンボルとなります。



図a-4 100G 1 lane RS (544, 514) Example – Same BER, Different FEC Symbol Length

図a-5に複数Laneの例を示します。こちらは各FEC Laneから二つのFEC Laneを選んで直接PAM4 Encodeを行っているため、Physical LaneにおいてもひとつのFECシンボルは連続した10ビットになります。そのためこの場合は1 FECシンボル = 10ビットとなります。また、本来であればPhysical LaneのLane0およびLane1は同じCodewordになりますが、MP1900Aでは1 Physical LaneごとのCodewordサイズで定義しています。そのためこの時も1 Codeword = 272 FECシンボルとなります。





図a-6 100G 2 lane RS (544, 514) with FEC Symbol Error

各規格およびPhysical Lane数におけるMP1900Aで定義するCodeword長およびFECシンボル長の一覧を表a-1に示します。

表a-1 MP1900A RS-FEC Setting Variation

FEC	Format	Standard	Baud-rate	Physical Lanes	Codeword Length	FEC Symbol Length
RS (528, 514)	NRZ	25GbE	25.78125 G	1	528 FEC Symbols	10 bits
		100GbE	25.78125 G	4	132 FEC Symbols	10 bits
RS (544, 514)	PAM4	50GbE	26.5625 G	1	544 FEC Symbols	10 bits
		100GbE	26.5625 G	2	272 FEC Symbols	10 bits
			53.125 G	1	272 FEC Symbols	20 bits
		200GbE	26.5625 G	4	272 FEC Symbols	10 bits
		400GbE	26.5625 G	8	136 FEC Symbols	10 bits
			53.125 G	4	136 FEC Symbols	20 bits

なお、MP1900Aで定義するCodeword長およびFECシンボル長は以下 (1) ~ (5) の式により求めることができます。

$$\text{Codeword Length (NRZ)} = \frac{5280 \times 5}{2 \times \text{SBR}} \quad (1)$$

$$\text{Codeword Length (PAM4 50G/100G)} = \frac{5440 \times 5}{\text{SBR}} \quad (2)$$

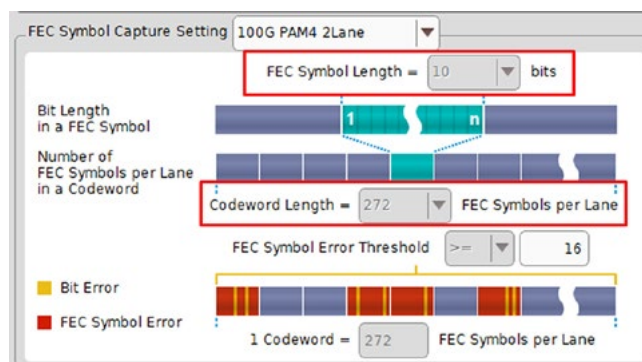
$$\text{Codeword Length (PAM4 200G/400G)} = \frac{5440 \times 5 \times 2}{\text{SBR}} \quad (3)$$

$$\text{FEC Symbol Length (NRZ)} = \frac{2 \times \text{SBR}}{5 \times \text{PLN}} \quad (4)$$

$$\text{FEC Symbol Length (PAM4)} = \frac{\text{SBR}}{5 \times \text{PLN}} \quad (5)$$

ここで、SBRは規格で定められている合計ビットレート (400GbEなら400)、PLNは合計のPhysical Lane数とします。

このようにMP1900AではさまざまなCodeword長およびFECシンボル長をとりますが、図a-7のように規格とPhysical Lane数を設定することで自動的にCodeword長とFECシンボル長を認識するため、特に表a-1の設定を意識することなくFEC Symbol Captureを行うことができます。また、Lane数の増減によりUncorrectableとなるCodewordのしきい値を変化させる必要はありません。



図a-7 MU196040B FEC Symbol Capture Setting Display