

MP1900A による PCIe SSC テスト

シグナル クォリティ アナライザ-R MP1900A シリーズ

目次

1	はじめに	2
2	SSCの概念	2
3	PCI-SIGでの取り組み	3
4	アンリツソリューション	4
4.1	製品構成と規格JITTER TOLERANCE規格.....	4
4.2	RX LEQ TESTサポート	5
4.3	RX LEQ COMPLIANCE TEST構成.....	6
5	まとめ	7

1 はじめに

SSC (Spread Spectrum Clocking) とは、さまざまな電子機器の内部部品同士や外部機器との接続インタフェースに採用されている信号変調技術です。

FCC (米国連邦通信委員会) や EU (欧州連合) のガイドラインでは、EMI (Electro Magnetic Interference) 低減のために、クロック信号を変調、すなわちジッタを与えることで、周波数分布を拡散し、EMI の特定周波数へのエネルギーの集中を下げる厳格な規定が設けられています。

PCIe もこのようなガイドラインに従い、SSC 技術を採用しその要件を規格書に明記しています。

一方、SSC はそのジッタ成分がシステム全体の通信品質を悪化させる要因になります。たとえば機器同士の相互接続性においてリンクアップしない、データの取りこぼしが生じる等の問題を起こすことが考えられるため、SSC を印可した状態での相互接続性の確認は重要な課題になっています。

2 SSC の概念

PCIe で規定されている SSC は、Triangle による周波数変調であり、一般的に周波数変調は位相変調成分として印可されることとなります。これは電子機器にとっては大きなストレス成分になります。

周波数変調を位相変調に換算する場合、Triangle 周波数変調における位相変位量 ΔTT_{PP} は、以下の通り定義されます。

$$\Delta TT_{PP} = \frac{\pi}{4} \cdot \frac{1}{2 \cdot \pi \cdot fc} \cdot \frac{\Delta f_{PP}}{fm}$$

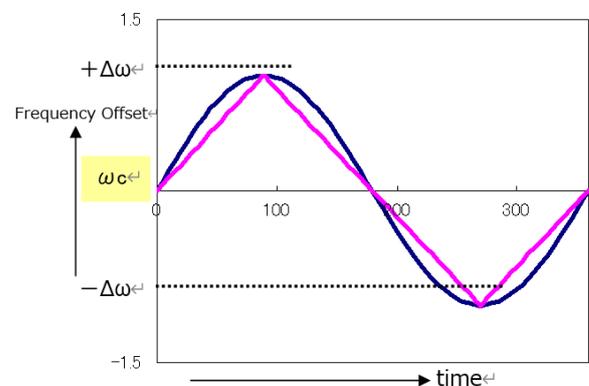
fc : Center Frequency [Hz]

fm : Modulation Frequency [Hz]

Δf_{PP} : Frequency Deviation (Peak to Peak) [Hz]

$\Delta \theta_{PP}$: Phase Deviation (Peak to Peak) ... [rad]

ΔT_{PP} : Phase Deviation (Peak to Peak) ... [s]



これは、PCIe で規定された、30~33 kHz における 5000 ppm 周波数変調量が、約 20 ns の位相変調量に相当することになり、大きなストレス源の一因になることが分かります。

3 PCI-SIG での取り組み

PCI-SIG で規格している Base Specification では、下記の SSC 変調要件が決められています。

Table1: Base Specification Rev5.0 Ver1.0

Symbol	Description	Limits	Units	Notes
<i>F_{REFCLK}</i>	Refclk Frequency	99.97 (min) 100.03 (max)	MHz	
<i>F_{REFCLK_32G}</i>	Refclk Frequency for devices that support 32.0 GT/s	99.99 (min) 100.01 (max)	MHz	
<i>F_{SSC}</i>	SSC frequency range	30 (min) 33 (max)	kHz	3
<i>T_{SSC-FREQ-DEVIATION}</i>	SSC deviation	-0.5 (min) 0.0 (max)	%	3
<i>T_{SSC-FREQ-DEVIATION_32G_SRIS}</i>	SSC deviation for devices that support 32.0 GT/s and SRIS when operating in SRIS mode at all speeds	-0.3 (min) 0.0 (max)	%	3
<i>T_{TRANSPORT-DELAY}</i>	Tx-Rx transport delay	12 (max)	ns	1, 4
<i>T_{SSC-MAX-FREQ-SLEW}</i>	Max SSC df/dt	1250	ppm/ μs	2, 3

Notes:

1. Parameter is relevant only for Common Refclk architecture.
2. Measurement is made over 0.5 μs time interval with a 1st order LPF with an f_c of 60x the modulation frequency.
3. When testing the a device configured for the IR reference clock architecture the SSC related parameters must be tested with the Tx output data instead of the reference clock.
4. There are form factors (for example topologies including long cables) that may exceed the transport delay limit. Extra jitter from the large transport delay must be accounted by these form factor specifications.

Base Specification では、Chip レベルでの電氣的要件が規定されていますが、Gen4 までは、SSC は Compliance Test で必要な要件とはなっておりませんでした。このため Compliance Test におけるレーザテストでは、他各種ストレス (SJ、RJ、DM-I、CM-I、Insertion Loss) をワースト条件として定義されておりますが、SSC 印加は条件になっておりません。

一方、実際に市場に流通している PCIe System の多くは、EMI 低減の観点から SSC 印可をサポートしています。このため、Compliance Test で認証された System の多くが SSC 印可状態で動作するにも関わらず、SSC 印加状態での試験が実施されていないため、市場で不具合をおこす要因になる場合があります。

このような背景により、PCI-SIG では SSC 印可された条件をワーストケースととらえ、Compliance Test の電氣試験方法を定めた PHY Test Specification を見直し、PCIe 5.0 PHY Test Specification Draft 0.7 において、明確に SSC の印可要件を追加しました。

2.15.6 Add-in Card Receiver Link Equalization Test for 32.0 GT/s

The test is performed by following these steps:

1. Insert the Add-in Card under test into the CEM 5.0 CBB without power. The signal source should be connected to the Rx lane under test on the CBB, the receiver of the protocol aware test equipment should be connected to the Tx lane under test on the CBB. Other TX lanes can be terminated with 50-ohm terminations or unterminated – as requested by the device under test operator.
2. Connect 100MHz **SSC enabled (-0.5% down-spread)** REF CLK from BERT into the CLK IN connectors on CBB.

AIC (Add-In Card) レシーバテスト手順

2.16.6 System Board Receiver Link Equalization Test for 32.0 GT/s

1. Insert the CEM 5.0 CLB into the system under test without power. The signal source should be connected to the Rx lane under test on the CLB, the receiver of the protocol aware test equipment should be connected to the Tx lane under test on the CLB. The CLB 100 MHz clock output from the system under test shall be connected to the test equipment and drive the test equipment transmissions after being filtered by a *PCI Express Base Specification* compliant PLL or equivalent. **The system will use SSC enabled or SSC disabled reference clock to be consistent with settings for the system during normal operation.** Other TX lanes must be unterminated on the CLB.

System レシーバテスト手順

4 アンリツソリューション

4.1 製品構成と規格 Jitter Tolerance 規格

アンリツでは、レシーバテストにおいて、PPG (Pulse Pattern Generator) で SSC を印可し、ED (Error Detector) により SSC 印可信号の BER 測定する SSC 付加テストをサポートします。

SI PPG MU195020A 規格

ジッタ耐力

ジッタ耐力	ビットレート : 16, 28.1*, 32.1 Gbit/s* パターン : PRBS2 ³¹ - 1 MU181500Bを使用して、 振幅7000 ppmのSSC と、0.3 UIのRJを同時に印加可能。 MU195040Aとのループバック接続、20℃~30℃のある1つの温度で規定 RJ + BUJ > 0.5 UIp-p、またはS) + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、 MU181500Bの画面がOverload表示となる。
-------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

PPG Jitter Tolerance 規格

SI ED MU195040A 規格

ジッタ耐力

外部クロック使用時	ビットレート : 16, 28.1*, 32.1 Gbit/s* パターン : PRBS2 ³¹ - 1 MU181500Bを使用して、振幅7000 ppmのSSCと、0.3 UIのRJを同時に印加可能。 MU195020Aとのループバック接続、20℃~30℃のある1つの温度で規定 RJ + BUJ > 0.5 UIp-p、またはSJ + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、 MU181500Bの画面がOverload表示となる
-----------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

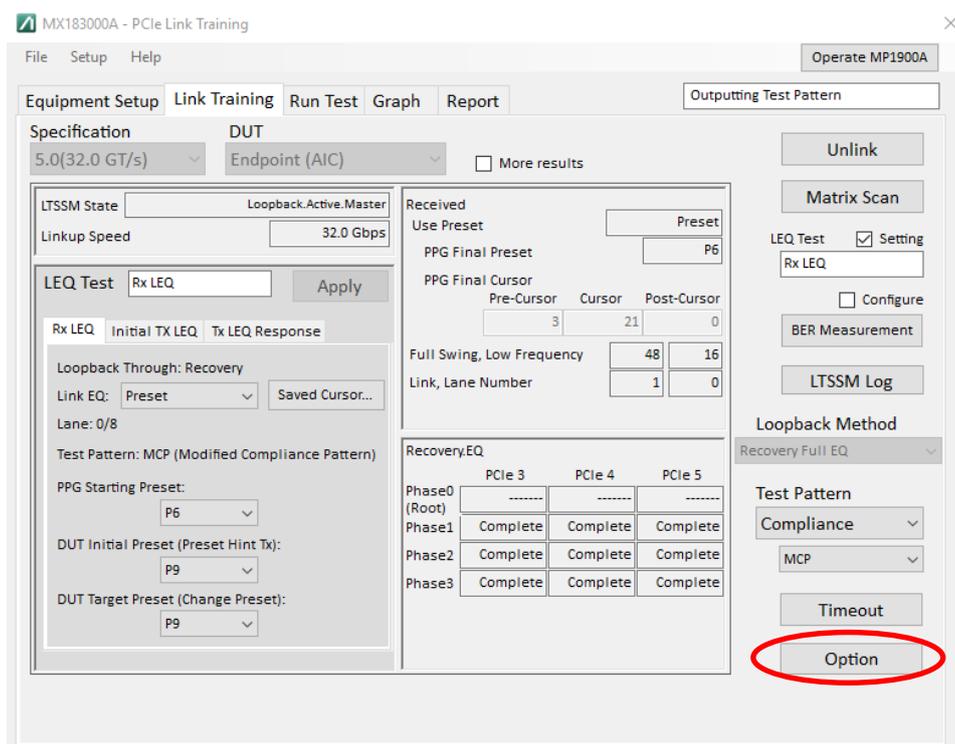
ED Jitter Tolerance 規格

4.2 Rx LEQ Test サポート

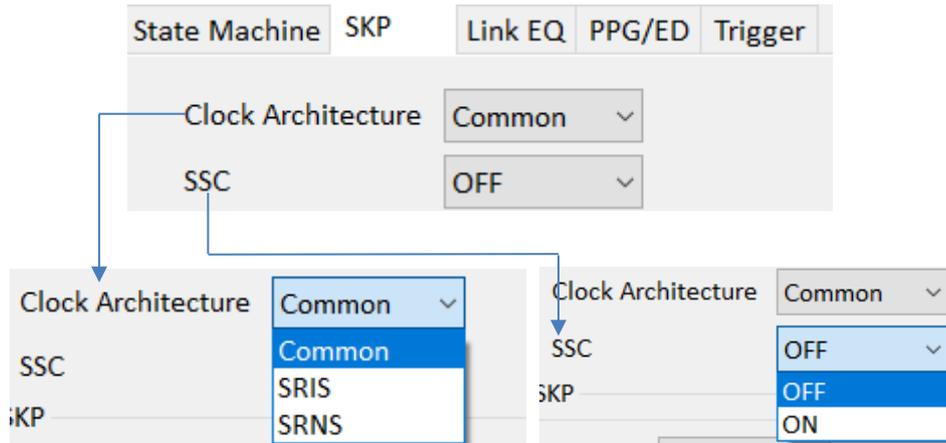
シグナル クオリティ アナライザ-R MP1900A では、下記のすべての Clock Archetecture での試験をサポートしています。

- Common Clock with SSC
- Common Clock without SSC
- SRIS (Separate Reference independent SSC)
- SRNS (Separate Reference Clock non SSC)

下記 Option メニューより設定可能です。



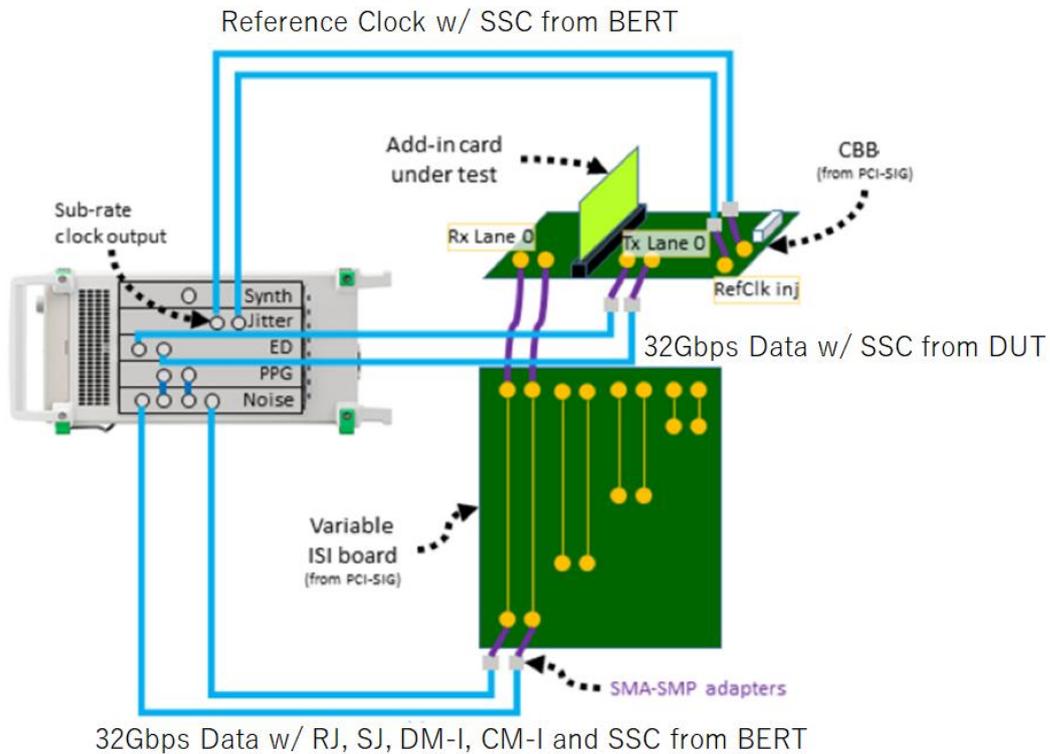
Rx LEQ test application



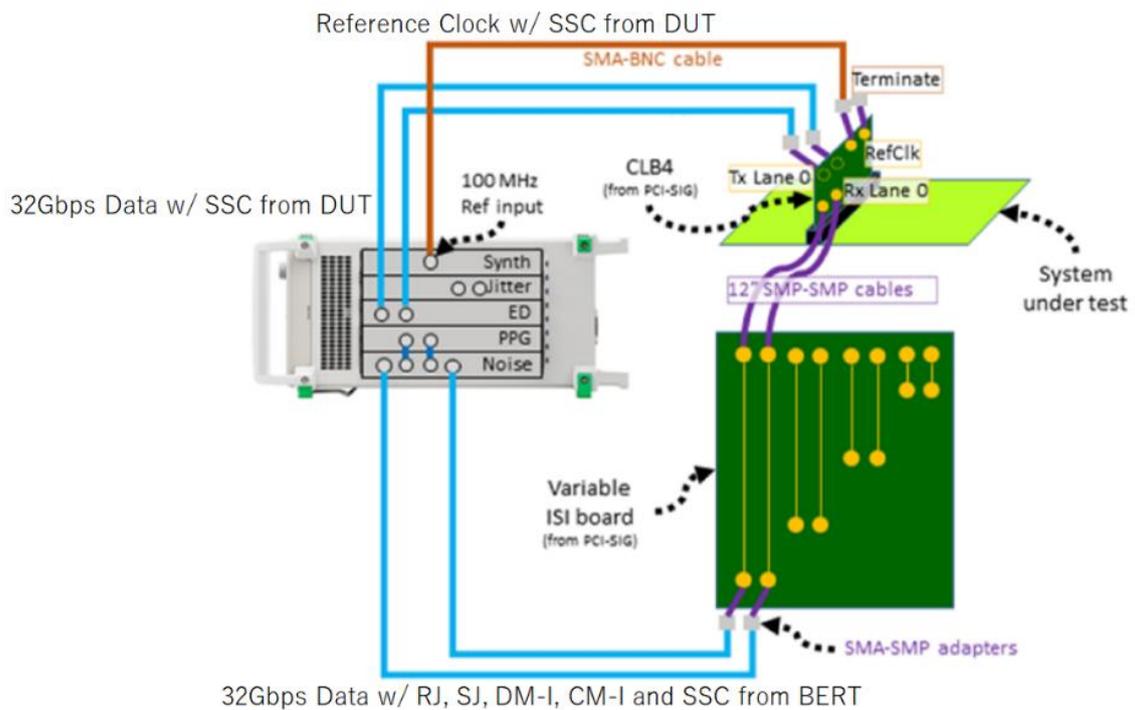
Clock Archetekuture 設定

4.3 Rx LEQ Compliance Test 構成

Compliance Test においては、Common Clock でのテストが規定されています。測定対象が、AIC (Add In Card) か System によって、以下の通り構成は変わりますが、MP1900A は、両 DUT において、SSC を付加したテストをサポートします。



AIC レシーバテスト構成



System レシーバテスト構成

5 まとめ

本稿では、PCIe 市場における SSC の用途と、その環境下での Test の重要性を紹介いたしました。

SSC を印可した条件下では、これまでの Compliance Test では問題にならなかったようなエラーが発生する場合があります。この環境下でのテストにおいて、内在するエラー要因を事前に検証して改善することが、製品品質を保証するためにより重要になります。

この要件は、特にテストに用いる BERT (Bit Error Rate Tester) に求められる内容となります。測定器自身が規格化された以上のストレス耐力を持つことが重要となります。アンリツ MP1900A は、現在これら要件をサポートできる唯一の測定器です。

アンリツはこのようなワースト条件でのテストをサポートし、お客様の製品品質の向上と業界発展に貢献するソリューションをタイムリーに提供し続けます。

参考文献

PCI-Express Base Specification 5.0 Ver1.0

PCI-Express PHY Test Specification 5.0 Ver0.7 (Draft)

アンリツ株式会社

<https://www.anritsu.com>

本社 〒243-8555 神奈川県厚木市恩名5-1-1 TEL 046-223-1111
厚木 〒243-0016 神奈川県厚木市田村町8-5
通信計測営業本部 TEL 046-296-1244 FAX 046-296-1239
通信計測営業本部 営業推進部 TEL 046-296-1208 FAX 046-296-1248
仙台 〒980-6015 宮城県仙台市青葉区中央4-6-1 S S 3 0
通信計測営業本部 TEL 022-266-6134 FAX 022-266-1529
名古屋 〒450-0003 愛知県名古屋市中村区名駅南2-14-19 住友生命名古屋ビル
通信計測営業本部 TEL 052-582-7283 FAX 052-569-1485
大阪 〒564-0063 大阪府吹田市江坂町1-23-101 大同生命江坂ビル
通信計測営業本部 TEL 06-6338-2800 FAX 06-6338-8118
福岡 〒812-0004 福岡県福岡市博多区榎田1-8-28 ツインスクエア
通信計測営業本部 TEL 092-471-7656 FAX 092-471-7699

ご使用前に取扱説明書をよくお読みのうえ、正しくお使いください。

2104

■カタログのご請求、価格・納期のお問い合わせは、下記または営業担当までお問い合わせください。

通信計測営業本部 営業推進部

TEL: 0120-133-099 (046-296-1208) FAX: 046-296-1248
受付時間/9:00~12:00、13:00~17:00、月~金曜日(当社休業日を除く)
E-mail: SJPost@zy.anritsu.co.jp

■計測器の使用法、その他については、下記までお問い合わせください。

計測サポートセンター

TEL: 0120-827-221 (046-296-6640)
受付時間/9:00~12:00、13:00~17:00、月~金曜日(当社休業日を除く)
E-mail: MDVPOST@anritsu.com

■本製品を国外に持ち出すときは、外国為替および外国貿易法の規定により、日本国政府の輸出許可または役務取引許可が必要となる場合があります。
また、米国の輸出管理規則により、日本からの再輸出には米国商務省の許可が必要となる場合がありますので、必ず弊社の営業担当までご連絡ください。