

マルチチャンネル FEC パターンを使用したジッタトレランステスト

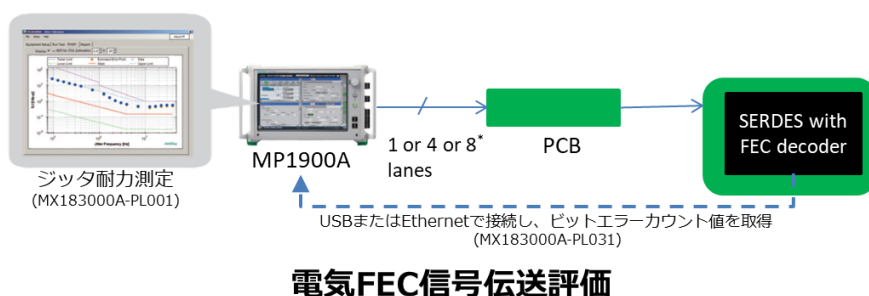
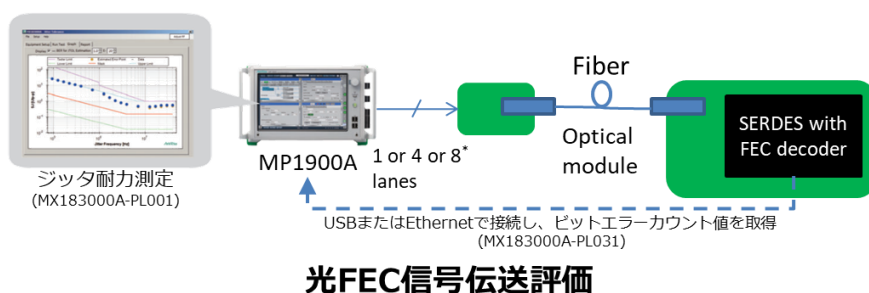
シグナル クオリティ アナライザ-R MP1900A

PAM4 PPG MU196020A

ジッタトレランステスト MX183000A-PL001

DUT Error Counts Import MX183000A-PL031

100G/400G などの大容量伝送の実現に向けた伝送速度の高速化では、伝送品質確保のため FEC の使用が前提になっています。また、4 レーンや 8 レーンなどの多レーン伝送や PAM4 伝送に関する開発が活発に行われています。このため、伝送品質検証では、多レーンの FEC パターンを QSFP, QSFP-DD, OSFP のような光モジュールを経由することでどの程度の誤りが発生するのかを確認する必要があります。シグナル クオリティ アナライザ-R MP1900A のパルスパターン発生器 (PPG) は、400GbE PAM4 信号のマルチチャンネルFECパターン発生とジッタ耐力測定をオールインワンでサポートしたBERTです。1、4、8 チャンネルの FEC パターンを発生し、DUT 内のカウンタ値情報を使用してジッタ耐力試験を行うことができます。



- MP1900A に挿入するモジュールの数により 1、4、8 チャンネル*の FEC パターンが発生可能です。
- FEC パターンを使用したジッタ耐力測定が可能です。FEC パターンにジッタを印可し、Ethernet や USB インタフェースを介して DUT 内の FEC Decode 結果 (Uncorrected code word / Corrected code word 等) を読み出すことにより、FEC パターンを使用した DUT のジッタ耐力測定を実施することが可能になります。
- FEC パターンには付加量可変の Burst Error を挿入可能です。訂正可能な量のビットエラー、検出可能だが訂正不可能なビットエラーを挿入し、DUT の FEC 機能を確認することができます。

[対象アプリケーション] 50GbE、100 GbE、200 GbE、400GbE、IEEE 802.3bs、802.3cd

代表規格・セレクションガイド

型名・品名	項目	規格
MU196020A-042 FEC Pattern Generation	FECパターンを発生するために必要なオプション	
	FEC Pattern 発生	RS-FEC Scrambled Idle Pattern PAM4: 50G 1 Lane (26.5625 Gbaud、50 GBASE-KR/CR/SR/FR/LR) 200G 4 Lanes (26.5625 Gbaud、200 GBASE-SR4 /DR4 /FR4 /LR4) 400G 4 Lanes (53.125 Gbaud、400 GBASE-DR4) 400G 8 Lanes (26.5625 Gbaud、400GBASE-FR8/LR8)* NRZ: 25G 1 Lane (25.78125 Gbaud、25 GBASE-KR/CR/SR/LR/ER) 100G 4 Lanes (25.78125 Gbaud、100 GBASE-KR4 /CR4 /SR4)
	Error Addition	Burst : 1 to 256bits 連続 Error (NRZ), 1 to 256 Symbol 連続 Error Rate : E-3 to E-12 Symbol error per codeword : 1 to 20
MU196020A-050 Inter-Module Synchronization	複数の MU196020A を使用してマルチレーンのパターン発生を行う際に必要なオプション	
	モジュール間 同期 Bit Skew	Baud Rate ≤ 32.1 GBaud : 1 UI 未満の精度で発生可能 Baud Rate > 32.1 GBaud : 5 UI 未満の精度で発生可能
	位相設定範囲	-64 000 to +64 000 mUI (各 Channel 独立設定可能)
	位相設定分解能	2 mUI (各 Channel 独立設定可能)
MX183000A-PL031 DUT Error Counts Import	EthernetやUSB インタフェースを介して DUT のエラーカウントを取得するときに必要なオプション	
	Connection	USB or Ethernet
	Detection	Error Rate, Error Count, Alarm
	Jitter tolerance	あり。MX183000A-PL001 Jitter Tolerance Test が必要

評価するレーン数に応じて MP1900A に搭載するモジュール・オプションの構成例は以下のようになります。

Category	型名	For 50GbE 1 lane	For 200GbE 4lane	For 400GbE 4lane
Mainframe	MP1900A シグナルクオリティアナライザ-R	1	1	1
Synthesizer	MU181000B 12.5GHz 4ポートシンセサイザ	1	1	1
Jitter	MU181500B ジッタ変調源	1	1	1
PPG	MU196020A PAM4 PPG	1	4	4
	MU196020A-001 32G baud	1	4	
	MU196020A-002 58G baud			4
	MU196020A-011 4Tap Emphasis	1	4	4
	MU196020A-030 Data Delay		4	4
	MU196020A-042 FEC Pattern Generation	1	4	4
	MU196020A-050 Inter-Module Synchronization		4	4
Software	MX183000A PL-001 Jitter Tolerance Test	1	1	1
	MX183000A PL-031 DUT Error Counts Import	1	1	1

* 2 台の MP1900A を使用する 8 チャンネルは将来対応