

Anritsu Advancing beyond

シグナル クォリティ アナライザ-R

MP1900A

 SQA-R



シグナル クオリティ アナライザ-R MP1900A

スマートフォンやモバイル端末によるデータ通信量の増加に伴い、ネットワークインタフェースは200G/400Gに高速化し、バスインタフェースも10 Gbit/sを超えています。そして、これらのインタフェースを使用する機器やチップセットには、マルチチャネル、マルチプロトコルが搭載されています。

MP1900Aシリーズは、これらの高速インタフェースの物層評価をサポートための、優れた拡張性を持つ高性能BERTです。この1台で次世代Ethernetからバスインタフェースまでの評価を開発初期段階からトータルにサポートします。

形名・品名・オプション

形名・記号	品 名
MP1900A	シグナル クオリティ アナライザ-R
MP1900A-110	Windows10 Upgrade Retrofit* ¹
MP1900A-ES310 MP1900A-ES510	3年保障延長サービス 5年保障延長サービス
MU195020A	21G/32G bit/s SI PPG
MU195020A-001 MU195020A-010 MU195020A-020 MU195020A-011 MU195020A-021 MU195020A-030 MU195020A-031 MU195020A-040 MU195020A-041 MU195020A-050 MU195020A-051	32 Gbit/s Extension 1ch Data Output 2ch Data Output 1ch 10Tap Emphasis 2ch 10Tap Emphasis 1ch Data Delay 2ch Data Delay 1ch Variable ISI 2ch Variable ISI Sequence Editor Function Sequence Editor Function PCIe 5 Extension
MU195020A-101 MU195020A-111 MU195020A-121 MU195020A-130 MU195020A-131 MU195020A-140 MU195020A-141	32 Gbit/s Extension 後付 1ch 10Tap Emphasis 後付 2ch 10Tap Emphasis 後付 1ch Data Delay 後付 2ch Data Delay 後付 1ch Variable ISI 後付 2ch Variable ISI 後付
MU195020A-340 MU195020A-341 MU195020A-350 MU195020A-351	1ch Variable ISI 後付 2ch Variable ISI 後付 Sequence Editor Function 後付 Sequence Editor Function PCIe 5 Extension 後付
MU195020A-ES310 MU195020A-ES510	3年保障延長サービス 5年保障延長サービス
MU195040A	21G/32G bit/s SI ED
MU195040A-001 MU195040A-010 MU195040A-020 MU195040A-011 MU195040A-021 MU195040A-022	32 Gbit/s Extension 1ch ED 2ch ED 1ch CTLE 2ch CTLE Clock Recovery
MU195040A-101 MU195040A-111 MU195040A-121 MU195040A-122	32 Gbit/s Extension 後付 1ch CTLE 後付 2ch CTLE 後付 Clock Recovery 後付
MU195040A-ES310 MU195040A-ES510	3年保障延長サービス 5年保障延長サービス
MU196020C	PAM4 PPG
MU196020C-001 MU196020C-002 MU196020C-003 MU196020C-011 MU196020C-030 MU196020C-040 MU196020C-042 MU196020C-043 MU196020C-045 MU196020C-050	32G baud 58G baud 64G baud 4Tap Emphasis Data Delay Adjustable ISI FEC Pattern Generation FEC Error Insertion for PCIe6 USB4 Gen4 Pattern Generation Inter-Module Synchronization

形名・記号	品 名
MU196020C-112 MU196020C-113 MU196020C-123 MU196020C-111 MU196020C-130 MU196020C-140 MU196020C-142 MU196020C-143 MU196020C-145 MU196020C-150	32G to 58G baud 後付 32G to 64G baud 後付 58G to 64G baud 後付 4Tap Emphasis 後付 Data Delay 後付 Adjustable ISI 後付 FEC Pattern Generation 後付 FEC Error Insertion for PCIe6 後付 USB4 Gen4 Pattern Generation 後付 Inter-Module Synchronization 後付
MU196020C-340 MU196020C-342 MU196020C-343 MU196020C-345	Adjustable ISI 後付 FEC Pattern Generation 後付 FEC Error Insertion for PCIe6 後付 USB4 Gen4 Pattern Generation 後付
MU196020C-ES310 MU196020C-ES510	3年保証延長サービス 5年保証延長サービス
MU196020A	PAM4 PPG
MU196020A-001 MU196020A-002 MU196020A-003 MU196020A-011 MU196020A-030 MU196020A-040 MU196020A-042 MU196020A-043 MU196020A-045 MU196020A-050 MU196020A-051 MU196020A-052 MU196020A-056	32G baud 58G baud 64G baud 4Tap Emphasis Data Delay Adjustable ISI FEC Pattern Generation FEC Error Insertion for PCIe6 USB4 Gen4 Pattern Generation Inter-Module Synchronization Sequence Editor Function Sequence Editor Function for Multi-channel Sequence Editor Function PCIe 6 and CXL 3 Flits Extension
MU196020A-060	PCIe6 LEQ
MU196020A-112 MU196020A-113 MU196020A-123 MU196020A-111 MU196020A-130 MU196020A-140 MU196020A-142 MU196020A-145 MU196020A-150 MU196020A-156	32G to 58G baud Extension 後付 32G to 64G baud Extension 後付 58G to 64G baud Extension 後付 4Tap Emphasis 後付 Data Delay 後付 Adjustable ISI 後付 FEC Pattern Generation 後付 USB4 Gen4 Pattern Generation 後付 Inter-Module Synchronization 後付 Sequence Editor Function PCIe 6 and CXL 3 Flits Extension 後付
MU196020A-160	PCIe6 LEQ 後付
MU196020A-340 MU196020A-342 MU196020A-343 MU196020A-345 MU196020A-351 MU196020A-352 MU196020A-356	Adjustable ISI 後付 FEC Pattern Generation 後付 FEC Error Insertion for PCIe6 後付 USB4 Gen4 Pattern Generation 後付 Sequence Editor Function 後付 Sequence Editor Function for Multi-channel 後付 Sequence Editor Function PCIe 6 and CXL 3 Flits Extension 後付
MU196020A-360* ²	PCIe6 LEQ 後付
MU196020A-ES310 MU196020A-ES510	3年保証延長サービス 5年保証延長サービス

* 1 : 2020年6月以前受注分のWindows Embedded Standard7搭載MP1900A本体に対するアップグレードオプションです。ハードウェア改造によりWindows 10へのアップグレードを行います。なお、改造後に不要となったWindows Embedded Standard 7用部品は当社で廃棄を行います。詳しくは営業担当者までお問い合わせください。

* 2 : MU196020Aのシリアルナンバーにより本オプションの対応が可能です。詳しくは営業担当者までお問い合わせください。

シグナル クオリティ アナライザ-R MP1900A

形名・記号	品 名
MU196040B	PAM4 ED
MU196040B-001 MU196040B-002	32G baud (2.4G to 32.1G) 58G baud (NRZ : 2.4G to 64.2G, PAM4 : 2.4G to 58.2G)
MU196040B-005 MU196040B-011 MU196040B-021 MU196040B-022 MU196040B-023	64G baud* ³ Equalizer 29G baud Clock Recovery (2.4G to 29G) 32G baud Clock Recovery (2.4G to 32.1G) 58G baud Clock Recovery Extension (51G to 58.2G)
MU196040B-041 MU196040B-042 MU196040B-043 MU196040B-051	SER Measurement FEC Analysis FEC Analysis for PCIe6 PCIe Sequence Editor Pattern Analysis
MU196040B-111 MU196040B-112 MU196040B-115 MU196040B-121 MU196040B-122 MU196040B-123 MU196040B-124 MU196040B-125 MU196040B-141	Equalizer 後付 32G to 58G baud Extension 後付 32G to 64G baud Extension 後付* ³ 29G baud Clock Recovery 後付 32G baud Clock Recovery 後付 58G baud Clock Recovery Extension 後付 32G baud Clock Recovery Extension 後付 58G to 64G baud Extension 後付* ³ SER Measurement 後付
MU196040B-341 MU196040B-342 MU196040B-343 MU196040B-351	SER Measurement 後付 FEC Analysis 後付 FEC Analysis for PCIe6 後付 PCIe Sequence Editor Pattern Analysis 後付
MU196040B-ES310 MU196040B-ES510	3年保証延長サービス 5年保証延長サービス
MU196040A	PAM4 ED
MU196040A-001 MU196040A-022 MU196040A-041	32.1G baud Decoder 25.5G to 32.1G baud Clock Recovery SER Measurement
MU196040A-122 MU196040A-141	25.5G to 32.1G baud Clock Recovery 後付 SER Measurement 後付
MU196040A-ES310 MU196040A-ES510	3年保証延長サービス 5年保証延長サービス
MU196050B	Noise Generator
MU196050B-ES310 MU196050B-ES510	3年保証延長サービス 5年保証延長サービス
MU195050A	Noise Generator
MU195050A-001 MU195050A-101	White Noise White Noise 後付
MU195050A-ES310 MU195050A-ES510	3年保証延長サービス 5年保証延長サービス
MU196060A	32G baud NRZ/PAM4 Re-Driver
MU196060A-001 MU196060A-301	Clock Recovery for SSC Clock Recovery for SSC 後付
MU196060A-ES310 MU196060A-ES510	3年保証延長サービス 5年保証延長サービス

* 3 : 64G baudを使用する場合はソフトウェアに制限があります。
詳細はお問い合わせください。

形名・記号	品 名
MU191000A	Synthesizer
MU191000A-ES310 MU191000A-ES510	3年保証延長サービス 5年保証延長サービス
MU181000B	12.5 GHz 4port Synthesizer
MU181000B-002	SSC拡張
MU181000B-102	SSC拡張 後付
MU181000B-ES310 MU181000B-ES510	3年保障延長サービス 5年保障延長サービス
MU181500B	ジッタ変調源
MU181500B-ES310 MU181500B-ES510	3年保障延長サービス 5年保障延長サービス
MX183000A	ハイスピードシリアルデータテストソフトウェア
MX183000A-PL001 MX183000A-PL011 MX183000A-PL021 MX183000A-PL022 MX183000A-PL023 MX183000A-PL025 MX183000A-PL026 MX183000A-PL031	ジッタトレランステスト PCIe リンクシーケンス PCIeリンクトレーニング USBリンクトレーニング USB 3.2 x 2 リンクトレーニング PCIe 5リンクトレーニング PCIe 6リンクトレーニング DUT Error Counts Import

シグナルクオリティアナライザ-R MP1900A 本体規格

機能	
入力装置、ボタン	抵抗膜式タッチパネル、ロータリエンコーダ、Functionボタン、電源ボタン
LED	Power、Power Standby、Disk Access
LCD	12.1 inch WXGA (1280 × 800)
Ethernet	10/100/1000 Base-T RJ45 1ポート (External : リモート制御用) 10/100/1000 Base-T RJ45 1ポート (Internal : 将来用途予約)
外部ディスプレイ	D-Sub 15 pin 1ポート HDMI Type A 1ポート
USB	正面パネル USB Type A 4ポート 背面パネル USB Type A 2ポート
GPIB 背面パネル	1ポート (リモート制御用)
モジュールスロット	8Slot
機能接地端子	正面パネル 2 Jack 背面パネル 1 Terminal
OS	Windows 10
内部記憶装置	SATA 2.5 inch HDD 1Unit (トレイ式) *1
リモートインタフェース	GPIB、Ethernet External (自動切り替え式)
内部基準クロック	10 MHz ±1 ppm (出荷時確度)
環境性能	
電源 *2	AC 100 V～AC 120 V、AC 200 V～AC 240 V (100 V系200 V系自動切り替え)、50 Hz～60 Hz
消費電力	1350 VA以下
動作温度範囲	+5℃～+40℃
寸法・質量	340 (W) × 222.5 (H) × 451 (D) mm (突起物は除く) 20 kg以下 (ただし、モジュール、ブランクパネル、保護カバー、電源ケーブルを含みません。)
CE	
EMC	2014/30/EU、EN61326-1、EN61000-3-2
LVD	2014/35/EU、EN61010-1
RoHS	2011/65/EU、(EU) 2015/863、EN IEC 63000 : 2018
UKCA	
EMC	S.I. 2016 No.1091、EN 61326-1、EN61000-3-2
LVD	S.I. 2016 No.1101、EN 61010-1
RoHS	S.I. 2012 No.3032、EN IEC 63000 : 2018

* 1 : ユーザによるHDDの取り外しおよび交換は保証対象外

* 2 : 動作電圧は定格電圧の+10%、-10%

SI PPG MU195020A 規格

動作ビットレート

ビットレート設定範囲 (MU181000B連動時)	2.400 000 Gbit/s～21.000 000 Gbit/s、0.000 002 Gbit/s step* ¹ 2.400 000 Gbit/s～25.000 000 Gbit/s、0.000 002 Gbit/s step* ² 25.000 004 Gbit/s～32.100 000 Gbit/s、0.000 004 Gbit/s step* ² オフセット -1000～+1000 ppm、1 ppm step* ³		
ビットレート設定範囲 (MU181000B、 MU181500B連動時)	2.400 000 Gbit/s～3.125 000 Gbit/s、0.000 002 Gbit/s step 3.200 002 Gbit/s～6.250 000 Gbit/s、0.000 002 Gbit/s step 6.400 002 Gbit/s～12.500 000 Gbit/s、0.000 002 Gbit/s step 12.800 002 Gbit/s～21.000 000 Gbit/s、0.000 002 Gbit/s step* ¹ 12.800 002 Gbit/s～25.000 000 Gbit/s、0.000 002 Gbit/s step* ² 25.600 004 Gbit/s～32.100 000 Gbit/s、0.000 004 Gbit/s step* ² オフセット -1000～+1000 ppm、1 ppm step* ³		
ビットレート設定範囲 (外部クロック源使用時)	出カクロックレートをフルレート設定としたとき		
	動作ビットレートの設定範囲	入力するクロック周波数	ビットレートとクロック周波数の関係
	2.4 Gbit/s～16.0 Gbit/s	2.4 GHz～16.0 GHz	1/1クロックで動作
	16.0 Gbit/s～20.0 Gbit/s* ¹	8.0 GHz～10.0 GHz	1/2クロックで動作
	20.0 Gbit/s～21.0 Gbit/s* ¹	10.0 GHz～10.5 GHz	1/2クロックで動作
	16.0 Gbit/s～21.0 Gbit/s* ²	8.0 GHz～10.0 GHz	1/2クロックで動作
	20.0 Gbit/s～32.1 Gbit/s* ²	10.0 GHz～16.05 GHz	1/2クロックで動作
	25.0 Gbit/s～32.1 Gbit/s* ²	6.25 GHz～8.025 GHz	1/4クロックで動作
	出カクロックレートをハーフレート設定としたとき		
	動作ビットレートの設定範囲	入力するクロック周波数	ビットレートとクロック周波数の関係
	2.4 Gbit/s～21.0 Gbit/s* ¹	1.2 GHz～10.5 GHz	1/2クロックで動作
	2.4 Gbit/s～32.1 Gbit/s* ²	1.2 GHz～16.05 GHz	1/2クロックで動作
	25.0 Gbit/s～32.1 Gbit/s* ²	6.25 GHz～8.025 GHz	1/4クロックで動作
	出カクロックレートをフルレート設定としたとき		
ビットレート設定範囲 (外部クロック使用、 MU181500B連動時)	動作ビットレートの設定範囲	入力するクロック周波数	ビットレートとクロック周波数の関係
	2.4 Gbit/s～15.0 Gbit/s	2.4 GHz～15.0 GHz	1/1クロックで動作
	15.0 Gbit/s～20.0 Gbit/s* ¹	7.5 GHz～10.0 GHz	1/2クロックで動作
	20.0 Gbit/s～21.0 Gbit/s* ¹	10.0 GHz～10.5 GHz	1/2クロックで動作
	15.0 Gbit/s～20.0 Gbit/s* ²	7.5 GHz～10.0 GHz	1/2クロックで動作
	20.0 Gbit/s～30.0 Gbit/s* ²	10.0 GHz～15.0 GHz	1/2クロックで動作
	25.0 Gbit/s～32.1 Gbit/s* ²	6.25 GHz～8.025 GHz	1/4クロックで動作
	出カクロックレートをハーフレート設定としたとき		
	動作ビットレートの設定範囲	入力するクロック周波数	ビットレートとクロック周波数の関係
	2.4 Gbit/s～21.0 Gbit/s* ¹	1.2 GHz～10.5 GHz	1/2クロックで動作
	2.4 Gbit/s～30.0 Gbit/s* ²	1.2 GHz～15.0 GHz	1/2クロックで動作
	25.0 Gbit/s～32.1 Gbit/s* ²	6.25 GHz～8.025 GHz	1/4クロックで動作

*1：オプションx01なし

*2：オプションx01あり

*3：ビットレート設定により、オフセットの設定範囲が異なります。

以下のビットレート設定では、設定範囲が-1000～0 ppmになります。

フルレート：12.500 000 Gbit/s、25.000 000 Gbit/s

ハーフレート：25.000 000 Gbit/s

外部クロック入力

入力数	1 (Single-end)
周波数	1.2 GHz～16.05 GHz
振幅	0.3 Vp-p～1.0 Vp-p (-6.5～+4.0 dBm)
終端	AC、50Ω
コネクタ	SMAコネクタ (f)

補助入力、補助出力

補助入力 (Aux Input)	
入力数	1 (Single-end)
信号の種類	Error Injection、Burst、Sequence Trigger*
最小パルス幅	データレート1/128
入力レベル	0/-1 V (H : -0.25 V~0.05 V、L : -1.1 V~-0.8 V) 0/-0.5 V (H : -0.05 V~0.05 V、L : -0.55 V~-0.45 V) Vth 0 V (入力振幅 0.5 Vp-p~1.0 Vp-p) いずれか選択
終端	GND、50Ω
コネクタ	SMAコネクタ (f)
補助出力 (Aux Output)	
出力数	2 (Differential)
信号の種類	1/n Clock (n = 4、6、8、10 … 510、512)、Pattern Sync、Burst Out2、LTSSM Trigger*
出力レベル	0/-0.6 V (H : -0.25 V~0.05 V、L : -0.80 V~-0.45 V)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

* : Sequence TriggerとLTSSM Triggerは、Test PatternがSequenceのときのみ選択できます

ゲート出力

出力数	2 (Differential)
信号の種類	Burst、Repeat、LFPS*1
出力レベル	0/-1 V (H : -0.25 V~0.05 V、L : -1.25 V~-0.8 V) *2
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

* 1 : Test PatternがSequenceかつSpecificationがUSB3.0またはUSB3.1 Gen2のときに設定可能

* 2 : L : Output Enable、H : Output Disable

パターン発生*1

PRBS												
パターン長	2 ⁿ - 1 (n = 7、9、10、11、15、20、23、31)											
マーク率	1/2 (論理反転により1/2INVが可能)											
Zero-Substitution												
付加ビット	0 bit、1 bit											
パターン長	2 ⁿ または2 ⁿ - 1 (n = 7、9、10、11、15、20、23)											
開始位置	最大 “0”連続ビット位置の次ビットから置換											
ゼロビットの長さ	1 bits～ (Pattern Length - 1) bits “0”置換後の次ビットが “0”の場合は、“1”に置換します。											
Data												
データ長	2 bits～268 435 456 bits、1 bit step											
Current Outputting Pattern	1～10、1 step、選択されている番号のPatternを出力 各番号のPatternは、Glitch Freeで切り替え可能											
Mixed Pattern												
パターン切り替え	Data											
Mixed Block	下記のいずれか小さい数まで 1～511 Block、1 Block step INT $\left(\frac{268\ 435\ 456}{\text{ROW数}} \times \text{データ長} \right)$ bits INT $\left(\frac{268\ 435\ 456 + 2^{31}}{\text{ROWの長さ}} \times \text{ROW数} \right)$ bits											
Mixed Row Length	2048 bits～268 435 456 + 2 ³¹ bits、1024 bits step (Data + PRBS Length)											
データ長	1024 bits～268 435 456 bits、1 bit step											
Row数	1～16、1 step											
Block数	1～511、1 step											
PRBS段数、マーク率	PRBSと同様											
PRBS Sequence	Restart、Consecutive											
スクランブル	各BlockのPRBS、Dataごとに設定可能 (Block1のData領域を除く)											
PAM4*2												
パターン種別	Square Wave、JP03A、JP03B、PRQS10、SSPR、QPRBS13、QPRBS13-CEI、SSPRQ、Transmitter Linearity、PRBS13Q、PRBS31Q、User Define											
User Define選択時	<table><tr><td>Raw Data</td><td>PRBS、Data</td></tr><tr><td>PRBS段数</td><td>PRBSと同様</td></tr><tr><td>PRBS Inversion</td><td>PRBS部のLogic設定</td></tr><tr><td>データ長</td><td>Dataと同様</td></tr><tr><td>Gray Coding</td><td>グレイコード機能のON/OFF設定</td></tr></table>		Raw Data	PRBS、Data	PRBS段数	PRBSと同様	PRBS Inversion	PRBS部のLogic設定	データ長	Dataと同様	Gray Coding	グレイコード機能のON/OFF設定
Raw Data	PRBS、Data											
PRBS段数	PRBSと同様											
PRBS Inversion	PRBS部のLogic設定											
データ長	Dataと同様											
Gray Coding	グレイコード機能のON/OFF設定											
Sequence*3												
Specification	PCIe1、PCIe2、PCIe3、PCIe4、PCIe5*4、USB3.0、USB3.1 Gen2											
Transmit	Sequence送信を開始します。											
Manual	Manual Triggerを設定している場合に有効											
Trigger Block No.	AUX OutputよりLTSSM Triggerを出力するシーケンスのBlock No.を選択します。 1～128 Block No.、1 step											

* 1 : 出力回路は、AC結合でのBias Tee方式で直流終端されているため、同符号パターンが約5 μs連続すると50%の出力レベルが変動します

* 2 : 2chコンビネーションまたは 64G × 2ch コンビネーション設定時のみ設定可能

* 3 : MU195020A-050/350が必要です。Independent時のみ設定可能。Ch1またはCh2のどちらかをSequenceに設定した場合、Ch1、Ch2共にSequenceになります。

* 4 : MU195020A-050/350かつMU195020A-051/351が必要です。

SI PPG MU195020A 規格

パターンシーケンス

Repeat	連続パターン
バースト	
バーストサイクル	25600 bits~2 147 483 648 bits、1024 bits step
周期	Internal : 12800 bits~2 147 483 392 bits、256 bits step Ext Trigger : 12800 bits~2 147 483 648 bits、256 bits step

プリコード

変調方式	2ch Combination : DQPSK
初期値	0/1から選択

エラー付加

エラー付加範囲	ALL、Specific Block (Mixedの場合のみ選択可能)
内部トリガ	
付加方法	Repeat、Single
比率	*E - n (* = 1~9、n = 3~12)、上限は5.0E-3
外部トリガ*	
制御方法	External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
Bit/Burst	Bit Error、Burst Errorの選択
Burst Length	1~127、1 step

* : Test PatternがSequence以外のときに設定可能

データ出力

記載がない限り、PRBS2³¹ - 1、マーク率 1/2、クロスポイント50%にて規定

応用部品 同軸ケーブル J1439A (0.8m、Kコネクタ)、およびサンプリングオシロスコープ帯域70 GHzで観測したときの値

出力数	オプションx10 : 2 (Data、Data) オプションx20 : 4 (Data1、Data1、Data2、Data2)
Eye振幅	
設定範囲	0.1 Vp-p~1.3 Vp-p、2 mV step
確度	±50 mV ±17%
オフセット	
設定範囲	$-2.0 - \frac{\text{振幅}}{2} \sim +3.3 - \frac{\text{振幅}}{2}$ Vth、1 mV step
確度	±65 mV ± (オフセットの10%) (Vth) ± (Eye振幅確度/2) * ¹
定義済みインタフェース	NECL、SCFL、NCML、PCML、LVPECL
クロスポイント	50% Fixed
立ち上り、立ち下り	20~80% * ¹ 、* ² 、12 ps (代表値)、≤15 ps
Half Period Jitter	
設定範囲	-20~20、1 step
確度	±0.02 UI (代表値) * ³
ジッタ (代表値)	Jitter (RMS) : 300 fs rms (1、0繰り返しパターン) (代表値) * ² 、* ⁴ RJ (RMS) : 115 fs rms (28 Gbit/s 1、0繰り返しパターン) (代表値) * ² 、* ⁵ Jitter (Total) : 6 ps (測定カウント30) (代表値) * ² 、* ⁴ 、* ⁶
Waveform Distortion (0-peak)	±25 mV ±15% (代表値) * ²
Data/Dataスキュー	±1 ps (代表値) * ⁷ 、* ⁸
チャネル間スキュー * ⁹	±0.25 UI * ⁸
終端	AC、DC切り替え、50Ω DC時 * ¹⁰ : GND、-2 V、+1.3 V、+3.3 V、Open (LVDS)
コネクタ	Kコネクタ (f)

*¹ : オプションx11またはオプションx21ありの場合で、Emphasis設定時は除く

*² : オプションx01なしの場合、21 Gbit/sにて
オプションx01ありの場合、32.1 Gbit/sにて
振幅 1.0 Vp-p

*³ : 設定値が0のとき

*⁴ : 残留ジッタ <200 fs rmsのオシロスコープを使用

*⁵ : 残留ジッタ <70 fs rmsのオシロスコープを使用

*⁶ : PRBS2¹⁵ - 1、BER 10⁻¹²にて規定

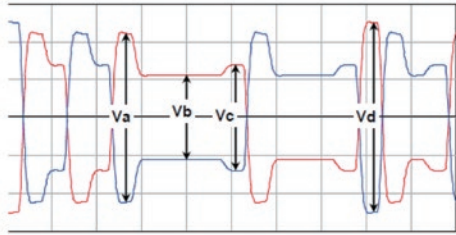
*⁷ : ケーブルの誤差は含まず

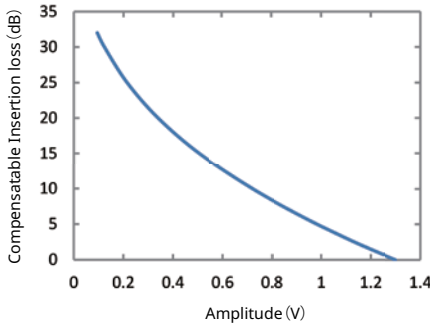
*⁸ : 標準添付アダプタ J1359A 同軸アダプタ (K-P、K-J、SMA互換) 分を含む

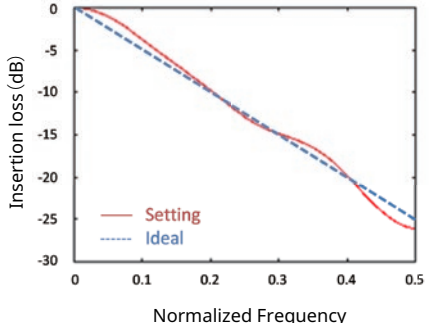
*⁹ : オプションx20ありの場合

*¹⁰ : 出力回路は、AC結合でのBias Tee方式で直流終端

10タップエンファシス(オプション011または021)

エンファシスタップ	10 (6 post-cursor, 3 pre-cursor)
カーソル設定範囲	-20~+20 dB, 0.1 dB step Post-Cursor : $20\log_{10}(\frac{V_a}{V_b})$, Pre-Cursor : $20\log_{10}(\frac{V_c}{V_b})$ 
確度	±1 dB (代表値, 8, 16, 25 Gbit/s PCIe 3/4各プリセットにて)
エンファシスピーク電圧の設定範囲	0.1 Vp-p~1.5 Vp-p (Single-end)
Idle状態からの遷移時間	≤8 ns (Electrical Idleから有効データが発生される最大時間)

Channel Emulator (オプション040または041)	Normal : 読み込んだSパラメータに相当する伝送路をエミュレートした信号が、PPGのData Outputに出力される Inverse : 読み込んだSパラメータに相当する伝送路の損失を補償するDe-Emphasisが設定された信号がPPGのData Outputに出力される Channel Emulator機能で振幅を下げることなく補償できる最大伝送路損失は以下のグラフの通り 
Response	Normal, Inverse
S-Parameter file	S2Pファイル (拡張子"*.s2p")、 S4Pファイル (入力側はポート1, 2で出力側はポート3, 4とする, 拡張子"*.s4p") ベクトルネットワークアナライザ MS4640Bシリーズの出力ファイルに対応

Variable ISI (オプション040または041)	PPG出力Data信号に、ISIを発生させるチャネルの損失を設定、そのエミュレート波形を出力する (出力波形振幅は設定振幅で規格化) J1758A (応用部品) などのチャネルボードとの組み合わせで使用
周波数設定	Nyquist, 1/2 Nyquist FrequencyにてInsertion Lossを設定可能
Insertion Loss設定	1.5~25 dB 0.01 dB step @Nyquist Frequency 0~25 dB 0.01 dB step @1/2Nyquist Frequency
Insertion Loss Accuracy	±1 dB Nominal (設計保証) @Nyquist Frequency 10 dB, 1, 0繰り返しパターン、 ±1 dB Nominal (設計保証) @1/2Nyquist Frequency 5 dB, 1, 1, 0, 0繰り返しパターン、 Bit rate 16 Gbit/s, 25 Gbit/s (オプション01実装時)、Eye Amplitude 1.0 Vp-p、各スペクトラムにて Nyquist frequencyに25 dB, 1/2 Nyquist frequencyに12.5 dBを設定したときのInsertion Lossの周波数特性は以下のようになります。(ISIのNominal Data) 
Emulator On/Off	Channel Emulator、Variable ISI、エンファシスタップをそれぞれ合成可能

クロック出力

応用部品 同軸ケーブル J1439A (0.8 m、Kコネクタ) およびサンプリングオシロスコープ帯域70 GHzで観測したときの値

周波数	
Full Rate	2.4 GHz~21.0 GHz* ¹ 2.4 GHz~32.1 GHz* ² 動作ビットレートはクロック出力周波数と同じです。
Half Rate	1.2 GHz~10.5 GHz* ¹ 1.2 GHz~16.05 GHz* ² 動作ビットレートはクロック出力周波数の2倍です。
出力数	1
振幅	0.3 Vp-p~1.0 Vp-p (固定)
終端	AC、50Ω
コネクタ	Kコネクタ (f)

*1：オプションx01なし
*2：オプションx01あり

データディレイ

オプションx30またはオプションx31を追加している場合

位相設定範囲	-1000 mUI~+1000 mUI、2 mUI step
確度	±50 mUIp-p (代表値) *
Calibration推奨表示	次の状態になったときに画面に表示 • 1/1 Clockの周波数が±250 kHz変化したとき • 機器周囲温度が±5度変化した場合

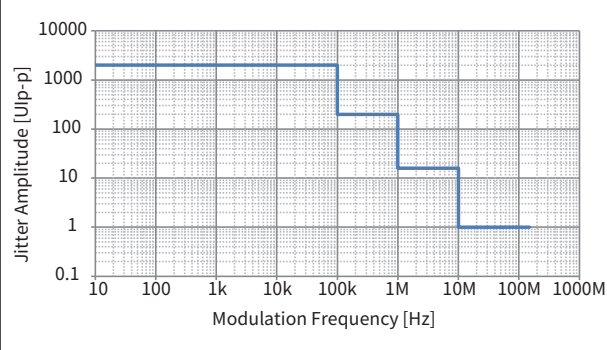
*：残留ジッタ <200 fs rms のオシロスコープを使用

ジッタ設定範囲

ジッタ設定範囲

MU181000A/B + MU181500B連動時
SJ1 Clock Output Rate
Half Rate設定時

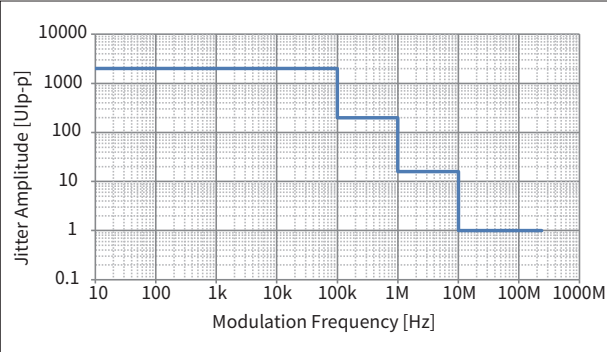
30 < Bit rate ≤ 32.1 Gbit/s、8 < Bit rate ≤ 17 Gbit/s



変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10~100k	0~2000
100.1k~1M	0~200
1.001M~10M	0~16
10.01M~150M	0~1

変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10～100k	0～2000
100.1k～1M	0～200
1.001M～10M	0～16
10.01M～150M	0～1

17 < Bit rate ≤ 30 Gbit/s



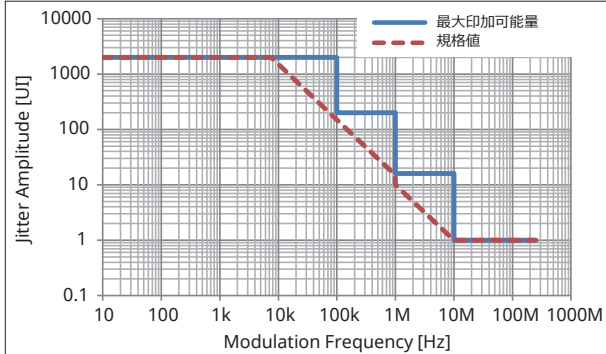
変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10~100k	0~2000
100.1k~1M	0~200
1.001M~10M	0~16
10.01M~250M	0~1

変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10～100k	0～2000
100.1k～1M	0～200
1.001M～10M	0～16
10.01M～250M	0～1

ジッタ耐力

ジッタ耐力

ビットレート：16、28.1*、32.1 Gbit/s*
パターン：PRBS2³¹ - 1
MU181500Bを使用して、振幅5300 ppmのSSCと、0.3 UIのRJを同時に印加可能。
MU195040Aとのループバック接続、20℃～30℃のある1つの温度で規定
RJ + BUJ > 0.5 UIp-p、またはSJ + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、
MU181500Bの画面がOverload表示となる。
ビットレートによる最大印加量は異なります。詳細については、ジッタ設定範囲を参照ください。



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
250 000 000	1	1

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
250 000 000	1	1

*：オプションx01あり

マルチチャネル動作

コンビネーション*1、*2	
2chコンビネーション	32/64 Gbit/s帯信号源として、パターンのビットを2つのチャネルに交互に出力
チャネル同期*1	チャネル数：2
モジュール間コンビネーション	スロット1～4：2chコンビネーション、チャネル同期*3
2チャネル同期	
出力	位相設定範囲 -64 000～+64 000 mUI*4 位相設定分解能 2 mUI*4
パターン	
Data	データ長 2 × n～268 435 456 × n bits、n bits step*5
Mixed	列の長さ 2048 × n～(268 435 456 + 2 ³¹) × n、1024 × n bits step*5 データ長 1024 × n～268 435 456 × n bits、n bits step*5

- *1：対象となるチャネルにオプションx31が必要です。Test PatternがSequenceのときはマルチチャネル動作を設定できません。
- *2：複数のスロットをまたいでコンビネーションを設定できません。
- *3：モジュール同士のオプションが同じで、対象となるモジュールがスロット1から連続して装着されている場合
- *4：各チャネル独立で設定可能、コンビネーションとチャネル同期で共通
- *5：コンビネーション設定されているすべてのチャネルで共通

拡張機能

PAM4	MZ1834A/B、G0375Aと組み合わせることにより、下記をサポートする PAM4信号の発生 • Amplitude (Single-end) 0.048 Vp-p～0.310 Vp-p (MZ1834A) • Amplitude (Single-end) 0.048 Vp-p～0.489 Vp-p (MZ1834B) • Amplitude (Single-end) 0.3 Vp-p～1.95 Vp-p (G0375A) PAM4 Emphasis信号の発生 (オプションx11またはオプションx21実装時) • Emphasis PeakVoltage (Single-end) 0.048 Vp-p～0.357 Vp-p (MZ1834A) • Emphasis PeakVoltage (Single-end) 0.048 Vp-p～0.564 Vp-p (MZ1834B) • Emphasis PeakVoltage (Single-end) 0.3 Vp-p～2.25 Vp-p (G0375A)
------	--

動作ビットレート

動作ビットレート	2.4 Gbit/s~21.0 Gbit/s* ¹ 2.4 Gbit/s~32.1 Gbit/s* ²
----------	--

- *1 : オプションx01なし
*2 : オプションx01あり

システムクロック

システムクロック	External、Clock Recovery、Clock and Data Recovery* ¹ 、* ²
----------	---

- *1 : オプションx22実装時に選択可能。未実装時はExternalのみ。
*2 : オプションx22実装時はData1 Inputに入力されたデータからクロックが再生されます。

データ入力

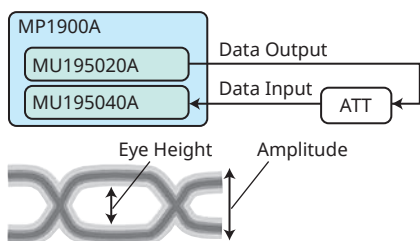
入力数	2 (Data、Data) (Differential) * ¹ 4 (Data1、Data1、Data2、Data2) (Differential) * ²				
Amplifier	Single-end 50Ω、Differential 50Ω、Differential 100Ω選択可能 Single-end 50Ω選択時：Data、Data選択可能 Differential 50/100Ω設定時：Tracking、Independent、Alternate選択可能 Alternate設定時：Data-Data、Data-Data選択可能* ³ CTLE：オン、オフ切り替えあり* ⁴				
フォーマット	NRZ、PAM4				
入力振幅* ⁵	0.05 Vp-p～1.0 Vp-p (NRZ) 0.3 Vp-p～1.0 Vp-p (PAM4、≦28.1 Gbaud) 0.4 Vp-p～1.0 Vp-p (PAM4、>28.1 Gbaud)				
電圧しきい値	-3.5V～+3.3V (1 mV step) (独立設定可能) (Data、Data Thresholdの差分の絶対値は3V以下)				
入力感度	NRZ* ⁵ 、* ⁶ 、* ⁷				
	ビットレート	21.0 Gbit/s		28.1 Gbit/s* ⁸	
	振幅	19 mVp-p (代表値)、≦27 mVp-p		22 mVp-p (代表値)、≦31 mVp-p	
	アイ高さ* ⁹	13 mV (代表値)		15 mV (代表値)	
	PAM4* ⁵ 、* ⁷ 、* ¹¹				
	ボーレート	21.0 Gbaud		28.1 Gbaud* ⁸	
	振幅	120 mVp-p (代表値)、40 mV/Eye		150 mVp-p (代表値)、50 mV/Eye	
	アイ高さ* ⁹	24 mV (代表値)		26 mV (代表値)	
	位相マージン	NRZ* ⁶ 、* ¹⁰			
		ビットレート	21.0 Gbit/s	25.0 Gbit/s* ⁸	28.1 Gbit/s* ⁸
位相マージン		33 ps (代表値)	27 ps (代表値)	20 ps (代表値)	18 ps (代表値)
PAM4 Middle* ¹¹ 、* ¹²					
ボーレート		21.0 Gbaud	25.0 Gbaud* ⁸	28.1 Gbaud* ⁸	32.1 Gbaud* ⁸
位相マージン		13 ps (代表値)	8 ps (代表値)	5 ps (代表値)	2 ps (代表値)
アイ幅		26.5 ps (代表値)	20 ps (代表値)	15 ps (代表値)	13 ps (代表値)
PAM4 Upper/Lower* ¹¹ 、* ¹²					
ボーレート		21.0 Gbaud	25.0 Gbaud* ⁸	28.1 Gbaud* ⁸	
位相マージン		8 ps (代表値)	5 ps (代表値)	3 ps (代表値)	
アイ幅		26.5 ps (代表値)	20 ps (代表値)	15 ps (代表値)	
終端		GND、Termination Variable選択可能 いずれも50Ω			
終端電圧		Termination Variable設定時：-2.5 V～+3.5 V、10 mV step			
コネクタ		Kコネクタ (f)			
CTLE* ⁴					
Band	Off、8 Gbit/s～10 Gbit/s、16 Gbit/s～20 Gbit/s、25 Gbit/s～28 Gbit/s、PCIe3、PCIe4、PCIe5				
振幅	0.05 Vp-p～0.4 Vp-p (CTLEがON時に飽和しない入力範囲)				
CTLEゲイン	設定範囲 0～-12 dB、0.1 dB step 確度 ±0.5 dB (代表値)				

- *1 : オプションx10
*2 : オプションx20
*3 : Data、Data Thresholdの差分の絶対値は1.5 V以下
*4 : オプションx11またはオプションx21
*5 : NRZ入力時の振幅はAuto Adjust機能が動作する範囲です。PAM4入力時の振幅はPAM4 Auto Search機能が動作する範囲です。
感度はエラーフリーとなる最小入力振幅です。
*6 : PRBS31、Single-end、マーク率1/2、CTLE OFF
*7 : 20℃~30℃のある1つの温度で規定
*8 : オプションx01

SI ED MU195040A 規格

* 9 : Eye Heightの感度です。

次の図に示す測定系(出力振幅の観測には帯域70 GHz以上のサンプリングオシロスコープを使用)で、MU195020A + ATTの出力信号を受信したときにエラーフリーとなる最小のEye Heightです。



* 10 : 0.5 Vp-p Input、External Clock使用時

* 11 : PRBS15、Single-end、マーク率1/2相当、CTLE OFF、MU195020A + G375A対向

* 12 : Emphasis ON (1Pre ≤ 3 dB/1Post ≤ 1 dBの範囲内の最良値)、IEEE 802.3bsの測定方法に準拠

クロック入力

入力数	1 (Single-end)
周波数	1.2 GHz~16.05 GHz
振幅	0.3 Vp-p~1.0 Vp-p (-6.5~+4.0 dBm)
終端	AC、50Ω
コネクタ	SMAコネクタ (f)

補助入力、補助出力

補助入力 (Aux Input)	
入力数	1 (Single-end)
信号の種類	External Mask、Burst、Capture External Trigger
最小パルス幅	データレート1/128
入力レベル	次から選択 • 0/-1 V (H : -0.25 V~0.05 V、L : -1.1 V~-0.8 V) • 0/-0.5 V (H : -0.05 V~0.05 V、L : -0.55 V~-0.45 V) • VTH 0 V (入力振幅0.5 Vp-p~1.0 Vp-p)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)
補助出力 (Aux Output)	
出力数	2 (Differential)
信号の種類	1/n Clock (n = 4、6、8、10...510、512)、Pattern Sync*、Sync Gain、Error Output
パターン同期	PRBS、PRGM Position : 1~ (Pattern Length'と128 の最小公倍数 - 135)、8 step Pattern Length'はPattern Lengthが511以下のとき、512以上になるように整数倍した値 Mixed Data Block No設定 : 1~ (Mixed Data指定のBlock No)、1 step Row No設定 : 1~ (Mixed Data指定のRow No)、1 step
出力レベル	0/-0.6 V (H : -0.25 V~0.05 V、L : -0.80 V~-0.45 V)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

* : Test PatternがHSSB Dataのときは選択できません。

パターン検出

PRBS	
パターン長	$2^n - 1$ (n = 7、9、10、11、15、20、23、31)
マーク率	1/2 (論理反転により1/2INVが可能)
Zero-Substitution	
付加ビット	0bit、1bit
パターン長	2^n または $2^n - 1$ (n = 7、9、10、11、15、20、23)
開始位置	最大 "0" 連続ビット位置の次ビットから置換
ゼロビットの長さ	1 bits~ (Pattern Length - 1) bits "0" 置換後の次ビットが "0" の場合は、"1" に置換します。
Data	
データ長	2 bits~268 435 456 bits、1 bit step

SI ED MU195040A 規格

Mixed Pattern												
パターン切替	Data											
Mixed Block	下記のいずれか小さい数まで 1～511 Block、1 Block step $\text{INT} \left(\frac{268\ 435\ 456}{\text{ROW数}} \times \text{データ長} \right) \text{ bits}$ $\text{INT} \left(\frac{268\ 435\ 456 + 2^{31}}{\text{ROWの長さ}} \times \text{ROW数} \right) \text{ bits}$											
Mixed Row Length	2048 bits～268 435 456 + 2 ³¹ bits、1024 bits step (Data + PRBS Length)											
データ長	1024 bits～268 435 456 bits、1bit step											
Row数	1～16、1 step											
Block数	1～511、1 step											
PRBS段数、マーク率	PRBSと同様											
PRBS Sequence	Restart、Consecutive											
デスクランブル	各BlockのPRBS、Dataごとに設定可能 (Block1のData領域を除く)											
PAM4*1												
パターン種別	Square Wave、JP03A、JP03B、PRQS10、SSPR、QPRBS13、QPRBS13-CEI、SSPRQ、Transmitter Linearity、PRBS13Q、PRBS31Q、User Define											
User Define選択時	<table><tr><td>Raw Data</td><td>PRBS、Data</td></tr><tr><td>PRBS段数</td><td>PRBSと同様</td></tr><tr><td>PRBS Inversion</td><td>PRBS部のLogic設定</td></tr><tr><td>データ長</td><td>Dataと同様</td></tr><tr><td>Gray Coding</td><td>グレイコード機能のON/OFF設定</td></tr></table>		Raw Data	PRBS、Data	PRBS段数	PRBSと同様	PRBS Inversion	PRBS部のLogic設定	データ長	Dataと同様	Gray Coding	グレイコード機能のON/OFF設定
Raw Data	PRBS、Data											
PRBS段数	PRBSと同様											
PRBS Inversion	PRBS部のLogic設定											
データ長	Dataと同様											
Gray Coding	グレイコード機能のON/OFF設定											
HSSB Data*2	Specification PCIe1、PCIe2、PCIe3、PCIe4、PCIe5、USB3.0、USB3.1 Gen2											

*1：2chコンビネーション設定時のみ設定可能

*2：Data1かつIndependent時のみ設定可能

パターンシーケンス

Sequence	Repeat、Burst
Repeat	連続パターン
バースト	
ディレイ	Internal：0～2 147 483 640 bits、8 bits step Ext Trigger、Enable：0～2 147 483 520 bits、8 bits step
周期	Internal：12800 bits～2 147 482 624 bits、256 bits step Ext Trigger：12800 bits～2 147 483 392 bits、256 bits step
バーストサイクル	25600 bits～2 147 483 648 bits、1024 bits step

測定

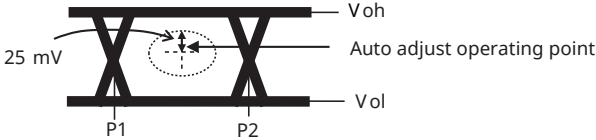
Gating方式はMP1900Aの基準クロック10 MHzが校正された状態にて

測定種別	エラーレート エラー数 エラーインターバル エラーフリーインターバル (%) 周波数 周波数測定確度 クロック数 同期ロスインターバル クロックロスインターバル
エラー検出	・ Total、Insertion、Omission ・ Transition、Non Transition
SKP OS Filtering	USB3.1 Gen1/2、PCIe 1/2/3/4/5の規格に準拠したSKP OSを除去する機能。 それぞれの規格のビットレートでのみ動作可能。

エラー解析

ブロックウィンドウ	Dataパターンを設定に応じて測定対象から除外 Mixed Pattern時、HSSB Data時は無効
ビットウィンドウ	内部32chのうち任意のchを測定対象から除外
キャプチャ機能	
自動測定	アイマージン*1、*2、バスタブ曲線*1、*2、Eye Contour*1、*2、PAM4 BER測定 Auto Adjust*3、*4、*5、Auto Search*3、Auto Search PAM4モード

- * 1 : HSSB Data時は無効
* 2 : システムクロックをClock and Data Recoveryに設定したときは選択不可
* 3 : NRZ、PRBSパターンかつマーク率 1/2
* 4 : Auto Adjust機能で得られる最適点は、電圧方向は (Voh + Vol) /2付近、位相方向は (P1 + P2) /2付近のポイントです。Auto Adjust機能は、オシロスコープで波形を観測したとき、Auto adjust operating pointから電圧方向に±25 mV以内にサンプルポイントがない波形で正常に動作します。



- * 5 : 入力信号のEye波形が対称ではないときは、Auto Adjust機能で最適点を得られません。
入力信号のEye波形が非対称のときは、Auto Search Fineの使用を推奨します。

可変クロックディレイ

位相設定範囲	-1000 mUI~+1000 mUI、2 mUI step
確度	±50 mUIp-p (代表値) *
Calibration推奨表示	Calibration実施後、次の状態になったときに画面に表示 ● 1/1Clockの周波数が±250 kHz変化した場合 ● 機器周囲温度が±5℃変化した場合

* : 残留ジッタ <200 fs rms のオシロスコープを使用

クロックリカバリ

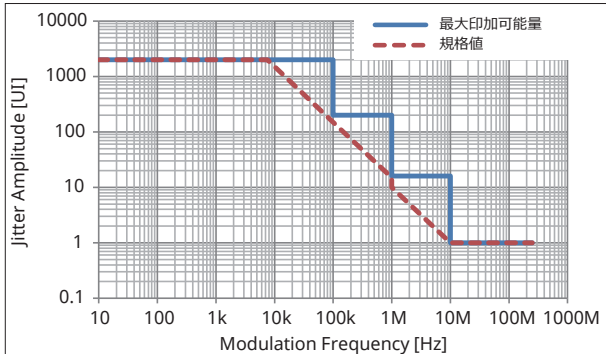
クロックソース切り替え	Clock Recovery、Clock and Data Recovery選択可能*1																																																						
動作ビットレート	NRZ時 2.4 Gbit/s～21.0 Gbit/s*2 2.4 Gbit/s～32.1 Gbit/s*3 PAM4時 2.4～21.0 Gbaud 2.4～28.1 Gbaud*3 28.100001～32.1 Gbaud (代表値、BER1.0E-7) *3																																																						
0連続耐力*4	72 bit (Zero Substitution 2 ¹⁵)																																																						
ロック範囲*4	±200 ppm																																																						
ターゲットループ帯域	$\frac{\text{Bit rate}}{1667}$ MHz、 $\frac{\text{Bit rate}}{2578}$ MHz、Jitter Tolerance*5、Variableから選択可能。 Variable選択時は下記の設定が可能。 <table><tr><th>Bit rate [Gbit/s]</th><th>設定範囲 [MHz]</th><th>Step [MHz]</th></tr><tr><td>2.400000～5.500000</td><td>3</td><td>—</td></tr><tr><td>5.500001～7.500000</td><td>3～4</td><td>1</td></tr><tr><td>7.500001～9.500000</td><td>3～5</td><td>1</td></tr><tr><td>9.500001～10.500000</td><td>3～6</td><td>1</td></tr><tr><td>10.500001～12.500000</td><td>3～7</td><td>1</td></tr><tr><td>12.500001～14.500000</td><td>3～8</td><td>1</td></tr><tr><td>14.500001～15.500000</td><td>3～9</td><td>1</td></tr><tr><td>15.500001～17.500000</td><td>3～10</td><td>1</td></tr><tr><td>17.500001～19.500000</td><td>3～11</td><td>1</td></tr><tr><td>19.500001～20.500000</td><td>3～12</td><td>1</td></tr><tr><td>20.500001～22.500000</td><td>3～13</td><td>1</td></tr><tr><td>22.500001～24.500000</td><td>3～14</td><td>1</td></tr><tr><td>24.500001～25.500000</td><td>3～15</td><td>1</td></tr><tr><td>25.500001～27.500000</td><td>3～16</td><td>1</td></tr><tr><td>27.500001～29.500000</td><td>3～17</td><td>1</td></tr><tr><td>29.500001～30.500000</td><td>11～18</td><td>1</td></tr><tr><td>30.500001～32.100000</td><td>11～19</td><td>1</td></tr></table>	Bit rate [Gbit/s]	設定範囲 [MHz]	Step [MHz]	2.400000～5.500000	3	—	5.500001～7.500000	3～4	1	7.500001～9.500000	3～5	1	9.500001～10.500000	3～6	1	10.500001～12.500000	3～7	1	12.500001～14.500000	3～8	1	14.500001～15.500000	3～9	1	15.500001～17.500000	3～10	1	17.500001～19.500000	3～11	1	19.500001～20.500000	3～12	1	20.500001～22.500000	3～13	1	22.500001～24.500000	3～14	1	24.500001～25.500000	3～15	1	25.500001～27.500000	3～16	1	27.500001～29.500000	3～17	1	29.500001～30.500000	11～18	1	30.500001～32.100000	11～19	1
Bit rate [Gbit/s]	設定範囲 [MHz]	Step [MHz]																																																					
2.400000～5.500000	3	—																																																					
5.500001～7.500000	3～4	1																																																					
7.500001～9.500000	3～5	1																																																					
9.500001～10.500000	3～6	1																																																					
10.500001～12.500000	3～7	1																																																					
12.500001～14.500000	3～8	1																																																					
14.500001～15.500000	3～9	1																																																					
15.500001～17.500000	3～10	1																																																					
17.500001～19.500000	3～11	1																																																					
19.500001～20.500000	3～12	1																																																					
20.500001～22.500000	3～13	1																																																					
22.500001～24.500000	3～14	1																																																					
24.500001～25.500000	3～15	1																																																					
25.500001～27.500000	3～16	1																																																					
27.500001～29.500000	3～17	1																																																					
29.500001～30.500000	11～18	1																																																					
30.500001～32.100000	11～19	1																																																					
ジッタ耐力																																																							
クロックリカバリ	ビットレート28.05 Gbit/s、32G FC Jitter Tolerance Mask準拠 ビットレート25.78125 Gbit/s、100 GbE (25.78 × 4) Jitter Tolerance Mask準拠 ビットレート14.0625 Gbit/s、InfiniBand FDR Jitter Tolerance Mask準拠 ビットレート14.025 Gbit/s、16G FC Jitter Tolerance Mask準拠 ビットレート10.3125 Gbit/s、10 GbE Jitter Tolerance Mask準拠																																																						

- * 1 : オプションx22実装時に選択可能。Data1 Inputに入力されたデータからクロック再生。入力パターンは、NRZ時はPRBSパターンかつマーク率1/2。PAM4時はPRBS15 Data1 Middle EyeでClock Recoveryを行い、Data2にてUpper/Middle/Lower Eye測定。
* 2 : オプションx22あり
* 3 : オプションx01あり
* 4 : オプションx22実装時、ターゲットループ帯域は各ビットレートの最大設定値で規定。
* 5 : Jitter Tolerance測定用に、ループ帯域を広く設定します。
* 6 : MU195020Aとのループバック、PRBS2³¹ - 1、データ入力振幅 0.05 Vp-pにて規定
* 7 : 代表値、20℃~30℃にて規定

ジッタ耐力

外部クロック使用時

ビットレート：16、28.1*、32.1 Gbit/s*
パターン：PRBS2³¹ - 1
MU181500Bを使用して、振幅5300 ppmのSSCと、0.3 UIのRJを同時に印加可能。
MU195020Aとのループバック接続、20℃～30℃のある1つの温度で規定
RJ + BUJ > 0.5 UIp-p、またはSJ + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、
MU181500Bの画面がOverload表示となる



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
250 000 000	1	1

* : オプションx01あり

マルチチャネル動作

コンビネーション* ¹	
チャネル数	2
パターン	Combination時の設定 以下、 $n = 2$ (2ch Combination時) とする
Data	データ長 $2 \times n \sim 268\,435\,456 \times n \text{ bits}$, $n \text{ bits step}^{*2}$
Mixed	列の長さ $2048 \times n \sim (268\,435\,456 + 231) \times n \text{ bits}$, $1024 \times n \text{ bits step}^{*2}$ データ長 $1024 \times n \sim 268\,435\,456 \times n \text{ bits}$, $n \text{ bits step}^{*2}$

* 1 : 複数のスロットをまたいでコンビネーションを設定できません。Test PatternがHSSB Dataのときは、設定できません。

* 2 : コンビネーション設定されているすべてのチャネルで共通

自動測定

Eye Contour	測定対象 Data 1～Data n^{*1}
Eye Margin	測定対象 Data 1～Data n^{*1}
Bathtub	測定対象 Data 1～Data n^{*1}
Capture	2chコンビネーション可能* ²
PAM4 BER Measurement	下記パターン設定可能 • GrayPRBS7、9、10、11、13Q-IEEE200G_400G [Draft2]、15、20 • GrayPrePRBS20 • GrayPreQPRBS13-CEI • GrayPreQPRBS13-IEEE100GBASE-KP4_Lane0、1、2、3 • GrayPRQS10 • GrayQPRBS13-CEI • GrayQPRBS13-IEEE100GBASE-KP4_Lane0、1、2、3 • GraySSPR • PRBS7、9、10、11、13Q-IEEE200G_400G [Draft2]、15、20 • PrePRBS20 • PreQPRBS13-CEI • PRQS10 • QPRBS13-CEI • QPRBS13-IEEE100GBASE-KP4_Lane0、1、2、3 • Squarewave • SSPR • SSPRQ • Transmitter_Linearity

* 1 : 各チャネル独立

* 2 : コンビネーション設定されているすべてのチャネルで共通

SI ED MU195040A 規格

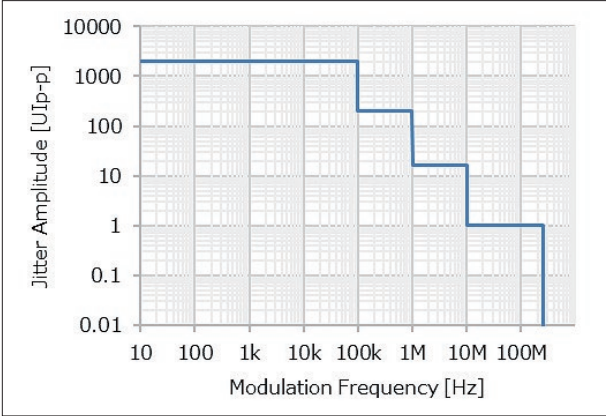
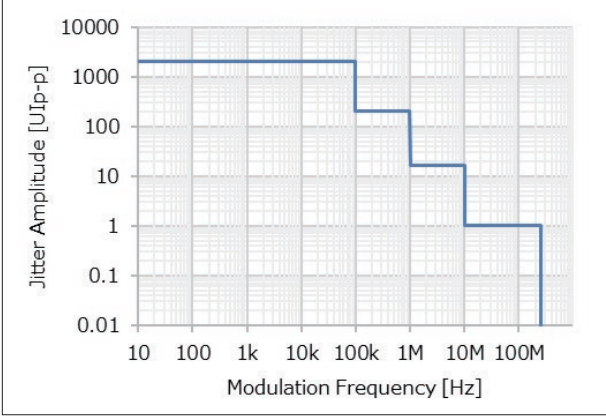
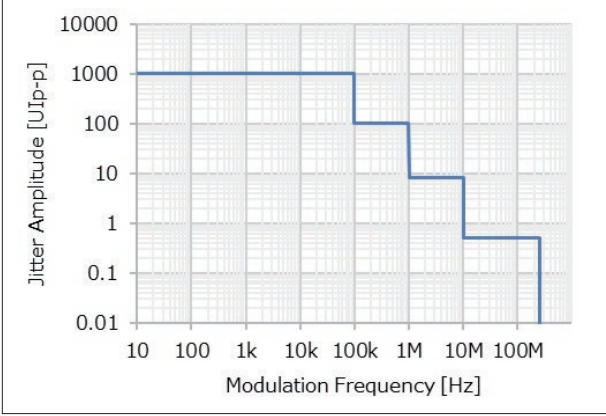
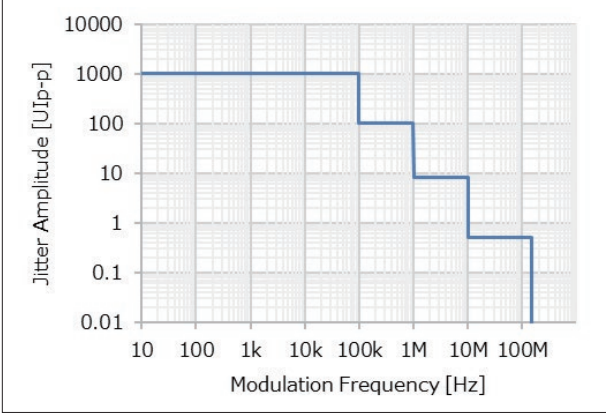
一般性能 (MU195020A/MU195040A)

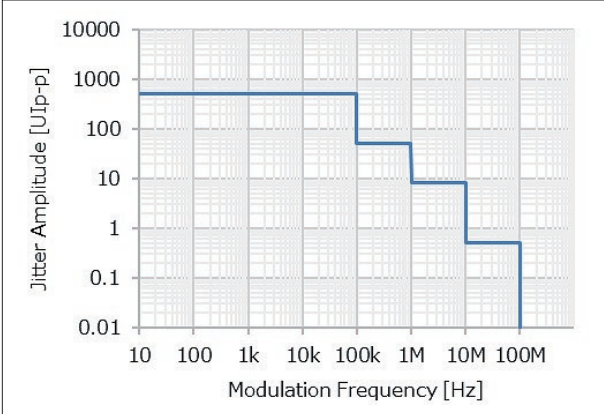
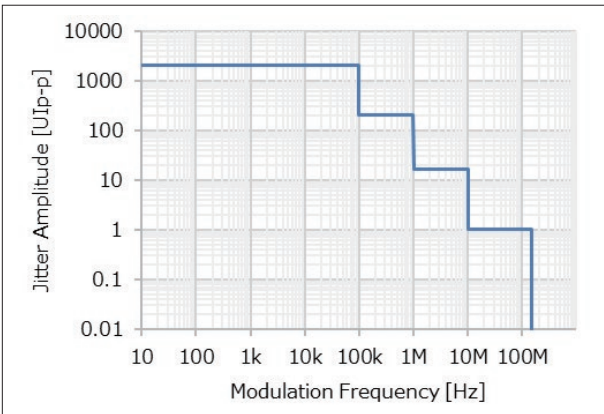
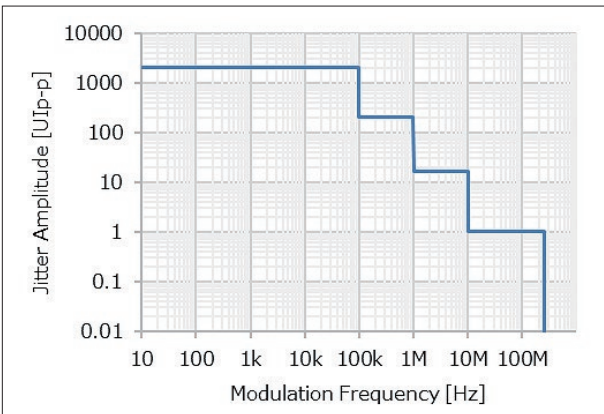
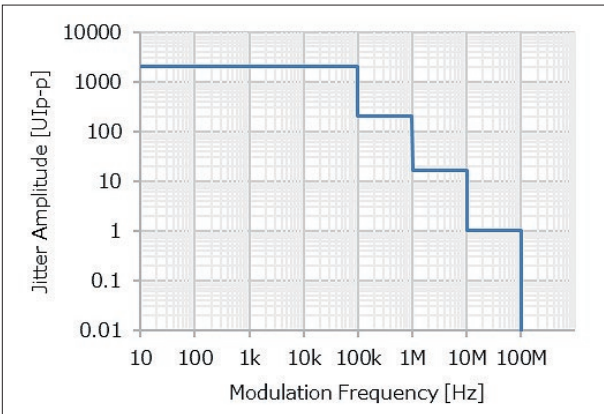
寸法・質量	234 (W) × 21 (H) × 175 (D) mm (突起物は除く) 2.5 kg以下
使用温度範囲	15℃～35℃

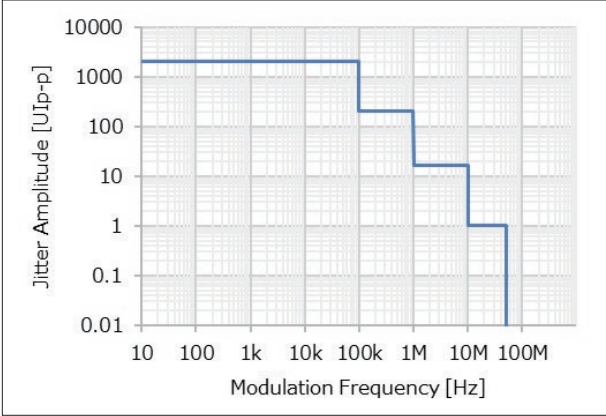
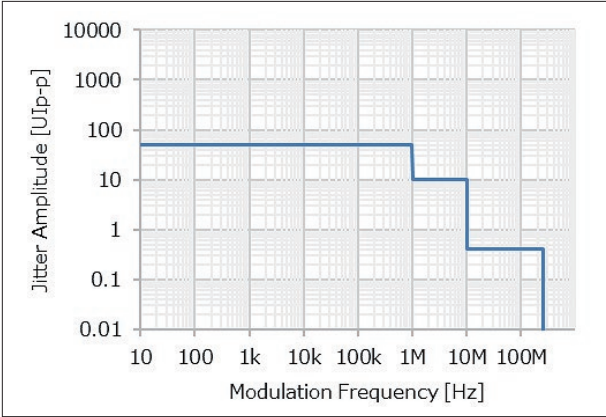
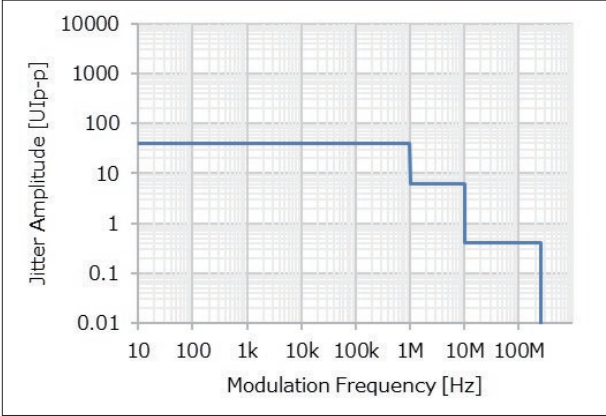
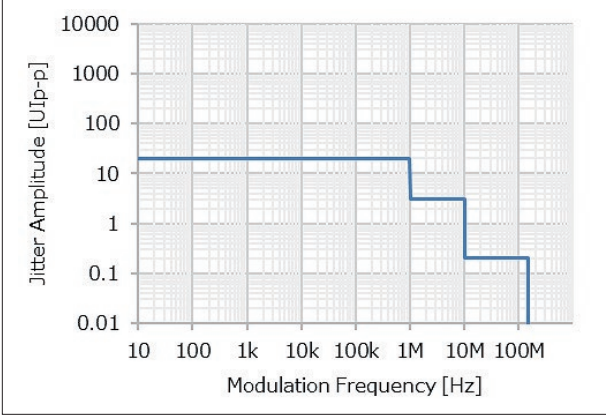
PAM4 PPG MU196020C 規格

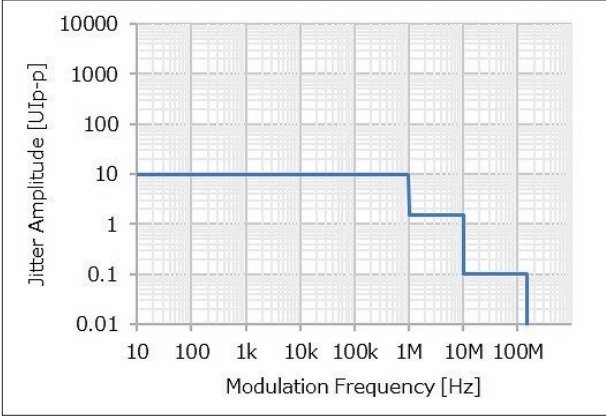
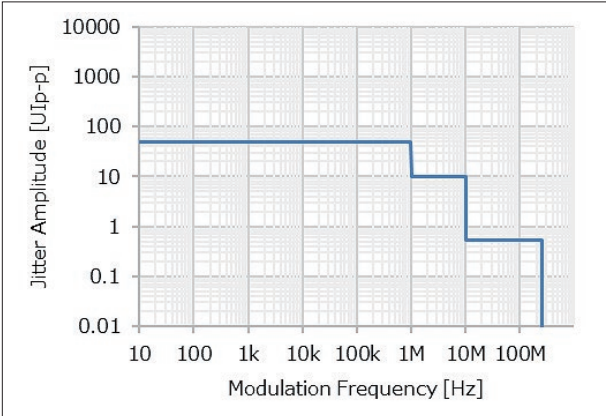
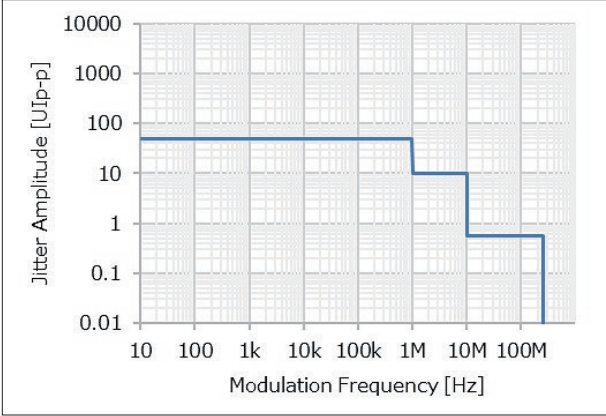
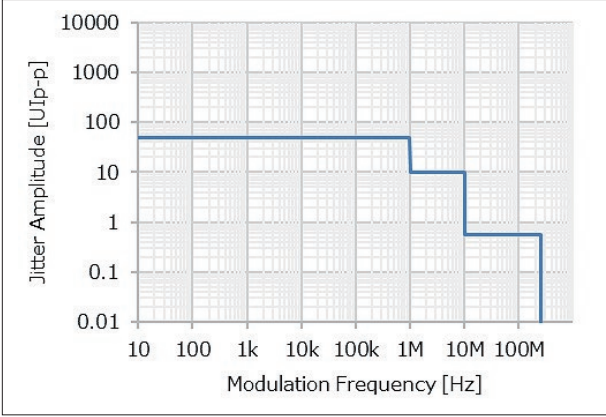
動作ボーレート

Operating Baud/Bit Rate	PAM4/PAM3 出力のBaud rateとNRZ 出力のBit rate 設定範囲は共通、以下Baud rate のみ記載		
Setting Range/Step	Baud rate の設定範囲は、各種上限Baud rate オプション* ¹ 、* ² 、* ³ 、連動モジュール (MU196020Cと同一筐体実装時のみ有効)、Clock Output Frequency (13.1 項)、各Application* ⁴ により決まる Application : Expert BERT アプリケーション選択時 : 2.4~32.1* ¹ /58.2* ² /64.2* ³ Gbaud BERT for PCIe1-7 アプリケーション選択時 : 2.4 Gbaud~64.2 Gbaud* ⁴		
動作レート設定範囲 (MU181000A/B連動時)* ⁵	2.400 000~25.000 000 Gbaud、0.000 002 Gbaud step* ¹ 、* ² 、* ³ 25.000 004~32.100 000* ¹ /50.000 000* ² 、* ³ Gbaud、0.000 004 Gbaud step 50.000 008~58.200 000* ² /64.200 000* ³ Gbaud、0.000 008 Gbaud step		
動作レート設定範囲 (MU181000A/B + MU181500B連動時)* ⁵	2.400 000~3.125 000 Gbaud、0.000 002 Gbaud step 3.200 002~6.250 000 Gbaud、0.000 002 Gbaud step 6.400 002~12.500 000 Gbaud、0.000 002 Gbaud step 12.800 002~25.000 000 Gbaud、0.000 002 Gbaud step 25.600 004~32.100 000* ¹ /50.000 000 Gbaud* ² 、0.000 004 Gbaud step 51.200 008~58.200 000* ² /64.200 000 Gbaud* ³ 、0.000 008 Gbaud step		
動作レート設定範囲 (MU191000A連動時)* ⁵	2.400 000~25.600 000 Gbaud、0.000 002 Gbaud step* ¹ 、* ² 、* ³ 25.600 004~32.100 000* ¹ /51.200 000* ² 、* ³ Gbaud、0.000 004 Gbaud step 51.200 008~58.200 000* ² /64.200 000* ² Gbaud、0.000 008 Gbaud step		
動作レート設定範囲 (MU191000A + MU181500B連動時)* ⁵	2.400 000~25.600 000 Gbaud、0.000 002 Gbaud step 25.600 004~32.100 000* ¹ /51.200 000 Gbaud* ² 、0.000 004 Gbaud step 51.200 008~58.200 000* ² /64.200 000 Gbaud* ³ 、0.000 008 Gbaud step		
動作レート設定範囲 (MU181500B連動 + 外部クロック使用時)	出カクロックレートをフルレート設定としたとき		
	Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係
	2.4~15.0 Gbaud	2.4 GHz~15.0 GHz	1/1クロックで動作
	15.0~30.0 Gbaud	7.5 GHz~15.0 GHz	1/2クロックで動作
	25.0~32.1 Gbaud	6.25 GHz~8.025 GHz	1/4クロックで動作
	出カクロックレートをハーフレートもしくはクォーターレートに設定としたとき		
	Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係
	2.4~30.0 Gbaud	1.2 GHz~15.0 GHz	1/2クロックで動作
	30.0~32.1* ¹ 、* ⁴ /58.2* ² /60.0* ³ Gbaud	7.5~8.025* ¹ 、* ⁴ /14.55* ² /15.0* ³ GHz	1/4クロックで動作
	50.0~58.2* ² /64.2* ³ Gbaud	6.25~7.275* ² ~8.025* ³ GHz	1/8クロックで動作
動作レート設定範囲 (外部クロック源使用時)	出カクロックレートをフルレート設定としたとき		
	Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係
	2.4~16.05 Gbaud	2.4 GHz~16.05 GHz	1/1クロックで動作
	16.05~32.1 Gbaud	8.025 GHz~16.05 GHz	1/2クロックで動作
	25.0~32.1 Gbaud	6.25 GHz~8.025 GHz	1/4クロックで動作
	出カクロックレートをハーフレートもしくはクォーターレートに設定としたとき		
	Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係
	2.4~30.0 Gbaud	1.2 GHz~15.0 GHz	1/2クロックで動作
	30.0~32.1* ¹ 、* ⁴ /58.2* ² /60.0* ³ Gbaud	7.5~8.025* ¹ 、* ⁴ /14.55* ² /15.0* ³ GHz	1/4クロックで動作
	50.0~58.2* ² /64.2* ³ Gbaud	6.25~7.275* ² ~8.025* ³ GHz	1/8クロックで動作
Offset Setting Range/Step	MU181000A/BまたはMU191000A連動時のみ設定可能		
MU181000A/B連動時	-1000~+1000 ppm、1 ppm step ただし、以下のビットレート設定では設定範囲が-1000~0 ppm Clock Output Rate Full Rate 12.500 000 Gbaud、25.000 000 Gbaud Clock Output Rate Half Rate, Quarter Rate 25.000 000 Gbaud、50.000 000 Gbaud		
MU191000A連動時	-1000~+1000 ppm、1 ppm step ただし、以下のビットレート設定では設定範囲が-1000~0 ppm Clock Output Rate Full Rate 12.800 000 Gbaud、25.600 000 Gbaud Clock Output Rate Half Rate, Quarter Rate 25.600 000 Gbaud、51.200 000 Gbaud		

ジッタ設定範囲	MU181000A/B + MU181500B運動時または、MU191000A + MU181500B運動時																																								
SJ1設定範囲	SJ2 SwitchがBuilt-in SJ2の場合設定可能Jitter Amplitudeは半分となる																																								
SJ1 Clock Output Rate Full Rate 設定時	30 < Baud rate ≤ 32.1 Gbaud, 15 < Baud rate ≤ 17 Gbaud <table><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～100k</td><td>0～2000</td></tr><tr><td>100.1k～1M</td><td>0～200</td></tr><tr><td>1.001M～10M</td><td>0～16</td></tr><tr><td>10.01M～150M</td><td>0～1</td></tr></tbody></table> 17 < Baud rate ≤ 30 Gbaud <table><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～100k</td><td>0～2000</td></tr><tr><td>100.1k～1M</td><td>0～200</td></tr><tr><td>1.001M～10M</td><td>0～16</td></tr><tr><td>10.01M～250M</td><td>0～1</td></tr></tbody></table> 8.5 < Baud rate ≤ 15 Gbaud <table><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～100k</td><td>0～1000</td></tr><tr><td>100.1k～1M</td><td>0～100</td></tr><tr><td>1.001M～10M</td><td>0～8</td></tr><tr><td>10.01M～250M</td><td>0～0.5</td></tr></tbody></table> 4 < Baud rate ≤ 8.5 Gbaud <table><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～100k</td><td>0～1000</td></tr><tr><td>100.1k～1M</td><td>0～100</td></tr><tr><td>1.001M～10M</td><td>0～8</td></tr><tr><td>10.01M～150M</td><td>0～0.5</td></tr></tbody></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～2000	100.1k～1M	0～200	1.001M～10M	0～16	10.01M～150M	0～1	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～2000	100.1k～1M	0～200	1.001M～10M	0～16	10.01M～250M	0～1	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～1000	100.1k～1M	0～100	1.001M～10M	0～8	10.01M～250M	0～0.5	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～1000	100.1k～1M	0～100	1.001M～10M	0～8	10.01M～150M	0～0.5
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																																								
10～100k	0～2000																																								
100.1k～1M	0～200																																								
1.001M～10M	0～16																																								
10.01M～150M	0～1																																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																																								
10～100k	0～2000																																								
100.1k～1M	0～200																																								
1.001M～10M	0～16																																								
10.01M～250M	0～1																																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																																								
10～100k	0～1000																																								
100.1k～1M	0～100																																								
1.001M～10M	0～8																																								
10.01M～250M	0～0.5																																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																																								
10～100k	0～1000																																								
100.1k～1M	0～100																																								
1.001M～10M	0～8																																								
10.01M～150M	0～0.5																																								

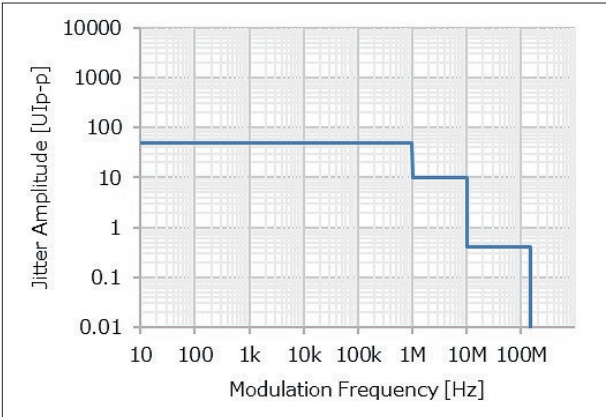
SJ1 Clock Output Rate Full Rate 設定時	2.4 ≤ Baud rate ≤ 4 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～100k</td><td>0～500</td></tr><tr><td>100.1k～1M</td><td>0～50</td></tr><tr><td>1.001M～10M</td><td>0～8</td></tr><tr><td>10.01M～100M</td><td>0～0.5</td></tr></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～500	100.1k～1M	0～50	1.001M～10M	0～8	10.01M～100M	0～0.5																				
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																														
10～100k	0～500																														
100.1k～1M	0～50																														
1.001M～10M	0～8																														
10.01M～100M	0～0.5																														
SJ1 Clock Output Rate Half Rate, Quarter Rate 設定時	60 < Baud rate ≤ 64.2 Gbaud, 30 < Baud rate ≤ 34 Gbaud, 8 < Baud rate ≤ 17 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～100k</td><td>0～2000</td></tr><tr><td>100.1k～1M</td><td>0～200</td></tr><tr><td>1.001M～10M</td><td>0～16</td></tr><tr><td>10.01M～150M</td><td>0～1</td></tr></table> 34 < Baud rate ≤ 60 Gbaud*, 17 < Baud rate ≤ 30 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～100k</td><td>0～2000</td></tr><tr><td>100.1k～1M</td><td>0～200</td></tr><tr><td>1.001M～10M</td><td>0～16</td></tr><tr><td>10.01M～250M*</td><td>0～1</td></tr></table> * Operation Baud Rate が50 ≤ Baud rate ≤ 60 Gbaud かつ3.1.3.2 Clock Output Rate Half Rate, Quarter Rateで Baud rateとInput Clock Frequency の関係が1/8 Clock Input に設定されているとき、Fm [Hz] は10.01～150 MHzになる。 2.4 < Baud rate ≤ 8 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～100k</td><td>0～2000</td></tr><tr><td>100.1k～1M</td><td>0～200</td></tr><tr><td>1.001M～10M</td><td>0～16</td></tr><tr><td>10.01M～100M</td><td>0～1</td></tr></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～2000	100.1k～1M	0～200	1.001M～10M	0～16	10.01M～150M	0～1	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～2000	100.1k～1M	0～200	1.001M～10M	0～16	10.01M～250M*	0～1	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～2000	100.1k～1M	0～200	1.001M～10M	0～16	10.01M～100M	0～1
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																														
10～100k	0～2000																														
100.1k～1M	0～200																														
1.001M～10M	0～16																														
10.01M～150M	0～1																														
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																														
10～100k	0～2000																														
100.1k～1M	0～200																														
1.001M～10M	0～16																														
10.01M～250M*	0～1																														
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																														
10～100k	0～2000																														
100.1k～1M	0～200																														
1.001M～10M	0～16																														
10.01M～100M	0～1																														

SJ1 Clock Output Rate Half Rate, Quarter Rate 設定時	Baud rate 2.4 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～100k</td><td>0～2000</td></tr><tr><td>100.1k～1M</td><td>0～200</td></tr><tr><td>1.001M～10M</td><td>0～16</td></tr><tr><td>10.01M～50M</td><td>0～1</td></tr></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～100k	0～2000	100.1k～1M	0～200	1.001M～10M	0～16	10.01M～50M	0～1														
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～100k	0～2000																								
100.1k～1M	0～200																								
1.001M～10M	0～16																								
10.01M～50M	0～1																								
SJ2 設定範囲	MU181000A/B + MU181500B運動時または、MU191000A + MU181500B運動時 SJ2 via MU181000A/B Clock*6とBuilt-in SJ2とは排他で設定可能																								
SJ2 via MU181000A/B Clock Output Rate Full Rate設定時*6	15.000 001 ≤ Baud rate ≤ 32.1 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～1M</td><td>0～50</td></tr><tr><td>1.001M～10M</td><td>0～10</td></tr><tr><td>10.01M～250M</td><td>0～0.4</td></tr></table> 6.400 001 ≤ Baud rate ≤ 15 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～1M</td><td>0～40</td></tr><tr><td>1.001M～10M</td><td>0～6</td></tr><tr><td>10.01M～250M</td><td>0～0.4</td></tr></table> 3.200 001 ≤ Baud rate ≤ 6.25 Gbaud  <table><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr><tr><td>10～1M</td><td>0～20</td></tr><tr><td>1.001M～10M</td><td>0～3</td></tr><tr><td>10.01M～150M</td><td>0～0.2</td></tr></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～50	1.001M～10M	0～10	10.01M～250M	0～0.4	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～40	1.001M～10M	0～6	10.01M～250M	0～0.4	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～20	1.001M～10M	0～3	10.01M～150M	0～0.2
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～50																								
1.001M～10M	0～10																								
10.01M～250M	0～0.4																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～40																								
1.001M～10M	0～6																								
10.01M～250M	0～0.4																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～20																								
1.001M～10M	0～3																								
10.01M～150M	0～0.2																								

SJ2 via MU181000A/B Clock Output Rate Full Rate設定時*6	2.4 ≤ Baud rate ≤ 3.125 Gbaud  <table data-bbox="1080 504 1453 638"><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～1M</td><td>0～10</td></tr><tr><td>1.001M～10M</td><td>0～1.5</td></tr><tr><td>10.01M～150M</td><td>0～0.1</td></tr></tbody></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～10	1.001M～10M	0～1.5	10.01M～150M	0～0.1																
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～10																								
1.001M～10M	0～1.5																								
10.01M～150M	0～0.1																								
SJ2 via MU181000A/B Clock Output Rate Half Rate, Quarter Rate 設定時*6	60.000 001 ≤ Baud rate ≤ 64.2 Gbaud  <table data-bbox="1080 974 1453 1108"><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～1M</td><td>0～50</td></tr><tr><td>1.001M～10M</td><td>0～10</td></tr><tr><td>10.01M～250M</td><td>0～0.544</td></tr></tbody></table> 30.000 001 ≤ Baud rate ≤ 60.0 Gbaud  <table data-bbox="1080 1447 1453 1581"><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～1M</td><td>0～50</td></tr><tr><td>1.001M～10M</td><td>0～10</td></tr><tr><td>10.01M～250M</td><td>0～0.548</td></tr></tbody></table> 12.800001 ≤ Baud rate ≤ 30.0 Gbaud  <table data-bbox="1080 1919 1453 2054"><thead><tr><th>変調周波数 [Hz]</th><th>ジッタ振幅 [UIp-p]</th></tr></thead><tbody><tr><td>10～1M</td><td>0～50</td></tr><tr><td>1.001M～10M</td><td>0～10</td></tr><tr><td>10.01M～250M</td><td>0～0.55</td></tr></tbody></table>	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～50	1.001M～10M	0～10	10.01M～250M	0～0.544	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～50	1.001M～10M	0～10	10.01M～250M	0～0.548	変調周波数 [Hz]	ジッタ振幅 [UIp-p]	10～1M	0～50	1.001M～10M	0～10	10.01M～250M	0～0.55
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～50																								
1.001M～10M	0～10																								
10.01M～250M	0～0.544																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～50																								
1.001M～10M	0～10																								
10.01M～250M	0～0.548																								
変調周波数 [Hz]	ジッタ振幅 [UIp-p]																								
10～1M	0～50																								
1.001M～10M	0～10																								
10.01M～250M	0～0.55																								

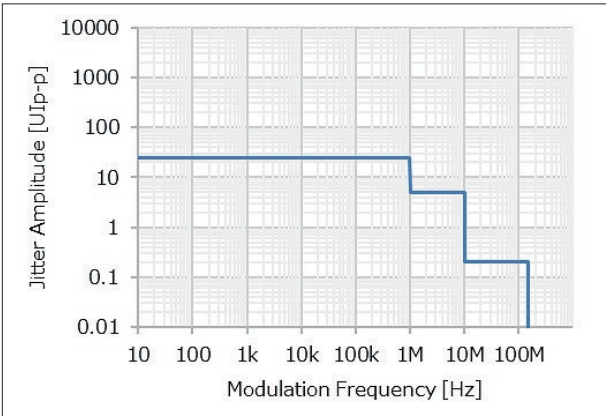
SJ2
via MU181000A/B
Clock Output Rate
Half Rate, Quarter Rate
設定時*6

6.400001 ≤ Baud rate ≤ 12.5 Gbaud



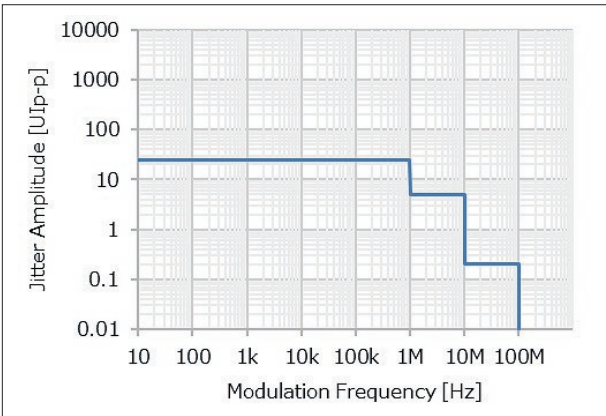
変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10～1M	0～50
1.001M～10M	0～10
10.01M～150M	0～0.4

3.600001 ≤ Baud rate ≤ 6.25 Gbaud



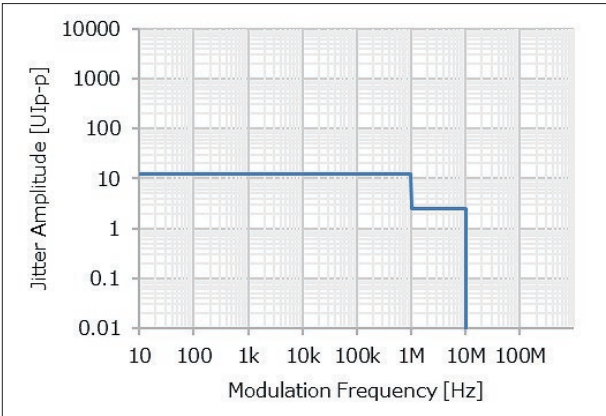
変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10～1M	0～25
1.001M～10M	0～5
10.01M～150M	0～0.2

3.200001 < Baud rate ≤ 3.6 Gbaud



変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10～1M	0～25
1.001M～10M	0～5
10.01M～100M	0～0.2

2.4 ≤ Baud rate ≤ 3.125 Gbaud



変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10～1M	0～12.4
1.001M～10M	0～2.5

PAM4 PPG MU196020C 規格

Built-in SJ2 Clock Output Rate Full Rate 設定時	15 < Baud rate ≤ 32.1 Gbaud	
	変調周波数 [Hz]	ジッタ振幅 [UIp-p]
	33k	0~1000
	87M	0~0.5
	100M	0~0.5
	210M	0~0.2
	4 < Baud rate ≤ 15 Gbaud	
	変調周波数 [Hz]	ジッタ振幅 [UIp-p]
	33k	0~500
	87M	0~0.25
	100M	0~0.25
	210M	0~0.1
Built-in SJ2 Clock Output Rate Half Rate、 Quarter Rate 設定時	2.4 ≤ Baud rate ≤ 4 Gbaud	
	変調周波数 [Hz]	ジッタ振幅 [UIp-p]
	33k	0~500
	87M	0~0.25
	100M	0~0.25
	8 < Baud rate ≤ 64.2 Gbaud	
	変調周波数 [Hz]	ジッタ振幅 [UIp-p]
	33k	0~1000
	87M	0~0.5
	100M	0~0.5
	210M	0~0.2
	2.4 < Baud rate ≤ 8 Gbaud	
	変調周波数 [Hz]	ジッタ振幅 [UIp-p]
	33k	0~1000
	87M	0~0.5
	100M	0~0.5
	Baud rate 2.4 Gbaud	
	変調周波数 [Hz]	ジッタ振幅 [UIp-p]
	33k	0~1000

* 1 : オプション001 実装時

* 2 : オプション002、112 実装時

* 3 : オプション003、113、123 実装時

* 4 : BERT for PCIe1-7 アプリケーション選択時

* 5 : Unit Sync ON 時は連動不可

* 6 : MU181000A/B + MU181500B連動時のみ

PAM4 PPG MU196020C 規格

外部クロック入力

入力数	1 (Single-end)
周波数	1.2 GHz~16.05 GHz
振幅	0.3 Vp-p~1.0 Vp-p (-6.5~+4.0 dBm)
終端	50Ω, AC Coupling
コネクタ	SMAコネクタ (J)

補助入力

入力数	1 (Single-end)
信号の種類	Error Injection, Burst, Unit Sync, Jitter Sync
最小パルス幅	データレート1/256
入力レベル	0/-1 V (H : -0.25 V~0.05 V, L : -1.1 V~-0.8 V) 0/-0.5 V (H : -0.05 V~0.05 V, L : -0.55 V~-0.45 V) Vth 0 V (入力振幅 0.5 Vp-p~1.0 Vp-p) いずれか選択
終端	GND, 50Ω
コネクタ	SMAコネクタ (J)

補助出力

出力数	2 (Differential)
出力ON/OFF	ON/OFF切り替えあり
信号の種類	1/n Clock (n = 8, 12, 16, 20 ... 1020, 1024), Pattern Sync, Burst Out2
パターン同期	PRBS, PRGM Position : 1~ (Pattern Length'と256の最小公倍数 - 263), 8 step Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
Burst Out2	バーストリガディレイ : 0~ (Burst Cycle - 256) bits, 8 bits step パルス幅 : 16 bits~ (Burst Cycle - 256) bits, 8 bits step
出力レベル	0/-0.6 V (H : -0.25 V~0.05 V, L : -0.80 V~-0.45 V)
終端	GND, 50Ω
コネクタ	SMAコネクタ (J)

ゲート出力

出力数	1 (Single-end)
出力ON/OFF	ON/OFF切り替えあり
信号の種類	Burst, Repeat
Burst	Burst Output
バーストリガディレイ	0~ (Burst Cycle - 256) bits, 8 bits step
イネーブルパルス幅	16 bits~ (Burst Cycle - 256) bits, 8 bits step
Repeat	Timing Signal Output
タイミング信号周期	$\text{INT} \left(\frac{\text{Pattern Length}'}{256} \right) \times 256$
タイミング信号ディレイ	0~ (Pattern Length'と256の最小公倍数 - 256) ただし、最大68,719,476,480 bits, 8 bits step Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
タイミング信号パルス幅	256~ (Pattern Length'と256の最小公倍数 - 256) ただし、最大68,719,476,480 bits, 8 bits step Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
Unit Sync Output	Unit Sync設定時にタイミング信号を出力
出力レベル	0/-1 V (H : -0.25 V~0.05 V, L : -1.25 V~-0.8 V) *
終端	GND, 50Ω
コネクタ	SMAコネクタ (J)

* : L : Output Enable, H : Output Disable

PAM4 PPG MU196020C 規格

パターン発生*1

PRBS	
パターン長	$2^n - 1$ ($n = 7, 9, 10, 11, 13, 15, 20, 23, 31$)
マーク率	1/2 (論理反転により1/2INVが可能)
PRBS生成多項式	$n = 7 : 1 + X^6 + X^7$ $n = 9 : 1 + X^5 + X^9$ $n = 10 : 1 + X^7 + X^{10}$ $n = 11 : 1 + X^9 + X^{11}$ $n = 13 : 1 + X + X^2 + X^{12} + X^{13}$ $n = 15 : 1 + X^{14} + X^{15}$ $n = 20 : 1 + X^3 + X^{20}$ $n = 23 : 1 + X^{18} + X^{23}$ $n = 31 : 1 + X^{28} + X^{31}$
PRBS論理反転	PAM4モードのときのみ設定可能 PRBSの論理反転をMSB/LSBそれぞれ独立に設定可能
PRBS 1 st Bit	PRBS Generatorの1 st BitをMSB/LSBどちらかを選択して設定可能
Zero-Substitution	NRZモード時のみ
付加ビット	0 bit, 1 bit
パターン長	2^n または $2^n - 1$ ($n = 7, 9, 10, 11, 15, 20, 23$)
開始位置	最大“0”連続ビット位置の次ビットから置換
ゼロビットの長さ	1 bits~ (Pattern Length - 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換する。
Data	
データ長	NRZ : 2 bits~268 435 456 bits, 1 bit step PAM4/PAM3 : 2~268 435 456 symbols, 1 symbol step
ビットシフト	PAM4モードの時のみ設定可能 MSBのビット位相を±256 bit (1 bit step) で制御可能
規格準拠パターン (PAM4)	
CEI	QPRBS13-CEI, QPRBS31-CEI
IEEE	IEEE802.3bs/cd : PRBS13Q, PRBS31Q, SSPRQ, Square Wave IEEE802.3bj : QPRBS13, JP03A, JP03B, Transmitter Linearity
InfiniBand	PRBS13Q (InfiniBand), PRBS23Q, PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
RS-FEC (オプション042実装時)	RS-FEC Scrambled Idle 50G 1 Lane RS-FEC Scrambled Idle 100G 1 Lane (53.125 Gbaud, 100GBASE-DR/KR1/CR1) RS-FEC-Int Scrambled Idle 100G 1 Lane (53.125 Gbaud, 100GBASE-P) RS-FEC Scrambled Idle 100G 2 Lanes (26.5625 Gbaud, 100GBASE-KR2/CR2/SR2) RS-FEC Scrambled Idle 200G 4 Lanes (26.5625 Gbaud, 200GBASE-SR4/DR4/FR4/LR4) RS-FEC Scrambled Idle 200G 2 Lanes (53.125 Gbaud, 200GBASE-KR2/CR2) RS-FEC Scrambled Idle 400G 4 Lanes (53.125 Gbaud, 400GBASE-DR4/KR4/CR4) RS-FEC Scrambled Idle 400G 8 Lanes (26.5625 Gbaud, 400GBASE-FR8/LR8)
PCIe	CP in 1b/1b Encoding for PCIe6 MCP in 1b/1b Encoding for PCIe6 Jitter Measurement Pattern in 1b/1b Encoding for PCIe6 High Swing Toggle Pattern in 1b/1b Encoding for PCIe6 Low Swing Toggle Pattern 1b/1b Encoding for PCIe6 Jitter Calibration Pattern for PCIe6 Preset Calibration Pattern for PCIe6 CP in 1b/1b Encoding for PCIe7 MCP in 1b/1b Encoding for PCIe7 Jitter Measurement Pattern in 1b/1b Encoding for PCIe7 High Swing Toggle Pattern in 1b/1b Encoding for PCIe7 Low Swing Toggle Pattern 1b/1b Encoding for PCIe7 Jitter Calibration Pattern for PCIe7 Preset Calibration Pattern for PCIe7 オプション043実装時 NOP Flit Layout in a x1 Link NOP Flit Layout in a x2 Link NOP Flit Layout in a x4 Link NOP Flit Layout in a x8 Link NOP Flit Layout in a x16 Link

PAM4 PPG MU196020C 規格

規格準拠パターン (NRZ)	
CEI	SSPR
RS-FEC(オプション042実装時)	RS-FEC Scrambled Idle 25G 1Lane、RS-FEC Scrambled Idle 50G 2Lanes RS (544, 514)、 RS-FEC Scrambled Idle 100G 4Lanes、RS-FEC Scrambled Idle 100G 4Lanes RS (544, 514)
PCIe	CP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe1 Jitter Calibration Pattern for PCIe1 Preset Calibration Pattern for PCIe1 CP in 8b/10b Encoding for PCIe2 MCP in 8b/10b Encoding for PCIe2 Jitter Calibration Pattern for PCIe2 Preset Calibration Pattern for PCIe2 CP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe3 Jitter Calibration Pattern for PCIe3 Preset Calibration Pattern for PCIe3 CP in 128b/130b Encoding for PCIe4 MCP in 128b/130b Encoding for PCIe4 Jitter Calibration Pattern for PCIe4 Preset Calibration Pattern for PCIe4 CP in 128b/130b Encoding for PCIe5 MCP in 128b/130b Encoding for PCIe5 Jitter Calibration Pattern for PCIe5 Preset Calibration Pattern for PCIe5
PRTS	
PRTS Length	$3^n - 1$ ($n = 7, 19$)
PRTS generator polynomial	$n = 7 : 1 + X^2 + 2X^7$ Over GF (3) $n = 19 : 1 + X^2 + 2X^{19}$ Over GF (3)
PAM3 Standard Pattern (オプション045実装時)	
USB4 Gen4	PRBS、TS2.clksw USB4 Gen4 Power Management State Signal USB4 Gen4 Rx Frequency Variation Training Sequence
USB4 Gen4 Power Management State Signal	tPeriod : 20~80 ns/10 ns step Duty Cycle : 45, 50, 55 % tPreData : 80~120 ns/10 ns step LFPS Diff. Amp. : LFPSの差動振幅を表示する LFPS Repetition : 50~150 times/10 times step USB4 Data : PRBS ⁿ ($n = 7, 9, 10, 11, 13, 15, 20, 23, 31$) PRTS7, 19 Data TS2.clksw Transmit : LFPS信号送信を開始する Manual : LFPS信号からUSB4 Dataにステートを遷移させる Break : Manual/Auto切り替え Manual時はManualボタンをトリガに次のステートに遷移する Auto時は設定した切り替えタイミングで次のステートに遷移する LFPS Swing : High/Low LFPSの振幅設定 High : 0/2 Levelの振幅で出力、Low : 0/1 Levelの振幅で出力
USB4 Gen4 Rx Frequency Variation Training Sequence	MU181500BのSSC Clock switching機能と連動する Transmit : Rx Frequency Variation Training Sequence信号を開始する Manual : 出力パターンの変更を設定する Time : パターンごとの出力時間を設定する 最終ステート以外のパターン出力時間 : 10.0~20.0 us/0.1 us step 最終ステートのパターン出力時間 : 1~10,000 ms/1 ms step Pattern : シーケンスパターンを設定する PRBS ⁿ ($n = 7, 9, 10, 11, 13, 15, 20, 23, 31$) PRTS7, 19 TS2.clksw Break : Manual/Auto切り替え Manual時はManualボタンをトリガに次のステートに遷移する Auto時は設定した切り替えタイミングで次のステートに遷移する

パターンシーケンス

Sequence	Repeat, Burst
Repeat	連続パターン
バースト	CodingがNRZのときのみ有効
制御方法	Internal、External-Trigger (Aux Input)、External-Enable (Aux Input)
データシーケンス	Restart、Consecutive、Continuous
周期	Internal時 : 12,800 bits~2,147,483,136 bits、256 bits step Ext Trigger/Enable : 12,800 bits~2,147,483,648 bits、256 bits step
バーストサイクル	25,600 bits~2,147,483,648 bits、1024 bits step

PAM4 PPG MU196020C 規格

コーディング

コーディング	NRZ, PAM4, PAM3
NRZ	Normal, Invert
PAM4 Gray Coding	ON, OFF
PAM4 Precoding (1/(1 + D) mod 4) * ¹	ON, OFF
Delay Symbol	ON, OFF
SKP	No SKP, SKPx1, SKPx2
Preset	P0, P1, P2, P3, P4, P5, P6, P7, P8, P9, P10
SRIS	ON, OFF
EIEOS	ON
PAM3 Precoding (1/(1 + D) mod 3) * ²	ON/OFF
Polarity Inverse	ON/OFF PAM3信号の極性反転

* 1 : IEEE802.3準拠の生成多項式

* 2 : USB4準拠の生成多項式

エラー付加

エラータイプ	Bit, Error on MSB, Error on LSB, Error on LSB&MSB, RS-FEC Symbol Error (オプション042実装時)、PCIe6 FEC Symbol Error (オプション043実装時)
Bit	CodingがNRZのときのみ設定可能
制御方法	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat, Single、(Source External-Trigger時はVariationの選択不可)
エラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3 Error Route : 1~32, またはチャネルスキャン
Bit/Burst	BitとBurstの選択 Burst Length : 1~256/1 Step
RS-FEC Symbol Error	CodingがNRZおよびPAM4どちらも設定可能 (オプション042実装時) PAM4のときは、PAM4の信号が1レベルだけ変化するようにエラーが挿入される。 NRZ : 10ビット間隔でエラーを挿入する。 PAM4 : 10 PAM4 Symbolまたは20 PAM4 Symbol間隔でエラーを挿入する。
Source	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
Error Variation	Repeat, Single、(Source External-Trigger時はVariationの選択不可)
Symbol error per code word	1~20 CodingがNRZのとき 1~20 CodingがPAM4のとき
Total BER for All Lane	*E - n (* = 1~9, n = 3~12)、上限は6.0E-3 Symbol Error per Codewordの値に応じてエラー付加範囲は変わります。
BER for One Lane SER for One Lane	*E - n (* = 1~9, n = 3~12)、上限は6.0E-3 Symbol Error per Codewordの値に応じてエラー付加範囲は変わります。
エラー付加方法	Type1 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 2、Level 2 ⇒ Level 3、Level 3 ⇒ Level 2 Type2 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 2、Level 2 ⇒ Level 1、Level 3 ⇒ Level 2 Type3 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0、Level 2 ⇒ Level 1、Level 3 ⇒ Level 2 Type4 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0 or Level 2、Level 2 ⇒ Level 1 or Level 3、Level 3 ⇒ Level 2 MSB Only : Level 0 ⇒ Level 2、Level 1 ⇒ Level 3、Level 2 ⇒ Level 0、Level 3 ⇒ Level 1 LSB Only : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0、Level 2 ⇒ Level 3、Level 3 ⇒ Level 2 MSB or LSB : Level 0 ⇒ Level 1 or Level 2、Level 1 ⇒ Level 0 or Level 3、Level 2 ⇒ Level 0 or Level 3、 Level 3 ⇒ Level 1 or Level 2 MSB and LSB : Level 0 ⇒ Level 3、Level 1 ⇒ Level 2、Level 2 ⇒ Level 1、Level 3 ⇒ Level 0 CodingがPAM4の時のみ有効
FEC Standard	CodingがNRZのとき RS-FEC Scrambled Idle 25G 1Lane、 RS-FEC Scrambled Idle 50G 2Lanes RS (544,514)、 RS-FEC Scrambled Idle 100G 4Lanes、 RS-FEC Scrambled Idle 100G 4Lanes RS (544,514) CodingがPAM4のとき RS-FEC Scrambled Idle 50G 1Lane、 RS-FEC Scrambled Idle 100G 1Lane、 RS-FEC-Int Scrambled Idle 100G 1Lane、 RS-FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes

PAM4 PPG MU196020C 規格

Error on MSB	設定したSymbol Errorを付加する。 CodingがPAM4のときのみ設定可能 MSBのみにエラーが入る。
制御方法	Internal、External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat、Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
Symbol/Burst	SymbolとBurstの選択 Burst Length : 1~256/1 Step
Error on LSB	設定したSymbol Errorを付加する。 CodingがPAM4のときのみ設定可能 LSBのみにエラーが入る。
制御方法	Internal、External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat、Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
Symbol/Burst	SymbolとBurstの選択 Burst Length : 1~256/1 Step
Error on LSB&MSB	設定したSymbol Errorを付加する。 CodingがPAM4のときのみ設定可能 PAM4の信号が1レベルだけ変化するようにエラーが挿入される。
制御方法	Internal、External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat、Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
Symbol/Burst	SymbolとBurstの選択 Burst Length : 1~256/1 Step
エラー付加方法	Type1 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 2、Level 2 ⇒ Level 3、Level 3 ⇒ Level 2 Type2 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 2、Level 2 ⇒ Level 1、Level 3 ⇒ Level 2 Type3 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0、Level 2 ⇒ Level 1、Level 3 ⇒ Level 2 Type4 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0 or Level 2、Level 2 ⇒ Level 1 or Level 3、Level 3 ⇒ Level 2 MSB Only : Level 0 ⇒ Level 2、Level 1 ⇒ Level 3、Level 2 ⇒ Level 0、Level 3 ⇒ Level 1 LSB Only : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0、Level 2 ⇒ Level 3、Level 3 ⇒ Level 2 MSB or LSB : Level 0 ⇒ Level 1 or Level 2、Level 1 ⇒ Level 0 or Level 3、Level 2 ⇒ Level 0 or Level 3、 Level 3 ⇒ Level 1 or Level 2 MSB and LSB : Level 0 ⇒ Level 3、Level 1 ⇒ Level 2、Level 2 ⇒ Level 1、Level 3 ⇒ Level 0
PCIe6 FEC Symbol Error	CodingがPAM4選択時に設定可能 (オプション43実装時) PAM4の信号が1レベルだけ変化するようにエラーが挿入される。 PAM4 : 4 PAM4 Symbolまたは12 PAM4 Symbol間隔でエラーを挿入する。
制御方法	Internal、External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat、Single (Source External-Trigger時はVariationの選択不可)
PCIe6 Standard	x1 Link Common CLK/SRNS Mode x2 Link Common CLK/SRNS Mode x4 Link Common CLK/SRNS Mode x8 Link Common CLK/SRNS Mode x16 Link Common CLK/SRNS Mode x1 Link SRIS Mode x2 Link SRIS Mode x4 Link SRIS Mode x8 Link SRIS Mode x16 Link SRIS Mode
SKP	No SKP、SKPx1、SKPx2
Flit Error Interval	Add every 8 Bits (Do not distinguish ECC groups) Add every 24 Bits (Add to only one ECC group)
PAM4 Symbol Error per Flit	1~8 FEC Symbols、1 FEC Symbol step PCIe6 Standardが下記の場合上限値は"4"に制限される 「x16 Link Common CLK/SRNS Mode」 「x16 Link SRIS Mode」
Flit Error per Control SKP Interval	1~4 Flits、1 Flit step
Total BER for All Lane	*E-n (* = 1~9, n = 3~12)。上限は7E-3 PCIe6 StandardとPAM4 Symbol Error per Flit 及びFlit Error per Control SKP Intervalの値に応じてエラー付加範囲は変わります。
PAM4 Symbol Error for One Lane	*E-n (* = 1~9, n = 3~12)。上限は7E-3 PCIe6 StandardとPAM4 Symbol Error per Flit 及びFlit Error per Control SKP Intervalの値に応じてエラー付加範囲は変わります。

PAM4 PPG MU196020C 規格

Error Addition Method	Type1 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 2、Level 2 ⇒ Level 3、Level 3 ⇒ Level 2 Type2 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 2、Level 2 ⇒ Level 1、Level 3 ⇒ Level 2 Type3 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0、Level 2 ⇒ Level 1、Level 3 ⇒ Level 2 Type4 : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0 or Level 2、Level 2 ⇒ Level 1 or Level 3、Level 3 ⇒ Level 2 MSB Only : Level 0 ⇒ Level 2、Level 1 ⇒ Level 3、Level 2 ⇒ Level 0、Level 3 ⇒ Level 1 LSB Only : Level 0 ⇒ Level 1、Level 1 ⇒ Level 0、Level 2 ⇒ Level 3、Level 3 ⇒ Level 2 MSB or LSB : Level 0 ⇒ Level 1 or Level 2、Level 1 ⇒ Level 0 or Level 3、Level 2 ⇒ Level 0 or Level 3、 Level 3 ⇒ Level 1 or Level 2 MSB and LSB : Level 0 ⇒ Level 3、Level 1 ⇒ Level 2、Level 2 ⇒ Level 1、Level 3 ⇒ Level 0
PAM3 Error Addition	CodingがPAM3の時設定可能
Error on LSB&MSB	設定したSymbol Errorを付加する。
制御方法	Internal、External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat、Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9、n = 3~12)、上限は3.0E-3
Symbol/Burst	SymbolとBurstの選択 Burst Length : 1~256/1 Step
エラー付加方法	Type6 : Level 0 ⇒ Level 2、Level 1 ⇒ Level 0、Level 2 ⇒ Level 0

データ出力

各種上限Baud rateオプション*1、*2、*3が必要。

出力数	1
Waveform	記載がない限り以下の測定条件とする。 帯域100 GHzのサンプリングオシロスコープを使用 0.5 Vp-p (NRZ/PAM4) 応用部品 J1790Aを使用
Coding	NRZ、PAM4、PAM3
Total Amplitude	注記：出力信号をEDに直接入力したときにエラーフリーとなる下限設定振幅は、使用するEDの性能に依存する。
Setting Range	NRZ : 70 mVp-p~800 mVp-p、2 mV step (Single-ended) PAM4 : 70 mVp-p~800 mVp-p、1 mV step (Single-ended) PAM3 : 48 mVp-p~532 mVp-p、1 mV step (Single-ended)
Accuracy	NRZおよびPAM4*4、*5 ± (35 mV + 12 % of Total Amplitude) PAM3*6、*7 ± (35 mV + 12 % of Total Amplitude)
PAM4 (0/1、1/2、2/3Level) 独立可変機能	あり、20%~50%、1 mV Step (Eye振幅換算) (PAM4 Amplitude 0/3レベルを100%とする)
Setting Range	PAM4 (0/1Level)、(1/2Level)、(2/3Level) : 23 mV~266 mVp-p、1 mV step (Single-ended)
Accuracy	± (35 mV + 12% of Eye Amplitude)*8、*9
オフセット	
オフセット基準	Vth
設定範囲	-2.0-Eye Amplitude/2~+3.3-Eye Amplitude/2 Vth、1 mV step (Single-end)
確度	±65 mV ±10% of offset (Vth) + (Total Amplitude Accuracy/2))
クロスポイント	50% Fixed (代表値)
Tr/Tf	J1789A使用時 : 6.0 ps (20~80%) (代表値) at 32、64Gbaud J1790A使用時 : 7.0 ps (20~80%) (代表値) at 32、64Gbaud 帯域100 GHzのサンプリングオシロスコープを使用
Half Period Jitter	
設定範囲	-20.0 ~ +20.0、0.1 step
確度	±0.04 UI (代表値)
ジッタ	以下の条件にて規定 NRZ、32、64*1 Gbit/s MU191000A + MU181500BまたはMG369xA/B/C + MU181500Bを使用 Clock Input 8 GHz
Intrinsic RJ	≤108 fs rms 01繰り返しパターンを使用し、ジッタ解析機能のRJ (rms) によって算出、64 Gbit/sにて規定 帯域100 GHzのサンプリングオシロスコープを使用
Jitter RMS	≤600 fs rms Eye Mode、Jitter RMSの30カウントで測定、PRBS31にて規定 帯域70 GHzのサンプリングオシロスコープを使用
Peak-to-Peak Jitter	≤6 ps p-p Eye Mode、Jitter P-Pの30カウントで測定、PRBS31にて規定 帯域70 GHzのサンプリングオシロスコープを使用

PAM4 PPG MU196020C 規格

Random Noise	≤ 4.75 mVrms 01繰り返しパターンを使用し、ジッタ解析機能のRN (rms) によって算出、64 Gbit/sにて規定
Waveform Distortion (0-peak)	± 110 mV以内 (NRZ 32、64*1 Gbit/sにて規定)
PAM4 Level Separation Mismatch Ratio (R_{LM})	≥ 0.95 ≥ 0.975 (Adjustable.) 800 mVp-p/Differential、32、64 Gbaud
PAM4 Signal to noise and distortion ratio (SNDR)	PCIe7*10 (PAM4) : typ. 35 dB USB4 Gen4*11 (PAM3) : typ. 41 dB
電気TDECQ	typ.0.9 dB 64 Gbaud にて規定
Output ON/OFF	ON/OFF切り替えあり
Glitch-free	ON/OFF切り替えあり 周波数変動時PPG 出力を瞬断せずGlitch-free 動作させる
Data/XDataスキュー	± 1 ps ケーブル誤差含まず
終端	AC、DC切り替え DC時 : GND、-2 V、+1.3 V、+3.3 V、Open (LVDS)、50 Ω
コネクタ	Vコネクタ (J)
Level Guard	Amplitude、Voh、Volの設定可能
External ATT Factor	-40~0 dB、0.1 dB step 固定アッテネータを接続した場合に、固定アッテネータ経由で出力される信号の振幅とオフセットを表示

* 1 : オプション001実装時

* 2 : オプション002、112実装時

* 3 : オプション003、113、123実装時

* 4 : J1789A使用時 Setting Range ≤ 700 mVp-p

* 5 : J1790A使用時 Setting Range ≤ 700 mVp-p (≤ 32.1 Gbaud) Setting Range ≤ 650 mVp-p ($32.1 < \text{Baud rate} \leq 64.2$ Gbaud)

* 6 : J1789A使用時 Setting Range ≤ 466 mVp-p

* 7 : J1790A使用時 Setting Range ≤ 466 mVp-p (≤ 32.1 Gbaud) Setting Range ≤ 433 mVp-p ($32.1 < \text{Baud rate} \leq 64.2$ Gbaud)

* 8 : J1789A使用時 Setting Range ≤ 234 mVp-p

* 9 : J1790A使用時 Setting Range ≤ 234 mVp-p (≤ 32.1 Gbaud)
Setting Range ≤ 218 mVp-p ($32.1 < \text{Baud rate} \leq 64.2$ Gbaud)

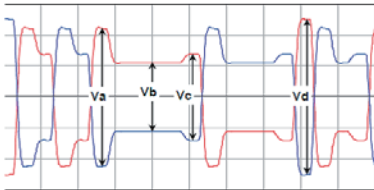
* 10 : 下記条件でCalibrationし、オシロスコブの残留ノイズを差し引いた場合。

Amplitude : 0.8 Vp-p/Differential、J1793A Pick OFF Teeを使用、Test Pattern : PRBS13Q

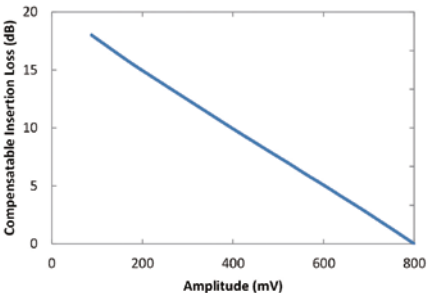
* 11 : 下記条件でCalibrationし、オシロスコブの残留ノイズを差し引いた場合。

Amplitude : 1.0 Vp-p/Differential、リアルタイムオシロスコブにて観測

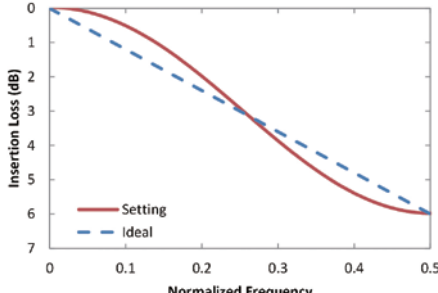
エンファシス(オプション011実装時)

エンファシスタップ	4 Tap
Cursor Setting Range/Step	Coefficient : -2.0000~+2.0000、0.0001 step De-Emphasis : -20~+20 dB、0.01 dB step Post-Cursor : $20 \cdot \log_{10} (V_a/V_b)$ 、 Pre-Cursor : $20 \cdot \log_{10} (V_c/V_b)$
	 各Tapの係数はUpper/Middle/Lower EyeすべてのEyeにおいて同じ値となる。 つまりUpper、Middle、Lower Eyeの各Tapの係数は独立して操作することはできない。
確度	$\pm (35 \text{ mV} + 10\% \text{ of Total Amplitude} \times \text{Coefficient})$
エンファシスピーク電圧の設定範囲	max. 800 mVp-p (Single-ended) (NRZ、PAM4 選択時) max. 532 mVp-p (Single-ended) (PAM3 選択時)
Emphasis ON/OFF	ON/OFF切り替えあり

Channel Emulator (オプション040実装時)

Channel Emulator	Normal : PPG 出力Data 信号に、読み込みS パラメータ相当の伝送路を接続した波形をエミュレート出力する Inverse : PPG 出力Data 信号に、読み込みS パラメータ相当の伝送路の逆特性をエミュレートし出力する。 伝送路の損失を補償する目的での使用を想定する。 補正可能な挿入損失の代表的な限界値を次のグラフに示す。S-Parameter ファイルからエミュレートされたすべての応答がこのグラフの特性と同様に補償されることを保証するものではない。 
Response	Normal, Inverse切り替えあり
S-Parameter file	S2 Pファイル (拡張子".s2 p"), S4 Pファイル (拡張子".s4 p") ベクトルネットワークアナライザ MS4640Bシリーズの出力S2P, S4Pファイルに対応
Channel Emulator ON/OFF	ON/OFF切り替えあり
Gain Adjust	ResponseがNormal時、指定した周波数においてエミュレートする損失量と読み込んだSパラメータファイルの損失量を合わせこむ。 0 GHz/1 GHz/Nyquist Frequency切り替え

Adjustable ISI (オプション040実装時)

Adjustable ISI	PPG出力Data信号に、ISIを発生させるチャンネルの損失を設定、そのエミュレート波形を出力する (出力波形振幅は設定振幅で規格化)
Loss Channel	MU196020Cと以下のどれかを組み合わせて使用可能 Not Specified : 外部のLossチャンネルボードとの組み合わせ J1800A x1 Short Channel : 応用部品 J1800A 1枚との組み合わせ J1800A x2 Middle Channel : 応用部品 J1800A 2枚との組み合わせ J1800A x3 Long Channel : 応用部品 J1800A 3枚との組み合わせ J1758A : 応用部品 J1758Aとの組合せ MU195050A Noise : MU195050A Noise Moduleとの組み合わせ J1793A Pick OFF Tee : 応用部品 J1793A Pick OFF Teeとの組み合わせ
Frequency	Insertion Lossを設定できるのは、Nyquistおよび1/2 Nyquist Frequency
Insertion Loss設定	Nyquist Frequencyと1/2 Nyquist Frequencyにおける、Loss Channelで選択した損失量とTuning Insertion Lossの設定値を足し合わせた絶対損失を表示する
Tuning Insertion Loss	Loss Channelの損失値からの相対損失量を設定可能 -8.00~8.00 dB, 0.01 dB step @Nyquist Frequency -8.00~8.00 dB, 0.01 dB step @1/2 Nyquist Frequency
Insertion Loss Accuracy	±1.0 dB Nominal @Nyquist Frequency 6 dB, 1,0繰り返しパターン、Baud Rate 26.6 GBaud*¹、Eye Amplitude 0.5 Vp-p、各スペクトラムにて ±1.5 dB Nominal @Nyquist Frequency 6 dB, 1,0繰り返しパターン、Baud Rate 53.1 GBaud*²、Eye Amplitude 0.5 Vp-p、各スペクトラムにて ±1.0 dB Nominal @1/2Nyquist Frequency 3 dB, 1,1,0繰り返しパターン、Baud Rate 26.6 GBaud*¹、Eye Amplitude 0.5 Vp-p、各スペクトラムにて ±1.5 dB Nominal @1/2Nyquist Frequency 3 dB, 1,1,0繰り返しパターン、Baud Rate 53.1 GBaud*²、Eye Amplitude 0.5 Vp-p、各スペクトラムにて それぞれ20℃~30℃(温度一定)にて規定 Nyquist Frequencyに6 dB、1/2 Nyquist Frequencyに3 dBを設定したときの理想Insertion Lossの周波数特性は以下のグラフの通り 
Adjustable ISI ON/OFF	ON/OFF切り替えあり

* 1 : オプション001、002、012、003、013、023実装時

* 2 : オプション002、012、003、013、023実装時

Insertion Loss Compensation

Insertion Loss Compensation	オプション11、45実装時 Modulation : PAM3, Baud Rate : USB4 Gen4設定時 ナイキスト周波数におけるInsertion LossをEmphasisによって補正する
Setting Range	0.0~2.0 dB/0.1 dB Step
Insertion Loss Accuracy	オシロスコープを用いてBERT Insertion Loss*のCalibrationを行うため本設定値のAccuracyは保証せず設定値はTyp.とする
Insertion Loss Compensation ON/OFF	ON/OFF切り替えあり

* : BERT Insertion LossはUSB4 Version 2 GEN4 Electrical Compliance Test Specification (CTS) にて測定器に求められる規格

クロック出力

応用部品 同軸ケーブル J1439A (0.8 m、Kコネクタ) およびサンプリングオシロスコープ帯域70 GHzで観測したときの値

周波数	各種上限Baud rateオプションに応じて動作範囲が決まる。
Full Rate	Operation Baud Rate = Clock Output Frequency 2.4 GHz~32.1 GHz (オプション001実装時)
Half Rate	Operation Baud Rate = (Clock Output Frequency) × 2 1.2 GHz~16.05 GHz (オプション001実装時) 1.2 GHz~29.1 GHz (オプション002、112実装時) 1.2 GHz~32.1 GHz (オプション003、113、123実装時)
Quarter Rate	Operation Baud Rate = (Clock Output Frequency) × 4 0.6 GHz~8.025 GHz (オプション001実装時) 0.6 GHz~14.55 GHz (オプション002、112実装時) 0.6 GHz~16.05 GHz (オプション003、113、123実装時)
出力数	1
振幅	0.3 Vp-p (最小値)、1.0 Vp-p (最大値) (Output Frequency ≤ 16.05 GHz) 0.4 Vp-p (最小値)、1.0 Vp-p (最大値) (Output Frequency > 16.05 GHz)
出力制御	ON、OFF切り替えあり
終端	50Ω、AC Coupling
コネクタ	Kコネクタ (J)

データディレイ

オプション030を追加している場合

位相設定範囲	-1000 mUI~+1000 mUI、2 mUI step
確度	Typ. ±50 mUIp-p* (Baud rate ≤ 32.1 Gbaud) Typ. ±100 mUIp-p* (Baud rate > 32.1 Gbaud)
mUI- ps変換	あり (内部的にps換算)
Calibration	あり (ジッタ無変調時)
Calibration推奨表示	最後にCalibrationが行われたときより1/1 Clockの周波数が±250 kHz変化したとき、または最後にCalibrationが行われたときより機器周囲温度が、±5℃変化した場合に画面に表示

* : 以下の測定条件にて
帯域70 GHzのサンプリングオシロスコープを使用、Eye Amplitude 0.5 Vp-p (NRZ/PAM4)、応用部品 J1790Aを使用

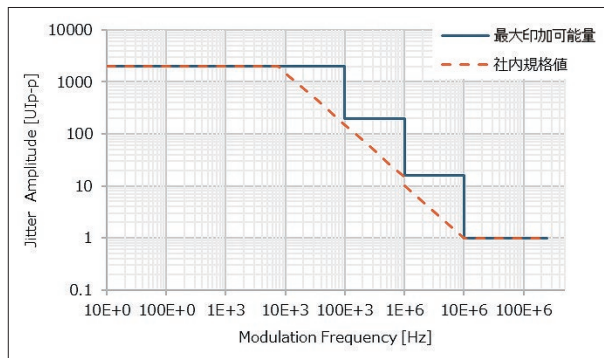
ジッタ耐力

PCIe 5/6

Baud rate 32.0 Gbaud

PRBS2³¹ – 1, PAM4

MU181500BによりSSC 33 kHz 5300 ppm Down Spread、RJ 500 fs rms 同時印加時



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2000.0	2000.0
7 500	2000.0	2000.0
10 000	2000.0	1500.0
100 000	2000.0	150.0
1 000 000	200.0	15.0
10 000 000	16.0	1.0
150 000 000	1.0	1.0

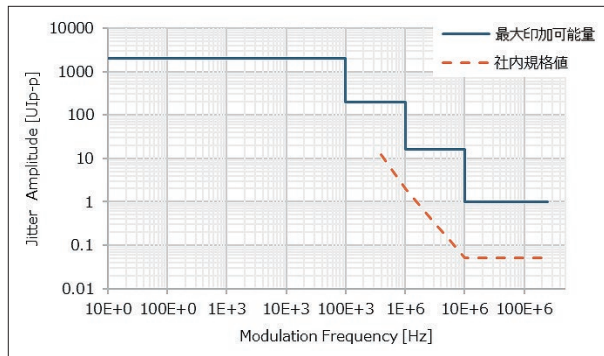
PCIe 7

Baud rate 64.0 Gbaud

PRBS2³¹ – 1, PAM4

MU181500BによりSSC 33 kHz 5300 ppm Down Spread、RJ 125 fs rms 同時印加時

Modulation Frequency ≥400 kHz、BER < 1E-12を満たすポイントで規定



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2000.0	
7 500	2000.0	
100 000	2000.0	
400 000	200.0	12.47
1 000 000	200.0	2.00
10 000 000	16.0	0.05
100 000 000	1.0	0.05
150 000 000	1.0	0.05

$$\frac{1.9156 \times 10^{12}}{F^{1.9969}} \quad (400 \text{ kHz} \leq F < 1 \text{ MHz})$$

$$\frac{8.192 \times 10^9}{F^{1.6021}} \quad (1 \text{ MHz} \leq F < 10 \text{ MHz})$$

$$0.05 \quad (F \geq 10 \text{ MHz})$$

(PCI Express® Base Specification Revision 7.0にて記載されるF ≥ 400 kHz以上の規格値に同じ。)

参考 : PCI Express® Base Specification Revision 7.0

以下にPCIe7のジッタトレランス規格を示す。上記の規格は、400 kHz以上の規格値をそのまま反映させたものである。変調周波数33 kHzでの規格値480 UIについては、SSC 33 kHz 5000 ppmのことを表している。上記の規格においては、SJ 33 kHzの規格を反映させていない。これは上記の規格ではSSC 33 kHz 5300 ppmを印加した上でSJを印加する規格となっていることから、新たにSJ 33 kHzを印加しなくともPCIe規格を満たしているためである。

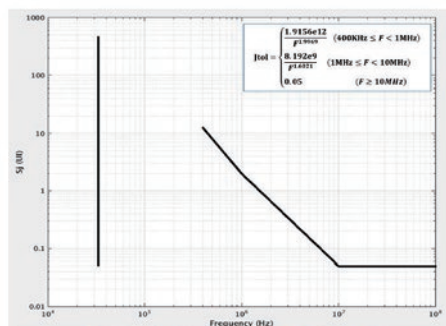
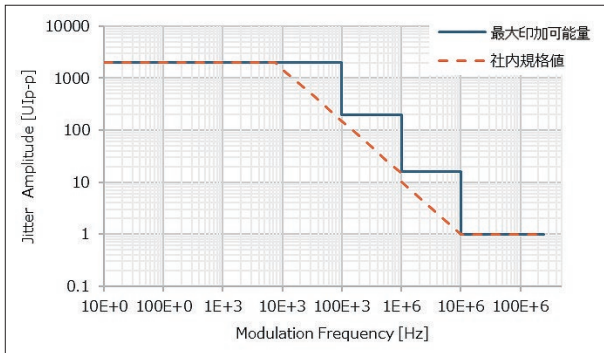


Figure 8-54 SJ Mask for Receivers Operating in SRS mode at 64.0 and 128.0 GT/s

Ethernet 26G

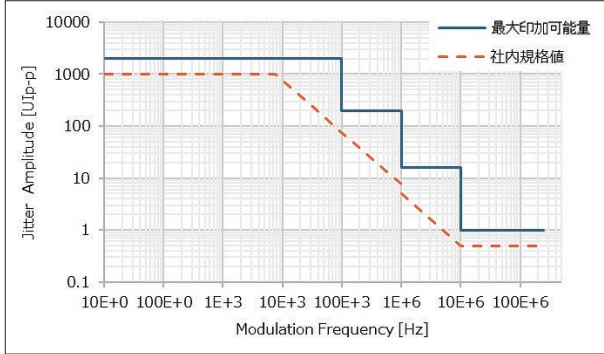
Baud rate 26.5625 Gbaud
PRBS2³¹ – 1、PAM4またはNRZ



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2000.0	2000.0
7 500	2000.0	2000.0
10 000	2000.0	1500.0
100 000	2000.0	150.0
1 000 000	200.0	15.0
10 000 000	16.0	1.0
150 000 000	1.0	1.0

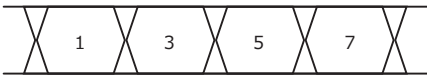
Ethernet 53G

Baud rate 53.125 Gbaud
PRBS2³¹ – 1、PAM4またはNRZ

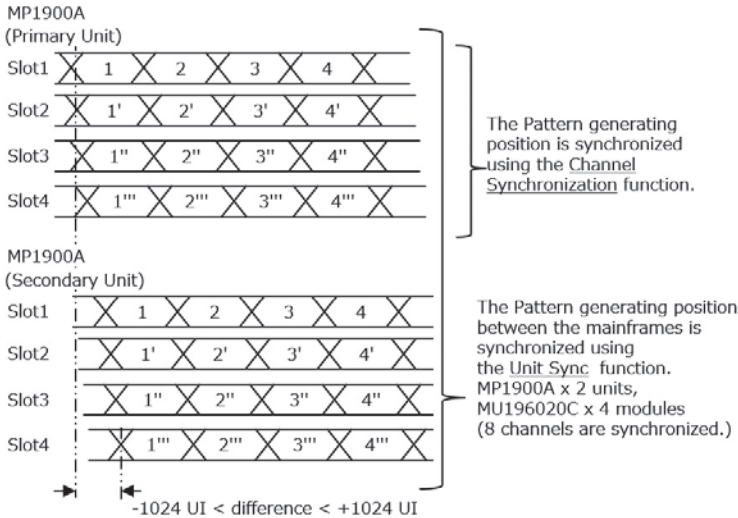


変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2000.0	1000.0
7 500	2000.0	1000.0
10 000	2000.0	750.0
100 000	2000.0	75.0
1 000 000	200.0	7.5
10 000 000	16.0	0.5
150 000 000	1.0	0.5

マルチチャネル動作(オプション030および050)

モジュール間 Synchronization Setting	オプション030 および050 実装時 Baud Rate ≤ 32.1 Gbaud : 1 UI未満の精度でビット発生タイミングを揃えて発生可能 Baud Rate > 32.1 Gbaud : 5 UI未満の精度でビット発生タイミングを揃えて発生可能 Combination Setting 条件 ・ オプション001、オプション002または012、オプション003または013または023が同期対象のモジュールで同一であること。 ・ スロット1～2 : Inter-Module 2ch Combination (NRZ のみ) ・ スロット1～4 : Inter-Module CH Synchronization ・ 対象のモジュールがSlot 1 から連続で実装されていること ・ ビット発生タイミングはMulti Calibration 実施時の温度から+/-3℃の範囲内において保証
Inter-Module 2ch Combination	NRZ のときのみ設定可能 モジュール間で先頭ビット発生タイミングを揃えた信号を発生 かつ モジュール間で発生ビットパターンをビットインターリーブして発生 対象アプリケーション : CEI-112G-NRZ (56 Gbit/s × 2ch) など (カタログ記載なし) Slot 1 Data  Slot 2 Data  Inter-Module 2 ch Combination イメージ

PAM4 PPG MU196020C 規格

Inter-Module CH Synchronization	モジュール間で先頭ビット発生タイミングを揃えた信号を発生 対象アプリケーション：400GbE (53.125 Gbaud × 4-ch)、CEI-112G-PAM4 (56 Gbaud × 4ch) など (カタログ記載なし) Slot 1 Data  Slot 2, 3, 4 Data  Inter-Module CH Synchronization イメージ
設定	CH Combination、CH Synchronization での変更部のみ記載。未記載部はSync OFF 動作と同等
Output	CH Combination、CH Synchronization 共通
Delay	位相設定範囲 -64,000 mUI~+64,000 mUI (各ch 独立) 位相設定分解能 2 mUI (各ch 独立)
Pattern	
Data	Data Length CH Combination時 4~536,870,912 bits、2 bit step CH Synchronization時は Sync OFFと同じ。
Unit Sync	ON/OFF切り替えあり MX190000A 3.02.00以降で有効 オプション30および50実装時に設定可能 Inter Module Synchronization実行時のみ有効
Number of Unit	最大2筐体間の同期制御が可能 (PAM4 PPG (MU196020C) × 4台 × 2筐体 = 最大8-channel同期制御可能)
Unit Sync Output	Unit Syncボタンを押すとタイミング信号をGating Outコネクタから出力 筐体間同期の状態監視表示あり。タイミング合わせが必要なときに、Unit SyncボタンのLED (オレンジ) が点灯する。 Unit Sync ONの時のみ有効
Unit Sync Input	タイミング信号をAUX Inコネクタから入力 Unit Sync ONの時のみ有効
Unit間bit位相差	±1024 UI以内 Unit Sync ボタンを押したときのビット発生タイミングの差 

一般性能

寸法・質量	234 (W) × 21 (H) × 175 (D) mm (突起物は除く) 2.5 kg以下
使用温度範囲	+15℃~+30℃ MP1900A機器周囲温度。
保存温度	-20℃~+60℃

動作ボーレート

動作ボーレート	オプション001実装時 2.4~32.1 Gbaud オプション002、112実装時 2.4~58.2 Gbaud オプション003、113、123実装時 2.4~64.2 Gbaud																																						
動作レート設定範囲 (MU181000B連動時)	2.400 000~25.000 000 Gbaud、0.000 002 Gbaud step*1, 2, 3 25.000 004~32.100 000 Gbaud、0.000 004 Gbaud step*1, 2, 3 25.000 004~50.000 000 Gbaud、0.000 004 Gbaud step*2, 3 50.000 008~58.200 000 Gbaud、0.000 008 Gbaud step*2 50.000 008~64.200 000 Gbaud、0.000 008 Gbaud step*3 オフセット -1000~+1000 ppm、1 ppm step*4																																						
動作レート設定範囲 (MU181000B、 MU181500B連動時)	2.400 000~3.125 000 Gbaud、0.000 002 Gbaud step*1, 2, 3 3.200 002~6.250 000 Gbaud、0.000 002 Gbaud step*1, 2, 3 6.400 002~12.500 000 Gbaud、0.000 002 Gbaud step*1, 2, 3 12.800 002~25.000 000 Gbaud、0.000 002 Gbaud step*1, 2, 3 25.600 004~32.100 000 Gbaud、0.000 004 Gbaud step*1, 2, 3 25.600 004~50.000 000 Gbaud、0.000 004 Gbaud step*2, 3 51.200 008~58.200 000 Gbaud、0.000 008 Gbaud step*2 51.200 008~64.200 000 Gbaud、0.000 008 Gbaud step*3 オフセット -1000~+1000 ppm、1 ppm step*4																																						
動作レート設定範囲 (外部クロック源使用時)	出力クロックレートをフルレート設定としたとき <table><tr><th>Baud Rate Setting Range</th><th>入力するクロック周波数</th><th>Baud RateとInput Clock Frequencyの関係</th></tr><tr><td>2.4~16.05 Gbaud *1, 2, 3</td><td>2.4 GHz~16.05 GHz</td><td>1/1クロックで動作</td></tr><tr><td>16.05~32.1 Gbaud *1, 2, 3</td><td>8.025 GHz~16.05 GHz</td><td>1/2クロックで動作</td></tr><tr><td>25.0~32.1 Gbaud *1, 2, 3</td><td>6.25 GHz~8.025 GHz</td><td>1/4クロックで動作</td></tr></table> 出力クロックレートをハーフレートもしくはクォーターレートに設定としたとき <table><tr><th>Baud Rate Setting Range</th><th>入力するクロック周波数</th><th>Baud RateとInput Clock Frequencyの関係</th></tr><tr><td>2.4~32.1 Gbaud *1, 2, 3</td><td>1.2 GHz~16.05 GHz</td><td>1/2クロックで動作</td></tr><tr><td>25.0~32.1 Gbaud *1</td><td>6.25 GHz~8.025 GHz</td><td>1/4クロックで動作</td></tr><tr><td>25.0~50.0 Gbaud *2, 3</td><td>6.25 GHz~12.50 GHz</td><td>1/4クロックで動作</td></tr><tr><td>32.1~58.2 Gbaud *2</td><td>8.025 GHz~14.55 GHz</td><td>1/4クロックで動作</td></tr><tr><td>32.1~64.2 Gbaud *3</td><td>8.025 GHz~16.05 GHz</td><td>1/4クロックで動作</td></tr><tr><td>50.0~58.2 Gbaud *2</td><td>6.25 GHz~7.275 GHz</td><td>1/8クロックで動作</td></tr><tr><td>50.0~64.2 Gbaud *3</td><td>6.25 GHz~8.025 GHz</td><td>1/8クロックで動作</td></tr></table>			Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係	2.4~16.05 Gbaud *1, 2, 3	2.4 GHz~16.05 GHz	1/1クロックで動作	16.05~32.1 Gbaud *1, 2, 3	8.025 GHz~16.05 GHz	1/2クロックで動作	25.0~32.1 Gbaud *1, 2, 3	6.25 GHz~8.025 GHz	1/4クロックで動作	Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係	2.4~32.1 Gbaud *1, 2, 3	1.2 GHz~16.05 GHz	1/2クロックで動作	25.0~32.1 Gbaud *1	6.25 GHz~8.025 GHz	1/4クロックで動作	25.0~50.0 Gbaud *2, 3	6.25 GHz~12.50 GHz	1/4クロックで動作	32.1~58.2 Gbaud *2	8.025 GHz~14.55 GHz	1/4クロックで動作	32.1~64.2 Gbaud *3	8.025 GHz~16.05 GHz	1/4クロックで動作	50.0~58.2 Gbaud *2	6.25 GHz~7.275 GHz	1/8クロックで動作	50.0~64.2 Gbaud *3	6.25 GHz~8.025 GHz	1/8クロックで動作
Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係																																					
2.4~16.05 Gbaud *1, 2, 3	2.4 GHz~16.05 GHz	1/1クロックで動作																																					
16.05~32.1 Gbaud *1, 2, 3	8.025 GHz~16.05 GHz	1/2クロックで動作																																					
25.0~32.1 Gbaud *1, 2, 3	6.25 GHz~8.025 GHz	1/4クロックで動作																																					
Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係																																					
2.4~32.1 Gbaud *1, 2, 3	1.2 GHz~16.05 GHz	1/2クロックで動作																																					
25.0~32.1 Gbaud *1	6.25 GHz~8.025 GHz	1/4クロックで動作																																					
25.0~50.0 Gbaud *2, 3	6.25 GHz~12.50 GHz	1/4クロックで動作																																					
32.1~58.2 Gbaud *2	8.025 GHz~14.55 GHz	1/4クロックで動作																																					
32.1~64.2 Gbaud *3	8.025 GHz~16.05 GHz	1/4クロックで動作																																					
50.0~58.2 Gbaud *2	6.25 GHz~7.275 GHz	1/8クロックで動作																																					
50.0~64.2 Gbaud *3	6.25 GHz~8.025 GHz	1/8クロックで動作																																					
動作レート設定範囲 (外部クロック使用、 MU181500B連動時)	出力クロックレートをフルレート設定としたとき <table><tr><th>Baud Rate Setting Range</th><th>入力するクロック周波数</th><th>Baud RateとInput Clock Frequencyの関係</th></tr><tr><td>2.4~15.0 Gbaud *1, 2, 3</td><td>2.4 GHz~15.0 GHz</td><td>1/1クロックで動作</td></tr><tr><td>15.0~30.0 Gbaud *1, 2, 3</td><td>7.5 GHz~15.0 GHz</td><td>1/2クロックで動作</td></tr><tr><td>25.0~32.1 Gbaud *1, 2, 3</td><td>6.25 GHz~8.025 GHz</td><td>1/4クロックで動作</td></tr></table> 出力クロックレートをハーフレートもしくはクォーターレートに設定としたとき <table><tr><th>Baud Rate Setting Range</th><th>入力するクロック周波数</th><th>Baud RateとInput Clock Frequencyの関係</th></tr><tr><td>2.4~30.0 Gbaud *1, 2, 3</td><td>1.2 GHz~15.0 GHz</td><td>1/2クロックで動作</td></tr><tr><td>30.0~32.1 Gbaud *1</td><td>7.5 GHz~8.025 GHz</td><td>1/4クロックで動作</td></tr><tr><td>30.0~58.2 Gbaud *2</td><td>7.5 GHz~14.55 GHz</td><td>1/4クロックで動作</td></tr><tr><td>30.0~60.0 Gbaud *3</td><td>7.5 GHz~15.0 GHz</td><td>1/4クロックで動作</td></tr><tr><td>60.0~64.2 Gbaud *3</td><td>7.5 GHz~8.025 GHz</td><td>1/8クロックで動作</td></tr></table>			Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係	2.4~15.0 Gbaud *1, 2, 3	2.4 GHz~15.0 GHz	1/1クロックで動作	15.0~30.0 Gbaud *1, 2, 3	7.5 GHz~15.0 GHz	1/2クロックで動作	25.0~32.1 Gbaud *1, 2, 3	6.25 GHz~8.025 GHz	1/4クロックで動作	Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係	2.4~30.0 Gbaud *1, 2, 3	1.2 GHz~15.0 GHz	1/2クロックで動作	30.0~32.1 Gbaud *1	7.5 GHz~8.025 GHz	1/4クロックで動作	30.0~58.2 Gbaud *2	7.5 GHz~14.55 GHz	1/4クロックで動作	30.0~60.0 Gbaud *3	7.5 GHz~15.0 GHz	1/4クロックで動作	60.0~64.2 Gbaud *3	7.5 GHz~8.025 GHz	1/8クロックで動作						
Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係																																					
2.4~15.0 Gbaud *1, 2, 3	2.4 GHz~15.0 GHz	1/1クロックで動作																																					
15.0~30.0 Gbaud *1, 2, 3	7.5 GHz~15.0 GHz	1/2クロックで動作																																					
25.0~32.1 Gbaud *1, 2, 3	6.25 GHz~8.025 GHz	1/4クロックで動作																																					
Baud Rate Setting Range	入力するクロック周波数	Baud RateとInput Clock Frequencyの関係																																					
2.4~30.0 Gbaud *1, 2, 3	1.2 GHz~15.0 GHz	1/2クロックで動作																																					
30.0~32.1 Gbaud *1	7.5 GHz~8.025 GHz	1/4クロックで動作																																					
30.0~58.2 Gbaud *2	7.5 GHz~14.55 GHz	1/4クロックで動作																																					
30.0~60.0 Gbaud *3	7.5 GHz~15.0 GHz	1/4クロックで動作																																					
60.0~64.2 Gbaud *3	7.5 GHz~8.025 GHz	1/8クロックで動作																																					

*1：オプション001実装時

*2：オプション002または112実装時

*3：オプション003、113、または123実装時

*4：ビットレート設定により、オフセットの設定範囲が異なります。

以下のビットレート設定では、設定範囲が-1000~0 ppmになります。

フルレート：12.500 000 Gbaud、25.000 000 Gbaud

ハーフレート、クォーターレート：25.000 000 Gbaud、50.000 000 Gbaud

PAM4 PPG MU196020A 規格

外部クロック入力

入力数	1 (Single-end)
周波数	1.2 GHz~16.05 GHz
振幅	0.3 Vp-p~1.0 Vp-p (−6.5~+4.0 dBm)
終端	50Ω, AC Coupling
コネクタ	SMAコネクタ (f)

補助入力

入力数	1 (Single-end)
信号の種類	Error Injection, Burst
最小パルス幅	データレートの1/256
入力レベル	0/−1 V (H : −0.25 V~0.05 V, L : −1.1 V~−0.8 V) 0/−0.5 V (H : −0.05 V~0.05 V, L : −0.55 V~−0.45 V) Vth 0 V (入力振幅 0.5 Vp-p~1.0 Vp-p) いずれか選択
終端	GND, 50Ω
コネクタ	SMAコネクタ (f)

補助出力

出力数	2 (Differential)
出力ON/OFF	ON/OFF切り替えあり
信号の種類	1/n Clock (n = 8, 12, 16, 20 … 1020, 1024), Pattern Sync, Burst Out2
パターン同期	PRBS, PRGM Position : 1~ (Pattern Length'と256の最小公倍数 − 263), 8 step Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
Burst Out2	
バーストリガディレイ	0~ (Burst Cycle − 256) bits, 8 bits step
パルス幅	16 bits~ (Burst Cycle − 256) bits, 8 bits step
出力レベル	0/−0.6 V (H : −0.25 V~0.05 V, L : −0.80 V~−0.45 V)
終端	GND, 50Ω
コネクタ	SMAコネクタ (f)

ゲート出力

出力数	1 (Single-end)
出力ON/OFF	ON/OFF切り替えあり
信号の種類	Burst, Repeat
Burst	Burst Output
バーストリガディレイ	0~ (Burst Cycle − 256) bits, 8 bits step
イネーブルパルス幅	16 bits~ (Burst Cycle − 256) bits, 8 bits step
出力レベル	0/−1 V (H : −0.25 V~0.05 V, L : −1.25 V~−0.8 V) *
Repeat	Timing Signal Output
タイミング信号周期	$\text{INT} \left(\frac{\text{Pattern}}{\text{length}} \right) \times 256$
タイミング信号ディレイ	0~ (Pattern Length'と256の最小公倍数 − 256) ただし、最大68 719 476 480 bits, 8 bits step Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
タイミング信号パルス幅	256~ (Pattern Length'と256の最小公倍数 − 256) ただし、最大68 719 476 480 bits, 8 bits step Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
出力レベル	0/−1 V (H : −0.25 V~0.05 V, L : −1.25 V~−0.8 V) *
終端	GND, 50Ω
コネクタ	SMAコネクタ (f)

* : L : Output Enable, H : Output Disable

PAM4 PPG MU196020A 規格

パターン発生*1

PRBS	
パターン長	$2^n - 1$ ($n = 7, 9, 10, 11, 13, 15, 20, 23, 31$)
マーク率	1/2 (論理反転により1/2INVが可能)
PRBS生成多項式	$n = 7 : 1 + X^6 + X^7$ $n = 9 : 1 + X^5 + X^9$ $n = 10 : 1 + X^7 + X^{10}$ $n = 11 : 1 + X^9 + X^{11}$ $n = 13 : 1 + X + X^2 + X^{12} + X^{13}$ $n = 15 : 1 + X^{14} + X^{15}$ $n = 20 : 1 + X^3 + X^{20}$ $n = 23 : 1 + X^{18} + X^{23}$ $n = 31 : 1 + X^{28} + X^{31}$
PRBS論理反転	PAM4モードのときのみ設定可能 PRBSの論理反転をMSB/LSBそれぞれ独立に設定可能
Zero-Substitution	NRZモード時のみ
付加ビット	0 bit, 1 bit
パターン長	2^n または $2^n - 1$ ($n = 7, 9, 10, 11, 15, 20, 23$)
開始位置	最大“0”連続ビット位置の次ビットから置換
ゼロビットの長さ	1 bits ~ (Pattern Length - 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
データ長	NRZ : 2 bits ~ 268 435 456 bits, 1 bit step PAM4 : 2 ~ 268 435 456 symbols, 1 symbol step
ビットシフト	PAM4モードの時のみ設定可能 MSBのビット位相を±256 bit (1 bit step) で制御可能
規格準拠パターン (PAM4)	
CEI	QPRBS13-CEI, QPRBS31-CEI
IEEE	IEEE802.3bs/cd : PRBS13Q, PRBS31Q, SSPRQ, Square Wave IEEE802.3bj : QPRBS13, JP03A, JP03B, Transmitter Linearity
RS-FEC (オプション042)	RS-FEC Scrambled Idle 50G 1 Lane (26.5625 Gbaud, 50GBASE-KR/CR/SR/FR/LR) RS-FEC Scrambled Idle 100G 1 Lane (53.125 Gbaud, 100GBASE-DR/KR1/CR1) RS-FEC-Int Scrambled Idle 100G 1 Lane (53.125 Gbaud, 100GBASE-P) RS-FEC Scrambled Idle 100G 2 Lanes (26.5625 Gbaud, 100GBASE-KR2/CR2/SR2) RS-FEC Scrambled Idle 200G 4 Lanes (26.5625 Gbaud, 200GBASE-SR4/DR4/FR4/LR4) RS-FEC Scrambled Idle 200G 2 Lanes (53.125 Gbaud, 200GBASE-KR2/CR2) RS-FEC Scrambled Idle 400G 4 Lanes (53.125 Gbaud, 400GBASE-DR4/KR4/CR4) RS-FEC Scrambled Idle 400G 8 Lanes (26.5625 Gbaud, 400GBASE-FR8/LR8)
InfiniBand	PRBS13Q (InfiniBand), PRBS23Q, PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
規格準拠パターン (NRZ)	
CEI	SSPR
RS-FEC (オプション042)	RS-FEC Scrambled Idle 25G 1 Lane (25.78125 Gbaud, 25GBASE-KR/CR/SR/LR/ER) RS-FEC Scrambled Idle 50G 2 Lanes RS (544, 514) (26.5625 Gbaud, 50GAUI-2) RS-FEC Scrambled Idle 100G 4 Lanes (25.78125 Gbaud, 100GBASE-KR4/CR4/SR4) RS-FEC Scrambled Idle 100G 4 Lanes RS (544, 514) (26.5625 Gbaud, 100GBASE-KP4)
Sequence*2	
Specification	PCIe1, PCIe2, PCIe3, PCIe4, PCIe5/CXL1-2*3, PCIe6/CXL3*3
Transmit	Sequence送信を開始します。
Manual	Manual Triggerを設定している場合に有効
Trigger Block No.	AUX OutputよりLTSSM Triggerを出力するシーケンスのBlock No.を選択します。 1 ~ 256 Block No. 1 step

*1 : 出力回路は、AC結合でのBias Tee方式で直流終端されているため、同符号パターンが約5 μ s連続すると50%の出力レベルが変動します。

*2 : MU196020A-051/351が必要です。

*3 : CXL1-2/3にはMU196020A-051/351かつ056/356が必要です。

パターンシーケンス

Sequence	Repeat, Burst
Repeat	連続パターン
バースト	CodingがNRZのときのみ有効
制御方法	Internal, External-Trigger (Aux Input), External-Enable (Aux Input)
データシーケンス	Restart, Consecutive, Continuous
周期	Internal時 : 12800 bits ~ 2 147 483 136 bits, 256 bits step Ext Trigger/Enable : 12800 bits ~ 2 147 483 648 bits, 256 bits step
バーストサイクル	25600 bits ~ 2 147 483 648 bits, 1024 bits step

PAM4 PPG MU196020A 規格

コーディング

コーディング	NRZ, PAM4
NRZ	Normal, Invert
PAM4 Gray Coding	ON, OFF
PAM4 Precoding ($1/(1 + D) \bmod 4$) *	ON, OFF

* : IEEE802.3準拠の生成多項式

エラー付加

エラータイプ	Bit, Error on MSB, Error on LSB, Error on LSB&MSB, RS-FEC Symbol Error (オプション042)
Bit	CodingがNRZのときのみ設定可能
バーストエラー	1 bits~256 bits
制御方法	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat, Single、(Source External-Trigger時はVariationの選択不可)
エラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
挿入チャンネル	1~32、またはチャネルスキャン
Error on MSB	設定したSymbol Errorを付加する。 CodingがPAM4のときのみ設定可能 MSBのみにエラーが入る。
バーストエラー	1 symbols~256 symbols
制御方法	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat, Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
Error on LSB	設定したSymbol Errorを付加する。 CodingがPAM4のときのみ設定可能 LSBのみにエラーが入る。
バーストエラー	1 symbols~256 symbols
制御方法	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat, Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
Error on LSB&MSB	設定したSymbol Errorを付加する。 CodingがPAM4のときのみ設定可能 PAM4の信号が1レベルだけ変化するようにエラーが挿入される。
バーストエラー	1 symbols~256 symbols
制御方法	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat, Single (Source External-Trigger時はVariationの選択不可)
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3
エラー付加方法	Type1 : Level 0 → Level 1, Level 1 → Level 2, Level 2 → Level 3, Level 3 → Level 2 Type2 : Level 0 → Level 1, Level 1 → Level 2, Level 2 → Level 1, Level 3 → Level 2 Type3 : Level 0 → Level 1, Level 1 → Level 0, Level 2 → Level 1, Level 3 → Level 2
RS-FEC Symbol Error (オプション042)	CodingがNRZおよびPAM4どちらも設定可能 PAM4の信号が1レベルだけ変化するようにエラーが挿入される。 NRZ : 10ビット間隔でエラーを挿入する。 PAM4 : 10 PAM4 Symbolまたは20 PAM4 Symbol間隔でエラーを挿入する。
制御方法	Internal, External-Trigger (Rise edge trigger)、External-Disable (L : Disable)
付加方法	Repeat, Single (Source External-Trigger時はVariationの選択不可)
Symbol error per code word	1~20
シンボルエラーレート	*E - n (* = 1~9, n = 3~12)、上限は3.0E-3 Number of symbol errors per code wordの値に応じてエラー付加範囲は変わります。
エラー付加方法 (PAM4)	Type1 : Level 0 → Level 1, Level 1 → Level 2, Level 2 → Level 3, Level 3 → Level 2 Type2 : Level 0 → Level 1, Level 1 → Level 2, Level 2 → Level 1, Level 3 → Level 2 Type3 : Level 0 → Level 1, Level 1 → Level 0, Level 2 → Level 1, Level 3 → Level 2

PAM4 PPG MU196020A 規格

データ出力*1

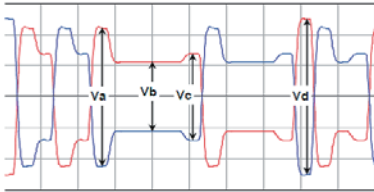
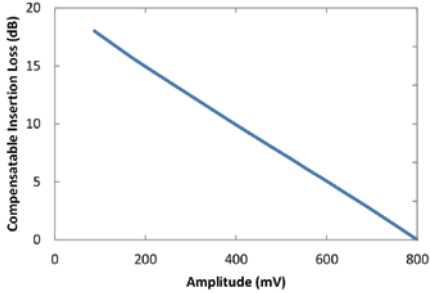
出力数	2 (Data, XData) 非独立可変
波形の種類	NRZ、PAM4
NRZ Eye振幅	
設定範囲	NRZ : 70 mVp-p~800 mVp-p, 2 mV step (Single-end)
確度	J1789A使用時 : $\pm 35 \text{ mV} \pm 12\%$ (Single-end) *2 J1790A使用時 : $\pm 35 \text{ mV} \pm 12\%$ (Single-end) *3、*4、*5
PAM4 Eye振幅	
PAM4 (0/3 Level) 設定範囲	PAM4 (0/3 Level) : 70 mVp-p~800 mVp-p, 1 mV step (Single-end) *6
PAM4 (0/3 Level) 確度	J1789A使用時 : $\pm 35 \text{ mV} \pm 12\%$ of Amplitude*2、*7 J1790A使用時 : $\pm 35 \text{ mV} \pm 12\%$ of Amplitude*3、*4、*5、*7
PAM4 (0/1、1/2、2/3 Level) 独立可変機能	あり、20~50%、1 mV Step (Eye振幅換算) (PAM4 Amplitude 0/3レベルを100%とする)
PAM4 (0/1、1/2、2/3 Level) 設定範囲	PAM4 (0/1 Level) : 23 mVp-p~266 mVp-p, 1 mV step (Single-end) PAM4 (1/2 Level) : 24 mVp-p~268 mVp-p, 1 mV step (Single-end) PAM4 (2/3 Level) : 23 mVp-p~266 mVp-p, 1 mV step (Single-end)
PAM4 (0/1、1/2、2/3 Level) 確度	J1789A使用時 : $\pm 35 \text{ mV} \pm 12\%$ of Amplitude*8 J1790A使用時 : $\pm 35 \text{ mV} \pm 12\%$ of Amplitude*9、*10、*11
オフセット	
設定範囲	-2.0-Eye Amplitude/2~+3.3-Eye Amplitude/2 Vth, 1 mV step (Single-end)
確度	$\pm 65 \text{ mV} \pm 10\%$ of offset (Vth) $\pm$ (Eye Amplitude Accuracy/2) (オプションx11実装時のEmphasis設定時は除く) (PAM4設定時はPAM4 Amplitude (3/2、2/1、1/0) の振幅均等33%設定時)
クロスポイント	50% Fixed (代表値)
Tr/Tf	J1789A使用時 : 8.5 ps (20~80%) (代表値) *12 9 ps (20~80%) (代表値) *13 J1790A使用時 : 8.8 ps (20~80%) (代表値) *12 9.5 ps (20~80%) (代表値) *13
Half Period Jitter	
設定範囲	-20~20, 1 step
確度	$\pm 0.04 \text{ UI}$ (代表値) *14
ジッタ	
測定条件	NRZ、 Bit rate : 32.1 Gbit/s (オプション001実装時) 58.2 Gbit/s (オプション002、112実装時) 64.2 Gbit/s (オプション003、113、123実装時) Eye Amplitude 0.5 Vp-p (Single-end) 20℃~30℃ (温度一定) にて、残留ジッタ < 200 fs rms、帯域70 GHzのサンプリングオシロスコープを使用して測定
Peak-to-Peak Jitter	6 ps p-p (代表値) (測定カウント30)
Jitter RMS	600 fs rms (代表値) (測定カウント30)
Intrinsic RJ (RMS)	170 fs (代表値) (1、0繰り返しパターン) *15
Waveform Distortion (0-peak)	$\pm 110 \text{ mV}$ (代表値) *16
PAM4 Level Separation Mismatch Ratio (R_{LM})	0.95 (最小値) *17
PAM4 Signal to noise and distortion ratio (SNDR)	33 dB (最小値) *18、*19
電気 TDECQ	0.9 dB *20
Output ON/OFF	ON/OFF切り替えあり
Data/XDataスキュー	$\pm 1 \text{ ps}$ ケーブル誤差含まず
終端	AC、DC切り替え DC時 : GND、-2 V、+1.3 V、+3.3 V、Open (LVDS)、50Ω
コネクタ	Vコネクタ (f)
Offset基準	Vth
Level Guard	Amplitude、Voh、Volの設定可能
External ATT Factor	-40~0 dB、0.1 dB step 固定アッテネータを接続した場合に、固定アッテネータ経由で出力される信号の振幅とオフセットを表示

- *1 : 記載がない限り、PRBS2³¹-1、マーク率 1/2、クロスポイント50%にて規定
 応用部品J1789AまたはJ1790A、およびサンプリングオシロスコープ帯域70 GHzで観測したときの値
- *2 : Setting Range $\leq 700 \text{ mVp-p}$
- *3 : Setting Range $\leq 700 \text{ mVp-p}$ ($\leq 32.1 \text{ Gbit/s}$ 、オプション001、002、112、003、113、123実装時)
- *4 : Setting Range $\leq 600 \text{ mVp-p}$ ($\leq 58.2 \text{ Gbit/s}$ 、オプション002、112、003、113、123実装時)

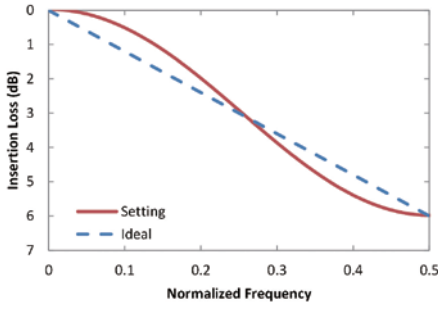
PAM4 PPG MU196020A 規格

- * 5 : Setting Range ≤ 550 mVp-p (≤ 64.2 Gbit/s、オプション003、113、123実装時)
- * 6 : PAM4出力信号をEDに直接入力したときにエラーフリーとなる下限設定振幅は、使用するEDの性能に依存する。
EDとしてMP1862Aを使用した場合のエラーフリーとなる下限振幅 (参考データ) は、次のとおりです。
125 mV (0/3 Level、 ≤ 32.1 Gbaud、オプション001実装時)
250 mV (0/3 Level、 ≤ 58.2 Gbaud、オプション002、112、オプション003、113、123実装時)
Pattern : PRBS15、20℃ $\sim$ 30℃ (温度一定) にて
- * 7 : Single-end、PAM4 0/3 Level、PAM4 Amplitude (3/2、2/1、1/0) の振幅均等33%設定時
- * 8 : Setting Range ≤ 234 mVp-p、Single-end、Upper、Middle、Lowerそれぞれの振幅レベルにおいて
- * 9 : Setting Range ≤ 234 mVp-p、Single-end、Upper、Middle、Lowerそれぞれの振幅レベルにおいて
(≤ 32.1 Gbit/s、オプション001、002、112、003、113、123実装時)
- * 10 : Setting Range ≤ 200 mVp-p、Single-end、Upper、Middle、Lowerそれぞれの振幅レベルにおいて
(≤ 58.2 Gbit/s、オプション002、112、003、113、123実装時)
- * 11 : Setting Range ≤ 184 mVp-p、Single-end、Upper、Middle、Lowerそれぞれの振幅レベルにおいて、J1790A (0.8m) 同軸ケーブル使用時
(≤ 64.2 Gbit/s、オプション003、113、123実装時)
- * 12 : NRZ、58.2 Gbit/s (オプション002、112実装時)、64.2 Gbit/s (オプション003、113、123実装時)、Eye Amplitude 0.5 Vp-p (Single-end)、NRZでEmphasisがOffの場合のみ
- * 13 : NRZ、32.1 Gbit/s、Eye Amplitude 0.5 Vp-p (Single-end)、NRZでEmphasisがOffの場合のみ
- * 14 : 2.4、8、16、26.5625、32.1 Gbit/s (オプション001実装時)
2.4、8、16、26.5625、32.1、40、53.125、58.2 Gbit/s (オプション002、112実装時)
2.4、8、16、26.5625、32.1、40、53.125、58.2、64.2 Gbit/s (オプション003、113、123実装時)、Eye Amplitude 0.5 Vp-p (Single-end)
- * 15 : NRZ、Bit rate 58.2 Gbit/s (オプション002、112実装時)、64.2 Gbit/s (オプション003、113、123実装時)
- * 16 : NRZ、Bit rate 32.1 Gbit/s (オプション001実装時)、58.2 Gbit/s (オプション002、112実装時)、64.2 Gbit/s (オプション003、113、123実装時)
Eye Amplitude 0.5 Vp-p (Single-end)
- * 17 : PAM4、26.5625 Gbaud (オプション001実装時)、53.125 Gbaud (オプション002、112、003、113、123実装時)、1.0 Vp-p (Differential)、IEEE P802.3bsの算出方法を参照
- * 18 : PAM4、26.5625 Gbaud (オプション001実装時)、53.125 Gbaud (オプション002、112、003、113、123実装時)、1.0 Vp-p (Differential)、IEEE P802.3cdの算出方法を参照
- * 19 : サンプリングオシロスコープ帯域60 GHz
- * 20 : 26.5625 Gbaud (オプション001実装時)、53.125 Gbaud (オプション002、112、003、113、123実装時)、イコライザ使用、Single、Pattern : SSPRQ

エンファシス(オプション011)

エンファシスタップ	4 (1post-cursor、2pre-cursor) 4TapパラメータはUpper、Middle、Lower EyeすべてのEyeにおいて同じ値となる。つまりUpper、Middle、Lower Eyeの4Tapパラメータは独立して操作することはできない。
カーソル設定範囲	-20 $\sim$ +20 dB、0.1 dB step (Post-Cursor : $20\log_{10}V_a/V_b$ 、Pre-Cursor : $20\log_{10}V_c/V_b$) 
確度	± 1 dB (代表値) (16 Gbaud、Amplitude 0.5 Vp-p (Single-end)、De-Emphasis、Pre-Cursor1 = 6 dB、Post Cursor1 = 3.5 dBにて)
エンファシスピーク電圧の設定範囲	70 mVp-p $\sim$ 800 mVp-p (Single-end)
Channel Emulator (オプション040)	Normal : 読み込んだSパラメータに相当する伝送路をエミュレートした信号が、PPGのData Outputに出力される Inverse : 読み込んだSパラメータに相当する伝送路の損失を補償するDe-Emphasisが設定された信号がPPGのData Outputに出力される Channel Emulator機能で振幅を下げることなく補償できる最大伝送路損失は以下のグラフの通り 
S-Parameter file	S2 Pファイル (拡張子"*.s2 p")、 S4 Pファイル (拡張子"*.s4 p") ベクトルネットワークアナライザ MS4640Bシリーズの出力ファイルに対応
Response	Normal、Inverse
Gain Adjust	Normal時は0 GHzまたは1 GHzまたはNyquist周波数においてエミュレートする損失量と読み込んだSパラメータファイルの損失量を合わせることが可能

PAM4 PPG MU196020A 規格

Adjustable ISI (オプション040)	PPG出力Data信号に、ISIを発生させるチャネルの損失を設定、そのエミュレート波形を出力する（出力波形振幅は設定振幅で規格化） J1800A/J1758A（応用部品）などのチャネルボード、またはNoise Module MU195050Aとの組み合わせで使用
Insertion Loss設定	Nyquist、1/2 Nyquist FrequencyにおけるLoss Channel損失値からの相対損失量を設定 -8.00～8.00 dB、0.01 dB step @Nyquist Frequency -8.00～8.00 dB、0.01 dB step @1/2 Nyquist Frequency
Insertion Loss Accuracy	±1.0 dB Nominal @Nyquist Frequency 6 dB、26.6 Gbaud 1、0繰り返しパターン ±1.5 dB Nominal @Nyquist Frequency 6 dB、53.1 Gbaud 1、0繰り返しパターン ±1.0 dB Nominal @1/2Nyquist Frequency 3 dB、26.6 Gbaud 1、1、0、0繰り返しパターン ±1.5 dB Nominal @1/2Nyquist Frequency 3 dB、53.1 Gbaud 1、1、0、0繰り返しパターン それぞれEye Amplitude 0.5 Vp-p、20℃～30℃（温度一定）にて規定 Nyquist Frequencyに6 dB、1/2 Nyquist Frequencyに3 dBを設定したときのInsertion Lossの周波数特性は以下のようになります（ISIのNominal Data）。 
Emulator On/Off	Channel Emulator、Adjustable ISI、エンファシスタップをそれぞれ合成可能

クロック出力

応用部品 同軸ケーブル J1439A (0.8m、Kコネクタ) およびサンプリングオシロスコープ帯域70 GHzで観測したときの値

周波数	
Full Rate	Operation Baud Rate = Clock Output Frequency 2.4 GHz～32.1 GHz（オプション001）
Half Rate	Operation Baud Rate = (Clock Output Frequency) × 2 1.2 GHz～16.05 GHz（オプション001） 1.2 GHz～29.1 GHz（オプション002、112実装時） 1.2 GHz～32.1 GHz（オプション003、113、123実装時）
Quarter Rate	Operation Baud Rate = (Clock Output Frequency) × 4 0.6 GHz～8.025 GHz（オプション001） 0.6 GHz～14.55 GHz（オプション002、112実装時） 0.6 GHz～16.05 GHz（オプション003、113、123実装時）
出力数	1
振幅	0.3 Vp-p（最小値）、1.0 Vp-p（最大値） （Output Frequency ≤ 16.05 GHz） 0.4 Vp-p（最小値）、1.0 Vp-p（最大値） （Output Frequency > 16.05 GHz）
出力制御	ON、OFF切り替えあり
終端	50Ω、AC Coupling
コネクタ	Kコネクタ (f)

データディレイ

オプションx030を追加している場合

位相設定範囲	-1000 mUI～+1000 mUI、2 mUI step
確度	±50 mUIp-p*1、*2、*3 ±100 mUIp-p*1、*2、*4
mUI- ps変換	あり（内部的に ps換算）
Calibration	あり（ジッタ無変調時）
Calibration推奨表示	次のどちらかの状態になったときに画面に表示 1/1 Clockの周波数が±250 kHz変化したとき - 機器周囲温度が±5度変化した場合

*1：残留ジッタ <200fs rmsのオシロスコープを使用して測定、振幅設定一定にて

*2：代表値

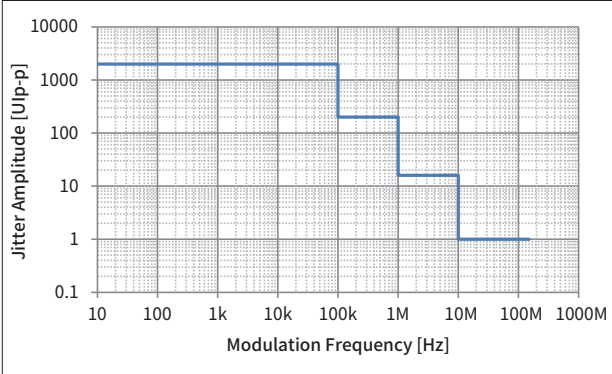
*3：Baud rate ≤ 32.1 Gbaud

*4：Baud rate > 32.1 Gbaud

ジッタ設定範囲

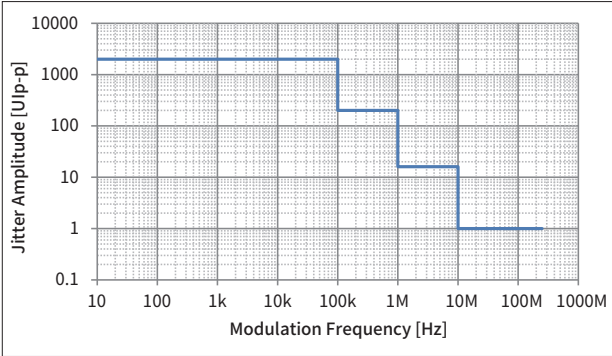
ジッタ設定範囲

MU181000A/B + MU181500B運動時
SJ1 Clock Output Rate Half Rate、Quarter Rate設定時
60 < Baud rate ≤ 64.2 Gbaud、30 < Baud rate ≤ 34 Gbaud、8 < Baud rate ≤ 17 Gbaud



変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10~100k	0~2000
100.1k~1M	0~200
1.001M~10M	0~16
10.01M~150M	0~1

34 < Baud rate ≤ 60 Gbaud、17 < Baud rate ≤ 30 Gbaud



変調周波数 [Hz]	ジッタ振幅 [UIp-p]
10~100k	0~2000
100.1k~1M	0~200
1.001M~10M	0~16
10.01M~250M	0~1

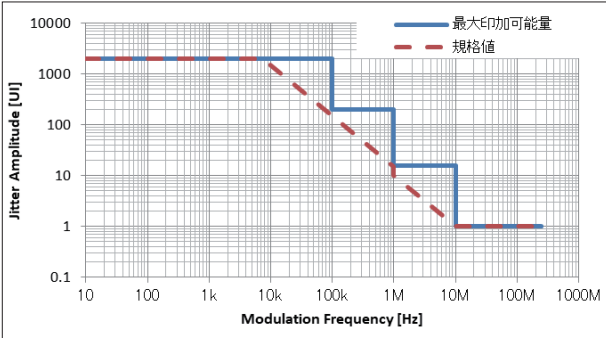
ジッタ耐力

ジッタ耐力

NRZ出力時
ビットレート：32.1 Gbit/s (オプション001)
58.2 Gbit/s (オプション002、112実装時)
64.2 Gbit/s (オプション003、113、123実装時)
パターン：PRBS2³¹-1

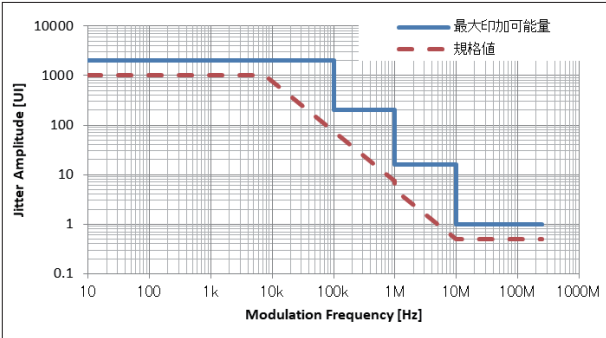
MU181500BによりSSCを33 kHz 5300 ppm、0.3 UIのRJを同時に印加可能。
MU196040A (32.1 Gbit/s)、またはMP1862A + MU183040B (58.2 Gbit/s、64.1 Gbit/s) とのループバック接続、
20℃～30℃ (温度一定) にて
RJ + BUJ > 0.5 UIp-p、またはSJ1 + Built-in SJ2 + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、MU181500Bの画面が
Overload表示となる。
ビットレートによる最大印加量は異なります。詳細については、ジッタ設定範囲を参照ください。

32.1 Gbit/s



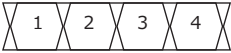
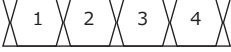
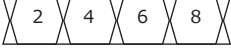
変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
250 000 000	1	1

58.2 Gbit/s、64.2 Gbit/s



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	1 000
7 500	2 000	1 000
100 000	2 000	75
1 000 000	200	7.5
10 000 000	16	0.5
250 000 000	1	0.5

マルチチャネル動作（オプション030および050）

共通条件	オプション種別オプション001/002/003が同一であるモジュール間で動作可能 動作にはオプション030と050の両方が必要 ≦32.1 Gbaud：1 UI未満の精度でビット発生タイミングを揃えて発生可能* >32.1 Gbaud：5 UI未満の精度でビット発生タイミングを揃えて発生可能* *：ビット発生タイミングは、Multi Calibration実施時の温度から±3℃の範囲内において保証
モジュール間チャネル同期 (Slot 1〜4で、Slot 1から連続で搭載時)	モジュール間で先頭ビット発生タイミングを揃えた信号を発生 Slot1 Data  Slot2, 3, 4 Data  CH Sync イメージ
モジュール間2chコンビネーション (NRZのみ、Slot 1と2に搭載時)	モジュール間で先頭ビット発生タイミングを揃えた信号を発生、かつ、 モジュール間で発生ビットパターンをビットインターリーブして発生 Slot1 Data  Slot2 Data  CH Combination イメージ 位相設定：-64 000 mUI〜+64 000 mUI、2 mUI step (各ch独立) パターン長：4〜536 870 912 bits、2bit step

一般性能

寸法・質量	234 (W) × 21 (H) × 175 (D) mm (突起物は除く) 2.5 kg以下
使用温度範囲	+15℃〜+35℃ MP1900A機器周囲温度。
保存温度	-20℃〜+60℃

PAM4 ED MU196040B 規格

動作ボーレート

動作ボーレート	オプション001実装時 PAM4入力 : 2.4 Gbaud~32.1 Gbaud NRZ入力 : 2.4 Gbit/s~32.1 Gbit/s オプション002または112実装時 PAM4入力 : 2.4 Gbaud~58.2 Gbaud NRZ入力 : 2.4 Gbit/s~64.2 Gbit/s
---------	--

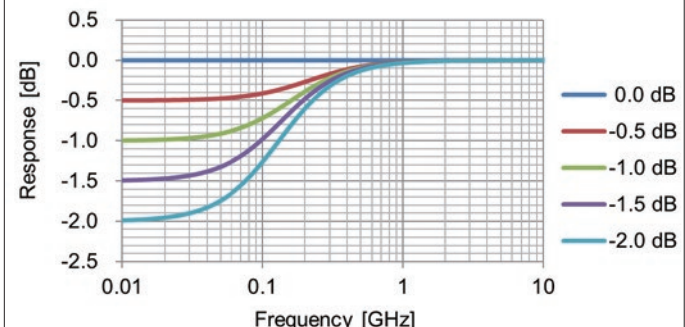
システムクロック

システムクロック	External、Recovered Clock (オプションx21、x22、x23またはy24実装時) 選択可能 External : Ext Clock Inputからの入力クロック PAM4は2.4 Gbaud~32.1 Gbaud、32.1 Gbaud~58.2 Gbaud、Autoから選択 NRZは2.4 Gbit/s~32.1 Gbit/s 32.1 Gbit/s~64.2 Gbit/s、Autoから選択 Recovered Clock : Data Inputに入力したデータから再生したクロック
----------	---

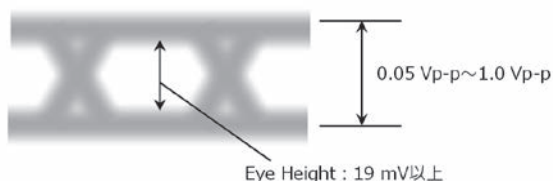
データ入力

入力数	2 (Data, XData) (Differential)
Input Condition	Single-end、Differential 50Ω、Differential 100Ω 選択可能 Differential 50Ω またはDifferential 100Ω 設定時 Independent、Tracking、Alternate選択可能* ¹ Alternate設定時 Data-XData、XData-Data選択可能* ² Single-end選択時 Data、XData選択可能* ³
フォーマット	NRZ、PAM4
LSB/MSB Diagnostics	PAM4で以下のモードが切り替え可能 Diagnostics Mode OFF : LSBとMSBを同期して受信することで信号をSymbolとして扱うモード Diagnostics Mode ON : LSBとMSBを非同期で受信するモード
入力振幅	NRZ : Auto Adjust機能とAuto Search Fine機能が動作する範囲 0.05 Vp-p~1.0 Vp-p* ⁴ 、* ⁵ 0.1 Vp-p~1.0 Vp-p* ⁴ 、* ⁶ PAM4 : Auto Search PAM4 Fine機能が動作する範囲 0.3 Vp-p~1.0 Vp-p* ⁷ 、* ⁸ 0.4 Vp-p~1.0 Vp-p* ⁷ 、* ⁹
電圧しきい値	NRZ、PAM4 Middle Eye Threshold : -3.5 V~+3.3 V、1 mV step* ² 、* ¹⁰ PAM4 Upper Eye Threshold : -3.9 V~+3.7 V、1 mV step* ¹¹ PAM4 Lower Eye Threshold : -3.9 V~+3.7 V、1 mV step* ¹¹
入力感度	Single-end、Mark Ratio1/2、PRBS31、J1789Aと減衰器を使用してMU196020Aと直接接続した場合、Emphasis ON、MU196020AとMU196040Bの未使用コネクタを終端時、20℃~30℃(温度一定) にてエラーフリー
Eye Amplitude	NRZ Typ. 25 mVp-p、≦ 50 mVp-p* ¹² (26.5625 Gbit/s、32.1 Gbit/s) Typ. 31 mVp-p、≦ 55 mVp-p* ¹³ (53.125 Gbit/s) Typ. 43 mVp-p、≦ 60 mVp-p* ¹³ (64.2 Gbit/s)
Eye Height	NRZ Typ. 19 mV* ¹² (26.5625 Gbit/s、32.1 Gbit/s) Typ. 21 mV* ¹³ (53.125 Gbit/s) Typ. 32 mV* ¹³ (64.2 Gbit/s) PAM4 0/1 1/2 2/3 Level、PRBS31、External Clock使用時 Typ. 23 mV、≦50 mV* ¹² (26.5625 Gbaud、32.1 Gbaud) Typ. 36 mV、≦60 mV* ¹³ (53.125 Gbaud) Typ. 49 mV、≦70 mV* ¹³ (58.2 Gbaud) ただし、53.125 Gbaud、58.2 Gbaudは、テストパターンをPRBS31にして振幅を設定した後、QPRBS13-CEIに変更して差動波形でBERが1E-06となるEye Heightの値で定義する
位相マージン	Differential、Mark Ratio1/2、PRBS31、0.5 Vp-p、J1789Aと減衰器を使用してMU196020Aと直接接続した場合20℃~30℃(温度一定) にてエラーフリー、External Clock使用時。 NRZ* ¹⁴ Typ. 25.8 ps* ¹² (26.5625 Gbit/s) Typ. 18.0 ps* ¹² (32.1 Gbit/s) Typ. 10.5 ps* ¹³ (53.125 Gbit/s) Typ. 8.7 ps* ¹³ (64.2 Gbit/s) PAM4 Typ. 5.3 ps* ¹² (26.5625 Gbaud) Typ. 4.5 ps* ¹² (32.1 Gbaud) Typ. 4.1 ps* ¹³ 、* ¹⁴ (53.125 Gbaud) Typ. 2.5 ps* ¹³ 、* ¹⁴ (58.2 Gbaud)
Stressedマージン	
Stressed Eye Height	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BERが1E-06となるEye Heightにおいて、External Clock使用時。 ≧32 mV* ¹⁵ 、* ¹⁶ ≧37 mV* ¹⁷ 、* ¹⁸
Stressed Eye Width	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BERが1E-06となるEye Widthにおいて、External Clock使用時。 ≧7.53 ps* ¹⁵ 、* ¹⁶ ≧3.76 ps* ¹⁷ 、* ¹⁸

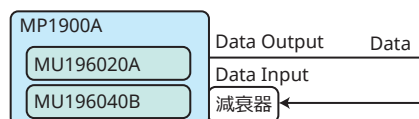
PAM4 ED MU196040B 規格

終端	50Ω、GND、Variable
終端電圧	Termination Variable設定時：-2.5 V～+3.5 V、10 mV step
コネクタ	Vコネクタ (f)
Decision Feedback Equalizer	Decision Feedback Equalizer (DFE) を内蔵 ^{*19}
Tap	1
Coefficient	Setting Range：0～30、1 step
Loss Compensation	公称値 1.4 dB ^{*20}
Low Frequency Equalizer	Low Frequency Equalizerを内蔵 ^{*19}
Gain	Setting Range：-2.0～0 dB、0.5 dB step Accuracy：Typ. ±1.0 dB
Ideal Frequency Response	 The graph shows the ideal frequency response for the MU196040B. The x-axis represents Frequency [GHz] on a logarithmic scale from 0.01 to 10. The y-axis represents Response [dB] from -2.5 to 0.5. Five curves are plotted for different gain settings: 0.0 dB (blue), -0.5 dB (red), -1.0 dB (green), -1.5 dB (purple), and -2.0 dB (cyan). All curves start at their respective gain values at low frequencies and rise to 0 dB as frequency increases, with higher gain settings rising more steeply.

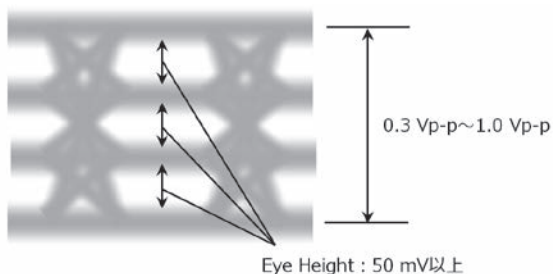
- *1：TrackingはNRZのみ設定可能
- *2：Data、XData Thresholdの差分の絶対値は1.5 V以下
- *3：PAM4 Upper eye、Lower eyeは-0.4 V～+0.4 Vの範囲でMiddleに対して相対値を設定可能
- *4：Single-Ended、Differential、Mark Ratio1/2、Eye Height規格を満たすこと
ビットレートが32.1 Gbit/sのときのMU196040Bに入力する波形の設定例



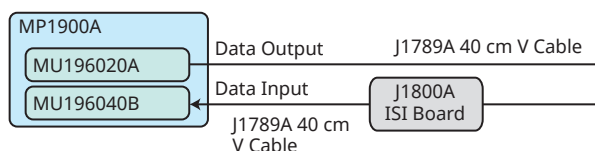
- *5：Bit rate ≤32.1 Gbit/sにおいて
- *6：Bit rate >32.1 Gbit/sにおいて
- *7：0/3 Level、PRBS31、Mark Ratio1/2、MU196020Aに減衰器を使用して接続し、Eye Height規格を満たすようにEmphasisを調整した場合



ボーレートが32.1 GbaudのときのMU196040Bに入力する波形の設定例

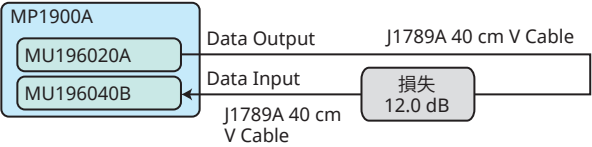


- *8：Single-Ended、Differential、Baud rate ≤32.1 Gbaudにおいて
- *9：Differential、Baud rate >32.1 Gbaudにおいて
- *10：DataとXDataは独立して設定可能
- *11：DataとXDataは独立して設定不可、Middle Eye Thresholdに対して、±0.4 Vの範囲内で設定可能
- *12：オプション001、002、またはx12実装時
- *13：オプション002またはx12実装時
- *14：入力信号のBER 1E-12相当のRJを含む値
- *15：26.5625 Gbaud、オプション001、002、またはx12実装時、オプションx11実装時、BER 1E-12
- *16：26.5625 Gbaud、Differential、Mark Ratio1/2、J1789Aを使用してJ1800A (1枚) とMU196020Aを接続した場合



PAM4 ED MU196040B 規格

残留ジッタ < 200 fs (RMS)、帯域70 GHzのサンプリングオシロスコープを使用し、20℃～30℃（温度一定）にて測定する。
Differential波形においてEye Height (1E-06) とEye Width (1E-06) の積が最大となるようMU196020AのDe-Emphasis (2つのPre Cursorと1つのPost Cursor) を調整する。
4th-order Bessel Filter (Cutoff Frequency 40 GHz) + CTLE (+1 dB Peaking at 14 GHz) の演算を行い、Eye Amplitude 0.88 Vp-p (Diff) 以下、Eye Linearity RLM 0.85以上のPAM4波形に校正する。
MU196040BのDFEおよびLow Frequency Equalizerを有効にして調整を行う。
* 17 : 53.125 Gbaud、オプション002、x12、x11実装時、BER 1E-8 公称値
* 18 : 53.125 Gbaud、Differential、Mark Ratio1/2、Insertion Loss12.0 dBの測定系とMU196020Aを接続した場合



残留ジッタ < 200 fs (RMS)、帯域70 GHzのサンプリングオシロスコープを使用し、20℃～30℃（温度一定）にて測定する。
Differential波形においてEye Height (1E-06) とEye Width (1E-06) の積が最大となるようMU196020AのDe-Emphasis (2つのPre Cursorと1つのPost Cursor) を調整する。
4th-order Bessel Filter (Cutoff Frequency 43 GHz) + CTLE (+1 dB Peaking at 28 GHz) の演算を行い、Eye Amplitude 0.88 Vp-p (Diff) 以下、Eye Linearity RLM 0.85以上のPAM4波形に校正する。
MU196040BのDFEおよびLow Frequency Equalizerを有効にして調整を行う。
* 19 : オプションx11実装時
* 20 : 53.125 Gbaud、
* 18の条件においてDFE OFF時のBER結果と、さらに1.8 dBのロスを追加した場合のDFE OFF時のBER結果とDFE ON時の最良のBER結果から算出。

クロック入力

入力数	1 (Single-end)
周波数	1.2 GHz～32.1 GHz
振幅	0.3 Vp-p～1.0 Vp-p (–6.5～+4.0 dBm) (Input Frequency ≤ 16.05 GHz) 0.4 Vp-p～1.0 Vp-p (–3.9～+4.0 dBm) (Input Frequency > 16.05 GHz)
終端	50Ω、AC Coupling
コネクタ	Kコネクタ (f)

補助入力

入力数	1 (Single-end)
信号の種類	External Mask、Burst、Capture External Trigger
最小パルス幅	データレートの1/256
入力レベル	次から選択 • 0/–1 V (H : –0.25 V～0.05 V、L : –1.1 V～–0.8 V) • 0/–0.5 V (H : –0.05 V～0.05 V、L : –0.55 V～–0.45 V) • Vth 0 V (入力振幅 0.5 Vp-p～1.0 Vp-p)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

補助出力

出力数	2 (Differential)
信号の種類	1/n Clock (n = 8、12、16、20 … 1020、1024)、Pattern Sync、Sync Gain、Error Output
パターン同期	PRBS、PRGM Position : 1～ (Pattern Length'と256の最小公倍数 – 263)、8 steps Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
出力レベル	0/–0.6 V (H : –0.25 V～0.05 V、L : –0.80 V～–0.45 V)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

パターン検出

PRBS	
パターン長	2 ⁿ – 1 (n = 7、9、10、11、13、15、20、23、31)
マーク率	1/2、1/2INV
PRBS生成多項式	n=7 : 1 + X ⁶ + X ⁷ n=9 : 1 + X ⁵ + X ⁹ n=10 : 1 + X ⁷ + X ¹⁰ n=11 : 1 + X ⁹ + X ¹¹ n=13 : 1 + X + X ² + X ¹² + X ¹³ n=15 : 1 + X ¹⁴ + X ¹⁵ n=20 : 1 + X ³ + X ²⁰ n=23 : 1 + X ¹⁸ + X ²³ n=31 : 1 + X ²⁸ + X ³¹

PAM4 ED MU196040B 規格

PRBS論理反転	PAM4モードの時のみ設定可能 PRBSの論理反転をMSB/LSBそれぞれ独立に設定可能
Zero-Substitution	NRZモード時のみ
付加ビット	0 bit、1 bit
パターン長	2^n または $2^n - 1$ ($n = 7, 9, 10, 11, 15, 20, 23$)
開始位置	最大“0”連続ビット位置の次ビットから置換
ゼロビットの長さ	1 bits～(Pattern Length - 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
データ長	NRZ : 2 bits～268 435 456 bits、1 bit step PAM4 : 2～268 435 456 symbol、1 symbol step
コーディング	NRZ、PAM4
NRZ	Normal、Invert
PAM4 Gray Coding	ON、OFF
PAM4 Precoding ($1/(1 + D) \bmod 4$) *1	ON、OFF
規格準拠パターン (PAM4)	
CEI	QPRBS13-CEI、QPRBS31-CEI
IEEE	IEEE802.3bs/cd : PRBS13Q、PRBS31Q、SSPRQ、Square Wave IEEE802.3bj : QPRBS13、JP03A、JP03B、Transmitter Linearity
RS-FEC (オプション042)	RS-FEC Scrambled Idle 50G 1 Lane (26.5625 Gbaud、50GBASE-KR/CR/SR/FR/LR) RS-FEC Scrambled Idle 100G 1 Lane (53.125 Gbaud、100GBASE-DR/KR1/CR1) RS-FEC-Int Scrambled Idle 100G 1 Lane (53.125 Gbaud、100GBASE-P) RS-FEC Scrambled Idle 100G 2 Lanes (26.5625 Gbaud、100GBASE-KR2/CR2/SR2) RS-FEC Scrambled Idle 200G 4 Lanes (26.5625 Gbaud、200GBASE-SR4/DR4/FR4/LR4) RS-FEC Scrambled Idle 200G 2 Lanes (53.125 Gbaud、200GBASE-KR2/CR2) RS-FEC Scrambled Idle 400G 4 Lanes (53.125 Gbaud、400GBASE-DR4/KR4/CR4) RS-FEC Scrambled Idle 400G 8 Lanes (26.5625 Gbaud、400GBASE-FR8/LR8)
InfiniBand	PRBS13Q (InfiniBand)、PRBS23Q、PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
規格準拠パターン (NRZ)	
CEI	SSPR
RS-FEC (オプション042)	RS-FEC Scrambled Idle 25G 1Lane (25.78125 Gbaud、25GBASE-KR/CR/SR/LR/ER) RS-FEC Scrambled Idle 50G 2Lanes RS (544、514) (26.5625 Gbaud、50GAUI-2) RS-FEC Scrambled Idle 100G 4Lanes (25.78125 Gbaud、100GBASE-KR4/CR4/SR4) RS-FEC Scrambled Idle 100G 4Lanes RS (544、514) (26.5625 Gbaud、100GBASE-KP4)
HSSB Data *2	
Specification	PCIe1、PCIe2、PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2、PCIe6/CXL3

* 1 : $(1/(1+D) \bmod 4)$ はIEEE802.3規定の生成多項式

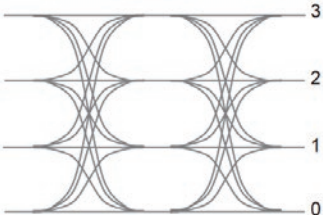
* 2 : MU196040B-051/351が必要です。

パターンシーケンス

Sequence	Repeat、Burst
Repeat	連続パターン
バースト	CodingがNRZの時のみ有効
制御方法	Internal、External-Trigger (Aux Input)、External-Enable (Aux Input)
ディレイ	Internal : 0～2 147 483 640 bits、8 bits step Ext Trigger、Enable : 0～2 147 483 520 bits、8 bits step Adjust Method : Auto、Manual
周期	Internal : 12800 bits～2 147 482 624 bits、256 bits step Ext Trigger : 12800 bits～2 147 483 136 bits、256 bits step
バーストサイクル	25600 bits～2 147 483 648 bits、1024 bits step

測定

カウンタ	Error Rate (ER) Total Error Count (EC) Total Error Interval %Error Free Interval Error Rate (ER) Insertion (INS) Error Count (EC) Insertion (INS) Error Rate (ER) Omission (OMI) Error Count (EC) Omission (OMI) Frequency : 2 400.000~64 200.000 MHz 周波数測定確度 : ±1 ppm ±1 kHz* Clock Count Sync. Loss Interval Clock Loss Interval カッコの記載は省略表記
	以下は、オプションx42 FEC Analysisありのとき有効 Uncorrectable Codeword Error Rate (UCWER) Uncorrectable Codeword Error Count (UCWEC) Uncorrectable Codeword Error Interval Uncorrectable Codeword %Error Free Interval FEC Symbol Error Rate (ER) FEC Symbol Error Count (EC) FEC Symbol Error Interval FEC Symbol %Error Free Interval Total Codeword Count
	以下は、PAM4 (Diagnostics Mode ON) 測定の際のみ有効 MSB Error Rate (ER) Total MSB Error Count (EC) Total MSB Error Rate (ER) Insertion (INS) MSB Error Count (EC) Insertion (INS) MSB Error Rate (ER) Omission (OMI) MSB Error Count (EC) Omission (OMI) LSB Error Rate (ER) Total LSB Error Count (EC) Total LSB Error Rate (ER) Insertion (INS) LSB Error Count (EC) Insertion (INS) LSB Error Rate (ER) Omission (OMI) LSB Error Count (EC) Omission (OMI) カッコの記載は省略表記

カウンタ(つづき)	以下は、オプション x41 SER Measurementありのとき有効 以下は、PAM4 (Diagnostics Mode OFF) 測定のときのみ有効  Symbol Error Rate (SER) Symbol Error Count (SEC) Symbol Error Interval Symbol %Error Free Interval Details-Display1 Level 0 → 3 EC、 Level 1 → 3 EC Level 0 → 2 EC、 Level 1 → 2 EC Level 0 → 1 EC、 Level 1 → 0 EC Level 0 → 3 ER、 Level 1 → 3 ER Level 0 → 2 ER、 Level 1 → 2 ER Level 0 → 1 ER、 Level 1 → 0 ER Level 0 EC Total、 Level 1 EC Total Level 0 ER Total、 Level 1 ER Total Level 2 → 3 EC、 Level 3 → 2 EC Level 2 → 1 EC、 Level 3 → 1 EC Level 2 → 0 EC、 Level 3 → 0 EC Level 2 → 3 ER、 Level 3 → 2 ER Level 2 → 1 ER、 Level 3 → 1 ER Level 2 → 0 ER、 Level 3 → 0 ER Level 2 EC Total、 Level 3 EC Total Level 2 ER Total、 Level 3 ER Total Details-Display2 Transition 1level Level 0 → 1 および Level 1 → 0 SEC Level 1 → 2 および Level 2 → 1 SEC Level 2 → 3 および Level 3 → 2 SEC Transition 2level Level 0 → 2 および Level 2 → 0 SEC Level 1 → 3 および Level 3 → 1 SEC Transition 3level Level 0 → 3 および Level 3 → 0 SEC Upper Eye Total SEC、 Middle Eye Total SEC、 Lower Eye Total SEC Upper Eye Total SER、 Middle Eye Total SER、 Lower Eye Total SER カッコの記載は省略表記
RS-FEC Error Distribution	オプションx42 FEC Analysisありのとき有効
Gating	Time、 Clock Count、 Error Count
Gating Unit	Time : 1秒~99日23時間59分59秒 Clock Count : >E+4~>E+16 Error Count : >E+4~>E+16
Cycle	Single、 Repeat、 Untimed
Current	ON、 OFF Calculation : Progressive、 Immediate Interval : 100 ms、 200 ms
Auto Sync	ON、 OFF Sync. Threshold : INT、 E-2~E-8
Sync Control	PRBS : 読み込み方式 Data : Frame On
Frame Length	NRZ : 4 bits~64 bits、 4 bits step PAM4 : 4~64 symbols、 4 symbols step
Frame Mask	あり
Frame Position	NRZ : 1 bits~ (Pattern Length - Frame Length + 1) bits、 1 bit step PAM4 : 1~ (Pattern Length - Frame Length + 1) symbols、 1 symbol step
Error/Alarm Condition	
Error Detection	NRZ : Insertion/Omission、 Transition/Non transition PAM4 : なし
EI/EFI Interval	1 ms、 10 ms、 100 ms、 1 s

* : Gating方式、MP1900Aの基準クロック 10 MHzが校正された状態において

エラー解析

ブロックウィンドウ	Data/パターンを設定に応じて測定対象から除外
設定分解能	パターン長 (bits) Step (bits) 2~2 097 152 2 097 153~4 194 304 4 194 305~8 388 608 8 388 609~16 777 216 16 777 217~33 554 432 33 554 433~67 108 864 67 108 865~134 217 728 134 217 729~268 435 456 1 2 4 8 16 32 64 128
ビットウィンドウ	内部32chのうち任意のchを測定対象から除外 (NRZ時のみ有効)
External Mask	H : 測定 L : Mask
キャプチャ機能	NRZ、PAM4 (LSB/MSB Diagnostics OFF設定時) PAM4はオプションx41 SER Measurement有りのとき有効
Capture Mode	Sync Mode Capture : エラーの判定を行うモード。入力データと設定パターンが同期している必要がある。 Raw Data Capture : エラーの判定を行わないモード。入力データと設定パターンが同期している必要はない。 FEC Symbol Capture : FEC Symbolエラーの判定を行うモード。入力データと設定パターンが同期している必要がある。
Block数	1、2、4、8、16、32、64、128
Block長	NRZ : 8 M bits/n (n = Block数) PAM4 : 4 M symbols/n (n = Block数)
Trigger	Error Detect、Match Pattern、Manual Trigger、External Trigger (Rising Edge) Raw Data Capture時Error Detectは選択不可
Capture Data	NRZ、PAM4モードにてキャプチャ結果をビット、またはシンボル列で表示する機能 Sync Mode Capture実行時はエラービット/シンボルを色付け表示する。
Error表示	NRZ : Insertion Error、Omission Error PAM4 : Lower Eye Error、Middle Eye Error、Upper Eye Error、Middle/Lower Eye Error、Upper/Middle Eye Error、 Upper/Middle/Lower Eye Error Sync Mode Capture実行時のみ有効
Error Search	PAM4モード時のみAllまたはUpper/Middle/Lower Eyeを選択してサーチ可能 連続するエラービット/シンボルの検索が可能 Sync Mode Capture実行時のみ有効
File Save/Open	キャプチャ結果のファイル保存とキャプチャパターンファイルの保存 Capture結果の再表示
FEC Symbol Capture Setting	Number of FEC Symbols in a Codeword : 68、132、136、272、528、544 FEC Symbols Bit Length in a FEC Symbol : 10、20 bits FEC Symbol Error Threshold : 1~32 FEC Symbols/step 1
Error Mapping	NRZ、PAM4モードにてエラーの分布を色付けしたビットで視覚的に表示する機能 Sync Mode Capture実行時のみ有効。
Error表示	NRZ : Insertion Error、Omission Error PAM4 : Lower Eye Error、Middle Eye Error、Upper Eye Error、Middle/Lower Eye Error、Upper/Middle Eye Error、 Upper/Middle/Lower Eye Error
File Open	Error Mappingの再表示

自動測定

Auto Adjust	NRZ : Vth方向のみ対応、位相方向には対応せず*1 PAM4 : MSB Vth方向のみ対応、位相方向には対応せず*1、*2
Auto Search	NRZ : あり*1 PAM4 (LSB/MSB Diagnostics ON/OFF) : あり*1、*3
BER/SER Logging	NRZ : BER Loggingあり PAM4 : SER Loggingあり

*1 : PRBS Pattern、Mark Ratio 1/2

*2 : 各振幅が均等であること

*3 : 0/1 1/2 2/3の各レベルが均等であること

可変クロックディレイ

位相設定範囲	-1000 mUI~+1000 mUI、2 mUI step
確度	±50 mUIp-p* (Baud rate ≤32.1 Gbaud、代表値) ±100 mUIp-p* (Baud rate >32.1 Gbaud、代表値)
mUI-ps変換	あり (内部的にps換算)
Calibration	あり (ジッタ無変調時)
Calibration推奨表示	Calibration実施後、次の状態になったときに画面に表示 1/1Clockの周波数が±250 kHz変化した場合 - 機器周囲温度が±5℃変化した場合

* : 残留ジッタ <200 fs rms のオシロスコープを使用

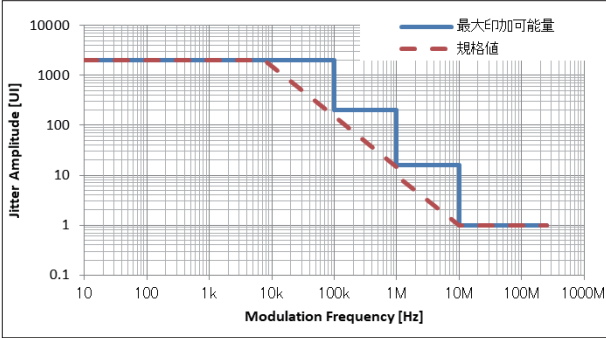
ジッタ耐力

ジッタ耐力

NRZ入力時

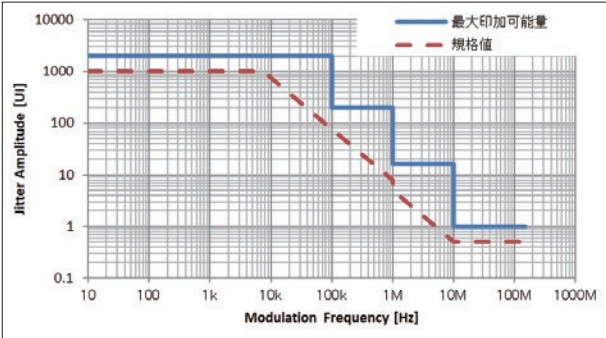
ビットレート : 32.1 Gbit/s、64.2 Gbit/s*
パターン : PRBS2³¹ - 1
32.1 Gbit/s : MU181500Bにより33 kHz 5300 ppmのSSCと0.3 UIのRJを同時に印加可能。
64.2 Gbit/s : MU181500Bにより33 kHz 3300 ppmのSSCと0.3 UIのRJを同時に印加可能。
MU196020Aとのループバック、20℃～30℃（温度一定）にて
RJ + BUJ > 0.5 UIp-p、またはSJ + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、MU181500Bの画面にOverloadが表示される。

32.1 Gbit/s



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

64.2 Gbit/s



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	1 000
7 500	2 000	1 000
100 000	2 000	75
1 000 000	200	8
10 000 000	16	0.5
150 000 000	1	0.5

PAM4入力

Baud rate : 32.1 Gbaud, 58.2 Gbaud*
Pattern : PRBS31Q
32.1 Gbaud : MU181500Bにより33 kHz 5300 ppmのSSCと0.3 UIのRJを同時に印加可能。
58.2 Gbaud : MU181500Bにより33 kHz 3300 ppmのSSCと0.3 UIのRJを同時に印加可能。
MU196020Aとのループバック接続時、20℃～30℃（温度一定）にて
RJ + BUJ > 0.5 UIp-p、またはSJ + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、MU181500Bの画面にOverloadが表示される。

32.1 Gbaud

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

58.2 Gbaud

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	1 000
7 500	2 000	1 000
100 000	2 000	75
1 000 000	200	8
10 000 000	16	0.5
150 000 000	1	0.5

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	1 000
7 500	2 000	1 000
100 000	2 000	75
1 000 000	200	8
10 000 000	16	0.5
150 000 000	1	0.5

* : オプション002またはx12実装時

クロックリカバリ

動作ビットレート* ¹	オプションx21実装時 NRZ : 2.4～29.0 Gbit/s PAM4 : 2.4～29.0 Gbaud オプションx22、またはx21 + x24実装時 NRZ : 2.4～32.1 Gbit/s PAM4 : 2.4～32.1 Gbaud オプションx23実装時 NRZ : 51.0～58.2 Gbit/s PAM4 : 51.0～58.2 Gbaud
設定範囲* ²	オプションx21実装時 NRZ : 2.400 000～29.000 000 Gbit/s、0.000 001 Gbit/s step PAM4 : 2.400 000～29.000 000 Gbaud、0.000 001 Gbaud step オプションx22、またはx21 + x24実装時 NRZ : 2.400 000～32.100 000 Gbit/s、0.000 001 Gbit/s step PAM4 : 2.400 000～32.100 000 Gbaud、0.000 001 Gbaud step オプションx23実装時 NRZ : 51.000 000～58.200 000 Gbit/s、0.000 001 Gbit/s step PAM4 : 51.000 000～58.200 000 Gbaud、0.000 001 Gbaud step

PAM4 ED MU196040B 規格

対応規格ビットレート	NRZモード時	
	規格	Bit rate [Gbit/s]
	CEI 56G* ³	56.000 000
	100G ULH* ⁴	32.100 000
	32G FC* ⁵	28.050 000
	CEI 28G* ⁵	28.000 000
	100G OTU4* ⁵	27.952 496
	100GbE (25.78 × 4) * ⁵	25.781 250
	InfiniBand EDR* ⁵	25.781 250
	InfiniBand FDR* ⁵	14.062 500
	16G FC* ⁵	14.025 000
	10G FC Over FEC* ⁵	11.316 800
	10GbE Over FEC* ⁵	11.095 700
	OTU2* ⁵	10.709 225
	G975 FEC* ⁵	10.664 228
	10G FC* ⁵	10.518 750
	10GbE* ⁵	10.312 500
	InfiniBand QDR* ⁵	10.000 000
	OC-192/STM-64* ⁵	9.953 280
	8G FC* ⁵	8.500 000
	HSBI* ⁵	6.250 000
	InfiniBand DDR* ⁵	5.000 000
	4G FC* ⁵	4.250 000
	XAUI* ⁵	3.125 000
	OTU1* ⁵	2.666 060
	InfiniBand SDR* ⁵	2.500 000
	OC-48/STM-16* ⁵	2.488 320
	PAM4モード時	
	規格	Bit rate [Gbaud]
	CEI 112G* ³	56.000 000
	400GbE (53.1 × 4) * ³	53.125 000
	64G FC* ⁵	28.900 000
	CEI 56G* ⁵	28.000 000
	200GbE (26.6 × 4) * ⁵	26.562 500
	InfiniBand HDR* ⁵	26.562 500
動作ビットレート追従機能	同じMP1900Aに装着されているPPGの中から、選択されたPPGの動作ボーレートにトラッキングする。 クロックリカバリの対応範囲外表示あり。	
0連続耐力* ²	オプションx21、x22、またはx21 + x24実装時 72 bit Zero Substitution 2 ¹⁵ 、 ターゲットループ帯域は2.4~25.499 999 Gのとき1/1667、1/2578、 25.5~32.1 Gのとき1/1667、1/2578、1/6640で規定する。 オプションx23実装時 72 bit Zero Substitution 2 ¹⁵ 、 ターゲットループ帯域は51.0~58.2Gのとき1/6640、1/13280で規定する。	
ロック範囲* ²	オプションx21、x22、またはx21 + x24実装時 ±200 ppm 2.4~25.499 999 G、ターゲットループ帯域1/1667、1/2578で規定 ±100 ppm 25.5~32.1 G、ターゲットループ帯域1/1667、1/2578、1/6640で規定 オプションx23実装時 ±100 ppm 51.0~58.2 G、ターゲットループ帯域1/6640、1/13280で規定	

ターゲットループ帯域*³

オプションx21、x22、またはx21 + x24実装時

25.5~32.1 G*⁶

Baud rate/1667

Baud rate/2578

Baud rate/6640

Jitter Tolerance

2.4~25.499 999 G

Baud rate/1667

Baud rate/2578

Jitter Tolerance

Variable

Variableを選択したときの設定範囲は次のとおりです。

Baud rate[Gbaud]	設定範囲 [MHz]	Step [MHz]
2.400 000~5.500 000	3	—
5.500 001~7.500 000	3~4	1
7.500 001~9.500 000	3~5	1
9.500 001~10.500 000	3~6	1
10.500 001~12.500 000	3~7	1
12.500 001~14.500 000	3~8	1
14.500 001~15.500 000	3~9	1
15.500 001~17.500 000	3~10	1
17.500 001~19.500 000	3~11	1
19.500 001~20.500 000	3~12	1
20.500 001~22.500 000	3~13	1
22.500 001~24.500 000	3~14	1
24.500 001~25.499 999	3~15	1

オプションx23実装時

51.0~58.2 G*⁷

Baud rate/6640

Baud rate/13280

Jitter Tolerance

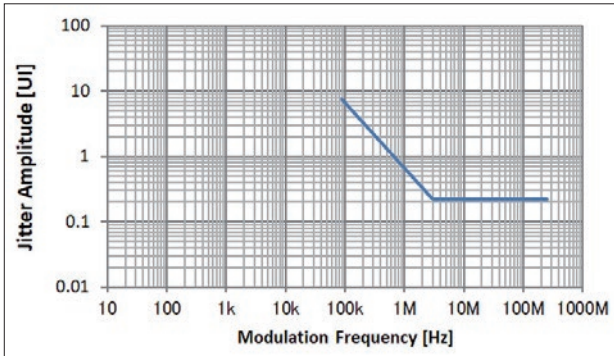
ジッタ耐力

クロックリカバリ*⁸

NRZ入力時

58.0 Gbit/s

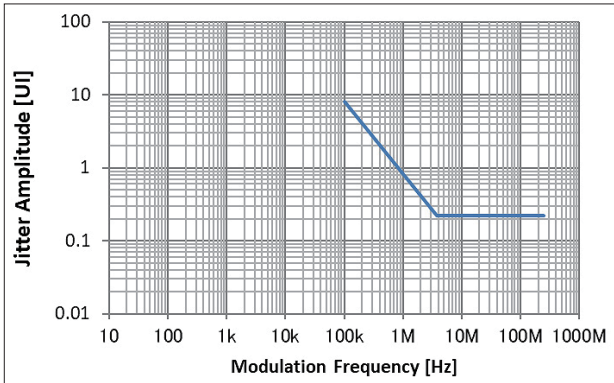
CEI 56G Jitter Tolerance Mask準拠、下記のマスクを代表値とする。



変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
87 349	7.5
2 977 820	0.22
250 000 000	0.22

28.05 Gbit/s

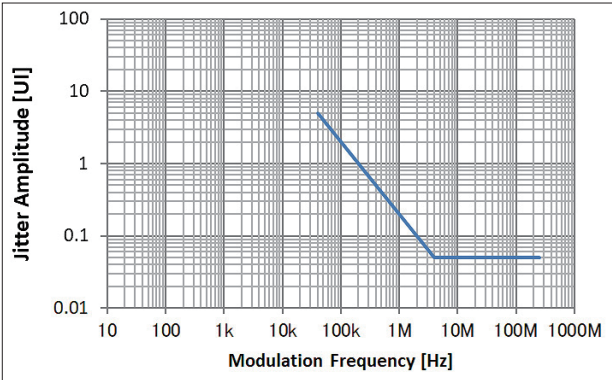
32G FC Jitter Tolerance Mask準拠、下記のマスクを代表値とする。



変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
100 000	8.16
3 709 271	0.22
250 000 000	0.22

ジッタ耐力
クロックリカバリ*8

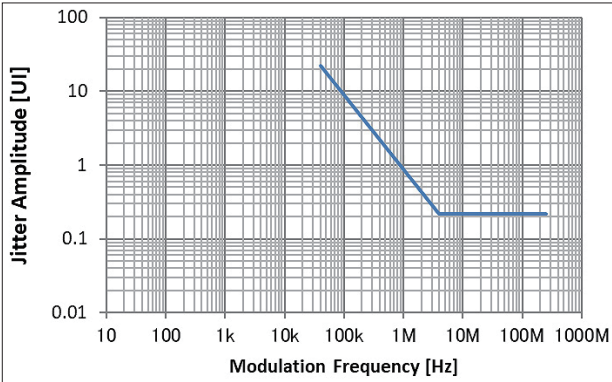
PAM4入力時
53.125 Gbaud
CEI-112G-VSR Jitter Tolerance Mask準拠、下記のマスクを代表値とする。



変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
40 004	5
4 000 377	0.05
250 000 000	0.05

変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
40 004	5
4 000 377	0.05
250 000 000	0.05

26.5625 Gbaud
IEEE802.3bs Jitter Tolerance Mask準拠、下記のマスクを代表値とする。



変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
40 000	22
4 000 000	0.22
250 000 000	0.22

変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
40 000	22
4 000 000	0.22
250 000 000	0.22

- * 1 : オプションx21、x22、x23、またはx24実装時。指定の無いかぎりPRBS Pattern、Mark Ratio (PAM4入力時はMSBのMark Ratioとする) 1/2入力で規定する。
- * 2 : MU181000A/B+MU181500Bと連動しているPPGにトラッキングしているとき、クロックリカバリーを使用したシステムの動作ビットレート/ボーレートの範囲はPPGの設定範囲と同じになります。
- * 3 : オプションx23実装時
- * 4 : オプションx22、またはx21 + x24実装時
- * 5 : オプションx21、x22、またはx21 + x24実装時
- * 6 : SSPRQ/パターンはBaud rate/6640のみ対応。Jitter ToleranceはBaud rate/1667以上。
- * 7 : SSPRQ/パターンはBaud rate/6640のみ対応。Jitter ToleranceはBaud rate/6640以上
- * 8 : 20℃～30℃ (温度一定) にて規定

一般性能

寸法・質量	234 (W) × 21 (H) × 175 (D) mm (突起物は除く) 2.5 kg以下
使用温度範囲	+15℃～+30℃ MP1900A機器周囲温度。
保存温度	-20℃～+60℃

PAM4 ED MU196040A 規格

動作ボーレート

動作ボーレート	2.4～32.1 Gbaud
---------	----------------

システムクロック

システムクロック	External、Recovered Clock (オプションx22実装時) 選択可能
----------	---

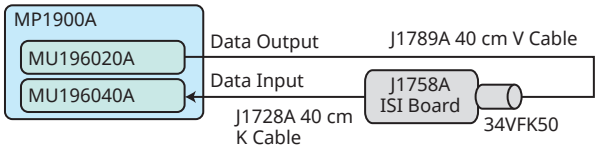
データ入力

入力数	2 (Data、XData) (Differential)
Input Condition	Single-end、Differential 50Ω、Differential 100Ω 選択可能 Differential 50Ω またはDifferential 100Ω 設定時 Independent、Tracking、Alternate選択可能*1 Alternate設定時 Data-XData、XData-Data選択可能*2 Single-end選択時 Data、XData選択可能*3
フォーマット	NRZ、PAM4
LSB/MSB Diagnostics	PAM4で以下のモードが切り替え可能 Diagnostics Mode OFF : LSBとMSBを同期して受信することで信号をSymbolとして扱うモード Diagnostics Mode ON : LSBとMSBを非同期で受信するモード
入力振幅	NRZ : Auto Adjust機能が動作する範囲 PAM4 : Auto Search PAM4 Fine機能が動作する範囲 NRZ : 0.05 Vp-p～1.0 Vp-p*4 PAM4 : 0.3 Vp-p～1.0 Vp-p*5
電圧しきい値	NRZ、PAM4 Middle Eye Threshold : -3.5V～+3.3V、1 mV step*2、*6 PAM4 Upper Eye Threshold : -3.9V～+3.7V、1 mV step*7 PAM4 Lower Eye Threshold : -3.9V～+3.7V、1 mV step*7
入力感度	Single-end、Mark Ratio1/2、J1789Aを使用してMU196020Aと直接接続した場合 オプション001実装時は34VKF50を含む。 20℃～30℃ (温度一定) にて
Eye Amplitude	NRZ、PRBS31 32 mVp-p (代表値)、≦ 50 mVp-p*8
Eye Height	NRZ、PRBS31 23 mV (代表値) *8 PAM4 23 mV (代表値)、≦ 50 mV*9
位相マージン	J1789Aを使用してMU196020Aと直接接続した場合 オプション001実装時は、34VKF50を含む。 20℃～30℃ (温度一定) にて、External Clock使用時。 NRZ、PRBS31、Differential、Mark Ratio 1/2、1.0 Vp-p 入力時 25.8 ps (代表値) *10 18.0 ps (代表値) *11 PAM4 0/3 Level、BERが1E-06となるEye Widthにおいて、PRBS31、Single-end、Mark Ratio1/2、0.5 Vp-p 入力時、 Emphasis ON (1Pre ≦ 5 dB、1Post ≦ 5 dBの範囲内の最良値) 5.3 ps (代表値) *12 4.5 ps (代表値) *13
Stressedマージン*14	
Stressed Eye Height	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BERが1E-06となるEye Heightにおいて、External Clock使用時。 ≧32 mV*15
Stressed Eye Width	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BERが1E-06となるEye Widthにおいて、External Clock使用時。 ≧7.15 ps*15
終端	50Ω、GND、Variable
終端電圧	Termination Variable設定時 : -2.5 V～+3.5 V、10 mV step
コネクタ	Kコネクタ (f)

* 1 : TrackingはNRZのみ設定可能
* 2 : Data、XData Thresholdの差分の絶対値は1.5V以下
* 3 : PAM4 Upper Eye、Lower Eyeは-0.4V～+0.4Vの範囲でMiddleに対して相対値設定可能
* 4 : Single-end、Differential
* 5 : 0/3 Level、PRBS31、Single-end、Differential、MU196020Aと直接接続した場合
* 6 : DataとXDataは独立して設定可能
* 7 : DataとXDataは独立して設定不可、Middle Eye Thresholdに対して、±0.4 Vの範囲内で設定可能
* 8 : 26.5625 Gbit/s、32.1 Gbit/s、オプション001実装時
* 9 : 26.5625 Gbaud、32.1 Gbaud、オプション001実装時
* 10 : 26.5625 Gbit/s、オプション001実装時
* 11 : 32.1 Gbit/s、オプション001実装時
* 12 : 26.5625 Gbaud、オプション001実装時

PAM4 ED MU196040A 規格

- * 13 : 32.1 Gbaud、オプション001実装時
- * 14 : Differential、Mark Ratio1/2、J1789A + 34VKF50 + J1728Aを使用してJ1758AとMU196020Aを接続した場合



残留ジッタ <200 fs rms、帯域70 GHzのサンプリングオシロスコープを使用し、20℃～30℃（温度一定）にて測定する。
Differential波形において、Eye Height (1E-06) とEye Width (1E-06) の積が最大となるようMU196020AのDe-Emphasis (2つのPre Cursorと1つのPost Cursor) を調整する。
4th Bessel Filter (Cutoff Frequency 50 GHz) + CTLE (+1 dB Peaking at 14 GHz) の演算を行い、Eye Amplitude 0.88 Vp-p (Diff) 以下、Eye Linearity RLM 0.85以上のPAM4波形にCalibrationする。

- * 15 : 28 Gbaud、オプション001実装時、BER 1E-12

クロック入力

入力数	1 (Single-end)
周波数	2.4 GHz～32.1 GHz
振幅	0.3 Vp-p～1.0 Vp-p (–6.5～+4.0 dBm) (Input Frequency ≤ 16.05 GHz) 0.4 Vp-p～1.0 Vp-p (–3.9～+4.0 dBm) (Input Frequency > 16.05 GHz)
終端	50Ω、AC Coupling
コネクタ	Kコネクタ (f)

補助入力

入力数	1 (Single-end)
信号の種類	External Mask、Burst
最小パルス幅	データレートの1/256
入力レベル	次から選択 • 0/–1 V (H : –0.25 V～0.05 V、L : –1.1 V～–0.8 V) • 0/–0.5 V (H : –0.05 V～0.05 V、L : –0.55 V～–0.45 V) • Vth 0 V (入力振幅 0.5 Vp-p～1.0 Vp-p)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

補助出力

出力数	2 (Differential)
信号の種類	1/n Clock (n = 8、12、16、20 … 1020、1024)、Pattern Sync、Sync Gain、Error Output
パターン同期	PRBS、PRGM Position : 1～ (Pattern Length'と128の最小公倍数 – 135)、8 step (オプション001実装時) Pattern Length'はPattern Lengthが1023以下のとき、1024以上になるように整数倍した値
出力レベル	0/–0.6 V (H : –0.25 V～0.05 V、L : –0.80 V～–0.45 V)
終端	GND、50Ω
コネクタ	SMAコネクタ (f)

パターン検出

PRBS	
パターン長	2 ⁿ – 1 (n = 7、9、10、11、13、15、20、23、31)
マーク率	1/2、1/2INV
PRBS生成多項式	n=7 : 1 + X ⁶ + X ⁷ n=9 : 1 + X ⁵ + X ⁹ n=10 : 1 + X ⁷ + X ¹⁰ n=11 : 1 + X ⁹ + X ¹¹ n=13 : 1 + X + X ² + X ¹² + X ¹³ n=15 : 1 + X ¹⁴ + X ¹⁵ n=20 : 1 + X ³ + X ²⁰ n=23 : 1 + X ¹⁸ + X ²³ n=31 : 1 + X ²⁸ + X ³¹
PRBS論理反転	PAM4モードの時のみ設定可能 PRBSの論理反転をMSB/LSBそれぞれ独立に設定可能
Zero-Substitution	NRZモード時のみ
付加ビット	0 bit、1 bit
パターン長	2 ⁿ または2 ⁿ – 1 (n = 7、9、10、11、15、20、23)
開始位置	最大 “0” 連続ビット位置の次ビットから置換
ゼロビットの長さ	1 bits～ (Pattern Length – 1) bits “0” 置換後の次ビットが “0” の場合は、“1” に置換します。

PAM4 ED MU196040A 規格

Data	
データ長	NRZ : 2 bits~268 435 456 bits、1 bit step PAM4 : 2~268 435 456 symbol、1 symbol step
コーディング	NRZ、PAM4
NRZ	Normal、Invert
PAM4 Gray Coding	ON、OFF
PAM4 Precoding (1/ (1 + D) mod 4) *	ON、OFF
規格準拠パターン (PAM4)	
CEI	QPRBS13-CEI、QPRBS31-CEI
IEEE	IEEE802.3bs/cd : PRBS13Q、PRBS31Q、SSPRQ、Square Wave IEEE802.3bj : QPRBS13、JP03A、JP03B、Transmitter Linearity
InfiniBand	PRBS13Q (InfiniBand)、PRBS23Q、PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
規格準拠パターン (NRZ)	
CEI	SSPR

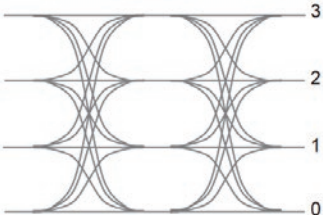
* : (1/ (1+D) mod 4) はIEEE802.3規定の生成多項式

パターンシーケンス

Sequence	Repeat、Burst
Repeat	連続パターン
バースト	CodingがNRZのときのみ有効
制御方法	Internal、External-Trigger (Aux Input)、External-Enable (Aux Input)
ディレイ	Internal : 0~2 147 483 640 bits、8 bits step Ext Trigger、Enable : 0~2 147 483 520 bits、8 bits step Adjust Method : Auto、Manual
周期	Internal : 12800 bits~2 147 482 624 bits、256 bits step Ext Trigger : 12800 bits~2 147 483 136 bits、256 bits step
バーストサイクル	25600 bits~2 147 483 648 bits、1024 bits step

測定

カウンタ	Error Rate (ER) Total Error Count (EC) Total Error Interval %Error Free Interval Error Rate (ER) Insertion (INS) Error Count (EC) Insertion (INS) Error Rate (ER) Omission (OMI) Error Count (EC) Omission (OMI) Frequency : 2 400.000 MHz~32 100.000 MHz 周波数測定確度 : ±1 ppm ±1 kHz* Clock Count Sync. Loss Interval Clock Loss Interval カッコの記載は省略表記
	以下は、PAM4 (Diagnostics Mode ON) 測定のときのみ有効 MSB Error Rate (ER) Total MSB Error Count (EC) Total MSB Error Rate (ER) Insertion (INS) MSB Error Count (EC) Insertion (INS) MSB Error Rate (ER) Omission (OMI) MSB Error Count (EC) Omission (OMI) LSB Error Rate (ER) Total LSB Error Count (EC) Total LSB Error Rate (ER) Insertion (INS) LSB Error Count (EC) Insertion (INS) LSB Error Rate (ER) Omission (OMI) LSB Error Count (EC) Omission (OMI) カッコの記載は省略表記

カウンタ(つづき)	以下は、オプション x41 SER Measurementありのとき有効 以下は、PAM4 (Diagnostics Mode OFF) 測定のときのみ有効  Symbol Error Rate (SER) Symbol Error Count (SEC) Symbol Error Interval Symbol %Error Free Interval Level 0 → 3 EC、 Level 1 → 3 EC Level 0 → 2 EC、 Level 1 → 2 EC Level 0 → 1 EC、 Level 1 → 0 EC Level 0 → 3 ER、 Level 1 → 3 ER Level 0 → 2 ER、 Level 1 → 2 ER Level 0 → 1 ER、 Level 1 → 0 ER Level 0 EC Total、 Level 1 EC Total Level 0 ER Total、 Level 1 ER Total Level 2 → 3 EC、 Level 3 → 2 EC Level 2 → 1 EC、 Level 3 → 1 EC Level 2 → 0 EC、 Level 3 → 0 EC Level 2 → 3 ER、 Level 3 → 2 ER Level 2 → 1 ER、 Level 3 → 1 ER Level 2 → 0 ER、 Level 3 → 0 ER Level 2 EC Total、 Level 3 EC Total Level 2 ER Total、 Level 3 ER Total カッコの記載は省略表記
Gating	Time、Clock Count、Error Count
Gating Unit	Time : 1秒~99日23時間59分59秒 Clock Count : >E+4~>E+16 Error Count : >E+4~>E+16
Cycle	Single、Repeat、Untimed
Current	ON、OFF Calculation : Progressive、Immediate Interval : 100ms、200ms
Auto Sync	ON、OFF Sync. Threshold : INT、E-2~E-8
Sync Control	PRBS : 読み込み方式 Data : Frame On
Frame Length	NRZ : 4 bits~64 bits、4 bits step PAM4 : 4~64 symbols、4 symbol step
Frame Mask	あり
Frame Position	NRZ : 1 bits~ (Pattern Length - Frame Length + 1) bits、1 bit step PAM4 : 1~ (Pattern Length - Frame Length + 1) symbols、1 symbol step
Error/Alarm Condition	
Error Detection	NRZ : Insertion/Omission、Transition/Non transition PAM4 : なし
EI/EFI Interval	1ms、10ms、100ms、1s

* : Gating方式、MP1900Aの基準クロック10 MHzが校正された状態において

エラー解析

ブロックウィンドウ	Dataパターンを設定に応じて測定対象から除外																		
設定分解能	<table> <tr> <th>パターン長 (bits)</th><th>Step (bits)</th></tr> <tr> <td>2~2 097 152</td><td>1</td></tr> <tr> <td>2 097 153~4 194 304</td><td>2</td></tr> <tr> <td>4 194 305~8 388 608</td><td>4</td></tr> <tr> <td>8 388 609~16 777 216</td><td>8</td></tr> <tr> <td>16 777 217~33 554 432</td><td>16</td></tr> <tr> <td>33 554 433~67 108 864</td><td>32</td></tr> <tr> <td>67 108 865~134 217 728</td><td>64</td></tr> <tr> <td>134 217 729~268 435 456</td><td>128</td></tr> </table>	パターン長 (bits)	Step (bits)	2~2 097 152	1	2 097 153~4 194 304	2	4 194 305~8 388 608	4	8 388 609~16 777 216	8	16 777 217~33 554 432	16	33 554 433~67 108 864	32	67 108 865~134 217 728	64	134 217 729~268 435 456	128
パターン長 (bits)	Step (bits)																		
2~2 097 152	1																		
2 097 153~4 194 304	2																		
4 194 305~8 388 608	4																		
8 388 609~16 777 216	8																		
16 777 217~33 554 432	16																		
33 554 433~67 108 864	32																		
67 108 865~134 217 728	64																		
134 217 729~268 435 456	128																		
ビットウィンドウ	内部32chのうち任意のchを測定対象から除外 (NRZ時のみ有効)																		
External Mask	H : 測定 L : Mask																		

PAM4 ED MU196040A 規格

自動測定

Auto Adjust	NRZ : Vth方向のみ対応、位相方向には対応せず*1 PAM4 : MSB Vth方向のみ対応、位相方向には対応せず*1、*2
Auto Search	NRZ : あり*1 PAM4 (LSB/MSB Diagnostics ON/OFF) : あり*1、*2

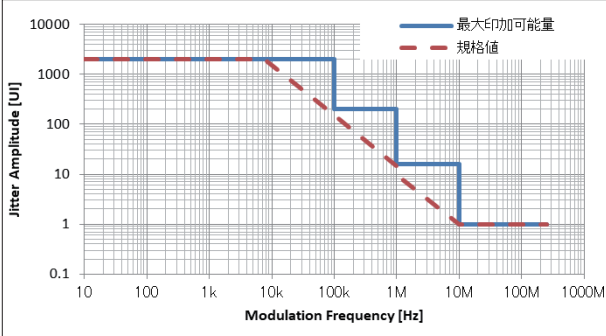
* 1 : PRBS Pattern、Mark Ratio 1/2
* 2 : 各振幅が均等であること

可変クロックディレイ

位相設定範囲	-1000 mUI~+1000 mUI、2 mUI step
確度	±50 mUIp-p (代表値) *
mUI- ps変換	あり (内部的に ps換算)
Calibration	あり (ジッタ無変調時)
Calibration推奨表示	Calibration実施後、次の状態になったときに画面に表示 • 1/1Clockの周波数が±250 kHz変化した場合 • 機器周囲温度が±5℃変化した場合

* : 残留ジッタ <200 fs rms のオシロスコープを使用

ジッタ耐力

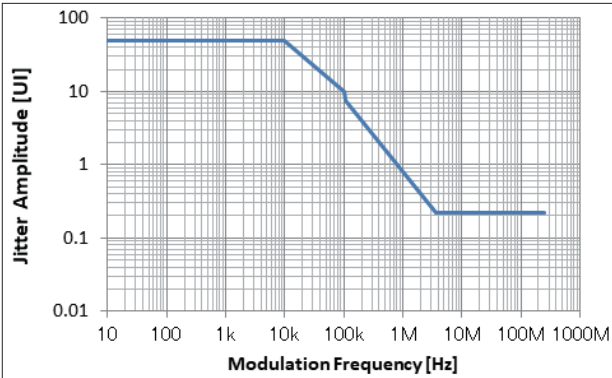
ジッタ耐力	NRZ出力時 ビットレート : 32.1 Gbit/s パターン : PRBS2 ³¹ - 1 MU181500BによりSSCを33 kHz 5300 ppm、0.3 UIのRJを同時に印加可能。 MU196020Aとのループバック、20℃~30℃ (温度一定) にて RJ + BUJ > 0.5 UIp-p、またはSJ + RJ + BUJ > 規格値 + 0.3 UIp-pのとき、MU181500Bの画面にOverloadが表示される。 	<table><tr><th>変調周波数 [Hz]</th><th>最大印加可能量 [UIp-p]</th><th>規格値 [UIp-p]</th></tr><tr><td>10</td><td>2 000</td><td>2 000</td></tr><tr><td>7 500</td><td>2 000</td><td>2 000</td></tr><tr><td>100 000</td><td>2 000</td><td>150</td></tr><tr><td>1 000 000</td><td>200</td><td>15</td></tr><tr><td>10 000 000</td><td>16</td><td>1</td></tr><tr><td>250 000 000</td><td>1</td><td>1</td></tr></table>	変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]	10	2 000	2 000	7 500	2 000	2 000	100 000	2 000	150	1 000 000	200	15	10 000 000	16	1	250 000 000	1	1
変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]																					
10	2 000	2 000																					
7 500	2 000	2 000																					
100 000	2 000	150																					
1 000 000	200	15																					
10 000 000	16	1																					
250 000 000	1	1																					

クロックリカバリ

動作ビットレート	NRZ : 25.5 Gbit/s~32.1 Gbit/s PAM4 : 25.5~32.1 Gbaud																								
設定範囲	25.500 000~32.100 000 Gbaud、0.000 001 Gbaud step																								
対応規格ビットレート	NRZモード時 <table><tr><th>規格</th><th>Bit rate [Gbit/s]</th></tr><tr><td>100G ULH</td><td>32.100 000</td></tr><tr><td>32G FC</td><td>28.050 000</td></tr><tr><td>CEI-28G</td><td>28.000 000</td></tr><tr><td>100G OTU4</td><td>27.952 496</td></tr><tr><td>100 GbE (25.78 × 4)</td><td>25.781 250</td></tr><tr><td>InfiniBand EDR</td><td>25.781 250</td></tr></table> PAM4モード時 <table><tr><th>規格</th><th>Bit rate [Gbaud]</th></tr><tr><td>64G FC</td><td>28.900 000</td></tr><tr><td>CEI-56G</td><td>28.000 000</td></tr><tr><td>200 GbE (26.6 × 4)</td><td>26.562 500</td></tr><tr><td>InfiniBand HDR</td><td>26.562 500</td></tr></table>	規格	Bit rate [Gbit/s]	100G ULH	32.100 000	32G FC	28.050 000	CEI-28G	28.000 000	100G OTU4	27.952 496	100 GbE (25.78 × 4)	25.781 250	InfiniBand EDR	25.781 250	規格	Bit rate [Gbaud]	64G FC	28.900 000	CEI-56G	28.000 000	200 GbE (26.6 × 4)	26.562 500	InfiniBand HDR	26.562 500
規格	Bit rate [Gbit/s]																								
100G ULH	32.100 000																								
32G FC	28.050 000																								
CEI-28G	28.000 000																								
100G OTU4	27.952 496																								
100 GbE (25.78 × 4)	25.781 250																								
InfiniBand EDR	25.781 250																								
規格	Bit rate [Gbaud]																								
64G FC	28.900 000																								
CEI-56G	28.000 000																								
200 GbE (26.6 × 4)	26.562 500																								
InfiniBand HDR	26.562 500																								
動作ビットレート追従機能	同じMP1900Aに装着されているPPGの中から、選択されたPPGの動作ビットレートに追従する。																								
0連続耐力*2	72 bit (Zero Substitution 2 ¹⁵)																								
ロック範囲*2	±100 ppm																								
ターゲットループ帯域*3	Baud rate MHz、Baud rate MHz、Baud rate MHz、Jitter Tolerance 1667 2578 6640																								

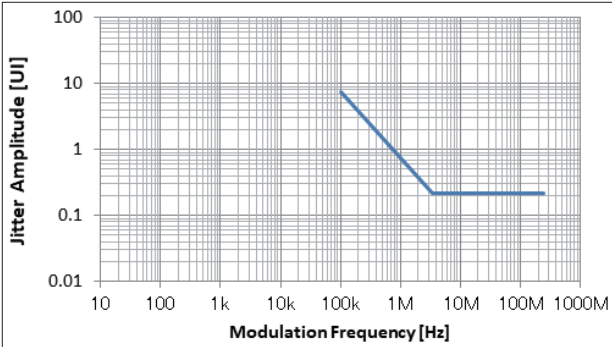
ジッタ耐力
クロックリカバリ*4、*5

28.05 Gbaud
32G FC Jitter Tolerance Mask準拠、下記のマスクを代表値とする。



変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
10	50
10 000	50
100 000	10
108 805	7.5
3 709 271	0.22
250 000 000	0.22

25.78125 Gbaud
100 GbE (25.78G × 4) Jitter Tolerance Mask準拠、下記のマスクを代表値とする。



変調周波数 [Hz]	ジッタ耐力マスク [UIp-p]
100 000	7.5
3 409 256	0.22
250 000 000	0.22

- * 1 : オプションx22実装時。指定の無い限りPRBS Pattern、Mark Ratio (PAM4入力時はMSBのMark Ratioとする) 1/2入力で規定する。
- * 2 : ターゲットループ帯域は1/1667、1/2578、1/6640で規定する。
- * 3 : SSPRQパターンはBaud rate/6640のみ対応。Jitter ToleranceはBaud rate/1667以上。
- * 4 : MU196020Aとのループバック、NRZ入力、PRBS2³¹ - 1、データ入力振幅0.1 Vp-pにて規定
- * 5 : 代表値、20℃～30℃ (温度一定) にて規定

一般性能

寸法・質量	234 (W) × 21 (H) × 175 (D) mm (突起物は除く) 2.5 kg以下
使用温度範囲	+15℃～+30℃ MP1900A機器周囲温度。組み込み時に本モジュールが動作すること
保存温度	-20℃～+60℃ 機器に組み込んだ状態でMIL-T-28800Eクラス5に適合すること

Noise Generator MU196050B 規格

データ出力

Noise Output	
チャンネル数	1
チャンネルあたりの入力数	2 (Differential)
終端	50Ω、AC Coupling
コネクタ	SMA (J)

差動モードインタフェース (DMI) *

振幅	0~200 mVp-p (Differential) (CMI ON、0 mV、120 MHz設定にて規定)
振幅のステップ	0.1 mV
振幅確度	±20% ±10 mV (20℃~30℃のある一温度にて規定)
周波数	2 GHz~10 GHz
周波数ステップ	10 MHz
波形	正弦波
Presets	PCIe 3、PCIe 4、PCIe 5、PCIe 6、PCIe 7
Output control	ON/OFF切り替え可能 (DMI/CMIとExternal Inputは排他で選択可能) (DMI/CMIは同時出力可能)

* : Noise Outputに同軸ケーブル J1948A (0.4 m、SMAコネクタ) およびピックアップティ J1793A (ピックアップ経路) を接続し、J1793AのOut端子に34VKF50Aと同軸ケーブル J1821A (0.8 m、Kコネクタ) を繋いだ先を測定ポイントとして定義。
△ 必ず標準添付品のピックアップティ J1793Aと合わせてご使用ください。

コモンモードインタフェース (CMI) *

振幅	0~250 mVp-p (Single-ended) (DMI ON、0 mV、2.1 GHz設定にて規定)
振幅のステップ	2 mV
振幅確度	±20% ±25 mV (20℃~30℃のある一温度にて規定)
周波数	Low Band : 100 MHz~1 GHz High Band : 1 GHz~6 GHz
周波数ステップ	Low Band : 1 MHz High Band : 10 MHz
波形	正弦波
Output control	ON/OFF切り替え可能 (DMI/CMIとExternal Inputは排他で選択可能) (DMI/CMIは同時出力可能)
Presets	TBT3、PCIe 4、PCIe 5、PCIe 6、PCIe 7

* : Noise Outputに同軸ケーブル J1948A (0.4 m、SMAコネクタ) およびピックアップティ J1793A (ピックアップ経路) を接続し、J1793AのOut端子に34VKF50Aと同軸ケーブル J1821A (0.8 m、Kコネクタ) を繋いだ先を測定ポイントとして定義。
△ 必ず標準添付品のピックアップティ J1793Aと合わせてご使用ください。

External Input (USB LFPS信号入力用)

チャンネル数	1
チャンネルあたりの入力数	2 (Differential)
終端	50Ω、AC Coupling
コネクタ	SMA (J)
Input amplitude	1.5 Vp-p Max. (Single-ended) 3.0 Vp-p Max. (Differential)
Output control	ON/OFF切り替え可能 (DMI/CMIとExternal Inputは排他で選択可能)

Noise Generator MU195050A 規格

動作ビットレート

動作ビットレート	2.4 Gbit/s～32.1 Gbit/s
----------	------------------------

データ入力

チャンネル数	2
チャンネルあたりの入力数	2 (Data, $\overline{\text{Data}}$) (Differential)
振幅	1.5 Vp-p max. (Single-end) 3.0 Vp-p max. (Differential)
オフセット	-2.0 V～+3.3 V
終端	50Ω
コネクタ	Kコネクタ (J)

データ出力

チャンネル数	2
チャンネルあたりの出力数	2 (Data, $\overline{\text{Data}}$) (Differential)
挿入損失	-3 dB +1/-2.5 dB*
終端	50Ω (ノイズ発生源から出力される信号はAC結合)
コネクタ	Kコネクタ (J)

* : 12.890625 GHz、正弦波で規定

外部入力

USB3.1 Receiver Test Adapter G0373AまたはMU195020AのGating Output信号と接続して使用する。

チャンネル数	1*
入力数	2 (Differential)
振幅	1.5 Vp-p max. (Single-end) 3.0 Vp-p max. (Differential)
終端	50Ω、AC結合
コネクタ	SMAコネクタ (f)

* : Data Input 1 Channelのみ対応

差動モードインタフェース (DMI)

Data Input 2チャンネルに対して設定は共通。

振幅	4 mVp-p～200 mVp-p (Differential)
振幅のステップ	0.1 mV
振幅確度	±20% ±10 mV*
周波数	2 GHz～10 GHz
周波数ステップ	10 MHz
波形	正弦波
Presets	PCIe 3、PCIe 4、PCIe 5、PCIe 6
On、Off	Data Input 1 ChannelとData Input 2 Channelを同時にOn、Off切り替え可能 (Data Input 1 ChannelはWhite NoiseおよびExternal Inputと排他で選択可能) (Data Input 2 ChannelはWhite Noiseと排他で選択可能)

* : 周波数 2.1 GHz、4.2 GHz、および10 GHzにおいて、20℃～30℃のある1つの温度で規定

コモンモードインタフェース (CMI)

Data Input 2チャンネルに対して設定は共通。

振幅	10 mVp-p～250 mVp-p (Single-end)
振幅のステップ	2 mV
振幅確度	±20% ±25 mV*
周波数	Low Band : 100 MHz～1 GHz High Band : 1 GHz～6 GHz
周波数ステップ	Low Band : 1 MHz High Band : 10 MHz
波形	正弦波
Presets	TBT3、PCIe 4、PCIe 5、PCIe 6
On、Off	Data Input 1 ChannelとData Input 2 Channelを同時にOn、Off切り替え可能 (Data Input 1 ChannelはWhite NoiseおよびExternal Inputと排他で選択可能) (Data Input 2 ChannelはWhite Noiseと排他で選択可能)

* : 周波数 120 MHz、400 MHz、1 GHz、および6 GHzにおいて20℃～30℃のある1つの温度で規定

Noise Generator MU195050A 規格

ホワイトノイズ

Data Input 2チャンネルに対して設定は共通。

フラットネス	±5 dB (10 MHz～10 GHz)
Crest Factor	>5 (p-p/rms)
振幅	0.2 mV rms～25 mV rms
振幅のステップ	0.2 mV rms
振幅確度	±20% ±2.5 mV rms*
On、Off	Data Input 1 ChannelとData Input 2 Channelを同時にOn、Off切り替え可能 (Channel1はDMI/CMIおよびExternal Inputと排他で選択可能) (Channel2はDMI/CMIと排他で選択可能)

*：帯域50 GHzのサンプリングオシロスコープにおいて、残留ノイズを差し引き、20℃～30℃のある1つの温度で規定

一般性能

寸法・質量	234 (W) × 21 (H) × 175 (D) mm (突起物は除く) 1.2 kg以下
使用温度範囲	+15℃～+35℃
保存温度	-20℃～+60℃

32G baud NRZ/PAM4 Re-Driver MU196060A 規格

ターゲットアプリケーション	PCIe 4.0 : 16.0 Gbit/s、NRZ PCIe 5.0 : 32.0 Gbit/s、NRZ PCIe 6.0 : 32.0 Gbaud、PAM4 IEEE802.3bs 400GAUI-8 C2M : 26.5625 Gbaud、PAM4
サポート対象プラグインモジュール	MU196040B PAM4 ED MU195040A 21G/32G bit/s SI ED
入力振幅	PAM4 : 0.40～0.80 Vp-p/Differential BER < 1E-8、1E-12 (代表値)、MCP、SSC 5300 ppm Down spread NRZ : 0.18～0.80 Vp-p/Differential BER < 1E-12、MCP、SSC 5300 ppm Down spread
入力/出力コネクタ	V (f)
LOSS補償	PAM4 : 14 dB at 16.0 GHz、BER < 1E-6、1E-9 (代表値)、MCP、SSC 5300 ppm Down spread NRZ : 30 dB at 16.0 GHz、BER < 1E-12、MCP、SSC 5300 ppm Down spread
クロックリカバリ (オプション)	あり、SSC対応、PCIe 4.0、5.0、6.0準拠

Synthesizer MU191000A 規格

クロック出力

出力数	4
周波数範囲	100 MHz～16.05 GHz (クロック確度や安定度はMP1900A本体の内部基準クロックまたは外部入力基準クロックに依存、AUX出力と共通設定)
周波数設定分解能	1 kHz
設定周波数からのオフセット	-1000 ppm～+1000 ppm
周波数オフセット設定分解能	1 ppm
振幅	0.7 Vp-p $\pm$ 0.3 Vp-p (0.4 Vp-p～1.0 Vp-p)
デューティ	50% $\pm$ 10%
出力スキュー	$\leq$ 10 ps (16.05 GHz)
位相雑音	$\leq$ -110 dBc/Hz (10 kHzオフセット) $\leq$ -111 dBc/Hz (100 kHzオフセット) $\leq$ -110 dBc/Hz (1 MHzオフセット) (非高調波スプリアスを除く)
内部SSC変調	SSC 33 kHz Center/Down Spread選択可能 OFF/1500 ppm/3000 ppm/5000 ppm選択可能 (PCIe 1～7サポート)
終端	50 Ω 、AC Coupling
コネクタ	SMA (J)

10 MHzリファレンス入力

周波数範囲	10 MHz $\pm$ 2 ppm
振幅範囲	0.5 Vp-p～2.0 Vp-p
終端	50 Ω 、AC Coupling
コネクタ	SMA (J)

10 MHzリファレンス出力

振幅	1.0 Vp-p $\pm$ 0.3 Vp-p (0.7 Vp-p～1.3 Vp-p)
波形	正弦波
終端	50 Ω 、AC Coupling
コネクタ	SMA (J)

100 MHzリファレンス入力

周波数範囲	100 MHz/SSC 30 kHz～33 kHz Center/Down Spread 0～5000 ppm
振幅範囲	0.15 Vp-p～1.45 Vp-p
終端	50 Ω 、AC Coupling
コネクタ	SMA (J)

リファレンスクロック源

リファレンスクロック源	内部/外部 10 MHz/外部100 MHz選択可能
-------------	----------------------------

AUX出力

出力数	1
振幅	0.5 Vp-p $\pm$ 0.25 Vp-p (0.25 Vp-p～0.75 Vp-p)
デューティ	50% $\pm$ 10%
終端	50 Ω 、AC結合 (未使用時は必ず添付の終端器を接続すること)
コネクタ	SMA (J)

12.5 GHz 4ポートシンセサイザ MU181000B 規格

クロック出力	出力数：4 周波数範囲：0.1 GHz～12.5 GHz、分解能：1 kHz/1 MHz 設定周波数からのオフセット：-1000～+1000 ppm、分解能：1 ppm、1 Hz (最小) レベル：0.4 Vp-p～1 Vp-p (AC) SSB位相ノイズ：≤-80 dBc/Hz (10 kHzオフセット) 残留ジッタ：≤20 ps p-p、≤20 ps p-p (fc>400 MHz) 波形：矩形波 (<1 GHz)、正弦波もしくは矩形波 (≥1 GHz) デューティ：50 ±10% チャネル間スキュー：≤10 ps (12.5 GHz) コネクタ：SMA (f)、終端：50Ω/GND
10 MHz入力	周波数：10 MHz ±10 ppm レベル：0.5 Vp-p～2.0 Vp-p 波形：正弦波もしくは矩形波 デューティ：50 ±10% コネクタ：BNC、終端：50Ω/GND
10 MHz出力	レベル：1.0 Vp-p ±30% (AC) 波形：矩形波 デューティ：50 ±10% コネクタ：BNC、終端：50Ω/GND

ジッタ変調 MU181000B-001 規格

外部変調入力	周波数範囲：9 Hz～1 GHz レベル範囲：3 Vp-p、0 V (dc) (最大) 波形：正弦波 コネクタ：SMA (f)、終端：50Ω/GND																																																						
外部I、Q入力	周波数帯域：DC～320 MHz (−3 dB) 帯域幅制限：5 MHz (0.1 GHz ≤ fc ≤ 0.4 GHz)、10 MHz (0.4 GHz < fc ≤ 0.65 GHz)、20 MHz (0.65 GHz < fc ≤ 1.4 GHz)、100 MHz (1.4 GHz < fc ≤ 2.4 GHz)、320 MHz (2.4 GHz < fc ≤ 4.0 GHz) レベル範囲：±0.5 V コネクタ：BNC、終端：50Ω/GND																																																						
100 MHz基準信号入力 (SSC)	入力される100 MHzの25または50逓倍の周波数、および位相偏移量のクロックを出力 変調周波数：30 kHz～33 kHz 周波数偏移量：50 kHz レベル：1.0 Vp-p ±30% (AC) 波形：正弦波または矩形波 デューティ：50 ±10% コネクタ：BNC、終端：50Ω/GND																																																						
トリガ出力	有効範囲：800 MHz < fc ≤ 12.5 GHz 周波数：64分周固定 (800 MHz < fc ≤ 6.4 GHz)、1分周/64分周の選択可能 (6.4 GHz < fc ≤ 12.5 GHz) レベル：0.4 Vp-p～1.1 Vp-p (AC) コネクタ：SMA (f)、終端：50Ω/GND																																																						
内部ジッタ機能	変調周波数範囲 <table><tr><th>キャリア</th><th>fm1</th><th>fm2</th><th>fm3</th></tr><tr><td>0.1 GHz～0.8 GHz</td><td>13.75 Hz</td><td>250 kHz</td><td>5 MHz</td></tr><tr><td>0.8 GHz～1.6 GHz</td><td>27.5 Hz</td><td>500 kHz</td><td>10 MHz</td></tr><tr><td>1.6 GHz～3.2 GHz</td><td>55 Hz</td><td>1 MHz</td><td>20 MHz</td></tr><tr><td>3.2 GHz～6.4 GHz</td><td>110 Hz</td><td>2 MHz</td><td>40 MHz</td></tr><tr><td>6.4 GHz～12.5 GHz</td><td>220 Hz</td><td>4 MHz</td><td>80 MHz</td></tr></table> 変調周波数確度：±100 ppm ジッタ振幅確度： ±0.01 UI ±Q% (0.001 UIp-p～2.19 UIp-p、fc <1 GHz) ±0.02 UI ±Q% (0.001 UIp-p～2.19 UIp-p、fc ≥1 GHz) ±0.2 UI ±Q% (2.2 UIp-p～21.99 UIp-p) ±2 UI ±Q% (22 UIp-p～4000 UIp-p) <table><tr><th>FM</th><th>Q</th></tr><tr><td>9 Hz ≤ fm ≤ 500 kHz</td><td>7</td></tr><tr><td>500 kHz < fm ≤ 2 MHz</td><td>12</td></tr><tr><td>2 MHz < fm ≤ 80 MHz</td><td>15</td></tr></table> ジッタマスク 外部ジッタ機能 変調周波数範囲：9 Hz～5 MHz (0.1 GHz ≤ fc ≤ 0.4 GHz) 9 Hz～10 MHz (0.4 GHz < fc ≤ 0.65 GHz) 9 Hz～20 MHz (0.65 GHz < fc ≤ 1.4 GHz) 9 Hz～100 MHz (1.4 GHz < fc ≤ 2.4 GHz) 9 Hz～500 MHz (2.4 GHz < fc ≤ 4.0 GHz) 9 Hz～1 GHz (4.0 GHz < fc ≤ 12.5 GHz) UIレンジ：0.22、2.0、20、200、4000 UI 変調周波数範囲 <table><tr><th>中心周波数</th><th>入力周波数</th><th>ジッタ振幅</th></tr><tr><td>1.4 GHz～2.4 GHz</td><td>80 MHz～100 MHz</td><td rowspan="3">最大0.22 UI</td></tr><tr><td>2.4 GHz～4.0 GHz</td><td>80 MHz～500 MHz</td></tr><tr><td>4.0 GHz～8.0 GHz</td><td>80 MHz～1 GHz</td></tr><tr><td rowspan="2">8.0 GHz～8.5 GHz</td><td>80 MHz～500 MHz</td><td rowspan="2">最大0.10 UI</td></tr><tr><td>500 MHz～1 GHz</td></tr><tr><td>8.5 GHz～11.3 GHz</td><td>80 MHz～1 GHz</td><td>最大0.22 UI</td></tr><tr><td rowspan="2">11.3 GHz～12.5 GHz</td><td>80 MHz～250 MHz</td><td>最大0.22 UI</td></tr><tr><td>250 MHz～1 GHz</td><td>最大0.10 UI</td></tr></table>	キャリア	fm1	fm2	fm3	0.1 GHz～0.8 GHz	13.75 Hz	250 kHz	5 MHz	0.8 GHz～1.6 GHz	27.5 Hz	500 kHz	10 MHz	1.6 GHz～3.2 GHz	55 Hz	1 MHz	20 MHz	3.2 GHz～6.4 GHz	110 Hz	2 MHz	40 MHz	6.4 GHz～12.5 GHz	220 Hz	4 MHz	80 MHz	FM	Q	9 Hz ≤ fm ≤ 500 kHz	7	500 kHz < fm ≤ 2 MHz	12	2 MHz < fm ≤ 80 MHz	15	中心周波数	入力周波数	ジッタ振幅	1.4 GHz～2.4 GHz	80 MHz～100 MHz	最大0.22 UI	2.4 GHz～4.0 GHz	80 MHz～500 MHz	4.0 GHz～8.0 GHz	80 MHz～1 GHz	8.0 GHz～8.5 GHz	80 MHz～500 MHz	最大0.10 UI	500 MHz～1 GHz	8.5 GHz～11.3 GHz	80 MHz～1 GHz	最大0.22 UI	11.3 GHz～12.5 GHz	80 MHz～250 MHz	最大0.22 UI	250 MHz～1 GHz	最大0.10 UI
キャリア	fm1	fm2	fm3																																																				
0.1 GHz～0.8 GHz	13.75 Hz	250 kHz	5 MHz																																																				
0.8 GHz～1.6 GHz	27.5 Hz	500 kHz	10 MHz																																																				
1.6 GHz～3.2 GHz	55 Hz	1 MHz	20 MHz																																																				
3.2 GHz～6.4 GHz	110 Hz	2 MHz	40 MHz																																																				
6.4 GHz～12.5 GHz	220 Hz	4 MHz	80 MHz																																																				
FM	Q																																																						
9 Hz ≤ fm ≤ 500 kHz	7																																																						
500 kHz < fm ≤ 2 MHz	12																																																						
2 MHz < fm ≤ 80 MHz	15																																																						
中心周波数	入力周波数	ジッタ振幅																																																					
1.4 GHz～2.4 GHz	80 MHz～100 MHz	最大0.22 UI																																																					
2.4 GHz～4.0 GHz	80 MHz～500 MHz																																																						
4.0 GHz～8.0 GHz	80 MHz～1 GHz																																																						
8.0 GHz～8.5 GHz	80 MHz～500 MHz	最大0.10 UI																																																					
	500 MHz～1 GHz																																																						
8.5 GHz～11.3 GHz	80 MHz～1 GHz	最大0.22 UI																																																					
11.3 GHz～12.5 GHz	80 MHz～250 MHz	最大0.22 UI																																																					
	250 MHz～1 GHz	最大0.10 UI																																																					

ジッタ変調 MU181000B-001 規格

外部ジッタ機能	変調感度：0.22 UIレンジ、入力レベル：0.5 Vp-p			
	出力クロック周波数	FM周波数	入力周波数	ジッタ振幅
	0.1 GHz ≤ fc ≤ 12.5 GHz	4 MHz	9 Hz~4 MHz	0.1 UIp-p ±0.03 UI
		80 MHz	4 MHz~80 MHz	
		500 MHz	80 MHz~500 MHz	
	2.4 GHz < fc ≤ 12.5 GHz	1 GHz	500 MHz~1 GHz	
	変調感度：2、20、200、4000 UIレンジ、入力レベル：0.5 Vp-p			
	クロック周波数：0.1 GHz ≤ fc ≤ 0.8 GHz			
	ジッタ振幅のカテゴリ	FM周波数	入力周波数	ジッタ振幅
	2 UI	250 kHz	27.5 kHz	1 UIp-p ±0.3 UI
	20 UI	27.5 kHz	2.75 kHz	10 UIp-p ±3 UI
	200 UI	2.75 kHz	275 Hz	100 UIp-p ±30 UI
	4000 UI	275 Hz	13.75 Hz	1000 UIp-p ±300 UI
	クロック周波数：0.8 GHz < fc ≤ 1.6 GHz			
	ジッタ振幅のカテゴリ	FM周波数	入力周波数	ジッタ振幅
	2 UI	500 kHz	55 kHz	1 UIp-p ±0.3 UI
	20 UI	55 kHz	5.5 kHz	10 UIp-p ±3 UI
	200 UI	5.5 kHz	550 Hz	100 UIp-p ±30 UI
	4000 UI	550 Hz	27.5 Hz	1000 UIp-p ±300 UI
	クロック周波数：1.6 GHz < fc ≤ 3.2 GHz			
	ジッタ振幅のカテゴリ	FM周波数	入力周波数	ジッタ振幅
	2 UI	1 MHz	110 kHz	1 UIp-p ±0.3 UI
	20 UI	110 kHz	11 kHz	10 UIp-p ±3 UI
	200 UI	11 kHz	1.1 kHz	100 UIp-p ±30 UI
	4000 UI	1.1 kHz	55 Hz	1000 UIp-p ±300 UI
	クロック周波数：3.2 GHz < fc ≤ 6.4 GHz			
	ジッタ振幅のカテゴリ	FM周波数	入力周波数	ジッタ振幅
	2 UI	2 MHz	220 kHz	1 UIp-p ±0.3 UI
	20 UI	220 kHz	22 kHz	10 UIp-p ±3 UI
	200 UI	22 kHz	2.2 kHz	100 UIp-p ±30 UI
	4000 UI	2.2 kHz	110 Hz	1000 UIp-p ±300 UI
	クロック周波数：6.4 GHz < fc ≤ 12.5 GHz			
	ジッタ振幅のカテゴリ	FM周波数	入力周波数	ジッタ振幅
	2 UI	4 MHz	440 kHz	1 UIp-p ±0.3 UI
	20 UI	440 kHz	44 kHz	10 UIp-p ±3 UI
	200 UI	44 kHz	4.4 kHz	100 UIp-p ±30 UI
	4000 UI	4.4 kHz	220 Hz	1000 UIp-p ±300 UI
	ジッタマスク			
三角波変調機能	PCIe- I (2.5 GHz)/PCIe- II (5 GHz) 選択時 クロック出力周波数設定：Spread Method Center/Spread Method Down選択可能 周波数オフセット：-1000~+1000 ppm、分解能：1 ppm 変調周波数確度：31.25 kHz ±1000 ppm 周波数偏移量：±6.25 MHz (PCIe- I、2.5 GHz)、±12.5 MHz (PCIe- II、5 GHz) 偏移量確度：±10%			

SSC拡張 MU181000B-002 規格

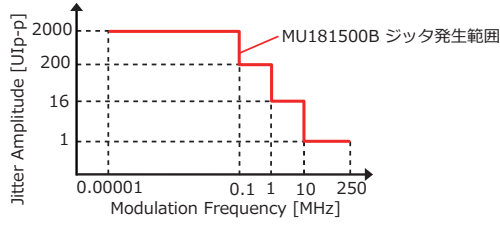
100 MHz基準信号入力 (SSC)	入力される100 MHzの25、50、または80逡倍の周波数および位相偏移量のクロックをクロック出力コネクタから出力 PCI Express HostのRefclkを入力可能 変調周波数：30 kHz~33 kHz 周波数偏移量：500 kHzp-p Max. レベル：0.15 Vp-p~1.3 Vp-p (AC) 波形：正弦波または矩形波 デューティ：50 ±10% コネクタ：BNC
---------------------	---

ジッタ変調源 MU181500B 規格

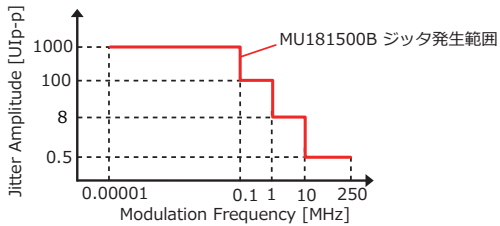
外部クロック入力	入力数：1 周波数範囲：6.400 001 GHz～12.500 000 GHz (MU181000Bコンビネーション：On) 0.800 000 GHz～15.000 000 GHz (MU181000Bコンビネーション：Off、または外部シンセサイザ使用) 振幅：0.4 Vp-p～1.0 Vp-p コネクタ：SMA (f)、終端：50Ω/AC Coupling
外部ジッタ入力	入力数：1 周波数範囲：10 kHz～1 GHz 振幅：0～2.0 Vp-p コネクタ：SMA (f)、終端：50Ω/GND
ジッタクロック出力	出力数：2 周波数範囲： 0.800 001 GHz～1.562 500 GHz (MU181000Bコンビネーション：On)、分解能：0.000 001 GHz 1.600 001 GHz～3.125 000 GHz (MU181000Bコンビネーション：On)、分解能：0.000 001 GHz 3.200 001 GHz～6.250 000 GHz (MU181000Bコンビネーション：On)、分解能：0.000 001 GHz 6.400 001 GHz～12.500 000 GHz (MU181000Bコンビネーション：On)、分解能：0.000 001 GHz 12.800 002 GHz～15.000 000 GHz (MU181000Bコンビネーション：On)、分解能：0.000 002 GHz 0.8 GHz～15 GHz (MU181000Bコンビネーション：Off、または外部シンセサイザ使用) 周波数オフセット：-1000～+1000 ppm (MU181000Bコンビネーション：On)、分解能：1 ppm なし (MU181000Bコンビネーション：Off、または外部シンセサイザ使用) 振幅：0.4 Vp-p (最小)、1.0 Vp-p (最大) 残留ジッタ：≤350 fs (4.25、7.0125、10、12.5、14、15 GHz) コネクタ：SMA (f)、終端：50Ω/AC Coupling
IQ出力	出力数：2 (I、Q) 振幅：1 Vp-p (最大) コネクタ：SMA (f)、終端：50Ω/GND
AUX入力	入力数：1 周波数範囲：外部クロック入力と同じ周波数のクロックを入力 振幅：0.4 Vp-p (最小)、1.1 Vp-p (最大) コネクタ：SMA (f)、終端：50Ω/AC Coupling
リファレンスクロック出力	出力数：2 基準クロック：外部クロック入力またはAUX入力 (MU181000Bコンビネーション：On) 外部クロック入力 (MU181000Bコンビネーション：Off、または別シンセサイザ使用) 周波数範囲：ジッタクロック出力周波数の1/N (N：1、2、または4) 振幅：0.4 Vp-p (最小)、1.0 Vp-p (最大) (ジッタクロック出力周波数：≥4 GHz) 0.4 Vp-p (最小)、1.2 Vp-p (最大) (ジッタクロック出力周波数：<4 GHz) コネクタ：SMA (f)、終端：50Ω/AC Coupling
サブレートクロック出力	出力数：2 (差動) 周波数範囲：ジッタクロック出力周波数の1/N (N：8～256、分解能：1) 振幅：0.1 Vp-p～0.7 Vp-p、分解能：10 mV 確度：振幅の±70 mV ±20% (N：8) コネクタ：SMA (f)、終端：50Ω/AC Coupling

内部正弦波ジッタ (SJ1)

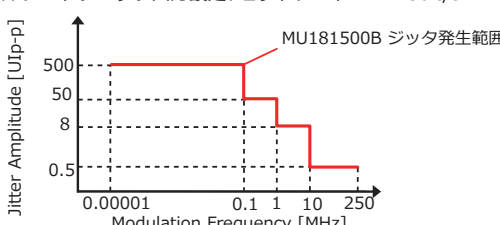
32G PPG
フルレートクロック出力設定、ビットレート : 15 Gbit/s~32.1 Gbit/s
ハーフレートクロック出力設定、ビットレート : 2.4 Gbit/s~32.1 Gbit/s



フルレートクロック出力設定、ビットレート : 4 Gbit/s~15 Gbit/s



フルレートクロック出力設定、ビットレート : 2.4 Gbit/s~4 Gbit/s



32G PPG (フルレートクロック出力設定時、ビットレート : 4 Gbit/s~15 Gbit/s)
0~1000 UIp-p (FM : 10 Hz~100 kHz)、分解能 : 0.001 UI
0~100 UIp-p (FM : 100.1 kHz~1 MHz)、分解能 : 0.001 UI
0~8 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI
0~0.5 UIp-p (FM : 10.01 MHz~100 MHz)、分解能 : 0.001 UI

32G PPG (フルレートクロック出力設定時、ビットレート : 2.4 Gbit/s~4 Gbit/s)
0~500 UIp-p (FM : 10 Hz~100 kHz)、分解能 : 0.001 UI
0~50 UIp-p (FM : 100.1 kHz~1 MHz)、分解能 : 0.001 UI
0~8 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI
0~0.5 UIp-p (FM : 10.01 MHz~250 MHz)、分解能 : 0.001 UI

32G PPG (フルレートクロック出力設定時、ビットレート : 15 Gbit/s~30 Gbit/s、またはハーフレートクロック出力設定時、ビットレート : 2.4 Gbit/s~30 Gbit/s)
0~2000 UIp-p (FM : 10 Hz~100 kHz)、分解能 : 0.002 UI
0~50 UIp-p (FM : 100.1 kHz~1 MHz)、分解能 : 0.002 UI
0~8 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.002 UI
0~0.5 UIp-p (FM : 10.01 MHz~250 MHz)、分解能 : 0.002 UI

32G PPG (フルレートクロック、またはハーフレートクロック出力出力設定時、ビットレート : 30 Gbit/s~32.1 Gbit/s)
0~2000 UIp-p (FM : 10 Hz~100 kHz)、分解能 : 0.004 UI
0~200 UIp-p (FM : 100.1 kHz~1 MHz)、分解能 : 0.004 UI
0~16 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.004 UI
0~1 UIp-p (FM : 10.01 MHz~150 MHz)、分解能 : 0.004 UI

精度 : ±0.03 UI ±Q% (振幅 : 0.001 UIp-p~2.199 UIp-p)
±0.2 UI ±Q% (振幅 : 2.2 UIp-p~21.999 UIp-p)
±2 UI ±Q% (振幅 : 22 UIp-p~219.999 UIp-p)
±20 UI ±Q% (振幅 : 220 UIp-p~2000 UIp-p)

FW	Q
10 Hz~500 kHz	7
500.1 kHz~2 MHz	10
2.01 MHz~80 MHz	13
80.01 MHz~250 MHz	15

On/Off機能 : あり

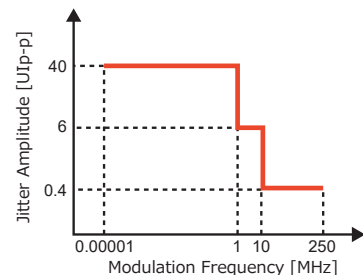
外部正弦波ジッタ (SJ2)
[MU181000B-001]

ジッタ設定マスク

ジッタクロック出力周波数: 6.400 001 GHz~15 GHz

フルレートモード

ビットレート: 6.400 001 Gbit/s~15 Gbit/s

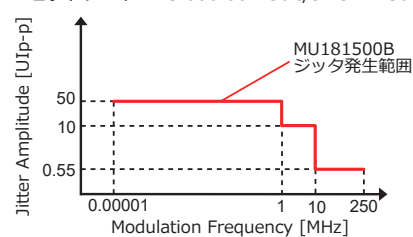


ハーフレートモード

ビットレート: 12.800 001 Gbit/s~30 Gbit/s

クォーターレートモード

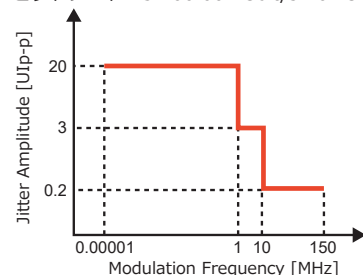
ビットレート: 25.600 004 Gbit/s~32.1 Gbit/s



ジッタクロック出力周波数: 3.200 001 GHz~6.25 GHz

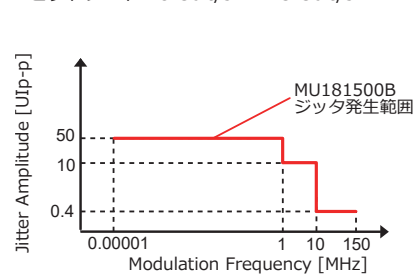
フルレートモード

ビットレート: 3.200 001 Gbit/s~6.25 Gbit/s



ハーフレートモード

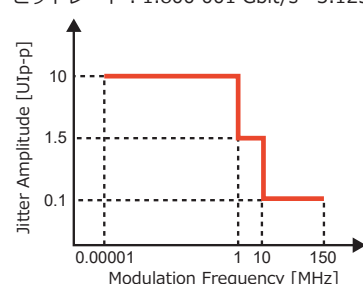
ビットレート: 8 Gbit/s~12.5 Gbit/s



ジッタクロック出力周波数: 1.800 001 GHz~3.125 GHz

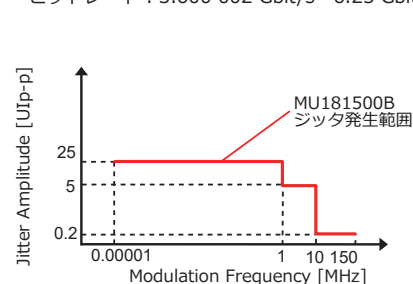
フルレートモード

ビットレート: 1.800 001 Gbit/s~3.125 Gbit/s



ハーフレートモード

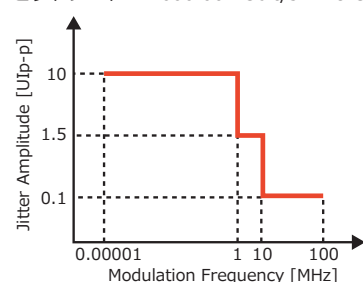
ビットレート: 3.600 002 Gbit/s~6.25 Gbit/s



ジッタクロック出力周波数: 1.600 001 GHz~1.8 GHz

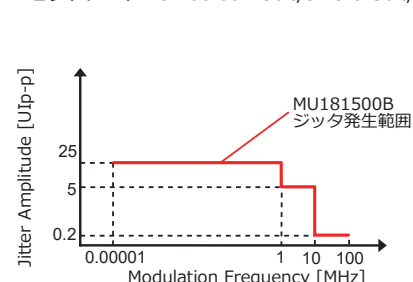
フルレートモード

ビットレート: 1.600 001 Gbit/s~1.8 Gbit/s



ハーフレートモード

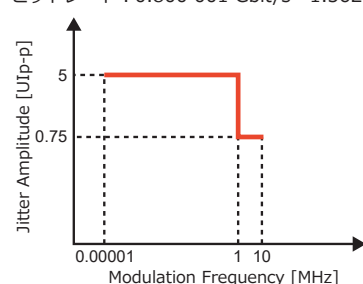
ビットレート: 3.200 002 Gbit/s~3.6 Gbit/s



ジッタクロック出力周波数: 0.800 001 GHz~1.562 5 GHz

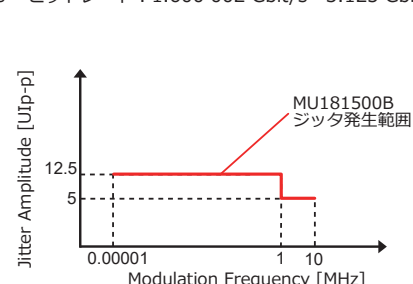
フルレートモード

ビットレート: 0.800 001 Gbit/s~1.562 5 Gbit/s



ハーフレートモード

ビットレート: 1.600 002 Gbit/s~3.125 Gbit/s



外部正弦波ジッタ (SJ2) [MU181000B-001]	変調周波数 (FM) : 10 Hz~10 kHz、分解能 : 1 Hz 10 kHz~100 kHz、分解能 : 10 Hz 100 kHz~1 MHz、分解能 : 100 Hz 1 MHz~10 MHz、分解能 : 1 kHz 10 MHz~100 MHz、分解能 : 10 kHz 100 MHz~250 MHz、分解能 : 100 kHz 確度 : ±100 ppm 振幅 : フルレートモード ビットレート : 6.400 001 Gbit/s~15 Gbit/s 0~40 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.001 UI 0~6 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI 0~0.4 UIp-p (FM : 10.01 MHz~250 MHz)、分解能 : 0.001 UI ビットレート : 3.200 001 Gbit/s~6.25 Gbit/s 0~20 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.001 UI 0~3 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI 0~0.2 UIp-p (FM : 10.01 MHz~150 MHz)、分解能 : 0.001 UI ビットレート : 1.800 001 Gbit/s~3.125 Gbit/s 0~10 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.001 UI 0~1.5 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI 0~0.1 UIp-p (FM : 10.01 MHz~150 MHz)、分解能 : 0.001 UI ビットレート : 1.600 001 Gbit/s~1.8 Gbit/s 0~10 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.001 UI 0~1.5 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI 0~0.1 UIp-p (FM : 10.01 MHz~100 MHz)、分解能 : 0.001 UI ビットレート : 0.800 001 Gbit/s~1.562 5 Gbit/s 0~5 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.001 UI 0~0.75 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.001 UI ハーフレートモード ビットレート : 12.800 001 Gbit/s~30 Gbit/s 0~50 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.002 UI 0~10 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.002 UI 0~0.55 UIp-p (FM : 10.01 MHz~250 MHz)、分解能 : 0.002 UI ビットレート : 8 Gbit/s~12.5 Gbit/s 0~50 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.002 UI 0~10 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.002 UI 0~0.4 UIp-p (FM : 10.01 MHz~150 MHz)、分解能 : 0.002 UI ビットレート : 3.600 002 Gbit/s~6.25 Gbit/s 0~25 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.002 UI 0~5 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.002 UI 0~0.2 UIp-p (FM : 10.01 MHz~150 MHz)、分解能 : 0.002 UI ビットレート : 3.200 002 Gbit/s~3.6 Gbit/s 0~25 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.002 UI 0~5 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.002 UI 0~0.2 UIp-p (FM : 10.01 MHz~100 MHz)、分解能 : 0.002 UI ビットレート : 1.600 002 Gbit/s~3.125 Gbit/s 0~12.5 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.002 UI 0~2.5 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.002 UI クォーターレートモード ビットレート : 25.600 004 Gbit/s~32.1 Gbit/s 0~50 UIp-p (FM : 10 Hz~1 MHz)、分解能 : 0.004 UI 0~10 UIp-p (FM : 1.001 MHz~10 MHz)、分解能 : 0.004 UI 0~0.548 UIp-p (FM : 10.01 MHz~250 MHz)、分解能 : 0.004 UI 確度 : ±0.03 UI ±Q% (振幅 : 0.002 UIp-p~2.19 UIp-p) ±0.2 UI ±Q% (振幅 : 2.2 UIp-p~21.9 UIp-p) ±2 UI ±Q% (振幅 : 22 UIp-p~50 UIp-p) <table><tr><th>FW</th><th>Q</th></tr><tr><td>10 Hz ≤ fm ≤ 500 kHz</td><td>10</td></tr><tr><td>500 kHz < fm ≤ 2 MHz</td><td>13</td></tr><tr><td>2 MHz < fm ≤ 80 MHz</td><td>15</td></tr><tr><td>80 MHz < fm ≤ 250 MHz</td><td>18</td></tr></table> On/Off機能 : あり	FW	Q	10 Hz ≤ fm ≤ 500 kHz	10	500 kHz < fm ≤ 2 MHz	13	2 MHz < fm ≤ 80 MHz	15	80 MHz < fm ≤ 250 MHz	18
FW	Q										
10 Hz ≤ fm ≤ 500 kHz	10										
500 kHz < fm ≤ 2 MHz	13										
2 MHz < fm ≤ 80 MHz	15										
80 MHz < fm ≤ 250 MHz	18										
拡散スペクトラムクロック (SSC)	SSC Profile : Triangular, USB4, Variable タイプ : Down-Spread, Center-Spread, Up-Spread, Asymmetric 変調周波数 : 28 kHz~37 kHz、分解能 : 1 Hz 確度 : ±100 ppm 偏差 : 0~7000 ppm、分解能 : 1 ppm Modulation Periodic Burst : Asymmetric SSCを繰り返し出力 Continuous : Asymmetric SSCを1回出力後、Triangular波形を出力 On/Off機能 : あり										

ジッタ変調源 MU181500B 規格

ランダムジッタ (RJ)	バンド幅 : 10 kHz~1 GHz クレストファクタ : 16 dB フィルタタイプ Userフィルタ フィルタ種類 : 10 MHz、20 MHz、スルー (HPF 3 dB/バンド幅) 100 MHz、スルー (LPF 3 dB/バンド幅) 振幅 フルレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>設定範囲 [UIp-p]</th><th>分解能 [mUI]</th></tr><tr><td>≥2.5</td><td>0~0.5</td><td>2</td></tr><tr><td><2.5</td><td>0~0.2f</td><td>2</td></tr></table> ハーフレートモード*1 <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>設定範囲 [UIp-p]</th><th>分解能 [mUI]</th></tr><tr><td>≥2.5</td><td>0~0.5</td><td>4</td></tr><tr><td><2.5</td><td>0~0.2f</td><td>4</td></tr></table> クォーターレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>設定範囲 [UIp-p]</th><th>分解能 [mUI]</th></tr><tr><td>≥2.5</td><td>0~0.496</td><td>8</td></tr><tr><td><2.5</td><td>0~2f</td><td>8</td></tr></table> f : ジッタクロック出力周波数 [GHz] 確度 : ±4.9 ps ±15% (ジッタクロック出力周波数 : ≥4 GHz) ±7.0 ps ±15% (ジッタクロック出力周波数 : <4 GHz) PCIe (Data clocked) およびPCIe (Common Ref. clock) フィルタ フィルタ種類 : PCIe用LF (10 kHz~1.5 MHz) およびHF (1.5 MHz~100 MHz) 振幅 フルレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>LF and HF設定範囲 [ps rms]</th><th>分解能 [ps rms]</th></tr><tr><td>≥4</td><td>0~8.8</td><td>0.1</td></tr></table> ハーフレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>LF and HF設定範囲 [ps rms]</th><th>分解能 [ps rms]</th></tr><tr><td>≥4</td><td>0~8.8</td><td>0.2</td></tr></table> クォーターレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>LF and HF設定範囲 [ps rms]</th><th>分解能 [ps rms]</th></tr><tr><td>≥4</td><td>0~8.8</td><td>0.4</td></tr></table> LF振幅 ≥ HF振幅 確度 : ±0.6 ps ±10% On/Off機能 : あり	ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]	≥2.5	0~0.5	2	<2.5	0~0.2f	2	ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]	≥2.5	0~0.5	4	<2.5	0~0.2f	4	ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]	≥2.5	0~0.496	8	<2.5	0~2f	8	ジッタクロック出力周波数 [GHz]	LF and HF設定範囲 [ps rms]	分解能 [ps rms]	≥4	0~8.8	0.1	ジッタクロック出力周波数 [GHz]	LF and HF設定範囲 [ps rms]	分解能 [ps rms]	≥4	0~8.8	0.2	ジッタクロック出力周波数 [GHz]	LF and HF設定範囲 [ps rms]	分解能 [ps rms]	≥4	0~8.8	0.4
ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]																																												
≥2.5	0~0.5	2																																												
<2.5	0~0.2f	2																																												
ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]																																												
≥2.5	0~0.5	4																																												
<2.5	0~0.2f	4																																												
ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]																																												
≥2.5	0~0.496	8																																												
<2.5	0~2f	8																																												
ジッタクロック出力周波数 [GHz]	LF and HF設定範囲 [ps rms]	分解能 [ps rms]																																												
≥4	0~8.8	0.1																																												
ジッタクロック出力周波数 [GHz]	LF and HF設定範囲 [ps rms]	分解能 [ps rms]																																												
≥4	0~8.8	0.2																																												
ジッタクロック出力周波数 [GHz]	LF and HF設定範囲 [ps rms]	分解能 [ps rms]																																												
≥4	0~8.8	0.4																																												
有界無相関ジッタ (BUJ)	PRBSパターン長 : 2ⁿ - 1 (n = 7、9、11、15、23、または31) BUJレート : 0.1 Gbit/s~3.2 Gbit/s、分解能 : 1kbit/s 4.9 Gbit/s~6.25 Gbit/s、分解能 : 1kbit/s (ジッタクロック出力周波数 : >4 GHz) 9.8 Gbit/s~12.5 Gbit/s、分解能 : 1kbit/s (ジッタクロック出力周波数 : >4 GHz) フィルタタイプ (LPF 3 dB/バンド幅) : 50、100、200、300、500 MHz、スルー (ジッタクロック出力周波数 : >4 GHz) 50、100、200、300 MHz、スルー (ジッタクロック出力周波数 : ≤4 GHz) 振幅 フルレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>設定範囲 [UIp-p]</th><th>分解能 [mUI]</th></tr><tr><td>≥2.5</td><td>0~0.5</td><td>2</td></tr><tr><td><2.5</td><td>0~0.2f</td><td>2</td></tr></table> ハーフレートモード <table><tr><th>ジッタクロック出力周波数 [GHz]</th><th>設定範囲 [UIp-p]</th><th>分解能 [mUI]</th></tr><tr><td>≥2.5</td><td>0~0.5</td><td>4</td></tr><tr><td><2.5</td><td>0~0.2f</td><td>4</td></tr></table> f : ジッタクロック出力周波数 [GHz] 確度 : ±4.9 ps ±15% (ジッタクロック出力周波数 : ≥4 GHz) ±7.0 ps ±15% (ジッタクロック出力周波数 : <4 GHz) PRBSパターン長 : 2ⁿ - 1 (n = 7、9) BUJレート : 6、5.5、4.9 Gbit/s、LPF 500 MHz BUJレート : 3.2 Gbit/s、3 Gbit/s、LPF 300 MHz BUJレート : 3.2 Gbit/s、2 Gbit/s、LPF 200 MHz BUJレート : 2 Gbit/s、1.1 Gbit/s、LPF 100 MHz On/Off機能 : あり	ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]	≥2.5	0~0.5	2	<2.5	0~0.2f	2	ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]	≥2.5	0~0.5	4	<2.5	0~0.2f	4																											
ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]																																												
≥2.5	0~0.5	2																																												
<2.5	0~0.2f	2																																												
ジッタクロック出力周波数 [GHz]	設定範囲 [UIp-p]	分解能 [mUI]																																												
≥2.5	0~0.5	4																																												
<2.5	0~0.2f	4																																												
外部ジッタ	バンド幅 : 10 kHz~1 GHz 確度*1 : 0.5 UI ±10% (2 Vp-p入力時) 線形性*1 : ±6 ps ±10% On/Off機能 : あり																																													

*1 : ジッタクロック出力周波数 : 5 GHz、変調周波数 : 0.5 GHz、正弦波ジッタで規定

SJ2切替

Built-in SJ2 *2、*3、*4

Built-in SJ2と MU181000B-001入力の切り替え機能

変調周波数：33 kHz、100 MHz、210 MHz

帯域幅：

クロック周波数	帯域幅
0.8 < Fc ≤ 1.2 GHz	33 kHz
1.2 < Fc ≤ 8.5 GHz	33 kHz、100 MHz
4 < Fc ≤ 8.5 GHz*3	33 kHz、100 MHz、210 MHz
8.5 < Fc ≤ 15 GHz	33 kHz、100 MHz、210 MHz

確度：±100 ppm

振幅設定範囲：

	Data Pattern Generator			
	Full-rate (PPG)、Full-rate (MUX)		Half-rate (MUX)	
変調周波数	設定範囲 [UIp-p]	ステップ [UI]	設定範囲 [UIp-p]	ステップ [UI]
33 kHz	0~40	0.001	0~50	0.002
100 MHz	0~0.25	0.001	0~0.5	0.002
210 MHz	0~0.125	0.001	0~0.25	0.002

	Data Pattern Generator	
	Quarter-rate (MUX)	
変調周波数	設定範囲 [UIp-p]	ステップ [UI]
33 kHz	0~50	0.004
100 MHz	0~0.5	0.004
210 MHz	0~0.248	0.004

	Data Pattern Generator			
	32G PPG*5		32G PPG*6	
変調周波数	設定範囲 [UIp-p]	ステップ [UI]	設定範囲 [UIp-p]	ステップ [UI]
33 kHz	0~500	0.001	0~500	0.001
100 MHz	0~0.25	0.001	0~8	0.001
210 MHz	0~0.125	0.001	—	—

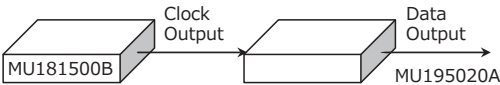
	Data Pattern Generator			
	32G PPG*7		32G PPG*8	
変調周波数	設定範囲 [UIp-p]	ステップ [UI]	設定範囲 [UIp-p]	ステップ [UI]
33 kHz	0~1000	0.002	0~1000	0.004
100 MHz	0~0.5	0.002	0~0.5	0.004
210 MHz	0~0.25	0.002	0~0.248	0.004

確度：±0.03 UI ±Q% (振幅：0.001 UIp-p~2.199 UIp-p)
±0.2 UI ±Q% (振幅：2.2 UIp-p~21.999 UIp-p)
±2 UI ±Q% (振幅：22 UIp-p~219.999 UIp-p)
±20 UI ±Q% (振幅：222 UIp-p~2000 UIp-p)

FW	Q
33 kHz	7
100 MHz、210 MHz*9	15

出力設定：On/Off切り替えあり

* 2：Built-in SJ2は、MX190000Aバージョン2.00.00以降においてSJ2 via MU181000と排他で設定できます。
* 3：Data Pattern Generatorが32G PPG、SI PPGのとき、つまり本器と32G PPG、SI PPGが連動しているとき
* 4：次の図のMU195020Aのデータ出力で規定



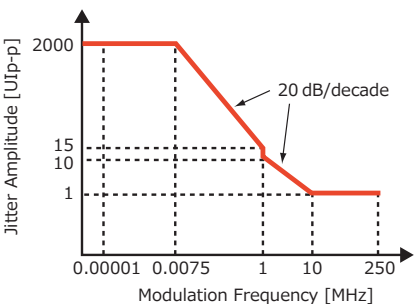
* 5：Full rate Clock Out設定時のデータレートが4 Gbit/s~15 Gbit/sの場合
* 6：Full rate Clock Out設定時のデータレートが2.4 Gbit/s~4 Gbit/sの場合
* 7：Full rate Clock Out設定時のデータレートが15 Gbit/s~30 Gbit/s、またはHalf rate Clock Out設定時のデータレートが2.4 Gbit/s~30 Gbit/sの場合
* 8：Full rate Clock OutまたはHalf rate Clock Out設定時のデータレートが30 Gbit/s~32.1 Gbit/sの場合
* 9：4 GHz ≤ FC ≤ 8.5 GHzの時は公称値

ハイスピードシリアルデータテストソフトウェア MX183000A 規格

動作条件

インストール先	MP1900A、またはパーソナルコンピュータ
パーソナルコンピュータの仕様	OS : Windows 7 Professional/Enterprise/Ultimate 英語版または日本語版 CPU : 1 GHz 以上 メモリ : 1 GB以上 (Windows 7、32 bitのとき) 2 GB以上 (Windows 7、64 bitのとき) ハードディスク : 空き容量 2 GB以上 リモートインタフェース : イーサネット (10BASE-T、100BASE-TX) ディスプレイ : 解像度 800 × 600 以上、表示色 32ビット
制御対象機器	MP1900A 制御台数 : 3台以下 バージョン : MX190000Aインストーラバージョン V1.00.00以降

Jitter Tolerance Test (MX183000A-PL001)

Run Test/Stop Test	Jitter Tolerance Testを開始、停止します。
Jitter Tolerance Table	JTOL測定ポイント設定 測定するSJ変調周波数、合否基準の変調量 (UI) の設定、および探索する変調量の範囲設定を行います。 ジッタ周波数設定範囲 Jitter Freq. [Hz]、Mask [UI]、Upper Limit [UI]、Lower Limit [UI]、Upper Ratio、Lower Ratioをそれぞれ設定可能。 設定範囲はジッタ変調減MU181500Bに依存。 ジッタ振幅設定範囲  上記の表に従います。ただし、制御機器、MU181500Bのクロック周波数設定により、測定を実行できるジッタ周波数、およびジッタ振幅が変化します。 Set All Limit Jitter Tolerance Table中の、Upper Limit、Lower Limitの値をMaskで設定した値に対する割合で再設定します。再設定する割合はUpper Ratio、Lower Ratioで設定します。 Upper Ratio : 1.000~1000、0.001ステップ Lower Ratio : 0.001~1.000、0.001ステップ Measurement Sequence : From higher Freq. side、From lower Freq. side
JTOL Setting	Detection Unit : Error Rate、Error Count、Estimate、Symbol Error Rate、Bit Error Rate、MSB Error Rate、LSB Error Rate Error Threshold : 1E-3~1E-12、E-1ステップ Error Count : 0~10000000、1ステップ BER for JTOL Estimation : 1.0E-20~9.9E-9
Auto Search	OFF/FINE/COARSE
Search	Direction Search : Binary、Downwards Linear、Downwards Log、Upwards Linear、Upwards Log、Binary + Linear Step : Downwards/Upwards Linear選択時 Jitter Freq. ≤100 kHz 0.001~2000.000 0.001ステップ 100k < Jitter Freq. ≤1 MHz 0.001~200.000 0.001ステップ 1M < Jitter Freq. ≤10 MHz 0.001~15.000 0.001ステップ 10 MHz < Jitter Freq. 0.001~1.000 0.001ステップ Ratio : Downwards/Upwards Log選択時 Jitter Freq. ≤100 kHz、100k < Jitter Freq. ≤1 MHz、1M < Jitter Freq. ≤10 MHz、10 MHz < Jitter Freq. 0.01~1.00 0.01ステップ
Timer [sec.]	Waiting、Setting : 1~99秒、1秒ステップ Gating : 1~86400秒、1秒ステップ
Graph Tab	Display : OFF/ON BER for JTOL Estimation : 1.0E-20~9.9E-9、0.1ステップ、E-1ステップ
Report Tab	Make HTML/CSV : Jitter Tolerance結果をHTMLもしくはCSVで表示します。

ハイスピードシリアルデータテストソフトウェア MX183000A 規格

PCIeリンクトレーニング (MX183000A-PL021、MX183000A-PL025*、MX183000A-PL026*)

Specification	1.0/1.1 (2.5 GT/s)、2.0 (5 GT/s)、3.0/3.1 (8 GT/s)、4.0 (16 GT/s)、5.0 (32 GT/s) *、6.0 (64 GT/s) *
Link Start/Stop/Unlink	PCIe Link Training (PCIe1.0~6.0*) を開始します。 Link Training後は、Test Patternを送信し続けます。
BER Measurement	Link Training後にボタンをクリックするとBER測定を実行します。 MU196040B PAM4 EDおよびMU196060A Re-Driverを使用するとき、SpecificationでPCIe 1.0、2.0、3.0を選択すると機能が無効となります。
BER Monitor	ON/OFF
Matrix Scan	Cursor値に対するBER値を測定し、結果をマッピングします。 MU196040B PAM4 EDおよびMU196060A Re-Driverを使用するとき、SpecificationでPCIe 1.0、2.0、3.0を選択すると機能が無効となります。
FS (Full Swing)	24、48、63
LF (Low Frequency)	FSの設定に応じて、8、16、21が自動で設定されます。
LTSSM Log	Link Training中のLTSSM Stateの遷移ログを表示します。
Export CSV	LogをCSV形式で保存します。
Loopback Method	PCIe 1.0~4.0 : Configuration、Recovery PCIe 5.0* : Config EQ Bypass to 32G、Config No EQ、Recovery EQ Bypass to 32G、Recovery Full EQ PCIe 6.0* : Config EQ Bypass to 64G、Config No EQ、Recovery EQ Bypass to 64G、Recovery Full EQ
Test Pattern	
Compliance	MCP/CP
PRBS	PRBS7、PRBS9、PRBS10、PRBS11、PRBS15、PRBS20、PRBS23、PRBS31
Flit	PCIe 6.0のみ選択可能
USER	
Clock Architecture	Common、SRIS、SRNS
SSC	5000 ppm、3000 ppm、OFF
SKP	
Insertion	ON/OFF
Filtering	ON/OFF
Timeout	各LTSSM Stateでのタイムアウトを設定します。
LTSSM Trigger	指定されたLTSSM Stateに遷移したときに、PPGのAUX Outputからトリガを出力します。

* : PL025はPL021をPCIe 5.0へ拡張するオプションです。PL025はPL021が必要です。
PL026はPL025をPCIe 6.0へ拡張するオプションです。PL026はPL025とPL021の両方が必要です。

USBリンクトレーニング (MX183000A-PL022、MX183000A-PL023*¹)

Link Start/Stop/Unlink	USB Link Training (USB3.1 Gen1/Gen2) を開始します。 MU195040AのData InputでLFPSを検出したときLink Trainingを開始します。Link Training後は、Test Patternを送信し続けます。
Specification	Gen1×1 (5.0 GT/s ×1)、Gen1×2 (5.0 GT/s ×2)、Gen2×1 (10.0 GT/s ×1)、Gen2×2 (10.0 GT/s ×2)
Not Wait for The LFPS Signal	LFPS信号の受信を待機せず、Link StartボタンのクリックをトリガーとしてLink Trainingを開始できます。
BER Measurement	Link Training後にボタンをクリックするとBER測定を実行します。 GenX×2選択時は2 Lane同時にBERを測定できます。
BER Monitor	ON/OFF
LTSSM Log	Link Training中のLTSSM Stateの遷移ログを表示します。
LTSSM Log表示項目	Time、ΔTime、State (Lane0)、State (Lane1)、Speed [GT/s]、HEX Dump (Lane0)、HEX Dump (Lane1)
Export CSV	LogをCSV形式で保存します。
Send Ping LFPS	Ping.LFPS信号を出力します。USB Compliance TestのTx試験を行う際にDUTのCPを切り替えることができます。
Test Pattern	Compliance/USER
Timeout	各LTSSM Stateでのタイムアウトを設定します。
USB Link Trainingの結果表示	
Common Parameter	LTSSM State、Linkup Speed
8b10b Counters	SKP Count* ² 、Symbol Err、Current RD Err、Symbol Lock
128b132b Counters	SKP Count* ² 、TS1/TS2 Symbol14-15 DC Balance* ² 、Sync Header Err、TS1 OS Parity Err、Block Lock、SYNCOS Counter* ²

* 1 : USB Link Training (USB3.1 Gen1/2) の実施が可能 (PL022のみ有効なとき)
USB Link Training (USB3.2 Gen1/2 ×1/×2) の実施が可能 (PL022および023が有効なとき)
* 2 : TransmittedとReceivedそれぞれ表示

DUT Error Counts Import (MX183000A-PL031)

DUT Control Tab	DUT制御用の外部プログラムを選択、実行します。
Initialize	DUTの初期化処理をするプログラムを選択します。
Measurement	DUTで測定するプログラムを選択します。
Finalize	DUTの終了処理をするプログラムを選択します。
Log Viewerボタン	ログウィンドウを表示します。
Finalizeボタン	Finalizeプログラムを実行します。
Initializeボタン	Initializeプログラムを実行します。
BER Measure Tab	BER測定スタート、ストップ、結果表示を行います。
Result	測定結果を表示します (エラーレート、エラーカウント、アラーム発生の有無)。
Cycle	測定サイクルを切り替えます (Single/Repeat)。
Start/Stop	測定を開始、停止します。
Abort	測定を中止します。
Debug	文法違反を無視してMeasureプログラムを実行します。



お見積り、ご注文、修理などは、下記までお問い合わせください。
記載事項は、おことわりなしに変更することがあります。

アンリツ株式会社

<https://www.anritsu.com>

本社 〒243-8555 神奈川県厚木市恩名5-1-1 TEL 046-223-1111
厚木 〒243-0016 神奈川県厚木市田村町8-5
通信計測営業本部 TEL 046-296-1244 FAX 046-296-1239
通信計測営業本部 第1営業推進部 TEL 046-296-1208 FAX 046-296-1248
仙台 〒981-3112 宮城県仙台市泉区ハ乙女2-11-2
通信計測営業本部 TEL 022-374-1255 FAX 022-374-1256
名古屋 〒450-0003 愛知県名古屋市中村区名駅南2-14-19 住友生命名古屋ビル
通信計測営業本部 TEL 052-582-7283 FAX 052-569-1485
大阪 〒564-0063 大阪府吹田市江坂町1-23-101 大同生命江坂ビル
通信計測営業本部 TEL 06-6338-2800 FAX 06-6338-8118
福岡 〒812-0004 福岡県福岡市博多区榎田2-3-55 クレール福岡
通信計測営業本部 TEL 092-471-7656 FAX 092-471-7699

■カタログのご請求、価格・納期のお問い合わせは、下記または営業担当までお問い合わせください。

通信計測営業本部 第1営業推進部

TEL: 0120-133-099 (046-296-1208) FAX: 046-296-1248
受付時間/9:00~12:00、13:00~17:00、月~金曜日(当社休業日を除く)
E-mail: SJPost@zy.anritsu.co.jp

■計測器の使用法、その他については、下記までお問い合わせください。

計測サポートセンター

TEL: 0120-827-221 (046-296-6640)
受付時間/9:00~12:00、13:00~17:00、月~金曜日(当社休業日を除く)
E-mail: MDVPOST@anritsu.com

■本製品を国外に持ち出すときは、外国為替および外国貿易法の規定により、日本国政府の輸出許可または役務取引許可が必要となる場合があります。
また、米国の輸出管理規則により、日本からの再輸出には米国商務省の許可が必要となる場合がありますので、必ず弊社の営業担当までご連絡ください。

ご使用の前に取扱説明書をよくお読みのうえ、正しくお使いください。

2605