

MU181020A
12.5Gbit/s パルスパターン発生器
MU181020B
14Gbit/s パルスパターン発生器
取扱説明書

第 19 版

- ・製品を適切・安全にご使用いただくために、製品をご使用になる前に、本書を必ずお読みください。
- ・本書に記載以外の各種注意事項は、MP1800A シグナルクオリティアナライザ インストレーションガイドおよび MT1810A 4 スロットシャーシ インストレーションガイドに記載の事項に準じますので、そちらをお読みください。
- ・本書は製品とともに保管してください。

アンリツ株式会社

安全情報の表示について

当社では人身事故や財産の損害を避けるために、危険の程度に応じて下記のようなシグナルワードを用いて安全に関する情報を提供しています。記述内容を十分に理解した上で機器を操作してください。

下記の表示およびシンボルは、そのすべてが本器に使用されているとは限りません。また、外観図などが本書に含まれるとき、製品に貼り付けたラベルなどがその図に記入されていない場合があります。

本書中の表示について



危険

回避しなければ、死亡または重傷に至る切迫した危険があることを示します。



警告

回避しなければ、死亡または重傷に至るおそれがある潜在的な危険があることを示します。



注意

回避しなければ、軽度または中程度の人体の傷害に至るおそれがある潜在的危険、または、物的損害の発生のみが予測されるような危険があることを示します。

機器に表示または本書に使用されるシンボルについて

機器の内部や操作箇所の近くに、または本書に、安全上および操作上の注意を喚起するための表示があります。

これらの表示に使用しているシンボルの意味についても十分に理解して、注意に従ってください。



禁止行為を示します。丸の中や近くに禁止内容が描かれています。



守るべき義務的の行為を示します。丸の中や近くに守るべき内容が描かれています。



警告や注意を喚起することを示します。三角の中や近くにその内容が描かれています。



注意すべきことを示します。四角の中にその内容が書かれています。



このマークを付けた部品がリサイクル可能であることを示しています。

MU181020A 12.5Gbit/s パルスパターン発生器

MU181020B 14Gbit/s パルスパターン発生器

取扱説明書

2006年（平成18年）12月20日（初 版）

2020年（令和2年）8月25日（第19版）

- ・ 予告なしに本書の製品操作・取り扱いに関する内容を変更することがあります。
- ・ 許可なしに本書の一部または全部を転載・複製することを禁じます。

Copyright © 2006-2020, ANRITSU CORPORATION

Printed in Japan

品質証明

アンリツ株式会社は、本製品が出荷時の検査により公表規格を満足していること、ならびにそれらの検査には、産業技術総合研究所（National Institute of Advanced Industrial Science and Technology）および情報通信研究機構（National Institute of Information and Communications Technology）などの国立研究所によって認められた公的校正機関にトレーサブルな標準器を基準として校正した測定器を使用したことを証明します。

保証

アンリツ株式会社は、納入後 1 年以内に製造上の原因に基づく故障が発生した場合は、本製品を無償で修復することを保証します。

ソフトウェアの保証内容は別途「ソフトウェア使用許諾書」に基づきます。

ただし、次のような場合は上記保証の対象外とさせていただきます。

- ・ この取扱説明書に別途記載されている保証対象外に該当する故障の場合。
- ・ お客様の誤操作、誤使用または無断の改造もしくは修理による故障の場合。
- ・ 通常の使用を明らかに超える過酷な使用による故障の場合。
- ・ お客様の不適當または不十分な保守による故障の場合。
- ・ 火災、風水害、地震、落雷、降灰またはそのほかの天災地変による故障の場合。
- ・ 戦争、暴動または騒乱など破壊行為による故障の場合。
- ・ 本製品以外の機械、施設または工場設備の故障、事故または爆発などによる故障の場合。
- ・ 指定外の接続機器もしくは応用機器、接続部品もしくは応用部品または消耗品の使用による故障の場合。
- ・ 指定外の電源または設置場所での使用による故障の場合。
- ・ 特殊環境における使用^(註)による故障の場合。
- ・ 昆虫、くも、かび、花粉、種子またはそのほかの生物の活動または侵入による故障の場合。

また、この保証は、原契約者のみ有効で、お客様から再販売されたものについては保証しかねます。

なお、本製品の使用、あるいは使用不能によって生じた損害およびお客様の取引上の損失については、責任を負いかねます。ただし、その損害または損失が、当社の故意または重大な過失により生じた場合はこの限りではありません。

注：

「特殊環境における使用」には、以下のような環境での使用が該当します。

- ・ 直射日光が当たる場所
- ・ 粉じんが多い環境
- ・ 屋外
- ・ 水、油、有機溶剤もしくは薬液などの液中、またはこれらの液体が付着する場

所

- ・ 潮風, 腐食性ガス (亜硫酸ガス, 硫化水素, 塩素, アンモニア, 二酸化窒素, 塩化水素など) がある場所
- ・ 静電気または電磁波の強い環境
- ・ 電源の瞬断または異常電圧が発生する環境
- ・ 部品が結露するような環境
- ・ 潤滑油からのオイルミストが発生する環境
- ・ 高度 2000 m を超える環境
- ・ 車両, 船舶または航空機内など振動または衝撃が多く発生する環境

当社へのお問い合わせ

本製品の故障については, 本書 (紙版説明書では巻末, 電子版説明書では別ファイル) に記載の「本製品についてのお問い合わせ窓口」へすみやかにご連絡ください。

国外持ち出しに関する注意

1. 本製品は日本国内仕様であり、外国の安全規格などに準拠していない場合もありますので、国外へ持ち出して使用された場合、当社は一切の責任を負いかねます。
2. 本製品および添付マニュアル類は、輸出および国外持ち出しの際には、「外国為替及び外国貿易法」により、日本国政府の輸出許可や役務取引許可を必要とする場合があります。また、米国の「輸出管理規則」により、日本からの再輸出には米国政府の再輸出許可を必要とする場合があります。

本製品や添付マニュアル類を輸出または国外持ち出しする場合は、事前に必ず当社の営業担当までご連絡ください。

輸出規制を受ける製品やマニュアル類を廃棄処分する場合は、軍事用途等に不正使用されないように、破碎または裁断処理していただきますようお願い致します。

ソフトウェア使用許諾

お客様は、ご購入いただいたソフトウェア（プログラム、データベース、電子機器の動作・設定などを定めるシナリオ等を含み、以下「本ソフトウェア」と総称します）を使用（実行、インストール、複製、記録等を含み、以下「使用」と総称します）する前に、本「ソフトウェア使用許諾」（以下「本使用許諾」といいます）をお読みください。お客様から本使用許諾の規定にご同意いただいた場合のみ、お客様は、本使用許諾に定められた範囲において本ソフトウェアをアンリツが推奨または指定する装置（以下、「本装置」といいます）に使用することができます。お客様が本ソフトウェアを使用したとき、当該ご同意をいただいたものとします。

第 1 条（許諾、禁止内容）

1. お客様は、本ソフトウェアを有償・無償にかかわらず第三者へ販売、開示、移転、譲渡、賃貸、リース、頒布し、または再使用させる目的で複製、開示、使用許諾することはできません。
2. お客様は、本ソフトウェアをバックアップの目的で、1 部のみ複製を作成できます。
3. 本ソフトウェアのリバースエンジニアリング、逆アセンブルもしくは逆コンパイル、または改変もしくは派生物（二次的著作物）の作成は禁止させていただきます。
4. お客様は、本ソフトウェアを本装置 1 台で使用できます。

第 2 条（免責）

アンリツは、お客様による本ソフトウェアの使用または使用不能から生ずる損害、第三者からお客様に請求された損害を含め、一切の損害について責任を負わないものとします。ただし、当該損害がアンリツの故意または重大な過失により生じた場合はこの限りではありません。

第 3 条（修補）

1. お客様が、取扱説明書に書かれた内容に基づき本ソフトウェアを使用していたにもかかわらず、本ソフトウェアが取扱説明書もしくは仕様書に書かれた内容どおりに動作しない場合（以下「不具合」といいます）には、アンリツは、アンリツの判断に基づいて、本ソフトウェアを無償で修補、交換し、または不具合回避方法のご案内をするものとします。ただし、以下の事項による本ソフトウェアの不具合および破損、消失したお客様のいかなるデータの復旧を除きます。
 - a) 取扱説明書・仕様書に記載されていない使用目的での使用
 - b) アンリツが指定した以外のソフトウェアとの相互干渉
 - c) アンリツの承諾なく、本ソフトウェアまたは本装置の修理、改造がされた場合

d) 他の装置による影響、ウイルスによる影響、災害、その他の外部要因などアンリツの責めとみなすことができない要因があった場合

2. 前項に規定する不具合において、アンリツが、お客様ご指定の場所で作業する場合の移動費、宿泊費および日当に係る現地作業費については有償とさせていただきます。
3. 本条第 1 項に規定する不具合に係る保証責任期間は本ソフトウェア購入後 6 か月または修補後 30 日いずれか遅い方の期間とさせていただきます。

第 4 条（法令の遵守）

お客様は、本ソフトウェアを、直接、間接を問わず、核、化学・生物兵器およびミサイルなど大量破壊兵器および通常兵器、ならびにこれらの製造設備等・関連資機材等の拡散防止の観点から、日本国の「外国為替及び外国貿易法」およびアメリカ合衆国「輸出管理法」その他国内外の関係する法律、規則、規格等に違反して、いかなる仕向け地、自然人もしくは法人に対しても輸出しないものとし、また輸出させないものとします。

第 5 条（規定の変更）

アンリツは、本使用許諾の規定の変更が、お客様の一般の利益に適う場合、または本使用許諾の目的および変更に係る諸事情に照らして合理的な場合に、お客様の承諾を得ることなく変更を実施することができます。変更にあたりアンリツは、原則として 45 日前までに、その旨（変更後の内容および実施日）を自己のホームページに掲載し、またはお客様に書面もしくは電子メールで通知します。

第 6 条（解除）

1. アンリツは、お客様が、本使用許諾のいずれかの条項に違反したとき、アンリツの著作権およびその他の権利を侵害したとき、暴力団等反社会的な団体に属しもしくは当該団体に属する者と社会的に非難されるべき関係があることが判明したとき、または法令に違反したとき等、本使用許諾を継続できないと認められる相当の事由があるときは、直ちに

本使用許諾を解除することができます。

2. お客様またはアンリツは、30 日前までに書面で相手方へ通知することにより、本使用許諾を終了させることができます。

第 7 条（損害賠償）

お客様が本使用許諾の規定に違反した事に起因してアンリツが損害を被った場合、アンリツはお客様に対して当該損害の賠償を請求することができます。

第 8 条（解除後の義務）

お客様は、第 6 条により、本使用許諾が解除されまたは終了したときは直ちに本ソフトウェアの使用を中止し、アンリツの求めに応じ、本ソフトウェアおよびそれらに関する複製物を含めアンリツに返却または廃棄するものとします。

第 9 条（協議）

本使用許諾の条項における個々の解釈について生じた疑義、または本使用許諾に定めのない事項について、お客様およびアンリツは誠意をもって協議のうえ解決するものとします。

第 10 条（準拠法）

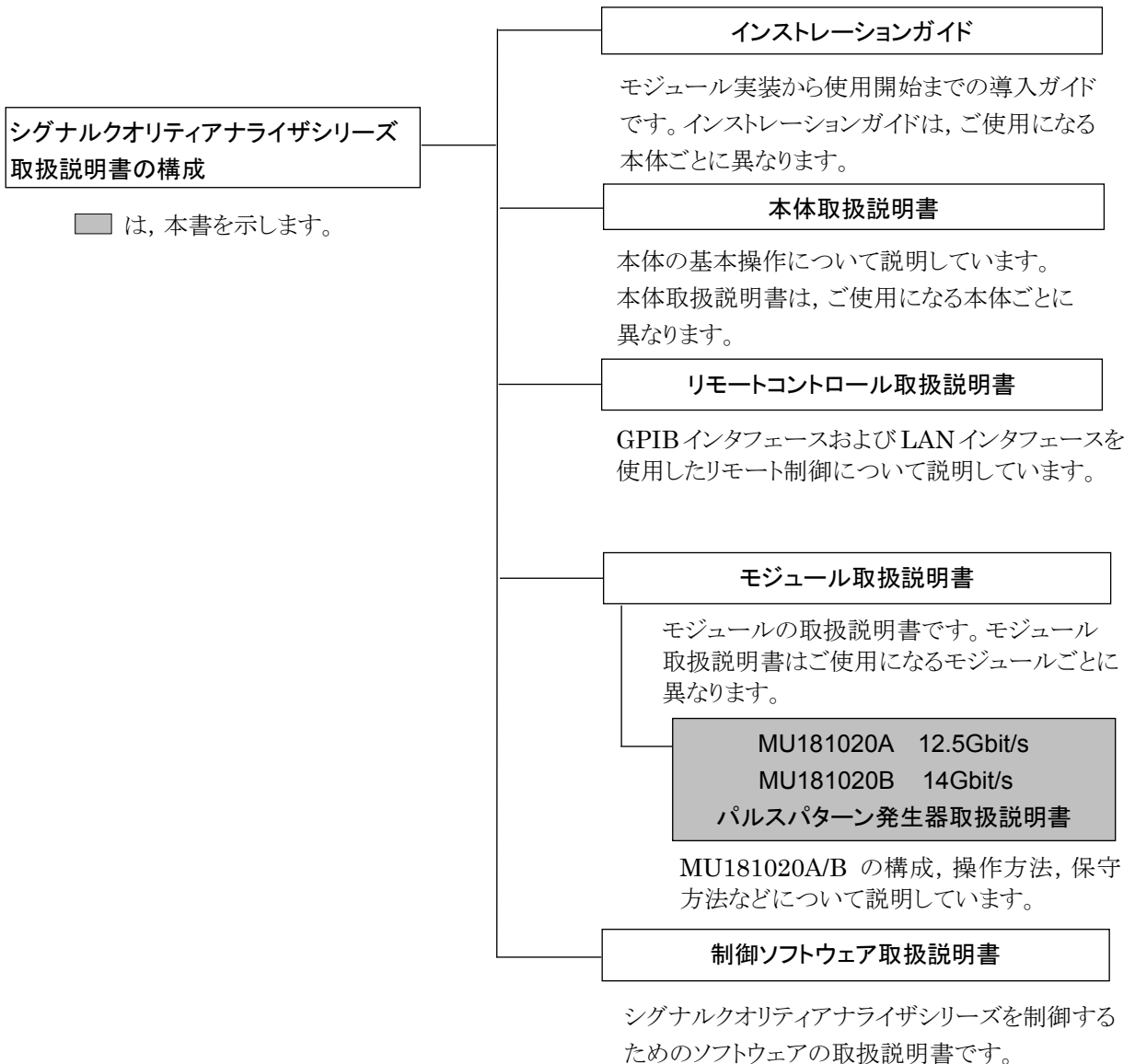
本使用許諾は、日本法に準拠し、日本法に従って解釈されるものとします。本使用許諾に関する紛争の第一審の専属的合意管轄裁判所は、東京地方裁判所とします。

(改定履歴)

2020 年 2 月 29 日

はじめに

MP1800A シグナルクオリティアナライザ本体, MT1810A 4 スロットシャーシ本体, モジュール, および制御ソフトウェアを組み合わせた試験システムをシグナルクオリティアナライザシリーズといいます。シグナルクオリティアナライザシリーズの取扱説明書は, 以下のように, インストレーションガイド, 本体, リモートコントロール, モジュール, および制御ソフトウェアに分かれて構成されています。



目次

はじめに	I
第 1 章 概要.....	1-1
1.1 製品の概要	1-2
1.2 機器の構成	1-3
1.3 規格	1-7
第 2 章 使用前の準備.....	2-1
2.1 本体への実装	2-2
2.2 アプリケーションの操作方法	2-2
2.3 破損防止処理	2-3
第 3 章 パネルおよびコネクタの説明	3-1
3.1 パネルの説明.....	3-2
3.2 モジュール間の接続	3-3
第 4 章 画面構成.....	4-1
4.1 画面全体の構成	4-2
4.2 操作画面の構成	4-3
第 5 章 操作方法.....	5-1
5.1 出力インターフェースの設定	5-2
5.2 Pattern の設定.....	5-19
5.3 Error 付加機能.....	5-53
5.4 Misc 機能	5-56
5.5 Multi Channel 機能.....	5-67
5.6 Unit Sync 機能	5-77

第 6 章 使用例 6-1

- 6.1 Optical Transceiver Module の測定 (PRBS パターンを使用
してのエラーレート測定) 6-2
- 6.2 4:1 MUX の測定 (4 台の本器を使用した, 40 Gbit/s PRBS
パターン信号の発生) 6-5
- 6.3 ONU-OLT 上り試験 (Burst 信号のエラーレート測定) 6-9

第 7 章 性能試験 7-1

- 7.1 性能試験 7-2
- 7.2 性能試験用機器 7-2
- 7.3 性能試験項目 7-3

第 8 章 保守 8-1

- 8.1 日常の手入れ 8-2
- 8.2 保管上の注意 8-2
- 8.3 輸送方法 8-3
- 8.4 校正 8-3
- 8.5 廃棄 8-3

第 9 章 トラブルシューティング 9-1

- 9.1 モジュール交換時の問題 9-2
- 9.2 出力波形観測時の問題 9-2
- 9.3 エラーレート測定時の問題 9-3

付録 A 擬似ランダムパターンA-1

付録 B 初期設定項目一覧B-1

付録 C 設定制約事項C-1

付録 D 性能試験結果記入表D-1

付録 E Unit Sync 機能の使用準備E-1

この章では, MU181020A 12.5Gbit/s パルスパターン発生器, MU181020B 14Gbit/s パルスパターン発生器(以下, 本器と呼びます。)の概要について説明します。

なお, 本書では特記事項がない限り, MU181020A として説明しています。

1.1	1.1 製品の概要	1-2
1.2	1.2 機器の構成	1-3
	1.2.1 1.2.1 標準構成	1-3
	1.2.2 1.2.2 オプション	1-4
	1.2.3 1.2.3 応用部品	1-6
1.3	1.3 規格	1-7
	1.3.1 1.3.1 MU181020A 規格	1-7
	1.3.2 1.3.2 MU181020B 規格	1-25

1.1 製品の概要

本器は、シグナルクオリティアナライザシリーズの本体に内蔵可能なプラグインモジュールです。本器は動作周波数範囲内で PRBS パターン、DATA パターン、Zero-Substitution パターン、Alternate パターン、Mixed パターン、および Sequence パターンの各種パターンを発生できます。

本器はさまざまなオプション構成が可能であり、各種デジタル通信機器、デジタル通信用モジュール、およびデバイスの研究開発や製造用に適しています。

本器の特長は下記のとおりです。

- PRBS パターン、DATA パターン、Zero-Substitution パターン、Alternate パターン、Mixed パターン、Sequence パターンの発生が可能。
- 大容量のユーザプログラマブルパターン(128 Mbits)。
- オプション構成の選択により、各種デバイスの研究開発および製造用に幅広く対応。
- オプション増設により、将来の拡張性に柔軟に対応。
- 本器を 2 モジュール使用することにより、MU181020A では 25 Gbit/s まで、MU181020B では 28 Gbit/s までの各種デバイス評価が可能。
- 本器を 4 モジュール使用することにより、MU181020A では 50 Gbit/s まで、MU181020B では 56 Gbit/s までの各種デバイス評価が可能。

1.2 機器の構成

1.2.1 標準構成

本器の標準構成を表 1.2.1-1, 2 に示します。

表1.2.1-1 MU181020A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU181020A	12.5Gbit/s パルスパターン発生器	1	
添付品	Z0897A	MP1800A Manual CD	1	CD-ROM
	J1137	同軸終端器	3	
	J1341A	オープン	1	
	Z0918A	MX180000A Software CD	1	CD-ROM

表1.2.1-2 MU181020B 標準構成

項目	形名・記号	品名	数量	備考
本体	MU181020B	14Gbit/s パルスパターン発生器	1	
添付品	Z0897A	MP1800A Manual CD	1	CD-ROM
	J1137	同軸終端器	3	
	J1341A	オープン	1	
	Z0918A	MX180000A Software CD	1	CD-ROM

1.2.2 オプション

本器のオプションを表 1.2.2-1, 2 に, オプション用添付品を表 1.2.2-3, 4 に示します。これらはすべて別売りです。

表1.2.2-1 MU181020A オプション

形名	品名	備考
MU181020A-001	9.8～12.5 Gbit/s	MU181020A-002 との同時実装不可
MU181020A-002	0.1～12.5G bit/s	MU181020A-001 との同時実装不可
MU181020A-x10	データ出力 (0.05～0.8 V _{p-p})	MU181020A-x11, x12, x13 との同時実装不可
MU181020A-x11	データ出力 (0.25～2.5 V _{p-p})	MU181020A-x10, x12, x13 との同時実装不可
MU181020A-x12	高性能データ出力 (0.05～2.0 V _{p-p})	MU181020A-x10, x11, x13 との同時実装不可
MU181020A-x13	データ出力 (0.5～3.5 V _{p-p})	MU181020A-x10, x11, x12 との同時実装不可
MU181020A-x21	差動クロック出力 (0.1～2.0 V _{p-p})	
MU181020A-x30	データ位相可変	MU181020A-001 への実装不可

表1.2.2-2 MU181020B オプション

形名	品名	備考
MU181020B-002	0.1～14 Gbit/s	必須オプション
MU181020B-003 ^{*1}	14.05Gbit/s 拡張	
MU181020B-005 ^{*1}	14.1Gbit/s 拡張	
MU181020B-x11	データ出力 (0.25～2.5 Vp-p)	MU181020B-x12, x13との同時実装不可
MU181020B-x12	高性能データ出力 (0.05～2.0 Vp-p)	MU181020B-x11, x13との同時実装不可
MU181020B-x13	データ出力 (0.5～3.5 Vp-p)	MU181020B-x11, x12との同時実装不可
MU181020B-x21	差動クロック出力 (0.1～2.0 Vp-p)	
MU181020B-x30	データ位相可変	

注:

オプション形名について

MU181020A-x x x

機能を表す番号です。
本体で認識されている値です。

当社管理番号です。
本体で認識されていない値です。

*1: MU181020B-003, 005 のオプション形名表示についての注意事項
MU181020B-003, 005 のオプション形名・名称はモジュール正面パネルに記載されます。ソフトウェアによるオプション表示画面には、「MU181020B-02(0.1 to 14Gbit/s)」と表示されますが、0.1～14.05Gbit/s, または 0.1～14.1Gbit/s のビットレートで動作が保証されます。

表1.2.2-3 MU181020A オプション用添付品

項目	形名・記号	品名	数量	備考
MU181020A-x11, x12, x13, x21	J1359A	同軸アダプタ (K-P, K-J, SMA 互換)	2	
MU181020A-x21	J1137	同軸終端器	1	

表1.2.2-4 MU181020B オプション用添付品

項目	形名・記号	品名	数量	備考
MU181020B-x11, x12, x13, x21	J1359A	同軸アダプタ (K-P, K-J, SMA 互換)	2	
MU181020B-x21	J1137	同軸終端器	1	

1.2.3 応用部品

本器の応用部品を表 1.2.3-1, 2 に示します。これらはすべて別売りです。

表1.2.3-1 MU181020A 応用部品

形名・記号	品名	備考
J1360A	メジャメントキット	同軸ケーブル 0.8 m×2 同軸ケーブル 1.0 m×1
J1343A	同軸ケーブル 1m	SMA コネクタ
J1342A	同軸ケーブル 0.8m	APC3.5 コネクタ
J1137	同軸終端器	
J1359A	同軸アダプタ(K-P, K-J, SMA 互換)	
W2752AW	MU181020A/B 取扱説明書	冊子
Z0306A	リストストラップ	
J1678A	ESD プロテクションアダプタ-K	K コネクタ

表1.2.3-2 MU181020B 応用部品

形名・記号	品名	備考
J1360A	メジャメントキット	同軸ケーブル 0.8 m×2 同軸ケーブル 1.0 m×1
J1343A	同軸ケーブル 1m	SMA コネクタ
J1342A	同軸ケーブル 0.8m	APC3.5 コネクタ
J1137	同軸終端器	
J1359A	同軸アダプタ(K-P, K-J, SMA 互換)	
W2752AW	MU181020A/B 取扱説明書	冊子
Z0306A	リストストラップ	
J1678A	ESD プロテクションアダプタ-K	K コネクタ

1.3 規格

1.3.1 MU181020A規格

表1.3.1-1 MU181020A 規格

項目	規格	備考
動作周波数範囲	9.8～12.5 GHz	MU181020A -001 実装時
動作ビットレート	9.8～12.5 Gbit/s (1/1 Mode) 4.9～6.25 Gbit/s (1/2 Mode) 2.45～3.125 Gbit/s (1/4 Mode) 1.225～1.5625 Gbit/s (1/8 Mode)	
入力切り替え	Internal・External 切り替え可能	
内蔵クロック		
周波数可変範囲	9.8～12.5 GHz (1/1 Mode) 4.9～6.25 GHz (1/2 Mode) 2.45～3.125 GHz (1/4 Mode) 1.225～1.5625 GHz (1/8 Mode)	
分解能	1 kHz, 1 MHz Step	
信号純度	−75 dBc/Hz (Typ) SSB 位相雑音 (10 kHz オフセット・帯域幅 1 Hz)	
外部クロック		
入力周波数	9.8～12.5 GHz ビットレートの 1/1 クロック または 1/64 クロック	
入力信号純度	1/1 Clock (9.8～12.5 GHz) < −90 dBc/Hz 1/64 Clock (153.125～195.3125 MHz) < −110 dBc/Hz SSB 位相雑音 (10 kHz オフセット・帯域幅 1 Hz)	
外部クロック		MU181020A -002 実装時
動作周波数範囲	0.1～12.5 GHz	
パターン生成	Repeat・Burst	
Data Sequence	Restart・Consecutive・Continuous	Burst 時

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
発生パターン			
PRBS	Pattern Length	$2^n - 1$ (n=7, 9, 10, 11, 15, 20, 23, 31)	
	マーク率	1/2, 1/4, 1/8, 0/8, 1/2INV, 3/4, 7/8, 8/8	
	マーク率時の AND ビットシフト数	1 bit/3 bit (1/4, 3/4, 7/8, 1/8 において)	
Zero-Substitution	Pattern Length	2^n (n=7, 9, 10, 11, 15, 20, 23) $2^n - 1$ (n=7, 9, 10, 11, 15, 20, 23)	
	ゼロ連ビット長	1～(Pattern Length－1) ビットまで挿入可能	
Data	Pattern Length	2～134 217 728 bits, 1 bit Step 2 Ch Combination 時: 4～268 435 456 bits, 2 bit Step 4 Ch Combination 時: 8～536 870 912 bits, 4 bit Step	
Alternate	Pattern Length	128～67 108 864 bits, 128 bits Step (A/B 独立設定可能)	Combination 時, または Burst 時不可
	Loop Control	Internal, External, Manual(1 shot 非同期)	
	Loop Time	1～511 回, 1 Step, A/B 独立設定可能	
Mixed	Loop Control	Alternate 切り替え制御	
	Loop Time	1～511 回, 1 Step, A/B 独立設定可能	
	Block 数	1～以下 a), b), c), d) のいずれか小さい数, 1 Step a) 511 b) $\text{INT}(128 \text{ Mbits} \times x / (\text{Row 数} \times \text{Data Length}'))$ ここで, Data Length' は ・Data Length'/(128×x) に余りがある場合 = $(\text{INT}(\text{Data Length}' / (128 \times x)) + 1) \times 128 \times x$ ・Data Length'/(128×x) に余りがない場合 = Data Length' ただし, Data Length'×Row 数×Block 数 ≤128 Mbits となる最大 Block 数。 c) $\text{INT}((128 \text{ Mbits} + 2^{31}) \times x / (\text{Row Length} \times \text{Row 数}))$ x は, 以下のとおりになります。 Independent 時: 1 2 Ch Combination 時: 2 4 Ch Combination 時: 4 d) $(\text{Row Length} - \text{Data Length}) \times \text{Block 数}$ ≥ 2^{31} (2 147 483 648)	
	Pattern	Data, Alternate (Alternate は Combination 時, 不可)	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
Mixed (続き)	Data Length	512～134 217 728 bits (Data 時) 512～67 108 864 bits (Alternate 時) 2 Ch Combination 時: 1 024～268 435 456 bits, 2 bit Step (Data 時) 4 Ch Combination 時: 2 048～536 870 912 bits, 4 bit Step (Data 時) PRBS length: 2^n-1 (n=7, 9, 10, 11, 15, 20, 23, 31)	
	Row Length	768～2 281 701 376 bits, 128 bits Step (Data 時) 768～2 214 592 512 bits, 128 bits Step (Alternate 時) 2 Ch Combination 時: 1 536～4 563 402 752 bits, 256 bit Step (Data 時) 4 Ch Combination 時: 3 072～9 126 805 504 bits, 512 bit Step (Data 時)	
	Row 数	1～以下 a), b), c) のいずれか小さい数, 1 Step a) 16 b) $\text{INT}(128 \text{ Mbit} \times x / \text{Data Length}')$ ここで, Data Length' は • $\text{Data Length} / (128 \times x)$ に余りがある場合 $= (\text{INT}(\text{Data Length} / (128 \times x)) + 1) \times 128 \times x$ • $\text{Data Length} / (128 \times x)$ に余りがない場合 $= \text{Data Length}$ ただし, $\text{Data Length}' \times \text{Row 数} \times \text{Block 数} \leq 128 \text{ Mbits}$ となる最大 Row 数。 c) $\text{INT}((128 \text{ Mbits} + 2^{31}) \times x / \text{Row Length})$ x は, 以下となります。 Independent 時: 1 2 Ch Combination 時: 2 4 Ch Combination 時: 4	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
Sequence	Block number	1～128/1 Step	Combination 時または Burst 時不可
	Block length	8 192～1 048 576 bits, 128 bits Step	
	Loop time	1～1 024 回, 1 Step または repeat	
	Sequence conditions	各 block 独立設定可能 A pattern match, B pattern match, Manual Trigger, loop complete, External trigger	
	Next destination	Next, Stop, Jump, None	
Pattern Sequence	Repeat	連続 Pattern	
	Burst	Burst Pattern (PRBS, Zero-Substitution, Data, Mixed のみ対応) Source: Internal, External-Trigger (AUX Input), External-Enable (AUX Input) Data Sequence: Restart, Consecutive, Continuous Burst Cycle: 1 280～2 147 483 648 bits / 128 bits step Enable period: 640～2 147 483 520 bits / 128 bits	
論理反転		Positive・Negative 切り替え可能	
誤り挿入	領域	ALL, Specific block (ALTN, Mixed, Sequence の場合のみ選択可能)	
	Control Method	Internal・External-Trigger・External-Disable 切り替え可能 (外部入力時は, AUX Input 使用)	
	Error Variation	Repeat, Single	
	Error Ratio	*E-n (* = 1～9, n = 2～12)	Combination 時は n = 3～12
	Insertion CH	1～32, CH Scan (Internal 時のみ)	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
外部クロック 入力	入力周波数範囲	1/1 Clock: 9.8~12.5 GHz 1/64 Clock: 153.125~195.3125 MHz	MU181020A -001 実装時
		0.1~12.5 GHz	MU181020A -002 実装時
	入力振幅	0.4~2.0 Vp-p (−4~10 dBm)	
	入力波形	100~500 MHz: 矩形波 > 500 MHz: 正弦波または矩形波 (Duty 50%)	
	終端	AC/50 Ω	
	コネクタ	SMA	
AUX 入力	入力信号選択	Alternate Control (L:A, H:B パターン) 発生パターンで, Alternate または Mixed-Alternate 選択時	
		Sequence Control (立ち上がりエッジ検出時に次の Sequence へ遷移) 発生パターンで Sequence 選択時	
		Error Injection (立ち上がりエッジ検出時にエラー発生) 2 または 4 Ch Combination 時: Master Module への入力のみ有効	
		Burst: Pattern Sequence 設定が Burst かつ Source が Internal 以外の場合, 2 または 4 Ch Combination 時: Master Module への入力のみ有効 External Trigger (立ち上がりエッジ検出時にデータ発生) External Enable (L:データ無効, H:データ出力)	
	最小パルス幅	データレートの 1/64	
	入力レベル	0/−1 V H: −0.25~0.05 V L: −1.10~−0.80 V	
	終端	50 Ω/GND	
	コネクタ	SMA	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
AUX 出力	出力信号選択	1/N Clock, Pattern Sync, Burst Output2 Burst Output2 は Pattern Sequence が Burst 設定の場合有効	
	1/N Clock	1/N: N=2, 4, 8, 9, 10……510, 511	MU181020A-002 実装時
		1/N: N=2, 4, 8, 9, 10……510, 511 (1/1 Mode) 1/N: N=1, 2, 4, 8, 9, 10……254, 255 (1/2 Mode) 1/N: N=1, 2, 4, 8, 9, 10……126, 127 (1/4 Mode) 1/N: N=1, 2, 4, 8, 9, 10……62, 63 (1/8 Mode)	MU181020A-001 実装時
	Pattern Sync		
	PRBS, Data, Zero-substitution 時	Position: 1～Pattern Length ^{*1} と 64 の最小公倍数-79, 16 bits Step 最大 68 719 476 657 まで設定可 2 Ch Combination 時: 1～Pattern Length ^{*1} と 128 の最小公倍数-159, 32 bits Step 4 Ch Combination 時: 1～Pattern Length ^{*1} と 256 の最小公倍数-319, 64 bits Step 最大 274 877 906 625 まで設定可	
	Alternate 時	A/B パターン切り替え:A/B パターンの先頭で同期信号出力 Position: 1～Pattern Length ^{*1} と 64 の最小公倍数-79, 16 bits Step	
	Mixed Data 時	Block No 設定: 1～Mixed Data 指定の Block No, 1 Step Row No 設定: 1～Mixed Data 指定の Row No, 1 Step	
	Mixed Alternate 時	Block No 設定: 1～Mixed Alternate 指定の Block No, 1 Step Mixed Alternate Content: A/B パターン切り替え Row No 設定: 1～Mixed Alternate 指定の Row No, 1 Step	
	Sequence 時	Block No 設定: 1～Sequence Pattern 設定の Block No, 1 Step Position: 1～Pattern Length ^{*1} と 64 の最小公倍数-79, 16 bits Step	

*1: Independent時は127 bits以下のパターン長の場合、128 bits以上になるように整数倍した長さを指します。

2 Ch Combination時は255 bits以下のパターン長の場合、256 bits以上になるように整数倍した長さを指します。

4 Ch Combination時は511 bits以下のパターン長の場合、512 bits以上になるように整数倍した長さを指します。

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
AUX 出力 (続き)	Burst Output2	Trigger Delay: 0～Burst Cycle-64 bits, 16 bits Step Enable Pulse Width: 0～Burst Cycle-64 bits, 16 bits Step	Burst 時 選択可能
	出力レベル	0/-1 V H: -0.25～0.05 V L: -1.10～-0.80 V	
	終端	50 Ω/GND	
	コネクタ	SMA	
Gating 出力	Timing Signal	Cycle: PRBS, Data, Zero-Substitution の場合 Pattern Length と 64 の最小公倍数 2 Ch Combination 時: 0～Pattern Length と 128 の最小公倍数 4 Ch Combination 時: 0～Pattern Length と 256 の最小公倍数 Mixed の場合 (Row Length×Row 数×Block 数) Alternate の場合 A, B それぞれの Pattern Length Sequence の場合 Aux Output の Pattern Sync で指定した Block の Pattern Length	Repeat 時 選択可能
		Pulse Width: PRBS, Data, Zero Substitution, Alternate の場合 0～Pattern Length* ¹ と 64 の最小公倍数-64, 16 bits Step (Pattern Length が 64 bit 以下は 0～64 bits, 最大 68 719 476 672 まで設定可) 2 Ch Combination 時: 0～Pattern Length* ¹ と 128 の最小公倍数-128, 32 bits Step (Pattern Length* ¹ が 128 bit 以下は 0～128 bits, 最大 137 438 953 344 まで設定可) 4 Ch Combination 時: 0～Pattern Length* ¹ と 256 の最小公倍数-256, 64 bits Step (Pattern Length が 256 bit 以下は 0～256 bits, 最大 274 877 906 688 まで設定可) Mixed の場合 0～Row Length×Row 数×Block 数-64, 16 bits Step 4 Ch Combination 時: 0～Row Length×Row 数×Block 数-256, 64 bits Step Sequence の場合 0～64, 16 bits Step (Block なし) 0～Aux Output の Pattern Sync で指定した Block の Pattern Length-64, 16 bits Step (Block あり)	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
Gating 出力 (続き)	Timing Signal (続き)	Delay: PRBS, Data, Zero Substitution, Alternate の場合 0～Pattern Length ^{*1} と 64 の最小公倍数-64, 16 bits Step (Pattern Length が 79 bit 以下は 0 bit, 最大 4 294 967 232 まで設定可) 2 Ch Combination 時: 0～Pattern Length ^{*1} と 128 の最小公倍数-128, 32 bits Step (Pattern Length が 128 bit 以下は 0～128 bits, 最大 8 589 934 464 まで設定可) 4 Ch Combination 時: 0～Pattern Length ^{*1} と 256 の最小公倍数-256, 64 bits Step (Pattern Length が 256 bit 以下は 0～256 bits, 最大 17 179 868 928 まで設定可) Mixed の場合 0～Row Length×Row 数×Block 数-64, 16 bits Step 2 Ch Combination 時: 0～Row Length×Row 数×Block 数-128, 32 bits Step 4 Ch Combination 時: 0～Row Length×Row 数×Block 数-256, 64 bits Step Sequence の場合 0～Aux Output の Pattern Sync で指定した Block の Pattern Length-64, 16 bits Step (Block あり)	Repeat 時 選択可能

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
Gating 出力 (続き)	Burst 出力	Enable Period: Internal 640～2 147 483 136 bits, 128 bits Step Internal 以外 640～2 147 483 648 bits, 128 bits Step 2 Ch Combination 時: Internal 1 280～4 294 966 272 bits, 256 bits Step Internal 以外 1 280～4 294 967 296 bits, 256 bits Step 4 Ch Combination 時: Internal 2 560～8 589 932 544 bits, 512 bits Step Ext Trigger/Enable 2 560～8 589 934 592 bits, 512 bits Step	Burst 時 選択可能
		Burst Cycle: 1 280～2 147 483 648 bits, 128 bits Step 2 Ch Combination 時: 2 560～4 294 967 296 bits, 256 bits Step 4 Ch Combination 時: 5 120～8 589 934 592 bits, 512 bits Step	
		Delay: 0～Burst Cycle–64 bits, 16 bits Step 2 Ch Combination 時: 0～Burst Cycle – 128 bits, 32 bits Step 4 Ch Combination 時: 0～Burst Cycle – 256 bits, 64 bits Step	
		Pulse Width: 0～Burst Cycle – 64 bits, 16 bits Step 2 Ch Combination 時: 0～Burst Cycle – 128 bits, 32 bits Step 4 Ch Combination 時 0～Burst Cycle – 256 bits, 64 bits Step	
	出力レベル	0/–1 V H:–0.25～0.05 V L: –1.10～–0.80 V	
	終端	50 Ω/GND	
	コネクタ	SMA	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
データ出力 (PRBS _{2²³-1} , Mark Ratio 1/2 にて規定)	出力数	2 (Data/ $\overline{\text{Data}}$ 非独立)	MU181020A -001 実装時のみ
	出力振幅	0/-0.5 V (Fixed) H: -0.20~0.10 V L: -0.65~-0.40 V	
	Cross Point	50%±15% (Fixed)	
	立ち上がり・立ち下 がり時間	Typ. 30 ps (20~80%) (≥ 5 Gbit/s) Typ. 40 ps (20~80%) (< 5 Gbit/s)	
	Total Jitter	Typ. 15 ps (p-p) * ₂	
	終端	50 Ω /GND	
	コネクタ	SMA	
	出力数	2 (Data/ $\overline{\text{Data}}$ 非独立)	MU181020A -002 実装時のみ
	出力振幅	0/-1.0 V (Fixed) H: -0.25~0.05 V L: -1.4~-0.85 V	
	Cross Point	50%±15% (Fixed)	
	立ち上がり・立ち下 がり時間	Typ. 35 ps (20~80%) (≥ 5 Gbit/s) Typ. 45 ps (20~80%) (< 5 Gbit/s)	
	Total Jitter	Typ. 10 ps (p-p) * ₂	
	終端	50 Ω /GND	
	コネクタ	SMA	

*2: ジッタ規格値は, オシロスコープ残留ジッタ < 200 fs (RMS) のものを使用し
たときの値です。

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
データ出力 (MU181020A -x10) Variable Data Output (0.05~0.8 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020A -x10 実装時
	出力振幅	0.05~0.8 Vp-p/2 mV Step (非独立可変) 設定誤差: $\pm 50 \text{ mV} \pm 17\%$ ($\geq 0.1 \text{ Vp-p}$) $\pm 25 \text{ mV} \pm 17\%$ ($< 0.1 \text{ Vp-p}$)	
	Offset	-2.0~+3.3 Voh/1 mV Step (独立可変) 設定誤差: $\pm 65 \text{ mV} \pm 10\%$ of offset (Vth) $\pm$ (Amplitude 設定誤差/2) 電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, NCML, PCML, LVPECL, LVDS (200 mVp-p, 400 mVp-p)	
	Tracking	あり	
	Cross Point	30~70%/1% Step (非独立可変)	
	立ち上がり・立ち下がり時間	Typ. 28 ps (20~80%) ($\geq 5 \text{ Gbit/s}$, $> 200 \text{ mVp-p}$) Typ. 35 ps (20~80%) ($< 5 \text{ Gbit/s}$, $> 200 \text{ mVp-p}$)	
	Total Jitter	Typ. 15 ps p-p (MU181020A-001 実装時)*2 Typ. 10 ps p-p (MU181020A-002 実装時)*2	
	波形歪み(0 peak)	Typ. $\pm 14\%$ (10 Gbit/s, 振幅: 0.5~0.8 Vp-p)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	SMA	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
データ出力 (MU181020A -x11) Variable Data Output (0.25 ~ 2.5 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020A -x11 実装時
	出力振幅	0.25~2.5 Vp-p/2 mV Step (独立可変)	
		設定誤差: $\pm 50 \text{ mV} \pm 17\%$	
	Offset	-2.0~+3.3 Voh, 1 mV Step (独立可変)	
		設定誤差: $\pm 65 \text{ mV} \pm 10\% \text{ of offset (Vth)} \pm (\text{Amplitude 設定誤差}/2)$	
		電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL, LVDS (400 mVp-p)	
	Tracking	あり	
	Cross Point	30~70%/1% Step (独立可変)	
	立ち上がり・立ち下がり時間	Typ. 28 ps (20~80%) ($\geq 5 \text{ Gbit/s}$) Typ. 35 ps (20~80%) ($< 5 \text{ Gbit/s}$)	
	Total Jitter	Typ. 15 ps p-p (MU181020A-001 実装時)*2 Typ. 10 ps p-p (MU181020A-002 実装時)*2	
	波形歪み (0 peak)	Typ. 25 mV $\pm 6\%$ (10 Gbit/s)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
データ出力 (MU181020A-x12) High Performance Data Output (0.05~2.0 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020A-x12 実装時
	出力振幅	0.05~2.0 Vp-p/2 mV Step (独立可変)	
		設定誤差: ±50 mV ±17% (≥ 0.1 Vp-p) ±25 mV ±17% (< 0.1 Vp-p)	
	Offset	-2.0~+3.3 Voh, 1 mV Step (独立可変)	
		設定誤差: ±65 mV ±10% of offset (Vth) ± (Amplitude 設定誤差/2)	
		電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL, LVDS (200 mVp-p, 400 mVp-p)	
	Tracking	あり	
	Cross Point	20~80%/1% Step (独立可変)	
	立ち上がり・立ち下がり時間	Typ. 20 ps (20~80%) (12.5 Gbit/s, 10 Gbit/s, 2 Vp-p 時において) Typ. 25 ps (10~90%) (12.5 Gbit/s, 10 Gbit/s, 2 Vp-p 時において)	
	Total Jitter	Typ. 15 ps p-p (MU181020A-001 実装時)*2 Typ. 8 ps p-p (MU181020A-002 実装時)*2	
	波形歪み (0 peak)	Typ. 25 mV ±6% (10 Gbit/s)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
データ出力 (MU181020A -x13) Variable Data Output (0.5~3.5 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020A -x13 実装時
	出力振幅	0.5~3.5 Vp-p/2 mV Step (独立可変) 設定誤差: $\pm 50 \text{ mV} \pm 17\%$ クロスポイント: 20~80% (@10 Gbit/s, 振幅 1.0~3.0 Vp-p) にて規定	
	Offset	-2.0~+3.3 Voh, 1 mV Step (独立可変)	
		最小値: -4.0 Vol	
		設定誤差: $\pm 65 \text{ mV} \pm 10\% \text{ of offset (Vth)} \pm (\text{Amplitude 設定誤差}/2)$	
		電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL	
	Tracking	あり	
	Cross Point	20.0~90.0%/0.1% Step (独立可変)	
	立ち上がり・立ち下がり時間	Typ. 25 ps (20~80%) (10 Gbit/s, $\geq 1 \text{ Vp-p}$)	
	Total Jitter	Typ. 8 ps p-p (10 Gbit/s) *2	
	波形歪み (0 peak)	Typ. 25 mV $\pm 10\%$ (10 Gbit/s, $\geq 2 \text{ Vp-p}$)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
クロック出力	出力数	1 (Clock)	
	出力振幅	0.5 V _{p-p} ±0.25 V (AC) (Fixed) (8～12.5 GHz において) 0.65 V _{p-p} ±0.25 V (AC) (Fixed) (0.1～8 GHz において)	
	Duty	50%±15% (Fixed)	
	立ち上がり・立ち下がり時間	Typ. 30 ps (20～80%) (10 GHz, 12.5 GHz において)	
	Total Jitter	Typ. 2 ps (RMS) (MU181020A-001 実装時) ^{*2} Typ. 1 ps (RMS) (MU181020A-002 実装時) ^{*2}	
	終端	AC/50 Ω	
	コネクタ	SMA	
クロック出力 (MU181020A-x21) (0.1～2.0 V _{p-p})	出力数	2 (Clock/Clock)	MU181020A-x21 実装時
	出力振幅	0.1～2.0 V _{p-p} /2 mV Step (独立可変)	
		設定誤差: ±70 mV ±17% (≥0.2 V _{p-p}) ±50 mV ±17% (<0.2 V _{p-p})	
	Offset	–2.0～+3.3 V _{oh} /1 mV Step (独立可変)	
		設定誤差: ±65m V±10% of offset (V _{th})±(Amplitude 設定誤差/2)	
		電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL, LVDS (200 mV _{p-p} , 400 mV _{p-p})	
	Tracking	あり	
	Duty	–25～+25, 1 Step (No Unit) (非独立)	
	立ち上がり・立ち下がり時間	Typ. 24 ps (20～80%)	
	Total Jitter	Typ. 2 ps (RMS) (MU181020A-001 実装時) ^{*2} Typ. 1 ps (RMS) (MU181020A-002 実装時) ^{*2}	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能	
		DC 時: GND, –2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	K	
	Offset 基準	V _{oh} /V _{th} /V _{ol} 切り替え可能	

表1.3.1-1 MU181020A 規格(続き)

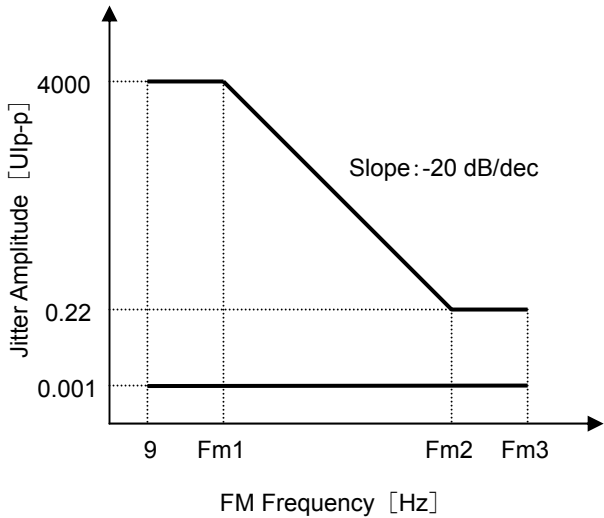
項目		規格	備考																								
Variable Data Delay (MU181020A -x30)	位相可変範囲	-1000~+1000 mUI, 1 mUI Step Combination, Channel Synchronization 時: -64 000~+64 000 mUI, 1 mUI Step	MU181020A -x30 実装時																								
	位相設定誤差	Typ. 20 mUIp-p mUI (Calibration 実行後)																									
	mUI/ps 切り替え	1/1 Clock 周波数での mUI-ps 変換をする																									
	Rerative'0'	画面の指示により可能																									
	Calibration	画面からの指示により可能																									
	Data/Clock 間 位相関係	±100 mUI 以下																									
ジッタ性能	ジッタ耐力マスク	 <p>The graph shows Jitter Amplitude [UIp-p] on the y-axis (log scale with markers at 0.001, 0.22, 4000) versus FM Frequency [Hz] on the x-axis. The mask starts at 4000 UIp-p for frequencies up to Fm1, then decreases with a slope of -20 dB/dec until it reaches 0.22 UIp-p at Fm2, and remains constant at 0.22 UIp-p up to Fm3. A horizontal line is also shown at 0.001 UIp-p.</p> <table border="1" data-bbox="639 1249 1406 1518"> <thead> <tr> <th>Fc [GHz]</th><th>Fm1 [Hz]</th><th>Fm2 [Hz]</th><th>Fm3 [Hz]</th></tr> </thead> <tbody> <tr> <td>$6.4 < F_c \leq 12.5$</td><td>220</td><td>4 M</td><td>80 M</td></tr> <tr> <td>$3.2 < F_c \leq 6.4$</td><td>110</td><td>2 M</td><td>40 M</td></tr> <tr> <td>$1.6 < F_c \leq 3.2$</td><td>55</td><td>1 M</td><td>20 M</td></tr> <tr> <td>$0.8 < F_c \leq 1.6$</td><td>27.5</td><td>500 k</td><td>10 M</td></tr> <tr> <td>$0.1 \leq F_c \leq 0.8$</td><td>13.75</td><td>250 k</td><td>5 M</td></tr> </tbody> </table> <p>測定条件:</p> <ul style="list-style-type: none"> • MU181000A 12.5 GHz シンセサイザ(オプション 001 付き), または MU181000B 12.5 GHz 4 ポートシンセサイザ(オプション 001 付き) (以下, MU181000A/B と呼びます。)の「Internal」変調を選択し, 本器の外部クロック入力に入力する。 • 測定パターン PRBS $2^{31}-1$ • MU181040A にてエラー測定 	Fc [GHz]	Fm1 [Hz]	Fm2 [Hz]	Fm3 [Hz]	$6.4 < F_c \leq 12.5$	220	4 M	80 M	$3.2 < F_c \leq 6.4$	110	2 M	40 M	$1.6 < F_c \leq 3.2$	55	1 M	20 M	$0.8 < F_c \leq 1.6$	27.5	500 k	10 M	$0.1 \leq F_c \leq 0.8$	13.75	250 k	5 M	MU181020A -002 実装時
Fc [GHz]	Fm1 [Hz]	Fm2 [Hz]	Fm3 [Hz]																								
$6.4 < F_c \leq 12.5$	220	4 M	80 M																								
$3.2 < F_c \leq 6.4$	110	2 M	40 M																								
$1.6 < F_c \leq 3.2$	55	1 M	20 M																								
$0.8 < F_c \leq 1.6$	27.5	500 k	10 M																								
$0.1 \leq F_c \leq 0.8$	13.75	250 k	5 M																								

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考																									
ジッタ性能	ジッタ耐力 (変調周波数 80 MHz 以上)	MU181020A -002 実装時																										
		<table><tr><th>Fc [GHz]</th><th>FM Frequency [Hz]</th><th>Jitter Amplitude [Ulp-p] (Max.)</th></tr><tr><td rowspan="2">11.3 < Fc ≤ 12.5</td><td>250 M ~ 1 G</td><td>0.1</td></tr><tr><td>80 M ~ 250 M</td><td>0.22</td></tr><tr><td>8.5 < Fc ≤ 11.3</td><td>80 M ~ 1 G</td><td>0.22</td></tr><tr><td rowspan="2">8.0 < Fc ≤ 8.5</td><td>500 M ~ 1 G</td><td>0.1</td></tr><tr><td>80 M ~ 500 M</td><td>0.22</td></tr><tr><td>4.0 < Fc ≤ 11.3</td><td>80 M ~ 1 G</td><td>0.22</td></tr><tr><td>2.4 < Fc ≤ 4.0</td><td>80 M ~ 500 M</td><td>0.22</td></tr><tr><td>1.4 < Fc ≤ 2.4</td><td>80 M ~ 100 M</td><td>0.22</td></tr></table>		Fc [GHz]	FM Frequency [Hz]	Jitter Amplitude [Ulp-p] (Max.)	11.3 < Fc ≤ 12.5	250 M ~ 1 G	0.1	80 M ~ 250 M	0.22	8.5 < Fc ≤ 11.3	80 M ~ 1 G	0.22	8.0 < Fc ≤ 8.5	500 M ~ 1 G	0.1	80 M ~ 500 M	0.22	4.0 < Fc ≤ 11.3	80 M ~ 1 G	0.22	2.4 < Fc ≤ 4.0	80 M ~ 500 M	0.22	1.4 < Fc ≤ 2.4	80 M ~ 100 M	0.22
		Fc [GHz]	FM Frequency [Hz]	Jitter Amplitude [Ulp-p] (Max.)																								
		11.3 < Fc ≤ 12.5	250 M ~ 1 G	0.1																								
			80 M ~ 250 M	0.22																								
		8.5 < Fc ≤ 11.3	80 M ~ 1 G	0.22																								
		8.0 < Fc ≤ 8.5	500 M ~ 1 G	0.1																								
			80 M ~ 500 M	0.22																								
		4.0 < Fc ≤ 11.3	80 M ~ 1 G	0.22																								
		2.4 < Fc ≤ 4.0	80 M ~ 500 M	0.22																								
1.4 < Fc ≤ 2.4	80 M ~ 100 M	0.22																										
<p>・ MU181000A/B (オプション 001 付き) の「External」変調を選択し、本器の外部クロック入力に入力する。</p> <p>この場合, Fc ≤ 1.4 GHz で上記ジッタ耐力マスクの Fm3 は次のとおりとします。</p> <table><tr><th>Fc [GHz]</th><th>Fm3 [Hz]</th></tr><tr><td>0.65 < Fc ≤ 1.4</td><td>20 M</td></tr><tr><td>0.4 < Fc ≤ 0.65</td><td>10 M</td></tr><tr><td>0.1 ≤ Fc ≤ 0.4</td><td>5 M</td></tr></table>		Fc [GHz]	Fm3 [Hz]	0.65 < Fc ≤ 1.4	20 M	0.4 < Fc ≤ 0.65	10 M	0.1 ≤ Fc ≤ 0.4	5 M																			
Fc [GHz]	Fm3 [Hz]																											
0.65 < Fc ≤ 1.4	20 M																											
0.4 < Fc ≤ 0.65	10 M																											
0.1 ≤ Fc ≤ 0.4	5 M																											
<p>測定条件:</p> <p>・ MU181040A (オプション x20 付き) にてエラー測定 (オプション x20 のクロック再生動作周波数 (4.25 GHz は対象外とする) では, Recovered Clock を使用する。)</p> <p>・ 測定パターン PRBS 2³¹-1</p> <p>・ 周囲温度 25±5°C</p>																												

表1.3.1-1 MU181020A 規格(続き)

項目		規格	備考
Unit Sync	ON/OFF 切り替え *3	あり	Combination Setting の 制限あり*3
	Unit Sync Output	Gating Output コネクタより出力 Pulse Width: 64 bit 固定 Delay: Timing Signal (Repeat)と同じ	
	Unit Sync Input	AUX Input コネクタより入力 Unit Sync (立ち上がりエッジ検出時に同期パターン を発生) 入力の規格は Aux Input と同じ	
	Unit Offset	-1000~+1000 mUI, 1 mUI Step Combination, Channel Synchronization 時: -64 000~+64 000 mUI, 1 mUI Step ただし, Delay 設定値によって制限を受ける。	
機械的寸法	寸法	234 mm (W) × 21 mm (H) × 175 mm (D) (Compact-PCI 1 スロット, ただし, 突起物含まず)	
	質量	2.5 kg 以下 (オプション含む)	
環境的性能	動作温度	5~40°C (本体実装時の機器周辺温度)	
	保管温度	-20~+60°C (推奨保管温度範囲: 5~30°C)	

*3: Independent, 4ch Combination, 25Gx2ch Combination, 12.5G
Channel Synchronization, および 25G Channel Synchronization のと
きに有効です。

1.3.2 MU181020B規格

表1.3.2-1 MU181020B 規格

項目		規格	備考
動作周波数範囲		0.1～14 GHz (MU181020B-002 実装時) 0.1～14.05 GHz (MU181020B-002 + 003 実装時) 0.1～14.1 GHz (MU181020B-002 + 005 実装時)	
パターン生成		Repeat・Burst	
Data Sequence		Restart・Consecutive・Continuous	Burst 時
発生パターン			
PRBS	Pattern Length	$2^n - 1$ (n=7, 9, 10, 11, 15, 20, 23, 31)	
	マーク率	1/2, 1/4, 1/8, 0/8, 1/2INV, 3/4, 7/8, 8/8	
	マーク率時の AND ビットシフト数	1 bit/3 bit (1/4, 3/4, 7/8, 1/8 において)	
Zero-Substitution	Pattern Length	2^n (n=7, 9, 10, 11, 15, 20, 23) $2^n - 1$ (n=7, 9, 10, 11, 15, 20, 23)	
	ゼロ連ビット長	1～Pattern Length－1 ビットまで挿入可能 "0"置換後の次ビットが"0"の場合は, "1"に置換する	
Data	Pattern Length	2～134 217 728 bits, 1 bit Step 2 Ch Combination 時: 4～268 435 456 bits, 2 bit Step 4 Ch Combination 時: 8～536 870 912 bits, 4 bit Step	
Alternate	Data Length	128～67 108 864 bits, 128 bits Step (A/B 独立設定可能)	Combination 時, または Burst 時不可
	Loop Control	Internal: A/B Loop 回数設定により自動切換 External: 外部信号により制御 (H:A Pattern, L:B Pattern) Manual (1 shot 非同期): 押したときに指定回数分 B Pattern を発生	
	Loop Time	1～511 回, 1 Step, A/B 独立設定可能	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
Mixed	Loop Control	Alternate 切り替え制御	
	Loop Time	1～511 回, 1 Step, A/B 独立設定可能	
	Block 数	<p>1～以下 a), b), c), d) のいずれか小さい数, 1 Step</p> <p>a) 511</p> <p>b) $\text{INT}(128 \text{ Mbits} \times x / (\text{Row 数} \times \text{Data Length}'))$ ここで, Data Length' は ・Data Length/(128×x) に余りがある場合 $= (\text{INT}(\text{Data Length} / (128 \times x)) + 1) \times 128 \times x$ ・Data Length/(128×x) に余りがない場合 $= \text{Data Length}$ ただし, Data Length' × Row 数 × Block 数 $\leq 128 \text{ Mbits}$ となる最大 Block 数。</p> <p>c) $\text{INT}((128 \text{ Mbits} + 2^{31}) \times x / (\text{Row Length} \times \text{Row 数}))$ x は, 以下のとおりになります。 Independent 時: 1 2 Ch Combination 時: 2 4 Ch Combination 時: 4</p> <p>d) $(\text{Row Length} - \text{Data Length}) \times \text{Block 数}$ $\geq 2^{31} (2\ 147\ 483\ 648)$</p>	
	Pattern 切り替え	Data, Alternate (Alternate は Combination 時, 不可)	
	Data Length	<p>512～134 217 728 bits (Data 時) 512～67 108 864 bits (Alternate 時)</p> <p>2 Ch Combination 時: 1 024～268 435 456 bits, 2 bit Step (Data 時) 4 Ch Combination 時: 2 048～536 870 912 bits, 4 bit Step (Data 時)</p> <p>PRBS length: $2^n - 1$ (n=7, 9, 10, 11, 15, 20, 23, 31)</p>	
	Row Length	<p>768～2 281 701 376 bits, 128 bits Step (Data 時) 768～2 214 592 512 bits, 128 bits Step (Alternate 時)</p> <p>2 Ch Combination 時: 1 536～4 563 402 752 bits, 256 bit Step (Data 時) 4 Ch Combination 時: 3 072～9 126 805 504 bits, 512 bit Step (Data 時)</p>	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
Mixed (続き)	Row 数	1～以下 a), b), c) のいずれか小さい数, 1 Step a) 16 b) $\text{INT}(128 \text{ Mbit} \times x / \text{Data Length}')$ ここで, $\text{Data Length}'$ は ・ $\text{Data Length} / (128 \times x)$ に余りがある場合 $= (\text{INT}(\text{Data Length} / (128 \times x)) + 1) \times 128 \times x$ ・ $\text{Data Length} / (128 \times x)$ に余りがない場合 $= \text{Data Length}$ ただし, $\text{Data Length}' \times \text{Row 数} \times \text{Block 数} \leq 128 \text{ Mbits}$ となる最大 Row 数。 c) $\text{INT}((128 \text{ Mbits} + 2^{31}) \times x / \text{Row Length})$ x は, 以下のとおりになります。 Independent 時: 1 2 Ch Combination 時: 2 4 Ch Combination 時: 4	
	PRBS 段数/マーク率	PRBS と同じ	
	PRBS Sequence	Restart/Consecutive	
	Scramble	各 Block の PRBS, Data ごとに設定可能 (Block1 の Data 領域を除く)	
Sequence	Block number	1～128/1 Step	Combination 時または Burst 時不可
	Block length	16 384～1 048 576 bits, 128 bits Step	
	Loop time	1～1 024 回, 1 Step または repeat	
	Sequence conditions	各 block 独立設定可能 A pattern match, B pattern match, Manual Trigger, loop complete, External trigger	
	Next destination	Next, Stop, Jump, None	
Pattern Sequence	Repeat	連続 Pattern	
	Burst	Burst Pattern (PRBS, Zero-Substitution, Data, Mixed のみ対応) Source: Internal, External-Trigger (AUX Input), External-Enable (AUX Input) Data Sequence: Restart, Consecutive, Continuous Burst Cycle: 1 280～2 147 483 648 bits /128 bits step Enable period: 640～2 147 483 520 bits /128 bits	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
論理反転		Positive・Negative 切り替え可能	
誤り挿入 本モジュール を MP1800A, MT1810A に 実装時	領域	ALL, Specific block (ALTN, Mixed, Sequence の場合のみ選択可能)	
	Control Method	Internal・External-Trigger・External-Disable 切り替え可能 (外部入力時は, AUX Input 使用)	
	Error Variation	Repeat, Single	
	Error Ratio	x E-n (x =1~9, n=2~12)	Combination 時は n=3~12
	Insertion CH	1~32, CH Scan (Internal 時のみ)	
外部クロック 入力	入力周波数範囲	0.1~14 GHz (MU181020B-002 実装時) 0.1~14.05 GHz (MU181020B-002 + 003 実装時) 0.1~14.1 GHz (MU181020B-002 + 005 実装時)	
	入力振幅	0.4~1.5 V _{p-p} (-4~7.5 dBm)	
	入力波形	100~500 MHz: 矩形波 > 500 MHz: 正弦波または矩形波 (Duty 50%)	
	終端	AC/50 Ω	
	コネクタ	SMA	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
AUX 入力	入力信号選択	Alternate Control (L:A, H:B パターン) 発生パターンで、Alternate または Mixed-Alternate 選択時	
		Sequence Control (立ち上がりエッジ検出時に次の Sequence へ遷移) 発生パターンで Sequence 選択時	
		Error Injection (立ち上がりエッジ検出時にエラー発生) 2 または 4 Ch Combination 時: Master Module への入力のみ有効	
		Burst: Pattern Sequence 設定が Burst かつ Source が Internal 以外の場合 2 または 4 Ch Combination 時: Master Module への入力のみ有効 External Trigger (立ち上がりエッジ検出時にデータ発生) External Enable (L:データ無効, H:データ出力)	
	最小パルス幅	データレートの 1/64	
	入力レベル	0/-1 V H: -0.25~0.05 V L: -1.10~-0.80 V	
	終端	50 Ω/GND	
	コネクタ	SMA	
AUX 出力	出力信号選択	1/N Clock, Pattern Sync, Burst Output2 Burst Output2 は Pattern Sequence が Burst 設定の場合有効	
	1/N Clock	1/N: N=2, 4, 8, 9, 10……510, 511	
	Pattern Sync		
	PRBS , Data, Zero- substitution 時	Position: 1~Pattern Length*1と 64 の最小公倍数 -79, 16 bits Step 最大 68 719 476 657 まで設定可 2 Ch Combination 時: 1~Pattern Length*1と 128 の最小公倍数 -159, 32 bits Step 最大 137 438 953 313 まで設定可 4 Ch Combination 時: 1~Pattern Length*1と 256 の最小公倍数 -319, 64 bits Step 最大 274 877 906 625 まで設定可	

*1: Independent 時は, 128 bits 以下のパターン長の場合, 129 bits 以上になるように整数倍した長さを指します。

2 Ch Combination 時は, 256 bits 以下のパターン長の場合, 257 bits 以上になるように整数倍した長さを指します。

4 Ch Combination 時は, 512 bits 以下のパターン長の場合, 513 bits 以上になるように整数倍した長さを指します。

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
AUX 出力 (続き)	Alternate 時	A/B パターン切り替え: A/B パターンの先頭で同期信号出力 Position: 1～Pattern Length* ¹ と 64 の最小公倍数 -79, 16 bits Step	
	Mixed Data 時	Block No 設定: 1～Mixed Data 指定の Block No, 1 Step Row No 設定: 1～Mixed Data 指定の Row No, 1 Step	
	Mixed Alternate 時	Block No 設定: 1～Mixed Alternate 指定の Block No, 1 Step Mixed Alternate Content: A/B パターン切り替え Row No 設定: 1～Mixed Alternate 指定の Row No, 1 Step	
	Sequence 時	Block No 設定: 1～Sequence Pattern 設定の Block No, 1 Step Position: 1～ Pattern Length と 64 の最小公倍数 -79, 16 bits Step	
	Burst Output2	Trigger Delay: 0～Burst Cycle-64 bits, 16 bits Step Enable Pulse Width: 0～Burst Cycle-64 bits, 16 bits Step	Burst 時 選択可能
	出力レベル	0/-1 V H: -0.25～0.05 V L: -1.25～-0.80 V	
	終端	50 Ω/GND	
	コネクタ	SMA	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
Gating 出力	Timing Signal	Cycle: PRBS, Data, Zero-Substitution の場合 Pattern Length と 64 の最小公倍数 2 Ch Combination 時: 0～Pattern Length と 128 の最小公倍数 4 Ch Combination 時: 0～Pattern Length と 256 の最小公倍数 Mixed の場合 (Row Length×Row 数×Block 数) Alternate の場合 A, B それぞれの Pattern Length Sequence の場合 Aux Output の Pattern Sync で指定した Block の Pattern Length	Repeat 時 選択可能
		Pulse Width: PRBS, Data, Zero-Substitution, Alternate の場合 0～Pattern Length と 64 の最小公倍数-64, 16 bits Step (Pattern Length が 64 bit 以下は 0～64 bits, 最大 68 719 476 672 まで設定可) 2 Ch Combination 時: 0～Pattern Length*1 と 128 の最小公倍数-128, 32 bits Step (Pattern Length*1 が 128 bit 以下は 0～128 bits, 最大 137 438 953 344 まで設定可) 4 Ch Combination 時: 0～Pattern Length*1 と 256 の最小公倍数-256, 64 bits Step (Pattern Length*1 が 256 bit 以下は 0～256 bits, 最大 274 877 906 688 まで設定可) Mixed の場合 0～Row Length×Row 数×Block 数-64, 16 bits Step 2 Ch Combination 時: 0～Row Length×Row 数×Block 数-128, 32 bits Step 4 Ch Combination 時: 0～Row Length×Row 数×Block 数-256, 64 bits Step Sequence の場合 0～64, 16 bits Step(Block なし) 0～Aux Output の Pattern Sync で指定した Block の Pattern Length-64, 16 bits Step(Block あり)	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
Gating 出力 (続き)	Timing Signal (続き)	Delay: PRBS, Data, Zero Substitution, Alternate の場合 0～Pattern Length ^{*1} と 64 の最小公倍数-64, 16 bits Step (Pattern Length ^{*1} が 79 bit 以下は 0 bit, 最大 4 294 967 232 まで設定可) 2 Ch Combination 時: 0～Pattern Length ^{*1} と 128 の最小公倍数-128, 32 bits Step (Pattern Length ^{*1} が 128 bit 以下は 0～128 bits, 最大 8 589 934 464 まで設定可) 4 Ch Combination 時: 0～Pattern Length ^{*1} と 256 の最小公倍数-256, 64 bits Step (Pattern Length ^{*1} が 256 bit 以下は 0～256 bits, 最大 17 179 868 928 まで設定可) Mixed の場合 0～Row Length×Row 数×Block 数-64, 16 bits Step 2 Ch Combination 時: 0～Row Length×Row 数×Block 数-128, 32 bits Step 4 Ch Combination 時: 0～Row Length×Row 数×Block 数-256, 64 bits Step Sequence の場合 0～Aux Output の Pattern Sync で指定した Block の Pattern Length-64, 16 bits Step (Block あり)	Repeat 時 選択可能

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
Gating 出力 (続き)	Burst 出力	Enable Period: Internal 640～2 147 483 136 bits, 128 bits Step Internal 以外 640～2 147 483 648 bits, 128 bits Step 2 Ch Combination 時: Internal 1 280～4 294 966 272 bits, 256 bits Step Internal 以外 1 280～4 294 967 296 bits, 256 bits Step 4 Ch Combination 時: Internal 2 560～8 589 932 544 bits, 512 bits Step Ext Trigger/Enable 2 560～8 589 934 592 bits, 512 bits Step	Burst 時 選択可能
		Burst Cycle: 1 280～2 147 483 648 bits, 128 bits Step 2 Ch Combination 時: 2 560～4 294 967 296 bits, 256 bits Step 4 Ch Combination 時: 5 120～8 589 934 592 bits, 512 bits Step	
		Delay: 0～Burst Cycle –64 bits, 16 bits Step 2 Ch Combination 時: 0～Burst Cycle –128 bits, 32 bits Step 4 Ch Combination 時: 0～Burst Cycle –256 bits, 64 bits Step	
		Pulse Width: 0～Burst Cycle –64 bits, 16 bits Step 2 Ch Combination 時: 0～Burst Cycle –128 bits, 32 bits Step 4 Ch Combination 時: 0～Burst Cycle –256 bits, 64 bits Step	
	出力レベル	0/–1 V H: –0.25～0.05 V L: –1.10～–0.80 V	
	終端	50 Ω/GND	
	コネクタ	SMA	

項目		規格	備考
データ出力 (PRBS2 ²³ -1, Mark Ratio 1/2 にて規定)	出力数	2 (Data/ $\overline{\text{Data}}$ 非独立)	MU181020B -002 のみ 実装時
	出力振幅	0/-1.0 V (Fixed) H: -0.25~0.05 V L: -1.4~-0.85 V	
	Cross Point	50%±15% (Fixed)	
	立ち上がり・立ち下がり時間	Typ. 35 ps (20~80%) (≥5 Gbit/s) Typ. 45 ps (20~80%) (<5 Gbit/s)	
	Total Jitter	Typ. 10 ps p-p ^{*2}	
	終端	50 Ω/GND	
	コネクタ	SMA	
データ出力 (MU181020B -x11) Variable Data Output (0.25~2.5 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020B -x11 実装時
	出力振幅	0.25~2.5 Vp-p/2 mV Step (独立可変) 設定誤差: ±50 mV ±17%	
	Offset	-2.0~+3.3 Voh, 1 mV Step (独立可変) 設定誤差: ±65 mV±10% of offset (Vth)±(Amplitude 設定誤差/2) 電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL, LVDS (400 mVp-p)	
	Tracking	あり	
	Cross Point	30~70% / 1% Step (独立可変)	
	立ち上がり・立ち下がり時間	Typ. 28 ps (20~80%) (≥5 Gbit/s) Typ. 35 ps (20~80%) (<5 Gbit/s)	
	Total Jitter	Typ. 10 ps p-p ^{*2}	
	波形歪み (0 peak)	Typ. 25 mV±6% (10 Gbit/s)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
データ出力 (MU181020B-x12) High Performance Data Output (0.05~2.0 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020B-x12 実装時
	出力振幅	0.05~2.0 Vp-p/2 mV Step (独立可変) 設定誤差: $\pm 50 \text{ mV} \pm 17\%$ ($\geq 0.1 \text{ Vp-p}$) $\pm 25 \text{ mV} \pm 17\%$ ($< 0.1 \text{ Vp-p}$)	
	Offset	-2.0~+3.3 Voh, 1 mV Step (独立可変) 設定誤差: $\pm 65 \text{ mV} \pm 10\%$ of offset (Vth) $\pm$ (Amplitude 設定誤差/2) 電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL, LVDS (200 mVp-p, 400 mVp-p)	
	Tracking	あり	
	Cross Point	20~80%/1% Step (独立可変)	
	立ち上がり・立ち下がり時間	Typ. 20 ps (20~80%) (10 Gbit/s, 12.5 Gbit/s, 14G bit/s, 14.05 Gbit/s ^{*3} , 14.1 Gbit/s ^{*4} , 2 Vp-p 時において) Typ. 25 ps (10~90%) (10 Gbit/s, 12.5 Gbit/s, 14G bit/s, 14.05 Gbit/s ^{*3} , 14.1 Gbit/s ^{*4} , 2 Vp-p 時において)	
	Total Jitter	Typ. 8 ps p-p ^{*2}	
	波形歪み (0 peak)	Typ. 25 mV $\pm 6\%$ (10 Gbit/s)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

*3: MU181020B-003 実装時

*4: MU181020B-005 実装時

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
データ出力 (MU181020B -x13) Variable Data Output (0.5~3.5 Vp-p)	出力数	2 (Data/ $\overline{\text{Data}}$)	MU181020B -x13 実装時
	出力振幅	0.5~3.5 Vp-p/2 mV Step (独立可変)	
		設定誤差: $\pm 50 \text{ mV} \pm 17\%$	
		クロスポイント: 20~80% (@10 Gbit/s, 振幅 1.0~3.0 Vp-p) にて規定	
	Offset	-2.0~+3.3 Voh, 1 mV Step (独立可変)	
		最小値: -4.0 Vol	
		設定誤差: $\pm 65 \text{ mV} \pm 10\% \text{ of offset (Vth)} \pm (\text{Amplitude 設定誤差}/2)$	
		電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL	
	Tracking	あり	
	Cross Point	20.0~90.0% / 0.1% Step (独立可変)	
	立ち上がり・立ち下がり時間	Typ. 25 ps (20~80%) (10 Gbit/s, $\geq 1 \text{ Vp-p}$)	
	Total Jitter	Typ. 8 ps (p-p) (10 Gbit/s, 14.05 Gbit/s ^{*3} , 14.1 Gbit/s ^{*4}) ^{*2}	
	波形歪み (0 peak)	Typ. 25 mV $\pm 10\%$ (10 Gbit/s, $\geq 2 \text{ Vp-p}$)	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能 DC 時: GND, -2 V, +1.3 V, +3.3 V/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
クロック出力	出力数	1 (Clock)	
	出力振幅	0.25～0.9 Vp-p (AC) (Fixed) (8～14 GHz, 8～14.05 GHz ^{*3} , 8～14.1 GHz ^{*4} において) 0.4～0.9 Vp-p (AC) (Fixed) (0.1～8 GHz において)	
	Duty	50%±15% (Fixed)	
	立ち上がり・立ち下がり時間	Typ. 30 ps (20～80%) (10 GHz, 12.5 GHz, 14 GHz, 14.05 GHz ^{*3} , 14.1 GHz ^{*4} において)	
	Total Jitter	Typ. 1 ps (RMS) ^{*2}	
	終端	AC/50 Ω	
	コネクタ	SMA	
クロック出力 (MU181020B-x21) (0.1～2.0 Vp-p)	出力数	2 (Clock/Clock)	MU181020B-x21 実装時
	出力振幅	0.1～2.0 Vp-p/2 mV Step (独立可変)	
		設定誤差: ±70 mV ±17% (≥0.2 Vp-p) ±50 mV ±17% (<0.2 Vp-p)	
	Offset	–2.0～+3.3 Voh/1 mV Step (独立可変)	
		設定誤差: ±65m V±10% of offset (Vth)±(Amplitude 設定誤差/2)	
		電流制限 (Sourcing 50 mA, Sinking 80 mA)	
	Defined Interface	NECL, SCFL, NCML, PCML, LVPECL, LVDS (200 mVp-p, 400 mVp-p)	
	Tracking	あり	
	Duty	–25～+25, 1 Step (No Unit) (非独立)	
	立ち上がり・立ち下がり時間	Typ. 24 ps (20～80%)	
	Total Jitter	Typ. 1 ps (RMS) ^{*2}	
	出力 ON・OFF	ON・OFF 機能あり	
	終端	AC, DC 切り替え可能	
		DC 時: GND, –2 V, +1.3 V, +3.3 V, Open (LVDS)/50 Ω	
	コネクタ	K	
	Offset 基準	Voh/Vth/Vol 切り替え可能	

表1.3.2-1 MU181020B 規格(続き)

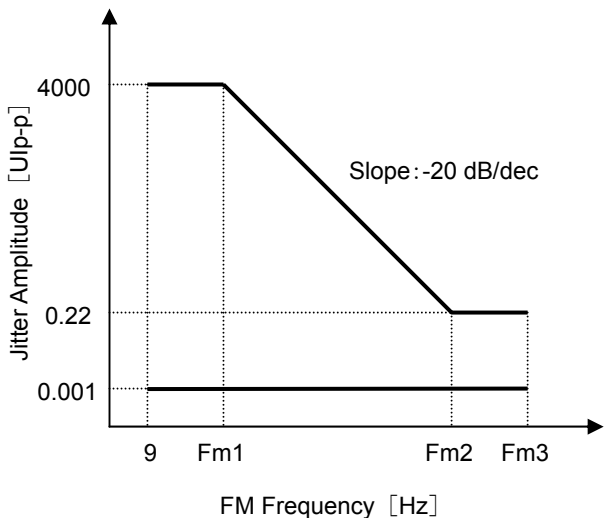
項目		規格	備考																					
Variable Data Delay (MU181020B-x30)	位相可変範囲	-1000~+1000 mUI, 1 mUI Step 4 Ch Combination, Channel Synchronization 時: -64 000~+64 000 mUI, 1 mUI Step	MU181020B-x30 実装時																					
	位相設定誤差	Typ. 20 mUIp-p (Calibration 実行後) (0.1~14GHz, 0.1~14.05GHz ^{*3} , 0.1~14.1 GHz ^{*4} において)																						
	mUI/ps 切り替え	1/1 Clock 周波数での mUI-ps 変換をする																						
	Rerative'0'	画面の指示により可能																						
	Calibration	画面からの指示により可能																						
	Data/Clock 間 位相関係	±100 mUI 以下 (0.1 to 14 GHz)																						
ジッタ性能	ジッタ耐力マスク		MU181020B-002 実装時																					
		<table border="1"> <thead> <tr> <th>Fc [GHz]</th><th>Fm1 [Hz]</th><th>Fm2 [Hz]</th><th>Fm3 [Hz]</th></tr> </thead> <tbody> <tr> <td>$6.4 < F_c \leq 14^*$</td><td>220</td><td>4 M</td><td>80 M</td></tr> <tr> <td>$3.2 < F_c \leq 6.4$</td><td>110</td><td>2 M</td><td>40 M</td></tr> <tr> <td>$1.6 < F_c \leq 3.2$</td><td>55</td><td>1 M</td><td>20 M</td></tr> <tr> <td>$0.8 < F_c \leq 1.6$</td><td>27.5</td><td>500 k</td><td>10 M</td></tr> <tr> <td>$0.1 \leq F_c \leq 0.8$</td><td>13.75</td><td>250 k</td><td>5 M</td></tr> </tbody> </table> <p>*: MU181020B-003 実装時の上限周波数は 14.05 GHz, MU181020B-005 実装時の上限周波数は 14.1 GHz</p> <p>測定条件:</p> <ul style="list-style-type: none"> • MU181000A 12.5 GHz シンセサイザ(オプション 001 付き)または MU181000B 12.5 GHz 4ポートシンセサイザ(オプション 001 付き)(以下, MU181000A/B と呼びます。)の「Internal」変調を選択し, 本器の外部クロック入力に inputs する。 • 測定パターン PRBS 2³¹-1 • MU181040B にてエラー測定 		Fc [GHz]	Fm1 [Hz]	Fm2 [Hz]	Fm3 [Hz]	$6.4 < F_c \leq 14^*$	220	4 M	80 M	$3.2 < F_c \leq 6.4$	110	2 M	40 M	$1.6 < F_c \leq 3.2$	55	1 M	20 M	$0.8 < F_c \leq 1.6$	27.5	500 k	10 M	$0.1 \leq F_c \leq 0.8$
Fc [GHz]	Fm1 [Hz]	Fm2 [Hz]	Fm3 [Hz]																					
$6.4 < F_c \leq 14^*$	220	4 M	80 M																					
$3.2 < F_c \leq 6.4$	110	2 M	40 M																					
$1.6 < F_c \leq 3.2$	55	1 M	20 M																					
$0.8 < F_c \leq 1.6$	27.5	500 k	10 M																					
$0.1 \leq F_c \leq 0.8$	13.75	250 k	5 M																					

表1.3.2-1 MU181020B 規格(続き)

項目		規格		備考							
ジッタ性能	ジッタ耐力 (変調周波数 80 MHz 以上)			MU181020B -002 実装時							
		Fc [GHz]	FM Frequency [Hz]	Jitter Amplitude [Ulp-p] (Max.)							
		11.3<Fc≤12.5	250 M～1 G	0.1							
			80 M～250 M	0.22							
		8.5<Fc≤11.3	80 M～1 G	0.22							
		8.0<Fc≤8.5	500 M～1 G	0.1							
			80 M～500 M	0.22							
		4.0<Fc≤11.3	80 M～1 G	0.22							
		2.4<Fc≤4.0	80 M～500 M	0.22							
		1.4<Fc≤2.4	80 M～100 M	0.22							
測定条件:											
・ MU181000A/B (オプション 001 付き) の「External」変調を選択し、本器の外部クロック入力にを入力する。 この場合、Fc ≤1.4 GHz で上記ジッタ耐力マスクの Fm3 は次のとおりとします。											
<table><tr><td>Fc [GHz]</td><td>Fm3 [Hz]</td></tr><tr><td>0.65<Fc≤1.4</td><td>20 M</td></tr><tr><td>0.4<Fc≤0.65</td><td>10 M</td></tr><tr><td>0.1≤Fc≤0.4</td><td>5 M</td></tr></table>				Fc [GHz]	Fm3 [Hz]	0.65<Fc≤1.4	20 M	0.4<Fc≤0.65	10 M	0.1≤Fc≤0.4	5 M
Fc [GHz]	Fm3 [Hz]										
0.65<Fc≤1.4	20 M										
0.4<Fc≤0.65	10 M										
0.1≤Fc≤0.4	5 M										
・ MU181040B(オプション x20 付き)にてエラー測定 (オプション x20 のクロック再生動作周波数 (4.25 GHzは対象外とする)では、Recovered Clockを使用する。)											
・ 測定パターン PRBS 2 ³¹ −1											
・ 周囲温度 25±5°C											

表1.3.2-1 MU181020B 規格(続き)

項目		規格	備考
Unit Sync	ON/OFF 切り替え*	あり	Combination Setting の制限あり*5
	Unit Sync Output	Gating Output コネクタより出力 Pulse Width: 64 bit 固定 Delay: Timing Signal (Repeat)と同じ	
	Unit Sync Input	AUX Input コネクタより入力 Unit Sync ON のときのみ有効	
	Unit Offset	-1000~+1000 mUI, 1 mUI Step Combination, Channel Synchronization 時: -64 000~+64 000 mUI, 1 mUI Step ただし, Delay 設定値によって制限を受ける。	
機械的寸法	寸法	234 mm (W) × 21 mm (H) × 175 mm (D) (Compact-PCI 1 スロット, ただし突起物含まず)	
	質量	2.5 kg 以下(オプション含む)	
環境的性能	動作温度	+15~+35°C(本体実装時の機器周辺温度)	
	保管温度	-20~+60°C(推奨保管温度範囲:+5~+30°C)	

*5: Independent, 4ch Combination, 25Gx2ch Combination, 12.5G Channel Synchronization, および 25G Channel Synchronization のときに有効です。

第2章 使用前の準備

この章では、本器の使用前の準備について説明します。

2.1	本体への実装	2-2
2.2	アプリケーションの操作方法	2-2
2.3	破損防止処理	2-3

2.1 本体への実装

本体への実装方法と電源の投入手順については、『シグナルクオリティアナライザ シリーズ インストレーションガイド』の「第2章 使用前の準備」を参照してください。

2.2 アプリケーションの操作方法

本体に実装したモジュールの制御は、MX180000A シグナルクオリティアナライザ 制御ソフトウェアで行います。

MX180000A シグナルクオリティアナライザ 制御ソフトウェアの立ち上げやシャットダウンの手順、アプリケーションの操作方法については、『MX180000A シグナルクオリティアナライザ 制御ソフトウェア取扱説明書』を参照してください。

2.3 破損防止処理

本器の入出力接続の際には必ず定格電圧の範囲内で使用してください。
範囲外で使用した場合、故障するおそれがあります。

注意

- ・ 本器に信号を入力する場合は、定格を超える過大な電圧が掛からないようにしてください。回路が破損するおそれがあります。
- ・ 出力は 50 Ω GND 終端で使用し、電流を流し込んだり、電気信号を加えたりすることは決してしないでください。
- ・ 静電気対策として入出力コネクタを接続する前に、接続されるほかの機器(実験回路も含む)との間をアース線で必ず接地してください。
- ・ 同軸ケーブルの外導体と芯線はコンデンサとして帯電することがありますので、外導体と芯線は金属などを用いて電荷を放電してから使用してください。
- ・ 本器を絶対に開けないでください。開けたために故障、または性能低下が発生した場合、メンテナンスをお断りする場合がありますので注意してください。
- ・ 本器にはハイブリッド IC など重要な回路、部品が内蔵されています。これらの部品は静電気に非常に弱いので、本器を開けて触るようなことは絶対にしないでください。
- ・ 本器に内蔵されているハイブリッド IC は気密封止してありますので、絶対に開けないでください。開けたために故障、および性能低下が発生した場合、メンテナンスをお断りする場合がありますので注意してください。
- ・ 本器を静電気破壊から守るため、作業机の上に導電マットを敷き、作業者はリストストラップを装着してください。リストストラップの反対側は導電マットまたは本体のアースジャックに接続してください。

注意

- ・ 本器{PPG または MUX}の出力コネクタの外部に、バイアスティーなどを接続して、本器の出力信号と直流電圧を合成する場合、直流電源の出力変動や負荷の変動によって、本器の出力端子に信号が加わり、内部回路を破損させてしまうことがあります。以下のことに留意して、作業してください。
 - ・ 直流電圧を加えた状態で、各部品の接続、取り外しを行わないでください。
 - ・ 直流電源の出力 ON/OFF は、すべての部品の接続が完了したあとに行ってください。

<参考手順>

測定準備例1:

1. 本器およびすべての部品を接続する
2. 直流電源の出力を ON にする
3. 本器の出力を ON にし、測定終了する

測定準備例2:

1. 本器の出力を OFF にする
2. 直流電源の出力を OFF にする
3. 本器および各部品の取り外し、またはDUTのつなぎ換えを実行する

・ 不慮の直流電圧変動や負荷変動時(本器出力側でのオープンまたはショート、高周波プローブを使っている場合はその接触状態の変化など)でも、DUT や本器を破損させないために、バイアスティーの直流端子には、直列抵抗約 50 Ω を接続することを推奨します。

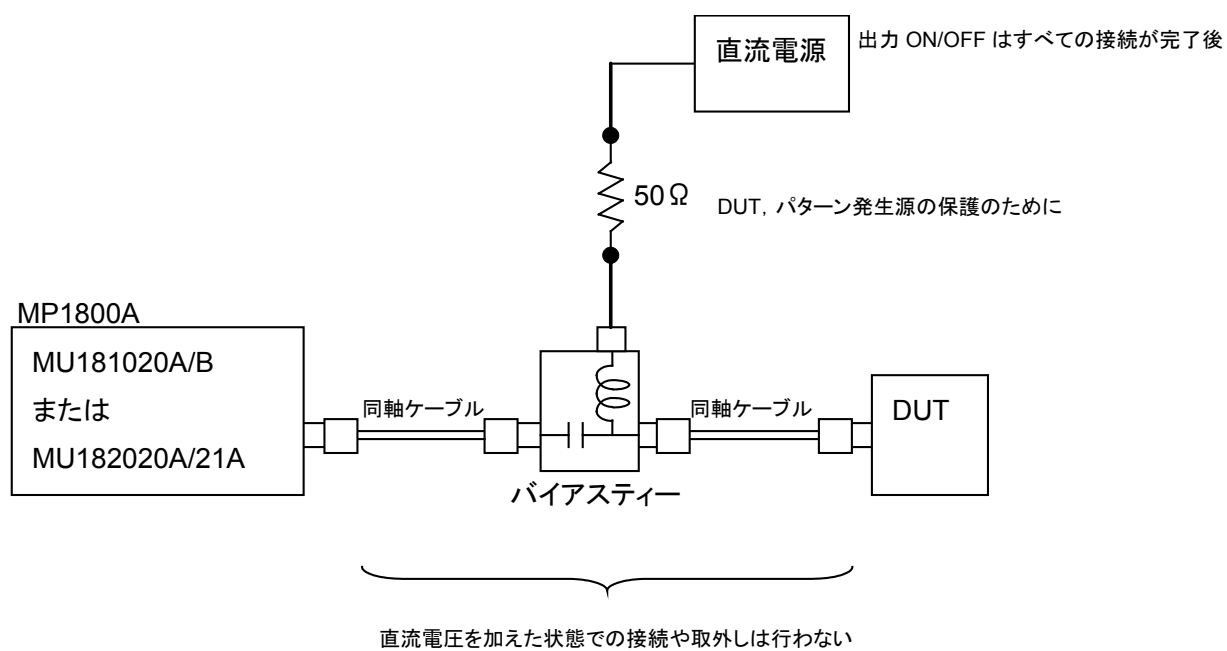


図2.3-1 バイアスティーの接続例

第3章 パネルおよびコネクタの説明

この章では、本器のパネルおよびコネクタについて説明します。

3.1	パネルの説明.....	3-2
3.2	モジュール間の接続.....	3-3

3.1 パネルの説明

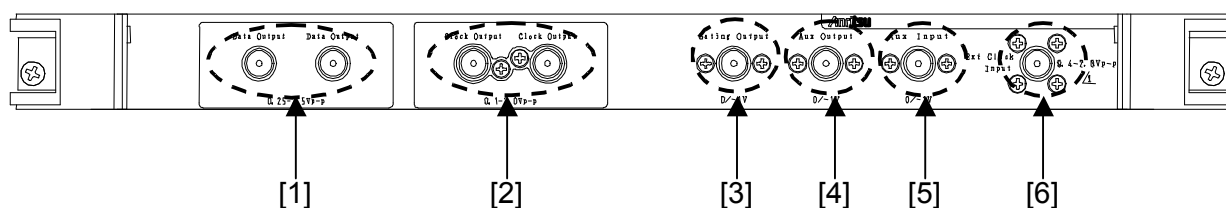


図3.1-1 パネル外観図

表3.1-1 各部の名称および機能

番号	名称	機能
[1]	Data, $\overline{\text{Data}}$ Output コネクタ	差動の Data, $\overline{\text{Data}}$ (以下, XData と呼びます。)信号を出力するコネクタです。 オプションによりさまざまなインタフェースの出力をすることができます。
[2]	Clock, $\overline{\text{Clock}}$ Output コネクタ	差動の Clock, $\overline{\text{Clock}}$ (以下, XClock と呼びます。)信号を出力するコネクタです。 オプションなしの場合, Single-end 固定出力となります。
[3]	Gating Output コネクタ	Repeat 時: タイミング信号出力となります。 Burst 時: Burst 用のタイミング信号出力となります。
[4]	Aux Output コネクタ	補助信号出力用コネクタです。 設定により, 1/N Clock, Pattern Sync, Burst2 を出力します。
[5]	Aux Input コネクタ	補助信号入力用コネクタです。 設定により, Alternate Trigger, Sequence Trigger, Error Injection, Burst を選択入力できます。
[6]	Ext. Clock Input コネクタ	MU181000A 12.5GHz シンセサイザ, または外部シンセサイザ*からの Clock 信号を入力するコネクタです。

*: 外部シンセサイザの推奨品は MG3690C シリーズです。(正弦波出力シンセサイザをお使いの場合は, 下限周波数は 500 MHz です。)

MG3690C シリーズの詳細は, 当社または当社代理店にお問い合わせください。

3.2 モジュール間の接続

機器取り扱いの際は、静電気に注意してください。

ここでは、同一本体内に挿入されている本器, MU181000A 12.5GHz シンセサイザ(以下, MU181000A と呼びます。), および MU181040A 12.5Gbit/s 誤り検出器(以下, MU181040A と呼びます。)の接続例を示します。

図 3.2-1 を参考にし、以下の手順に従って接続してください。

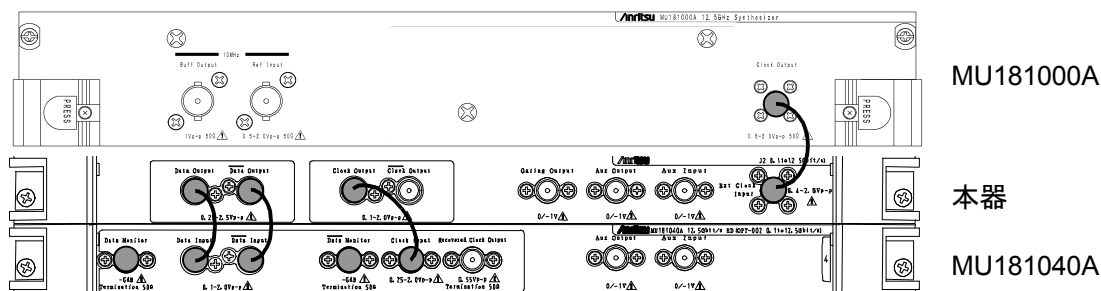


図3.2-1 モジュール間接続例

1. 本体の3芯電源コードを電源コンセントに接続します。このとき、付属の3芯電源コードを使用し、3極コンセントを使用してください。
2. MU181000A の Clock 出力コネクタと、本器の Ext. Clock 入力コネクタを同軸ケーブルにて接続します。
3. 本器の「Data」, 「 $\overline{\text{Data}}$ 」出力コネクタと、MU181040A の「Data」, 「 $\overline{\text{Data}}$ 」入力コネクタを同軸ケーブルにて接続します。
4. 本器の Clock 出力コネクタと、MU181040A の Clock 入力コネクタを同軸ケーブルにて接続します。
5. セレクタ画面から、Main application を起動し、画面上のメニューバーから [File] → [Initialize] を選択し、機器全体の設定状態を初期化します。
初期化が行われると、すべての設定内容が工場出荷時と同じになりますので、消去したくない設定がある場合には、初期化前に [File] → [Save] を選択して設定状態を保存してください。

警告

- ・ 本器に信号を入力する場合は定格を超える過大な電圧がかからないようにしてください。回路が破損するおそれがあります。
 - ・ 静電気対策として入出力コネクタを接続する前に、接続されるほかの機器(実験回路も含む)との間をアース線で必ず接地してください。
 - ・ 同軸ケーブルの外導体と芯線はコンデンサとして帯電することがありますので、外導体と芯線は金属などを用いて電荷を放電してから使用してください。
 - ・ 本体の電源電圧は、背面に表示されています。必ず定格電圧の範囲内で使用してください。範囲外の電圧を加えると破損するおそれがあります。
 - ・ 本器を静電気破壊から守るため、作業机の上に導電マットを敷き、作業者はリストストラップを装着してください。リストストラップの反対側は導電マットまたは本体のアースジャックに接続してください。
 - ・ 本器のコネクタからのケーブルの取り外しは、コネクタに不要な力がかからないように注意して行ってください。不要な力がコネクタに加わると、特性劣化、故障の原因となる可能性があります。また、ケーブルの取り付けおよび取り外しはトルクレンチを使用してください(推奨トルク値:0.9 N-M)。
 - ・ データ出力オプションが未実装時は、出力設定が OFF のとき、all 0 パターンが設定されます。本器と被測定物の接続を外した状態で本体の電源 ON・OFF を行ってください。
 - ・ クロックオプションが未実装時は、ON/OFF 設定ができません。本器と被測定物の接続を外した状態で本体の電源 ON・OFF を行ってください。
-

この章では, 本器の画面構成について説明します。

4.1	画面全体の構成.....	4-2
4.2	操作画面の構成.....	4-3

4.1 画面全体の構成

本器が本体に挿入されている場合の画面構成を以下に示します。

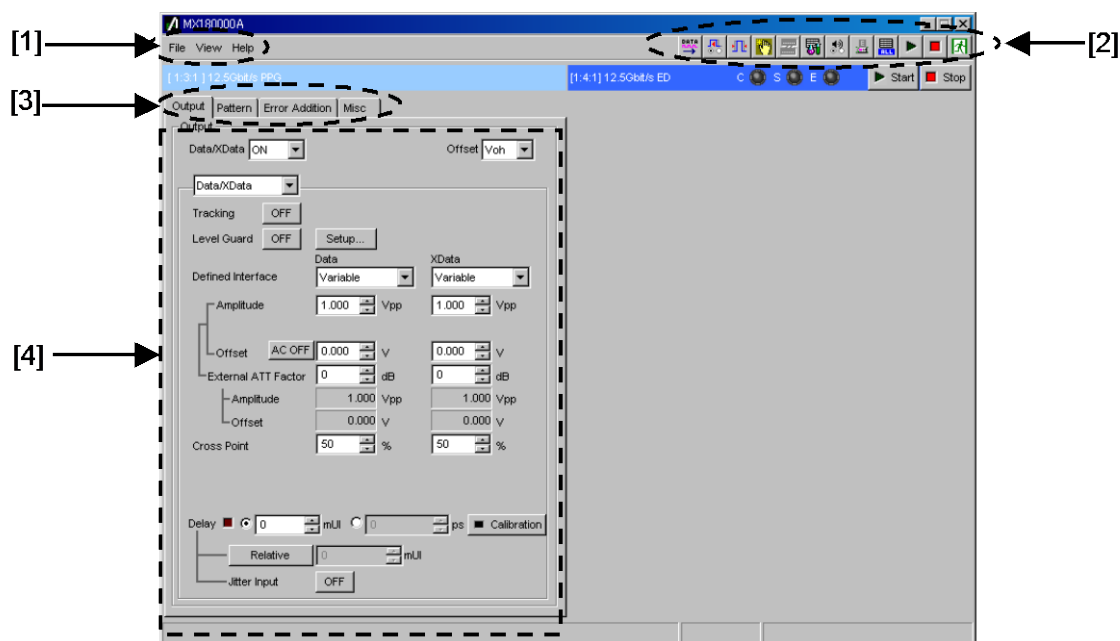


図4.1-1 全体画面構成

全体画面は、図 4.1-1 に示すように 4 つの基本ブロックで構成しています。各ブロックの説明を表 4.1-1 に示します。

表4.1-1 画面ブロック機能

番号	ブロック名称	機能
[1]	メニューバー	機器全体に関連する設定機能を選択します。
[2]	モジュール ファンクションボタン	表示しているモジュール固有の機能項目へのショートカットボタンです。 あらかじめ定義された機能ボタンを、ユーザカスタマイズにより最大 17 個まで選択できます。
[3]	機能設定選択 タブボタン	モジュール操作設定の画面を機能項目ごとに切り替えるタブボタンです。 詳細は「第 5 章 操作方法」を参照してください。
[4]	操作画面	モジュール固有の設定をします。 詳細は「第 5 章 操作方法」を参照してください。

4.2 操作画面の構成

本器の操作画面一覧を以下に示します。

各操作画面についての詳細は「第 5 章 操作方法」を参照してください。



図4.2-1 機能設定選択タブボタン

表4.2-1 機能設定選択タブボタン一覧表

タブ名称	機能
Output	Data/XData および Clock/XClock 出力を選択および設定します。 出力インタフェースの各種設定ができます。
Pattern	試験パターン関連を選択および設定します。 各種パターン選択およびパターン編集などができます。
Error Addition	Error 付加を選択および設定します。 エラー付加機能を設定できます。
Misc	そのほかの設定をします。 パターン発生方法や補助入出力選択ができます。

本章では、本器操作画面内にある個々の機能設定選択タブボタン内部の機能について説明します。

5.1	出力インタフェースの設定	5-2
5.1.1	データの設定	5-2
5.1.2	Delay の設定	5-7
5.1.3	クロックの設定	5-11
5.1.4	CMU Bit Rate の設定	5-15
5.1.5	ジッタ変調された信号を入力する場合の設定	5-18
5.2	Pattern の設定	5-19
5.2.1	Test Pattern について	5-20
5.2.2	PRBS の設定	5-21
5.2.3	Zero-Substitution の設定	5-22
5.2.4	Data の設定	5-23
5.2.5	Alternate の設定	5-24
5.2.6	Mixed の設定	5-26
5.2.7	Sequence の設定	5-32
5.2.8	Pattern Editor による試験パターン編集	5-38
5.3	Error 付加機能	5-53
5.4	Misc 機能	5-56
5.4.1	Pattern Sequence の設定	5-57
5.4.2	AUX Output の設定	5-63
5.4.3	AUX Input の設定	5-66
5.5	Multi Channel 機能	5-67
5.5.1	Combination 機能	5-67
5.5.2	Combination 設定	5-71
5.5.3	Multi Channel Calibration 機能	5-72
5.6	Unit Sync 機能	5-77
5.6.1	Unit Sync の動作, 制約	5-77
5.6.2	Unit Sync 設定	5-79
5.6.3	Unit Sync 機能の使用方法	5-81

5.1 出力インタフェースの設定

出力インタフェースを設定するには、操作画面の [Output] タブを選択します。

Output 機能では、Data/XData および Clock/XClock 出力のほか、MU181020A-001 実装時は CMU Bit Rate を設定します。

Data 信号は MU181020A の Data コネクタから出力され、XData 信号は Data コネクタから出力されます。また、Clock 信号は Clock コネクタから、XClock 信号は Clock コネクタから出力されます。以降、Data コネクタ、Clock コネクタの設定に関しては、それぞれ XData, XClock の設定として説明します。

5.1.1 データの設定

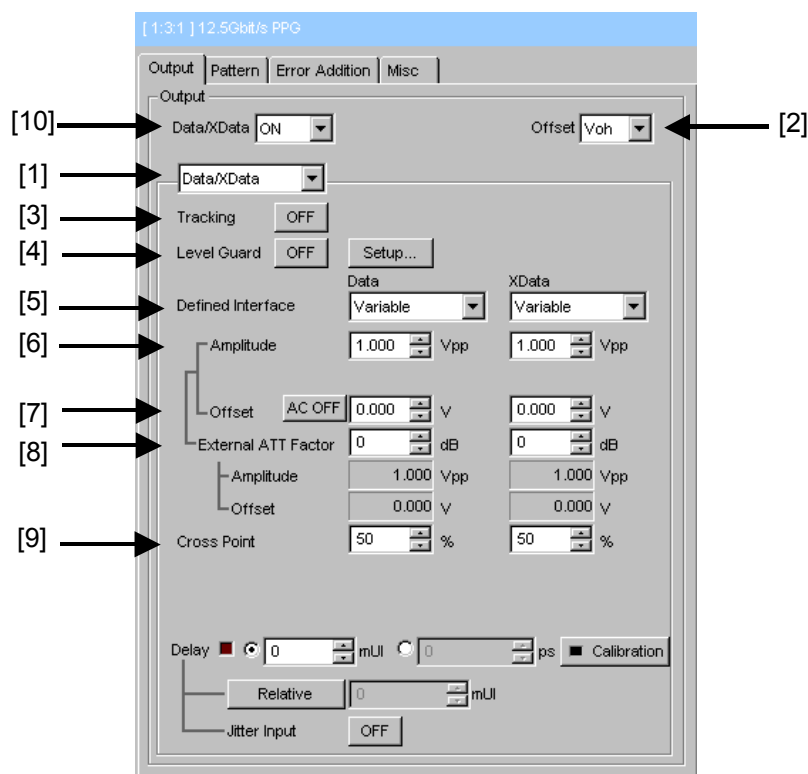


図5.1.1-1 Outputタブ設定画面

[1] データの設定をするには、リストボックスから Data/XData を選択します。

[2] Offset の基準を選択します。

Offset, 振幅の設定値範囲はそれぞれの設定値により制限されます。Offset, 振幅の設定範囲詳細は「付録 A 擬似ランダムパターン」および「付録 C 設定制約事項」を参照してください。Offset の基準を変更すると、変更した Offset の基準に従い、Offset 値が計算され、変更されます。

表5.1.1-1 Offset の基準

Offset の基準	設定内容
Voh	Offset 値を High レベル基準として設定します。
Vth	Offset 値を High レベルと Low レベルのセンター基準として設定します。
Vol	Offset 値を Low レベル基準として設定します。

注:

MU181020A-x10/x11/x12/x13/x21, MU181020B-x11/x12/x13/x21 のいずれも実装されていない場合は、Voh のみとなります。

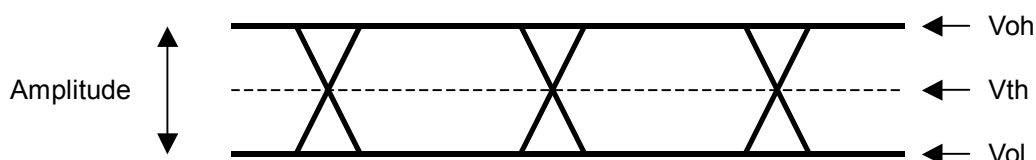


図5.1.1-2 Offset 設定

[3] Tracking を設定します。

Tracking を ON にした場合、XData の Defined Interface, Amplitude, Offset, External ATT Factor, Cross Point 設定値は Data と同一の設定になります。

MU181020A-x10/x11/x12/x13, MU181020B-x11/x12/x13のいずれかを実装している場合、本設定が有効になります。

[4] Level Guard を設定します。

[Setup] ボタンを押すと、Level Guardを行うAmplitude(振幅の最大値), Offset Max(Voh) (Offset の High レベルの最大値)と Offset Min(Vol) (Offset の Low レベルの最小値)を設定することにより、必要以上の電圧が被測定対象物にかからないようにできます。

MU181020A-x10/x11/x12/x13, MU181020B-x11/x12/x13のいずれかを実装している場合、本設定が有効になります。

[8]の External ATT Factor が設定されている場合、Level Guard の設定は本器と被測定物との間に接続された固定 Attenuator 通過後の Amplitude, Offset Max(Voh), Offset Min(Vol)設定値の出力レベルを制限します。そのため、固定 Attenuator を接続しない状態で使用しますと設定値を超える信号が出力されますのでご注意ください。

- [5] Data, XData ごとに, Defined Interface を設定します。
 Level Guard 設定により, 選択できない項目がある場合があります。
 MU181020A-x10/x11/x12/x13, MU181020B-x11/x12/x13 のいずれかを
 実装している場合, 本設定が有効になります。
 また, MU181020A-x10 の場合は XData 側の設定は無効となり, Data 側
 の設定と同じ設定になります。

表5.1.1-2 振幅設定値

項目	振幅		オフセット Vth	適用オプション
	Voh	Vol		
Variable	—	—	—	x10/x11/x12/x13
PCML	+3.3 V	+2.8 V	+3.05 V	x10/x11/x12/x13
NCML	0.0 V	-0.5 V	-0.25 V	x10/x11/x12/x13
SCFL	0.0 V	-0.9 V	-0.45 V	x11/x12/x13
NECL	-0.9 V	-1.7 V	-1.3 V	x10/x11/x12/x13
LVPECL	+2.4 V	+1.6 V	+2.0 V	x10/x11/x12/x13
LVDS (200 mV)	+1.3 V	+1.1 V	+1.2 V	x10/x12
LVDS (400 mV)	+1.4 V	+1.0 V	+1.2 V	x10/x11/x12

注:

オプション x10 は MU181020A のみに適用されます。

- [6] Data, XData ごとに, 振幅を設定します。
 Level Guard 設定や, Offset 設定値, 実装するオプションにより設定範囲が
 変わります。以下に, Defined Interface を Variable に設定した場合の振幅
 の設定可能範囲を示します。また, MU181020A-x10 の場合は XData 側の
 設定は無効となり, Data 側の設定と同じ設定になります。

表5.1.1-3 振幅設定範囲

適用オプション	振幅	設定ステップ
001 のみ	0.5 Vp-p 固定	—
002/003 のみ	1.0 Vp-p 固定	—
x10 を実装	0.05~0.8 Vp-p	0.002 V
x11 を実装	0.25~2.5 Vp-p	0.002 V
x12 を実装	0.05~2 Vp-p	0.002 V
x13 を実装	0.5~3.5 Vp-p	0.002 V

注:

オプション 001 および x10 は, MU181020A のみに適用されます。

オプション 003 は, MU181020B のみに適用されます。

- [7] Data, XData ごとに Offset を設定します。

Level Guard 設定や、振幅設定値、実装するオプションにより設定範囲が変わります。以下に、Defined Interface を Variable に設定した場合の振幅の設定可能範囲を示します。また、[AC OFF] ボタンを押して「AC ON」にすると、AC 結合で出力ができます。低減カットオフ周波数は、約 10 kHz です。

表5.1.1-4 Offset 設定範囲

適用オプション	Offset	設定ステップ	AC 出力
001 のみ	0.000 V 固定 (Offset: Voh)	—	無効
002/003 のみ	0.000 V 固定 (Offset: Voh)	—	無効
x10 を実装	-3.0～3.3 V	0.001 V	有効
x11 を実装	-4.5～3.3 V	0.001 V	有効
x12 を実装	-4.0～3.3 V	0.001 V	有効
x13 を実装	-4.0～3.3 V	0.001 V	有効

注:

オプション 001 および x10 は、MU181020A のみに適用されます。オプション 003 は、MU181020B のみに適用されます。

- [8] Data, XData ごとに External ATT Factor を設定します。

本器の Data/XData 出力コネクタの外部に固定 Attenuator を接続した場合、固定 Attenuator の値を加味して被測定対象物への設定値を表示します。設定範囲は、0～40 dB、1 dB ステップで設定できます。Defined Interface で Variable 以外を設定した場合は、0 にリセットされ、設定は無効となります。また、External ATT Factor-Amplitude, Offset 表示エリアに表示されている値は、Attenuator 通過後の振幅、Offset 値を表示しています。

- [9] Data, XData ごとに Cross Point を設定します。実装オプションにより、設定範囲が変わります。

MU181020A-x10/x11/x12/x13, MU181020B-x11/x12/x13/x21 のいずれかを実装している場合、本設定が有効になります。

表5.1.1-5 Cross Point 設定範囲

適用オプション	Data/XData 独立性	設定範囲	設定ステップ
001 のみ	—	50%	—
002/003 のみ	—	50%	—
x10 を実装	XData の設定は、 Data の設定に連動	Data: 30～70% XData: 70～30%	1%
x11 を実装	独立	30～70%	1%
x12 を実装	独立	20～80%	1%
x13 を実装	独立	20.0～90.0%	0.1%

注:

オプション 001 および x10 は、MU181020A のみに適用されます。オプション 003 は、MU181020B のみに適用されます。

[10] Output ON・OFF を設定します。

本設定は選択された本器に関する Output 設定のため、出力信号を ON にする場合、本設定のほかにメニューバーのモジュールファンクションボタンにて機器全体の Output を ON にする必要があります。

データ出力オプション (MU181020A- x10/x11/x12/x13 , MU181020B-x11/x12/x13) が未実装時は、出力設定を OFF にすると、all 1 パターンが設定されます。

注:

- 出力の設定によっては、被測定対象物を破損させてしまうおそれがあります。破損防止のため被測定対象物とのインタフェース条件を確認して出力を設定するか、あらかじめ Level Guard を設定してください。
- PCML, LVPECL, NECL を選択した場合、本器の出力側では被測定対象物の終端電圧に対応した電圧が加えられるためインタフェース条件が一致していない場合、被測定対象物を壊してしまうおそれがあります。必ずインタフェース条件が一致しているか確認してください。
- 市販の ECL ターミネータを使用して出力波形を観測した場合、波形歪 (リングング) が見えることがありますが、それは ECL ターミネータの特性によるものであり、本器の出力に波形歪があるわけではありません。
- 出力部には保護用に電流制限 (Sourcing 50 mA, Sinking 80 mA) が設けられているため、間違ったインタフェース条件による過電流においては観測波形の Offset 電圧が設定された Offset 電圧に到達しない場合があります。
- External ATT Factor を設定する場合、設定前に本器と被測定物との間に固定 Attenuator が接続されていることを必ず確認してください。固定 Attenuator が接続されていない場合や、External ATT Factor で設定した減衰値よりも小さい減衰値の固定 Attenuator を接続した場合は、被測定物を破損させてしまうおそれがあります。

5.1.2 Delayの設定

本器では, MU181020A-x30 または MU181020B-x30 実装時の Clock 出力に対し, Data 出力の位相を相対的に可変できます。

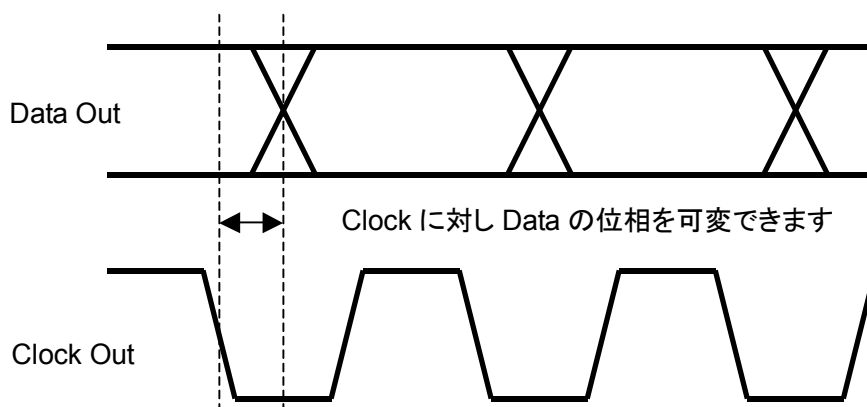


図5.1.2-1 Delay 設定

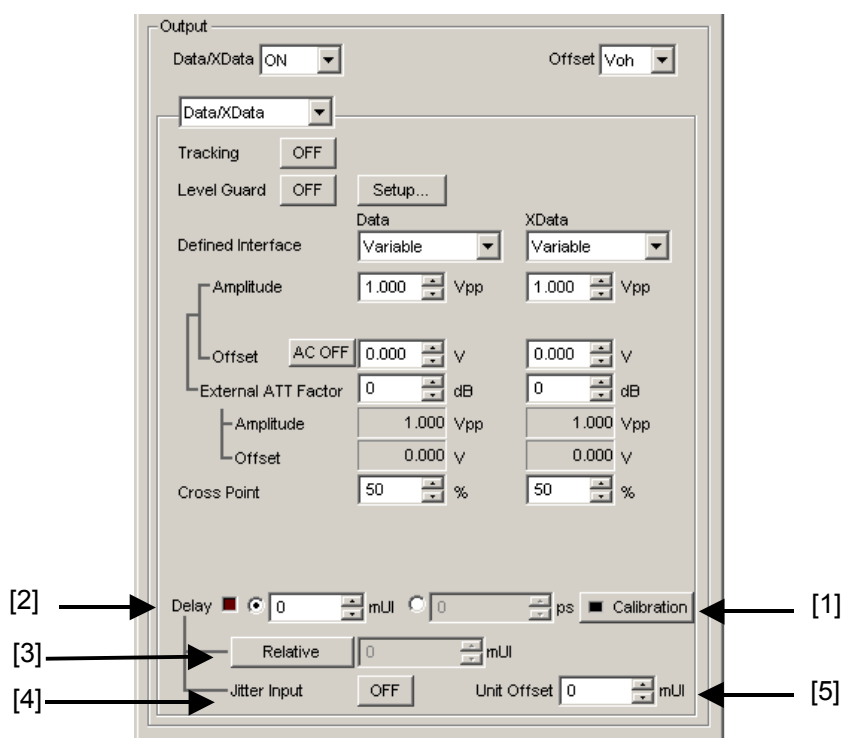


図5.1.2-2 Outputタブ Delay 設定画面

[1] [Calibration] ボタンを押します。

本ボタン押すことで, 位相可変機能の Calibration が実行されます。電源を ON にしたとき, 周波数変更時, または周囲温度が変化した場合など, Calibration 推奨アラームが点灯したときに, [Calibration] ボタンを押して実行してください。Calibration は, およそ 1 秒以下で終了します。

- [2] Delay の設定を mUI 単位または ps 単位で設定します。

＜mUI 単位時＞

−1000～1000 mUI までを 1 mUI ステップごとに設定できます。

2 Ch Combination , 4 Ch Combination , または Channel Synchronization 実行時は, −64,000～64,000 mUI までを 1 mUI ステップごとに設定できます。

＜ps 単位時＞

1 mUI 相当する ps 単位ステップごとの設定ができます。設定範囲は −1000～1000 mUI を ps 単位に換算した値になります。

2 Ch Combination , 4 Ch Combination , または Channel Synchronization 実行時は, −64,000～64,000 mUI を ps 単位に換算した値になります。

例)

表5.1.2-1 Delay 設定範囲

周波数	設定範囲	
	通常時	2 Ch Combination 4 Ch Combination Channel Synchronization 時
12.5 GHz	−80～80 ps	−5120～5120 ps
4.25 GHz	−235～235 ps	−15,040～15,040 ps
100 MHz	−10,000～10,000 ps	−640,000～640,000 ps

- [3] [Relative] ボタンは, 現在の設定位相値を相対的に 0 として基準にする場合に押します。
- [4] ジッタ入力の設定をします。
ジッタ変調されたクロックを入力する場合は, Delay の Jitter Input を ON にしてください。詳細は「5.1.5 ジッタ変調された信号を入力する場合の設定」を参照してください。
- [5] 本体ごとの Delay オフセット値を設定します。
Unit Sync 設定が ON のときのみ有効で, 同一本体に実装されたすべての MU181020A/B に共通の値を設定します。

−1000～1000 mUI までを 1 mUI ステップごとに設定できます。

Combination または Channel Synchronization のときは, −64,000～64,000 mUI までを 1 mUI ステップごとに設定できます。

ただし, [2] の Delay 設定値により制約を受け, Delay 設定値+Unit Offset 設定値= ±1000 mUI(または±64000 mUI)が設定範囲となります。

本機能の使用方法については本書「付録 E Unit Sync 機能の使用準備」を参照してください。

注:

- 周波数が変わった場合または温度条件が変わった場合は、**Calibration** 推奨アラームが点灯します。**Calibration** を実行しない場合、通常の位相設定より設定誤差が大きくなる場合があります。
- 本器の位相設定は mUI 単位を内部基準としているため ps 単位で表示されている値は、周波数を変えるたびに変わります。

5.1.2.1 Combination時, Channel Synchronization時のDelay設定

複数の本器を実装時の Combination や Channel Synchronization 実行時は、
図 5.1.2.1-1 のように複数 Slot 間の Delay を相対的に可変できます。

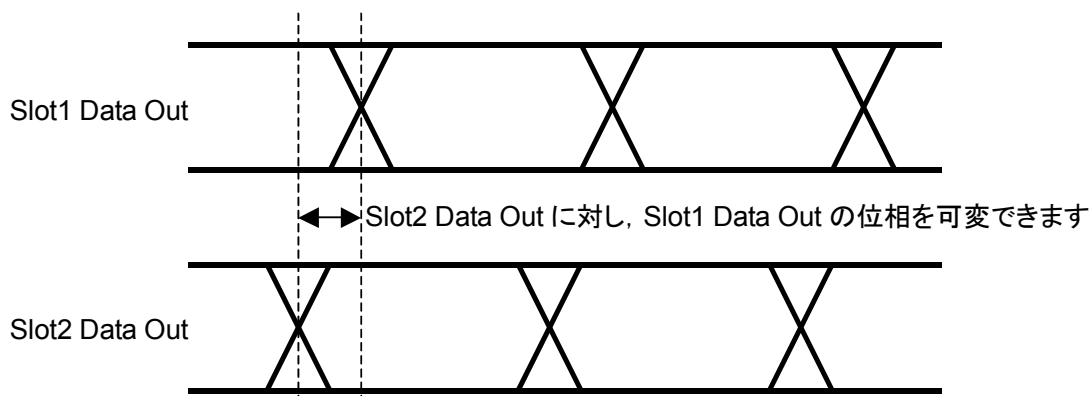


図5.1.2.1-1 Combination 時の Delay 設定

5.1.3 クロックの設定

本器では、MU181020A-x21 または MU181020B-x21 実装時に、差動クロック出力が可能です。

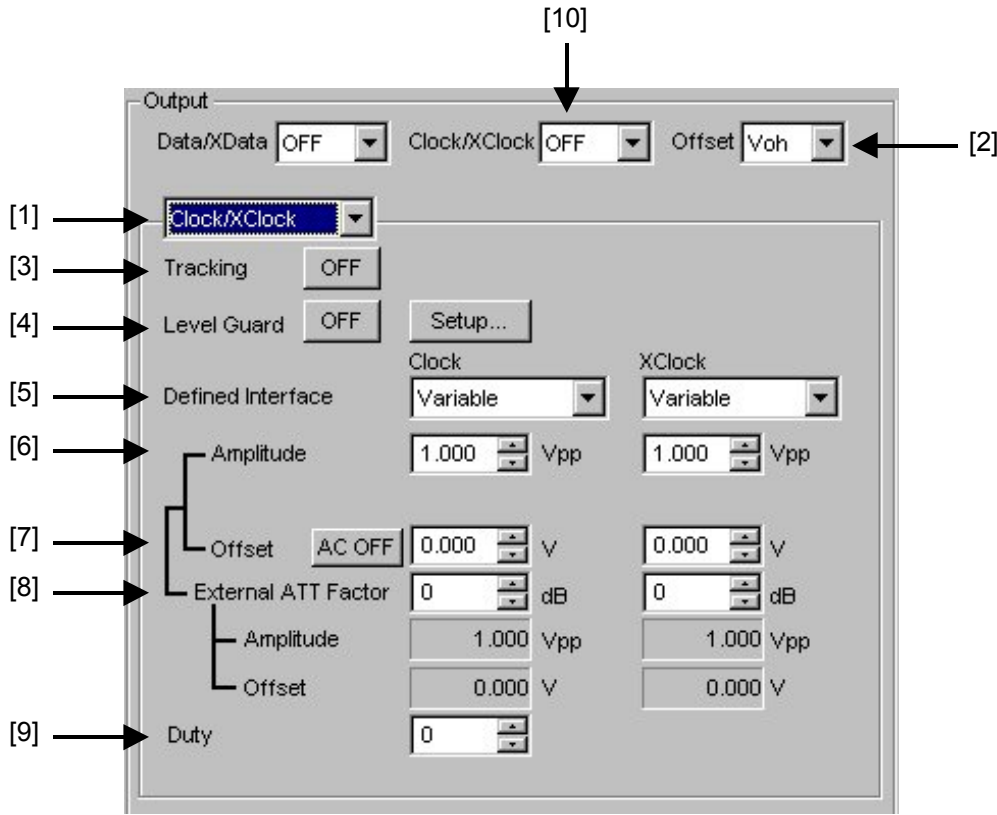


図5.1.3-1 Output タブ クロック設定画面

- [1] Clock/XClock を設定するには、リストボックスから Clock/XClock を選択します。
- [2] Offset の基準を選択します。
Offset, 振幅の設定値範囲はそれぞれの設定値により制限されます。Offset, 振幅の設定範囲詳細は「付録 A 擬似ランダムパターン」および「付録 C 設定制約事項」を参照してください。Offset の基準を変更すると、変更した Offset の基準に従い、Offset 値が計算され、変更されます。

表5.1.3-1 Offset 基準

Offset の基準	設定内容
Voh	Offset 値を High レベル基準として設定します。
Vth	Offset 値を High レベルと Low レベルのセンター基準として設定します。
Vol	Offset 値を Low レベル基準として設定します。

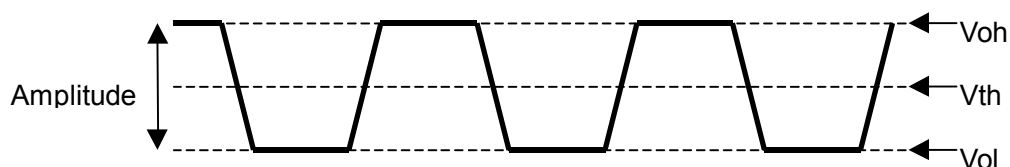


図5.1.3-2 Offset 設定

- [3] Tracking を設定します。

Tracking を ON にした場合, XClock の設定値は, Clock と同一の設定になります。

- [4] Level Guard を設定します。

[Setup] ボタンを押すと, Level Guard を行う振幅の最大値, Offset の最大値 (Offset の High レベルの最大値) と最小値 (Offset の Low レベルの最小値) を設定することにより必要以上の電圧が被測定対象物にかからないようにできます。

[8] の External ATT Factor が設定されている場合, Level Guard の設定は本器と被測定物との間に接続された固定 Attenuator 通過後の Amplitude, Offset Max (Voh), Offset Min (Vol) 設定値の出力レベルを制限します。そのため, 固定 Attenuator を接続しない状態で使用しますと設定値を超える信号が出力されますのでご注意ください。

- [5] Clock, XClock ごとに Defined Interface を設定します。

Level Guard 設定により選択できない項目がある場合があります。

表5.1.3-2 振幅設定値

項目	振幅		オフセット Vth
	Voh	Vol	
Variable	—	—	—
PCML	+3.3 V	+2.8 V	+3.05 V
NCML	0.0 V	−0.5 V	−0.25 V
SCFL	0.0 V	−0.9 V	−0.45 V
NECL	−0.9 V	−1.7 V	−1.3 V
LVPECL	+2.4 V	+1.6 V	+2.0 V
LVDS (200 mV)	+1.3 V	+1.1 V	+1.2 V
LVDS (400 mV)	+1.4 V	+1.0 V	+1.2 V

- [6] Clock, XClock ごとに Defined Interface を設定します。
Level Guard 設定や, Offset 設定値により設定範囲が変わります。
表 5.1.3-3 に, Defined Interface を Variable に設定した場合の振幅の設定可能範囲を示します。

表5.1.3-3 振幅設定範囲

適用オプション	振幅	設定ステップ
オプションなし	0.5 V _{p-p} 固定	—
x21 を実装	0.1～2.0 V _{p-p}	0.002 V

- [7] Clock, XClock ごとに Offset を設定します。
Level Guard 設定や, 振幅設定値により設定範囲が変わります。また,
[AC OFF] ボタンを押して [AC ON] にすると, AC 出力にできます。

表5.1.3-4 Offset 設定範囲

適用オプション	Offset	設定ステップ	AC 出力
オプションなし	0.000 V 固定 (Offset: V _{oh})	—	無効
x21 を実装	−4.0～3.3 V	0.001 V	有効

- [8] Clock, XClock ごとに External ATT Factor を設定します。
本器の Clock/XClock 出力コネクタの外部に固定 Attenuator を接続した場合, 固定 Attenuator の値を加味して被測定対象物の設定値を表示します。
設定範囲は, 0～40 dB, 1 dB ステップで設定できます。
Defined Interface で Variable 以外を設定した場合は, 0 にリセットされ, 設定は無効となります。また, External ATT Factor-Amplitude, Offset 表示エリアに表示されている値は, Attenuator 通過後の Offset, 振幅値を表示しています。
- [9] Duty を設定します。
設定範囲は, −25～25, 1 ステップで設定できます。
- [10] Output ON・OFF を設定します。
本設定は選択された本器に関する Output 設定のため, 出力信号を ON にする場合, 本設定のほかにモジュールファンクションボタンにて機器全体の Output を ON にする必要があります。

注:

- 出力の設定によっては、被測定対象物を破損させてしまうおそれがあります。破損防止のため被測定対象物とのインタフェース条件を確認して出力を設定するか、あらかじめ **Level Guard** を設定してください。
- **PCML**, **LVPECL**, **NECL** を選択した場合、本器の出力側では被測定対象物の終端電圧に対応した電圧が加えられるためインタフェース条件が一致していない場合、被測定対象物を壊してしまうおそれがあります。必ずインタフェース条件が一致しているか確認してください。
- 市販の **ECL** ターミネータを使用して出力波形を観測した場合、波形歪(リンギング)が見えることがありますが、それは **ECL** ターミネータの特性によるものであり、本器の出力に波形歪があるわけではありません。
- 出力部には保護用に電流制限(**Sourcing 50 mA**, **Sinking 80 mA**)が設けられているため、間違ったインタフェース条件による過電流においては観測波形の **Offset** 電圧が設定された **Offset** 電圧に到達しない場合があります。
- **External ATT Factor** を設定する場合、設定前に本器と被測定物との間に固定 **Attenuator** が接続されていることを必ず確認してください。固定 **Attenuator** を接続されていない場合や、**External ATT Factor** で設定した減衰値よりも小さい減衰値の固定 **Attenuator** を接続した場合は、被測定物を破損させてしまうおそれがあります。

5.1.4 CMU Bit Rateの設定

本器に MU181020A-001 を実装した場合、CMU Bit Rate の設定ができます。
本器は内蔵シンセサイザが搭載されているため、外部にシンセサイザを用意する必要はありません。

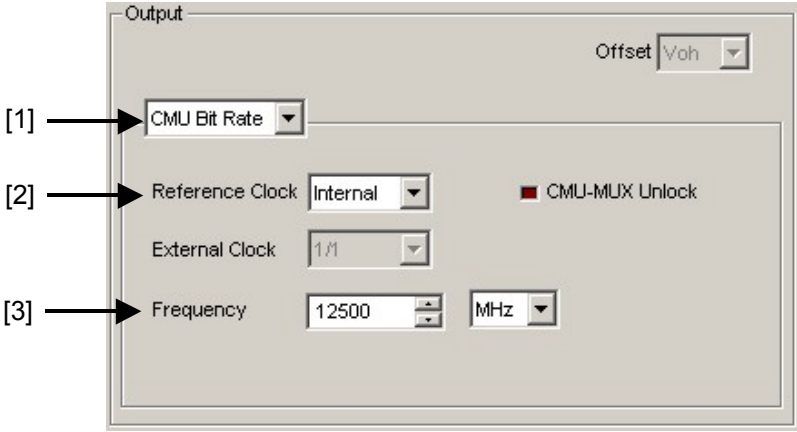


図5.1.4-1 Output タブ CMU Bit Rate 設定画面 (Internal)

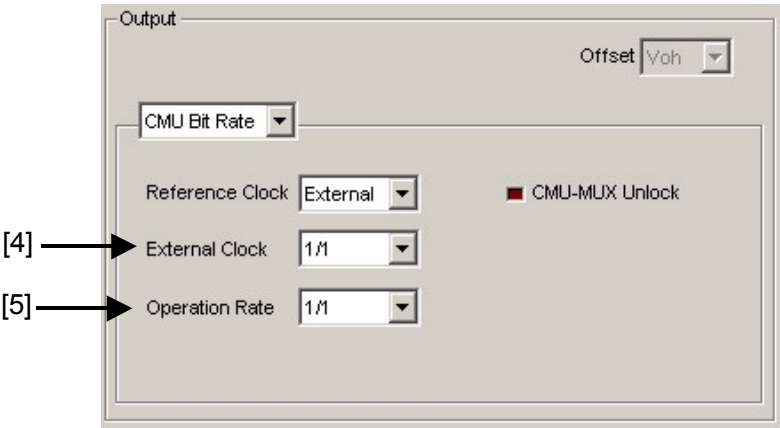


図5.1.4-2 Output タブ CMU Bit Rate 設定画面 (External)

- [1] [Output] タブ内のリストボックスから、CMU Bit Rate を選択します。
- [2] CMU 用の Reference Clock として内部、外部の Clock を使用するか選択
できます。

表5.1.4-1 Reference Clock の設定

Reference Clock	設定内容
Internal	CMU 用の Reference Clock として内部 Clock を使用します。 [3]で周波数を設定します。
External	CMU 用の Reference Clock として、外部からの入力クロック信号を使用します。MU181020A の Ext. Clock Input から Reference Clock を入力します。

- [3] Reference Clock で [Internal] を選択した場合、発生する周波数を設定します。

[1]の Reference Clock で Internal を設定した場合に、出力する信号の周波数を設定します。設定範囲は以下になります。

表5.1.4-2 出力周波数の設定

単位	範囲	設定ステップ
MHz	1225～1562	1 MHz
	2450～3125	
	4900～6250	
	9800～12500	
kHz	1225000～1562500	1 kHz
	2450000～3125000	
	4900000～6250000	
	9800000～12500000	

- [4] Reference Clock で [External] を選択した場合、Reference Clock の Rate を選択します。

表5.1.4-3 External Clock Rate の設定

External Clock	設定内容
1/1	外部から入力した Clock と同じ Rate の Data および Clock 信号を発生します。外部から入力する Clock の周波数範囲は、9,800～12,500 MHz になります。
1/64	外部から入力した Clock の 64 逓倍した Rate の Data および Clock 信号を発生します。外部から入力する Clock の周波数範囲は、9,800/64～12,500/64 MHz (153.125～195.3125 MHz) になります。

- [5] Reference Clock で External を選択した場合, Operation Rate 選択により出力される Data の出力レートを設定します。

[1]の Reference Clock で External を設定した場合に, 出力する Data 信号のレートを設定します。

(a) External Clock 設定が 1/1 の場合

表5.1.4-4 Operation Rate の設定 (External Clock 1/1 の場合)

Operation Rate	Data 信号出力レート
1/1	外部入力 Clock のレート (9.8～12.5 GHz)
1/2	外部入力 Clock の 1/2 レート (4.9～6.25 GHz)
1/4	外部入力 Clock の 1/4 レート (2.45～3.125 GHz)
1/8	外部入力 Clock の 1/8 レート (1.225～1.5625 GHz)

(b) External Clock 設定が 1/64 の場合

表5.1.4-5 Operation Rate の設定 (External Clock 1/64 の場合)

Operation Rate	Data 信号出力レート
1/1	外部入力 Clock の 64 倍レート (9.8～12.5 GHz)
1/2	外部入力 Clock の 32 倍レート (4.9～6.25 GHz)
1/4	外部入力 Clock の 16 倍レート (2.45～3.125 GHz)
1/8	外部入力 Clock の 8 倍レート (1.225～1.5625 GHz)

5.1.5 ジッタ変調された信号を入力する場合の設定

- ジッタ変調されたクロックを入力する場合は、Delay の Jitter Input を ON にしてください(図 5.1.5-1 参照)。MU181000A/B(オプション 001 ジッタ変調付き)をご使用の場合は、Delay の Jitter Input を ON に設定したあとに、MU181000A/B の Jitter Modulation を ON に設定してください。
- Delay の Calibration をする場合は、入力信号のジッタ変調を無変調にしてください。
- Combination Setting を設定する場合は、Combination または Channel Synchronization へ設定する前に、ジッタ変調を無変調にしてください。
- Combination または Channel Synchronization 設定時で、入力周波数を変える場合は、周波数を変えたあとに Delay の Jitter Input を ON、ジッタ変調を ON という手順で測定してください。

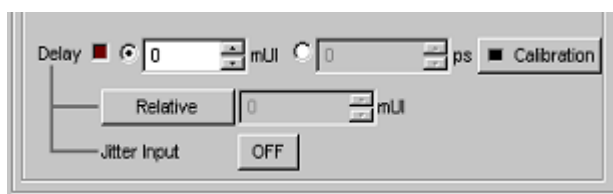


図5.1.5-1 Outputタブ Delay 設定画面

注:

- Delay の Jitter Input が OFF のまま、ジッタ変調されたクロックを入力すると、位相が不安定になる場合があります。
- ジッタ変調されたクロックを入力すると、Delay ランプが点灯したり、位相設定誤差が大きくなる場合があります。

5.2 Pattern の設定

Pattern の設定をするには、操作画面の [Pattern] タブを選択し、試験パターンの選択および設定をします。

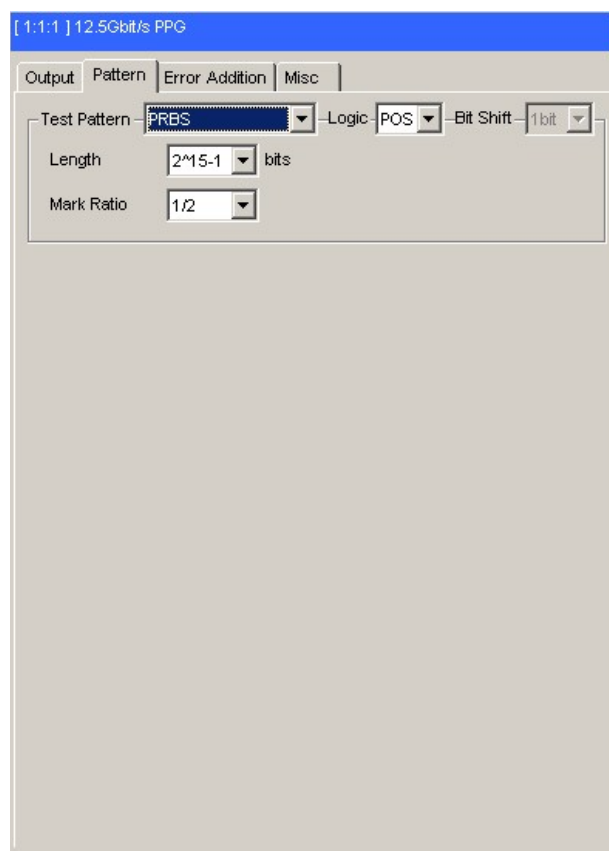


図5.2-1 Pattern タブ設定画面

5.2.1 Test Patternについて

試験パターンとして、下記の6種類のパターンを設定できます。

- PRBS
- Zero-Substitution
- Data
- Alternate
- Mixed
- Sequence

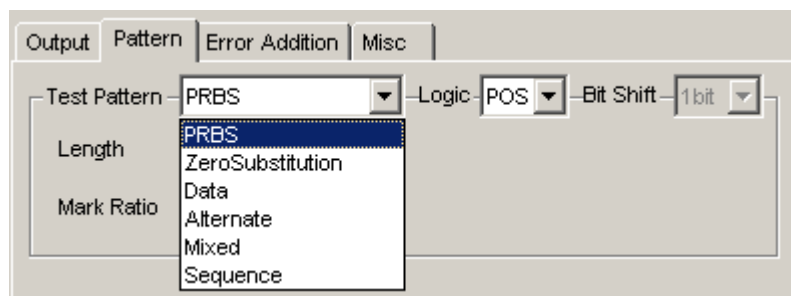


図5.2.1-1 Test Pattern の選択画面

以降に各パターンの設定方法について説明します。

5.2.2 PRBSの設定

PRBS 設定時の、各種パラメータを設定します。

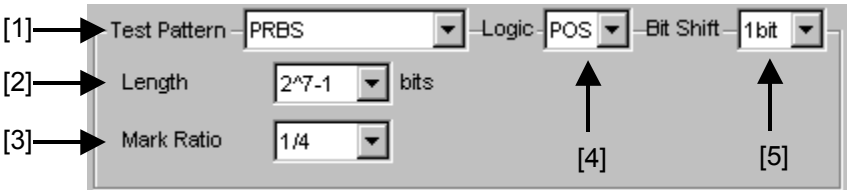


図5.2.2-1 Test Pattern (PRBS) 設定項目画面

- [1] リストボックスから PRBS を選択します。
- [2] PRBS パターンの段数を設定します。
PRBS パターンのパターン長を 2^n-1 ($n=7, 9, 10, 11, 15, 20, 23, 31$) で設定します。
- [3] マーク率を設定します。
マーク率選択は、論理設定 (PRBS Logic) に依存します。
Logic が POS の場合は 1/2, 1/4, 1/8, 0/8の中から選択します。
Logic が NEG の場合は 1/2inv, 3/4, 7/8, 8/8の中から選択します。
- [4] 試験パターンの論理 (Logic)を設定します。

表5.2.2-1 試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を“0”と規定します。
NEG (負論理)	信号の High Level を“1”と規定します。

- [5] PRBS 信号のマーク率変化時にビットパターン間の相関を変化させるため AND Gate 通過時にビットシフトを行う際の bit 数を選択します。
1 bit または 3 bit を選択します。
ただし、PRBS Mark Ratio 設定が有効かつ 1/4 (3/4), 1/8 (7/8) の場合以外は、無効となります。

PRBS 発生原理に関しては、「付録 A 擬似ランダムパターン」を参照してください。

5.2.3 Zero-Substitutionの設定

Zero-Substitution 設定時の、各種パラメータを設定します。

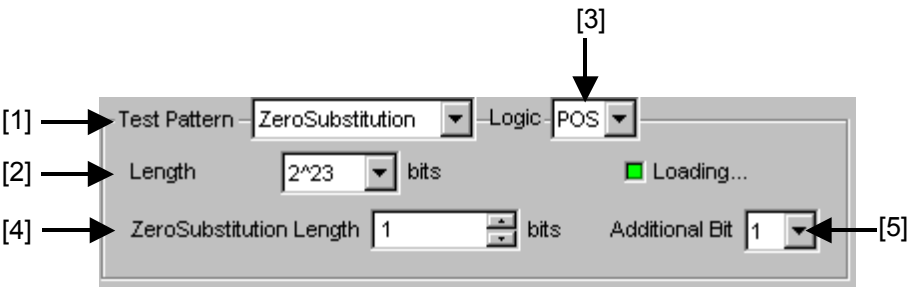


図5.2.3-1 Test Pattern (Zero-substitution) 設定項目画面

- [1] リストボックスから Zero-substitution を選択します。
パターンの Loading が開始され、Loading LED が点灯します。
- [2] ゼロ挿入対象となるパターン試験信号構成(段数)を設定します。
以下のいずれかのパターン試験信号を選択します。
 2^n ($n=7, 9, 10, 11, 15, 20, 23$) [従来機種と互換],
 2^n-1 ($n=7, 9, 10, 11, 15, 20, 23$) [Pure PRBS 信号]
- [3] 試験パターンの論理 (Logic) を設定します。

表5.2.3-1 試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を“1”と規定します。
NEG (負論理)	信号の High Level を“0”と規定します。

- [4] ゼロ挿入(置換)ビット数を設定します。 [2] で選択したパターン試験信号により、ゼロ挿入可能なビット数が変わります。
 - (a) 2^n-1 が設定されている場合: 1～ 2^n-2 まで 1 bit ステップで設定 できます。
 - (b) 2^n が設定されている場合: 1～ 2^n-1 まで 1 bit ステップで設定 できます。
- [5] ゼロ挿入パターン最終ビットを設定します。
ただし、Length が 2^n-1 の場合は無効です。

表5.2.3-2 ゼロ挿入パターン最終ビットの設定

設定	設定内容
1	2^n ビット目を“1”とします (既存機種と互換)。
0	M 系列信号とするため、最大 0 連位置の次に“0”を 1 ビット加えたパターンとします。

5.2.4 Data の設定

Data 設定時の、各種パラメータを設定します。

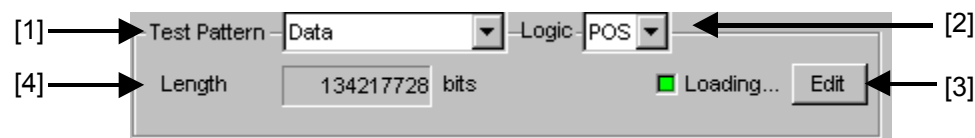


図5.2.4-1 Test Pattern (Data) 設定項目画面

- [1] リストボックスから Data を選択します。
試験パターンの Loading が開始され、Loading LED が点灯します。
- [2] 試験パターンの論理 (Logic) を設定します。

表5.2.4-1 試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を“1”と規定します。
NEG (負論理)	信号の High Level を“0”と規定します。

- [3] 試験パターンを編集します。
[Edit] ボタンを押すと、Pattern Editor 画面を表示し、試験パターンを編集できます。Pattern Editor 画面により、試験パターン編集後、[OK] ボタンを押して、Pattern Editor 画面を閉じると、ハードウェアへの Loading を行います。Loading 中は、Loading LED が点灯します。Pattern Editor による試験パターン設定の説明に関しては、「5.2.8 Pattern Editor による試験パターン編集」を参照してください。
- [4] 現在設定されている試験パターンデータのデータ長を表示します。

注：
データ長が長い場合、試験パターンの Loading に時間がかかる場合があります。

5.2.5 Alternateの設定

Alternate を選択すると、設定された A と B の試験パターンに対し、パターン設定回数分を交互に出力できます。
Combination または Burst 設定時は、選択できません。

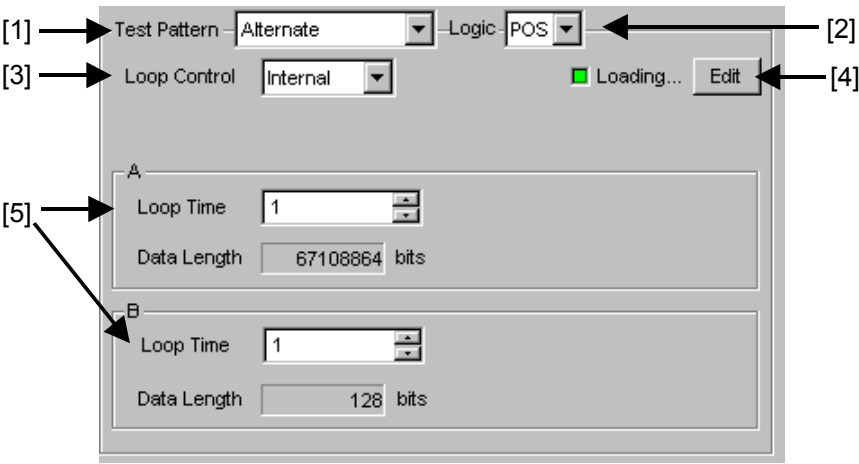


図5.2.5-1 Test Pattern (Alternate) 設定項目画面

- [1] リストボックスから Alternate を選択します。
試験パターンの Loading が開始され、Loading LED が点灯します。
- [2] 試験パターンの論理を設定します。

表5.2.5-1 試験パターン論理の設定

設定	設定内容
POS(正論理)	信号の High Level を“1”と規定します。
NEG(負論理)	信号の High Level を“0”と規定します。

- [3] Alternate Pattern の A/B 切り替え制御方式を選択します。

表5.2.5-2 切り替え制御方式の設定

設定	設定内容
Internal	[5]の設定により、A、B の試験パターンを交互に出力します。
External	外部からの Alternate Control 信号により、A、B の試験パターンの切り替え制御を行います。[Misc] タブの AUX Input 設定で、Alternate Control を選択してください。
Manual	Manual を選択すると、[Manual] ボタンが表示されます。[Manual] ボタンを押すと A 試験パターンから B 試験パターンに切り替わり、B 試験パターンを Loop Time 設定回数分出力したあと、A 試験パターンを出力します。

- [4] Alternate 試験パターンの編集をします。
- [Edit] ボタンを押すと, Pattern Editor 画面が表示され, A, B の試験パターンを編集できます。Pattern Editor 画面により, 試験パターン編集後, [OK] ボタンを押して, Pattern Editor 画面を閉じると, ハードウェアへ Loading します。Loading 中は, Loading LED が点灯します。Pattern Editor による試験パターン設定の説明に関しては, 「5.2.8 Pattern Editor による試験パターン編集」を参照してください。
- [5] A 試験パターン, B 試験パターンごとに Loop Time を設定します。
- A 試験パターンまたは B 試験パターンの繰り返し出力数を設定します。A, B それぞれの Loop Time 設定範囲は, 1~511 回, 1 ステップで設定できます。ただし, Loop Control の設定が External の場合は設定できません。また, Loop Control の設定が Manual の場合は A 試験パターンの Loop Time は設定できません。

各 A, B の Data Length 表示エリアには, Pattern Editor 画面で設定した試験パターンのパターン長が表示されます。

注:

Burst 試験パターンを出力する場合, 試験パターンの Alternate は選択できません。

また, 試験パターンに Alternate を選択した場合, [Misc] タブの Pattern Sequence で Burst は選択できません。

データ長が長い場合, 試験パターンの Loading に時間がかかる場合があります。

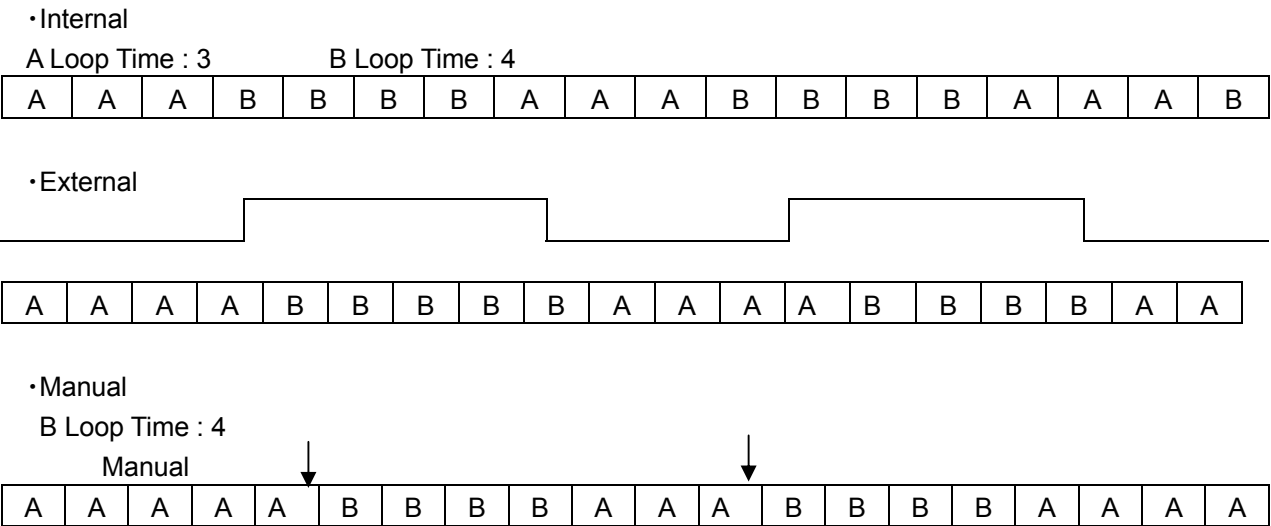


図5.2.5-2 試験パターン Alternate 切り替え例

5.2.6 Mixedの設定

Mixed を選択すると、プログラム可能な試験パターンと PRBS をあわせた Block が設定できます。

5.2.6.1 Mixed Data試験パターンの設定

プログラム可能な試験パターンに PRBS パターンを加えたパターンを Row と定義し、複数 Row を収容したものを 1Block として、複数の Block を設定し、試験パターンを設定します。

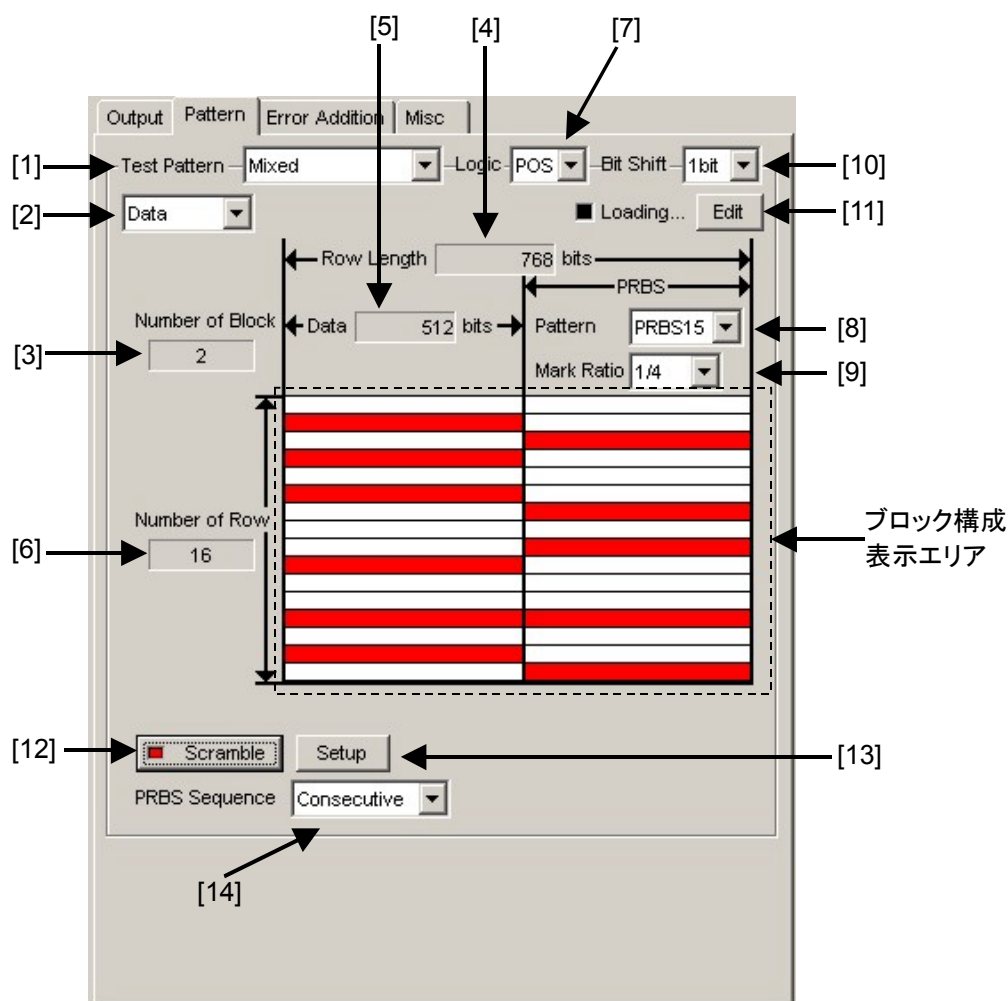


図5.2.6.1-1 Test Pattern(Mixed Data)設定項目画面

- [1] リストボックスから Mixed を選択します。
- [2] リストボックスから Data を選択します。
Data を選択した場合、Block 内部の Row の構成はプログラム可能な試験パターンと PRBS で構成されたパターンを設定します。
- [3] 全 Block 数を表示します。
Pattern Editor 画面で設定した全 Block 数を表示します。最大 Block 数は、511 になります。

- [4] Row Length を表示します。 Pattern Editor 画面で設定した Row Length を表示します。
- [5] Data Length を表示します。
Pattern Editor 画面で設定した Data Length を表示します。
- [6] 1 ブロックあたりの Row 数を表示します。
Pattern Editor 画面で設定した Number of Row を表示します。
- [7] 試験パターンの論理 (Logic) を設定します。

表5.2.6.1-1 試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を“1”と規定します。
NEG (負論理)	信号の High Level を“0”と規定します。

- [8] PRBS パターンの段数を設定します。
PRBS パターンのパターン長を $2^n - 1$ ($n=7, 9, 10, 11, 15, 20, 23, 31$) に設定できます。
- [9] マーク率を設定します。
マーク率選択は、論理設定 (PRBS Logic) に依存します。
Logic が POS の場合は、1/2, 1/4, 1/8, 0/8 の中选择します。
Logic が NEG の場合は、1/2inv, 3/4, 7/8, 8/8 の中选择します。
- [10] PRBS 信号のマーク率変化時にビットパターン間の相関を変化させるため AND Gate 通過時にビットシフトを行う際の bit 数を選択します。
1 bit または 3 bit を選択します。
ただし、PRBS Mark Ratio 設定が有効かつ 1/4 (3/4), 1/8 (7/8) の場合以外は、無効となります。
- [11] 試験パターンを編集します。
[Edit] ボタンを押すと、Pattern Editor 画面が表示され、試験パターンを編集できます。Pattern Editor 画面により、試験パターン編集後、[OK] ボタンを押して、Pattern Editor 画面を閉じると、ハードウェアへ Loading します。Loading 中は、Loading LED が点灯します。Pattern Editor による試験パターン設定の説明に関しては、「5.2.8 Pattern Editor による試験パターン編集」を参照してください。

注:

データ長が長い場合、試験パターンの Loading に時間がかかる場合があります。

[12] Scramble を ON・OFF 設定します。

[11]の Setup で設定した部分に対して、PRBS7 段の Scramble をかけられます。[Scramble] ボタン上の LED が消灯中に [Scramble] ボタンを押すと、[Scramble] ボタン上の LED が点灯し、出力信号が Scramble されます。Scramble されている箇所が画面上のブロック構成表示エリアに赤色で表示されます。[Scramble] ボタン上の LED が点灯中に再度、[Scramble] ボタンを押すと [Scramble] ボタン上の LED が消灯し、出力信号への Scramble を停止します。

[13] Scramble の設定をします。

[Setup] を押すと、Scramble Setup 画面が表示されます。

Scramble をかけたい部分のチェックボックスをチェックすると、Scramble がかけられます。Scramble Setup 画面の [OK] ボタンを押して、設定します。

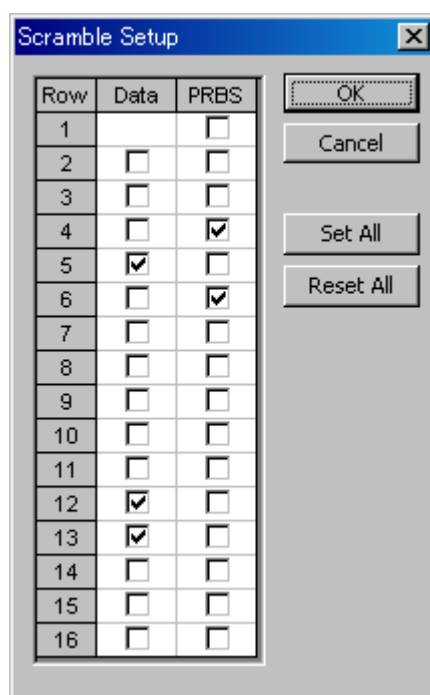


図5.2.6.1-2 Scramble Setup 画面

注:

各 Block の Row の 1 番目の Data 領域は、Scramble をかけられません。

- [14] PRBS 信号発生方式を設定します。
Mixed パターンにおける, PRBS 部分のパターン列の連続性有無について設定を行います。

表5.2.6.1-2 PRBS 信号発生方式の設定

設定	設定内容
Restart	設定した最終 Block の PRBS の最後尾と, 次に繰り返される Block の PRBS の先頭が, 不連続となります。
Consecutive	設定した最終 Block の PRBS の最後尾と, 次に繰り返される Block の PRBS の先頭が, 連続となります。

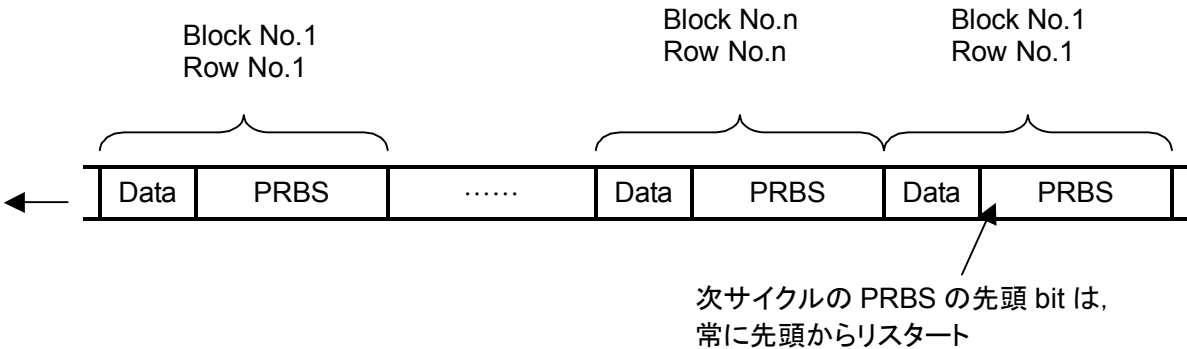


図5.2.6.1-3 PRBS パターン列の連続性(Restart 時)

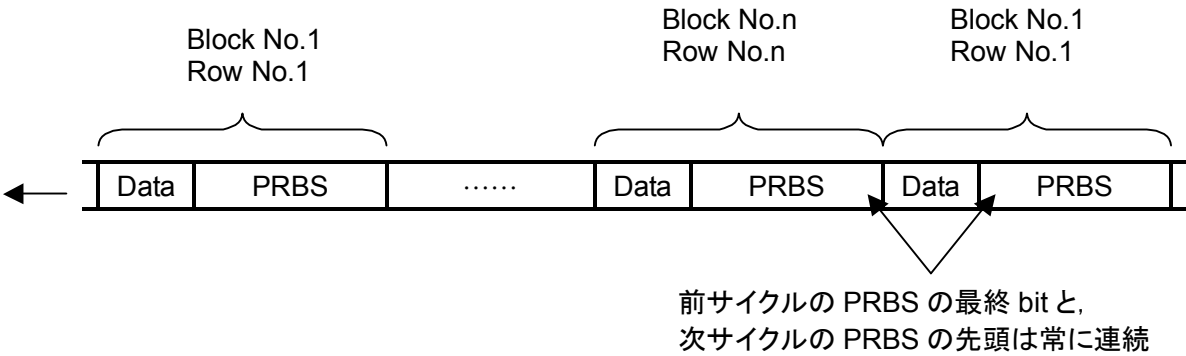


図5.2.6.1-4 PRBS パターン列の連続性(Consecutive 時)

5.2.6.2 Mixed Alternate試験パターンの設定

プログラム可能な試験パターンに、PRBSパターンを加えたパターンをRowと定義し、複数Rowを収容したものを1blockとして、複数のblockをA、Bとして2種類設定し、指定回数分のA、Bのblockを交互に出力できます。
Combination 時または Burst 設定時は、選択できません。

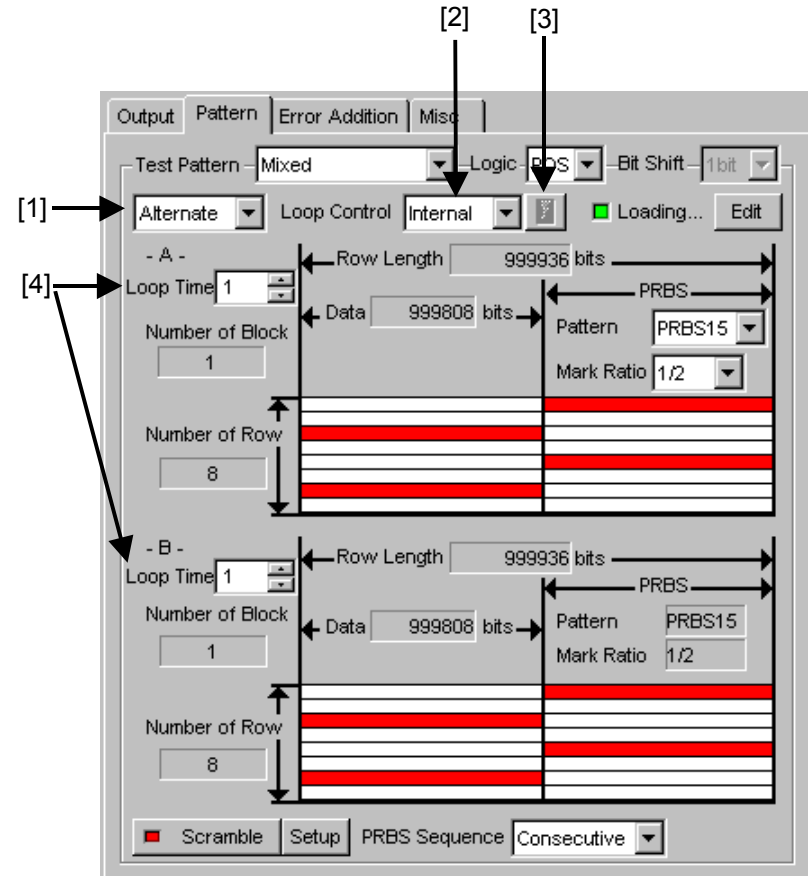


図5.2.6.2-1 Test Pattern (Mixed Alternate) 設定項目画面

- [1] リストボックスから Alternate を選択します。
Alternate を選択した場合、A、B の 2 種類の Mixed Data パターンを設定します。
- [2] Alternate Pattern の A、B 切り替え制御方式を選択します。

表5.2.6.2-1 切り替え制御方式の設定

設定	設定内容
Internal	[4]の設定により、A、B の試験パターンを交互に出力します。
External	外部からの Alternate Control 信号により、A、B の試験パターンの切り替え制御を行います。 [Misc] タブの AUX Input 設定で、Alternate Control を選択してください。
Manual	Manual を選択すると、[3]の [Manual] ボタンが表示されます。 [Manual] ボタンを押すと A から B 試験パターンに切り替わり、B 試験パターンを Loop Time 設定回数分出力したあと、A 試験パターンを出力します。

- [3] Loop Control で Manual を設定した場合, [Manual] ボタンが有効になり, [Manual] ボタンを押すと A から B 試験パターンに切り替わり, B 試験パターンを Loop Time 設定回数分出力したあと, A 試験パターンを出力します。
- [4] A, B 試験パターンごとに Loop Time を設定します。
A または B 試験パターンの繰り返し出力数を設定します。A, B それぞれの Loop Time 設定範囲は, 1~511 回, 1 ステップで設定できます。
ただし, Loop Control の設定が External の場合は設定できません。また, Loop Control の設定が Manual の場合, A 試験パターンの Loop Time は設定できません。

各 A, B の Data Length 表示エリアには, Pattern Editor 画面で設定した試験パターンのパターン長が表示されます。

注:

Burst 試験パターンを出力する場合, 試験パターンの Alternate は選択できません。

また, 試験パターンに Alternate を選択した場合, [Misc] タブの Pattern Sequence で Burst を選択したとき, 試験パターンは PRBS に変更されます。

データ長が長い場合, 試験パターンの Loading に時間がかかる場合があります。

5.2.7 Sequenceの設定

Sequenceを選択することにより、最大128個のパターンをあらかじめ設定した順番で送信する信号パターンを設定できます。

Combination または Burst 設定時は、選択できません。

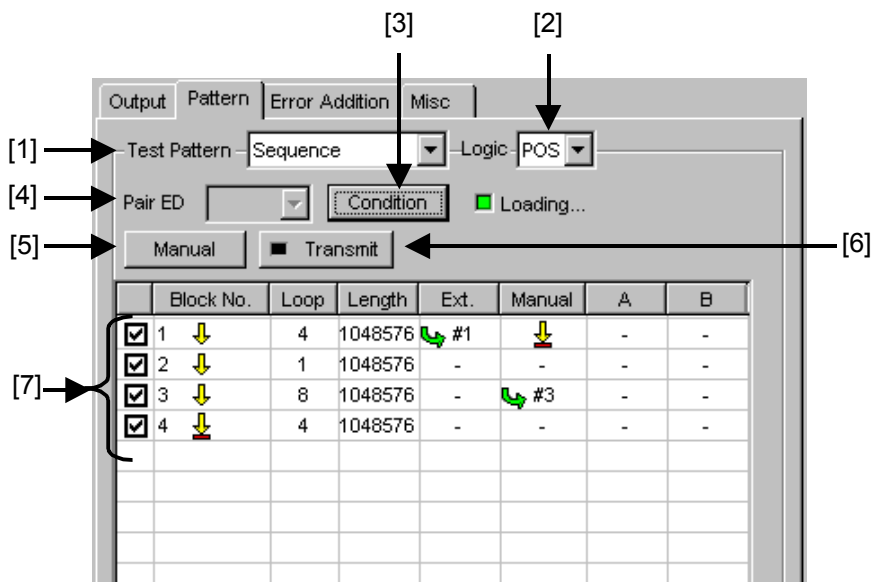


図5.2.7-1 Test Pattern(Sequence)設定項目画面

[1] リストボックスから Sequence を選択します。

[2] 試験パターンの論理(Logic)を設定します。

表5.2.7-1 試験パターン論理の設定

設定	設定内容
POS(正論理)	信号の High Level を“1”と規定します。
NEG(負論理)	信号の High Level を“0”と規定します。

[3] [Condition] ボタンを押すと、Sequence Pattern Setting 画面が表示されます。

パターンの登録、設定、送出順序、送出繰り返し回数などの送出パターンのシーケンスシナリオを設定します。

[4] 同じ本体に実装された MU181040A または MU181040B (以下、MU181040A/B と呼びます。)からペアとなるモジュールを選択します。ペアとなる MU181040A/B で指定の試験パターンを検出したとき、次の移行条件へ遷移します。

注:

Test Pattern が Sequence 以外の場合は、Pair ED は設定できません。また、Block ごとの試験パターンデータおよび登録 Block 数は、本器側の設定と MU181040A/B 側の設定を一致させてください。一致しない場合、正確な測定ができません。

- [5] Sequence Pattern Setting 画面で設定したシーケンスシナリオのシーケンス遷移条件として Manual Trigger 条件を設定している場合は、[Manual] ボタンを押すことで、次の試験パターンを送信します。
- [6] [Transmit] ボタンを押すと、Sequence パターンを Block1 から出力しなおします。[Transmit] ボタン上の LED は、ボタンを押したあと、2 秒間点灯します。
- [7] 設定した Sequence パターンを表示します。

5.2.7.1 Sequence PatternのCondition設定

Test Pattern (Sequence) の設定項目で [Condition] ボタンを押すと、Sequence Pattern Setting 画面(以下、本画面と呼びます。)が表示されます。

[OK] ボタンを押すと、設定内容を有効にして本画面を閉じます。[Cancel] ボタンを押すと、設定内容を破棄して本画面を閉じます。

本画面を閉じると、設定した Sequence パターンが出力されます。

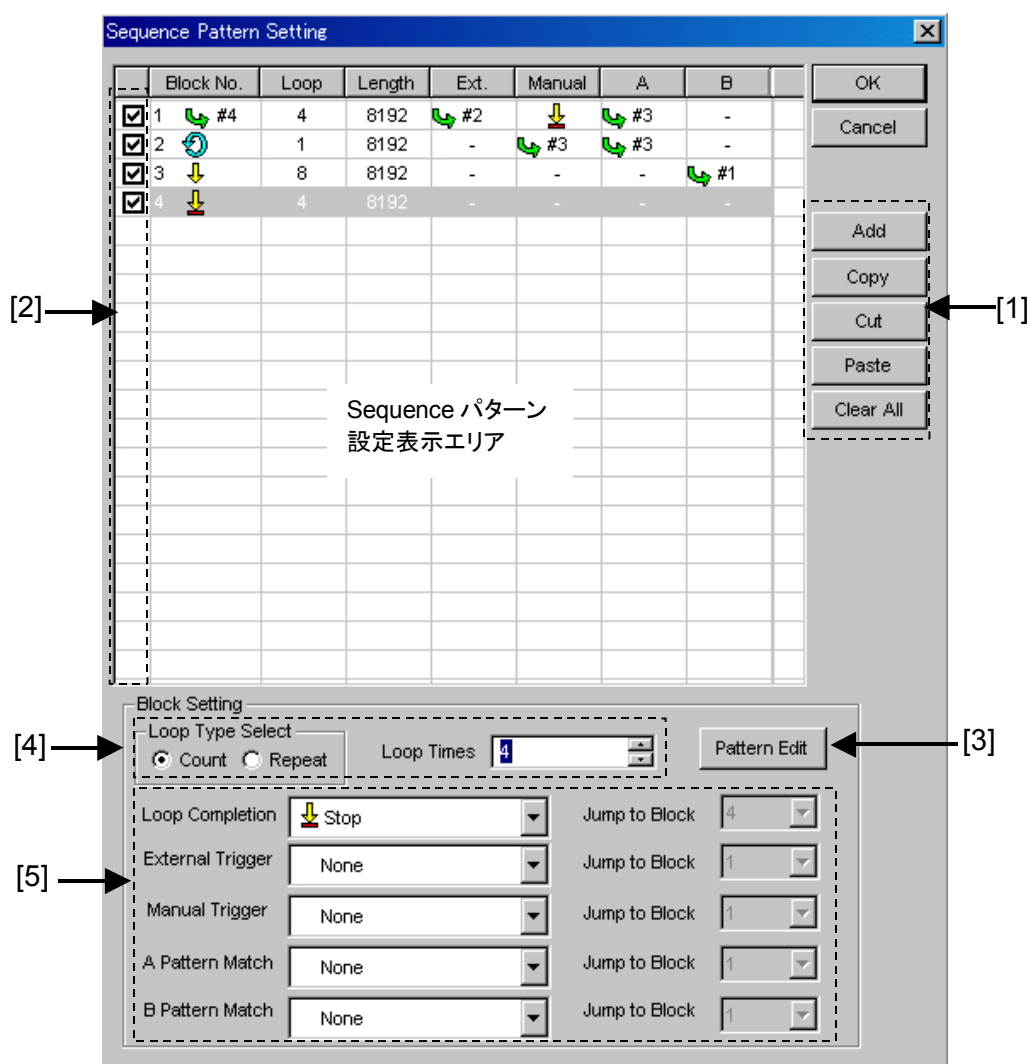


図5.2.7.1-1 Sequence Pattern Setting 設定画面

- [1] 送出順序を設定するためのボタンです。

表5.2.7.1-1 送出順序設定ボタン

ボタン	説明
Add	設定する Sequence パターンの Block 数を追加します。
Copy	Sequence パターン設定表示エリアで選択した Block をコピーできます。
Cut	Sequence パターン設定表示エリアで選択した Block を切り取ります。
Paste	Sequence パターン設定表示エリアで選択し、コピーまたは切り取った Block を、選択した Block と 1 つ前の Block の間に挿入します。
Clear All	Sequence パターン設定表示エリアに表示されている Sequence パターンのすべての Block をクリアします。

- [2] 各 Block のチェックボックス内のチェックを外すことで、その Block の送出を対象外にできます。

注:

[Cut] ボタン, [Clear All] ボタン実行により、すべての Block をクリアした場合、または[2]ですべての Block のチェックボックスを外し、対象外とした場合、不定値が出力されますので注意してください。

- [3] Sequence パターン設定表示エリアで、試験パターンを設定したい Block を選択し、[Pattern Edit] ボタンを押すと、試験パターンを設定します。
Pattern Editor 画面による試験パターン設定の説明については、「5.2.8 Pattern Editor による試験パターン編集」を参照してください。

- [4] Loop Type を設定します。

表5.2.7.1-2 Loop Type の設定

設定	説明
Count	Sequence パターン設定表示エリアで選択した Block のデータに対し、Loop Times エリアで指定した回数を繰り返し送信します。
Repeat	Sequence パターン設定表示エリアで選択した Block のデータに対し、External Trigger, Manual Trigger 条件が発生するまで繰り返し送信します。

[5] 各 Block の送信シーケンスの遷移条件を設定します。

表5.2.7.1-3 遷移条件の設定

遷移条件	説明
Loop Completion	Sequence パターン設定表示エリアで選択した Block に対して、Loop Type Select 設定が Count の場合に設定可能となり、Loop Times で設定した回数送出後の遷移方法を設定します。 Stop, Jump, Next のいずれかを設定します。Jump を設定した場合は、次に送出する Block を Jump to Block 設定を指定します。
External Trigger	Sequence パターン設定表示エリアで選択した Block に対して、外部 Trigger を検出した場合の遷移方法を設定します。 Stop, Jump, Next, None のいずれかを設定します。Jump を設定した場合は、次に送出する Block を Jump to Block 設定を指定します。 外部トリガは、AUX Input コネクタから入力します。外部トリガの設定は、Misc 画面の AUX Input 設定で、Sequence Control を選択します。 外部トリガを連続で入力する場合は、8192 bit 以上の周期で入力してください。またパルス幅は 64/Data 出力周波数 以上で入力する必要があります。
Manual Trigger	Sequence パターン設定表示エリアで選択した Block に対して、[Manual] ボタンを押した場合の遷移方法を設定します。 Stop, Jump, Next, None のいずれかを設定します。Jump を設定した場合は、次に送出する Block を Jump to Block 設定に指定します。
A Pattern Match	Test Pattern (Sequence) 設定画面の、Pair ED 設定で指定した MU181040A/B の Test Pattern (Sequence) 設定画面の Match Pattern A の条件として、設定した Match Pattern と一致した場合の遷移方法を設定します。
B Pattern Match	Test Pattern (Sequence) 設定画面の、Pair ED 設定で指定した MU181040A/B の Test Pattern (Sequence) 設定画面の Match Pattern B の条件として、設定した Match Pattern と一致した場合の遷移方法を設定します。

注:

Loop Type が Count に設定された場合に、遷移条件として A Pattern Match または B Pattern Match を使用するときは、Loop Times 値は、5 以上で設定してください。

4 以下に設定した場合、正常に遷移しない場合がありますので注意してください。

各遷移条件に対して、以下の遷移方法を設定します。

表5.2.7.1-4 遷移方法の設定

遷移方法	説明
Stop	遷移条件を検出後、パターン送出を停止します。停止中は、Data コネクタから“0”が出力され、XData 端子から“1”が出力されます。
Jump	遷移条件を検出後、Jump to Block エリアで設定した Block のパターンを送出します。
Next	遷移条件を検出後、次の Block No.のパターンを送出します。
None	遷移条件の Trigger を検出しても何も送出しません。

5.2.7.2 Sequence Pattern設定の具体例

図 5.2.7.1-1 で示す図を例に、Sequence パターンのシナリオ作成の手順を説明します。

1. [Add] ボタンを 4 回押し、Block を 4 つ追加します。
2. Block No.1 を選択し、表 5.2.7.2-1 の設定をします。

表5.2.7.2-1 Sequence Pattern の設定例(Block No.1)

Block No.1 の設定	設定値
Loop Type Select	Count
Loop Times	5
Loop Completion	Jump → Jump to Block 設定で 4 を指定します。
External Trigger	Jump → Jump to Block 設定で 2 を指定します。
Manual Trigger	Stop
A Pattern Match	Jump → Jump to Block 設定で 3 を指定します。
B Pattern Match	None

図 5.2.7.1-1 では、[Transmit] ボタンを押すことで Block No.1 からスタートし、Block No.1 の Pattern を Loop Times で設定した Loop 回数の 5 回繰り返し送信したあと、Block No.4 の Block ヘジャンプします。

また、Block No.1 の発生が指定 Loop 回数分送信を繰り返している間に External trigger を検出した場合は、Block No.2 ヘジャンプします。

Manual Trigger を検出した場合は Stop します。

Pair ED に指定されている MU181040A/B において設定された A Pattern と一致した場合は、Block No.3 ヘジャンプします。

3. Block No.2 を選択し、表 5.2.7.2-2 の設定をします。

表5.2.7.2-2 Sequence Pattern の設定例(Block No.2)

Block No.2 の設定	設定値
Loop Type Select	Repeat
External Trigger	None
Manual Trigger	Jump → Jump to Block 設定で 3 を指定します。
A Pattern Match	Jump → Jump to Block 設定で 3 を指定します。
B Pattern Match	None

ある遷移条件により, Block No.2 へ移行した場合, Loop Type Select で Repeat 設定しているので, Trigger 条件を検出するまで Block No.2 のパターン発生を繰り返します。

Block No.2 のパターン発生が繰り返されている間に, [Manual] ボタンを押した場合, Block No.3 へジャンプします。

同様に Pair ED に指定されている MU181040A/B において設定された A Pattern と一致した場合は, Block No.3 へジャンプします。

4. Block No.3 を選択し, 表 5.2.7.2-3 の設定をします。

表5.2.7.2-3 Sequence Pattern の設定例 (Block No.3)

Block No.3 の設定	設定値
Loop Type Select	Count
Loop Times	8
Loop Completion	Next
External Trigger	None
Manual Trigger	None
A Pattern Match	None
B Pattern Match	Jump → Jump to Block 設定で 1 を指定します。

ここでは Loop 回数を 8 回に設定しているので指定 Loop 回数分パターン発生を繰り返したあとに, 次の Block No.4 へ移行します。

本 Block を発生している間に, Pair ED に指定されている MU181040A/B において設定された B Pattern と一致した場合は, Block No.1 へジャンプします。

5. Block No.4 を選択し, 表 5.2.7.2-4 の設定をします。

表5.2.7.2-4 Sequence Pattern の設定例 (Block No.4)

Block No.4 の設定	設定値
Loop Type Select	Count
Loop Times	4
Loop Completion	Stop
External Trigger	None
Manual Trigger	None
A Pattern Match	None
B Pattern Match	None

ここでは Loop 回数を 4 回に設定しており, 指定回数分発生したあとに Stop します。

5.2.8 Pattern Editorによる試験パターン編集

[Pattern] タブで以下のパターンを選択した場合の試験パターン編集について説明します。

- Data
- Alternate
- Mixed
- Sequence

5.2.8.1 共通項目

各画面の [Edit] ボタンまたは [Pattern Edit] ボタン (Sequence の場合) を押すと, Pattern Editor 画面を表示します。

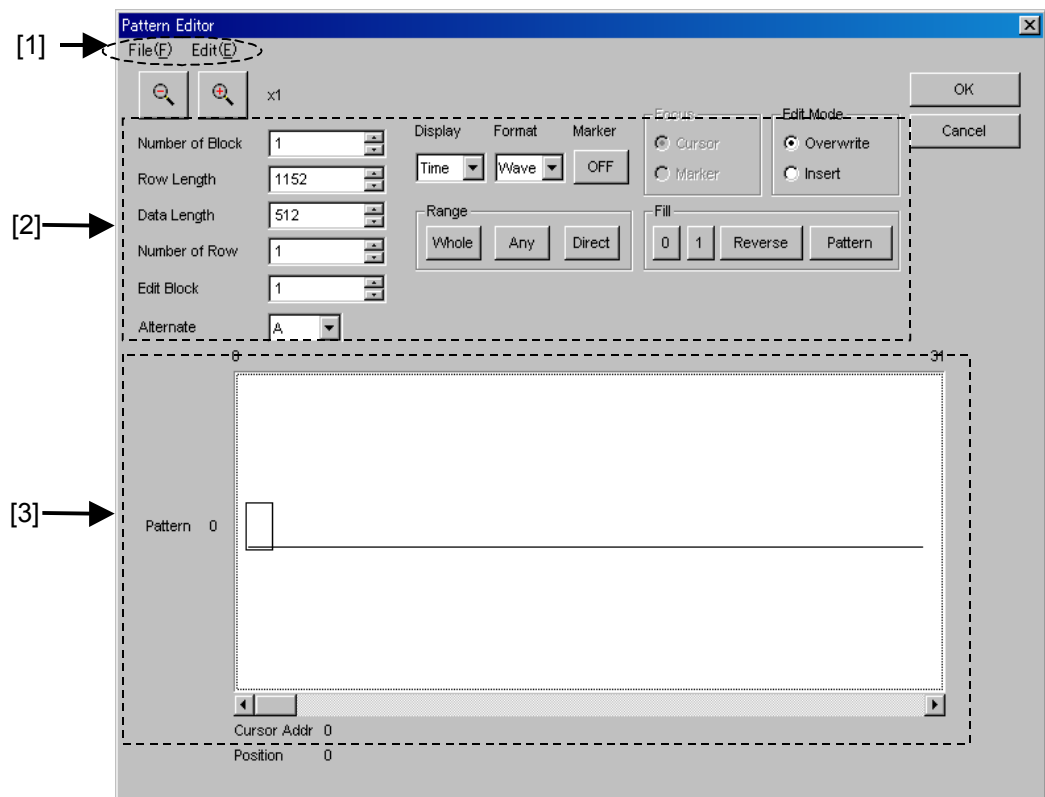


図5.2.8.1-1 Pattern Editor 画面

[1] メニューバー構成

表5.2.8.1-1 メニューバー構成

メニュー	項目	説明
File	Open	バイナリパターン(Binary Pattern)、バイナリテキストパターン(BIN Text Pattern)、ヘキサテキストパターン(HEX Text Pattern)形式のいずれかで保存されている設定ファイルを開きます。 ファイル互換については、「5.2.8.11 既存機種パターンとの互換性」を参照してください。
	Save	バイナリパターン(Binary Pattern)、バイナリテキストパターン(BIN Text Pattern)、ヘキサテキストパターン(HEX Text Pattern)形式で設定ファイルを保存します。 注: 保存したファイル名を変更すると、設定を読み込むことができなくなるので注意してください。
	Screen Copy	画面イメージを印刷します。 印刷についての設定は、MX180000A のメニューバーから [File] → [Screen Copy] の Setup で行います。
Edit	Undo	直前の 1 作業を取り消し、もとの状態に戻します。
	Cut	Pattern View 上の選択されたパターンを切り取ります。切り取り後の領域は、0 になります。
	Copy	Pattern View 上の選択されたパターンを内部メモリにコピーします。
	Paste	内部メモリ上のパターンをカーソル位置に貼り付けます。
	Jump	指定されたアドレスやパターンにカーソルを移動させます。
	Head	カーソルを編集パターンの先頭に移動させます。
	Tail	カーソルを編集パターンの最後尾に移動させます。
	Marker	Marker の設定が ON のとき、Marker で指定されている位置にカーソルを移動します。
	Address	Input Address 画面が開きます。 指定したアドレス位置にカーソルを移動します。
	Pattern	Input Pattern 画面が開きます。 検索したいパターン列を 2 進数で、マスクしたいパターンを x で指定します。 編集パターン上に一致したパターンがあれば、その位置にカーソルが移動します。前方検索、後方検索ができます。 検索パターンを指定するには、Input Pattern 画面の [Set ALL] ボタンを押すと、ビットをすべて 1、[Reset ALL] ボタンを押すと、ビットをすべて 0、[ALL X] ボタンを押すとビットをすべて「Don't Care」にします。検索する方向を [Forward]、[Backward] オプションボタンで選択し、[OK] ボタンを押してください。
	Forward Next	Input Pattern 画面で設定したパターンに一致する前方方向の次の候補を検索し、一致すれば、その位置にカーソルを移動します。

表5.2.8.1-1 メニューバー構成(続き)

設定項目	説明	
Edit (続き)	Backward Next	Input Pattern 画面で設定したパターンに一致する後方方向の次の候補を検索し、一致すれば、その位置にカーソルを移動します。
	Line	Pattern View に表示する、1 行あたりの表示数を指定します。パターン設定項目の Display が Table に設定されている場合に有効です。

[2] パターン設定項目

表5.2.8.1-2 パターン設定項目

設定項目	説明
Display	Pattern View 領域の表示形式を選択します。 時間軸で表示する<Time>と表形式で表示する<Table>が指定できます。
Format	Pattern View でのパターン表示書式を指定します。 Display 設定で<Time>選択時は、波形で表示する<Wave>とビット列で表示する<Bin>が指定できます。 詳細は、「5.2.8.7 Time 表示モードでの編集方法」を参照してください。 Display 設定で<Table>選択時は、2 進数<Bin>または 16 進数<Hex>が指定できます。詳細は「5.2.8.8 Table 表示モードでの編集方法」を参照してください。
Marker	Display 設定で<Time>選択時は、Pattern View 上にマーカを置くことができます。
Focus	Marker が ON 時に有効となります。 Pattern View 上のマーカとカーソルのどちらをアクティブにするか選択します。
Edit Mode	パターンの編集方法を指定します。 メニューバーから [Edit] → [Paste] を実行する場合、あるいは Pattern View 領域で直接編集 (Fill 設定エリアの操作は対象外です) する場合、あらかじめ Edit Mode を指定する必要があります。 <Overwrite>: 選択したパターンを上書きします。 <Insert>: 選択したパターン位置に編集したパターンを挿入します。 Insert を実行した場合、Data Length は変更されません。 このため、Insert した分のパターンが Data Length 値を超え、無効になってしまいます。
Range	Edit の範囲を設定します。 <Whole>: すべての編集パターンがフォーカスされます。 <Any>: 図 5.2.8.1-2 の Input Range 設定画面を表示し、編集範囲をアドレスで指定できます。 <Direct>: アドレスを指定して任意の領域を選択領域にします。 アドレスの指定はカーソルで行います。 詳細は、「5.2.8.9 領域の編集」を参照してください。

表5.2.8.1-2 パターン設定項目(続き)

設定項目	説明
Fill	カーソルによりフォーカスされている部分のパターンを編集します。 <0>: Pattern View 領域で選択したフォーカス部分を“0”にします。 <1>: Pattern View 領域で選択したフォーカス部分を“1”にします。 <Reverse>: Pattern View 領域で選択したフォーカス部分を論理反転します。 <Pattern>: Pattern View 領域で選択したフォーカス部分を編集する図 5.2.8.1-3 の Input Pattern 設定画面を表示します。 <Length>: フォーカスした先頭アドレスからの編集ビット数を指定します。 <Repeat>: フォーカスしたアドレスを先頭に編集したパターンを Repeat で指定した回数だけ繰り返して設定します。 <Set All>: Length で選択されたすべてのビットを“1”に設定します。 <Reset All>: Length で選択されたすべてのビットを“0”に設定します。
Zoom	Zoom を変更すると, Pattern View に表示している Wave の拡大, 縮小表示ができます。  1/8, 1/4, 1/2, 1, 2, 4, 8 倍の拡大, 縮小変更ができます。 ただし, Display 設定が Time で, かつ Format 設定が Wave 時以外は, 無効となります。

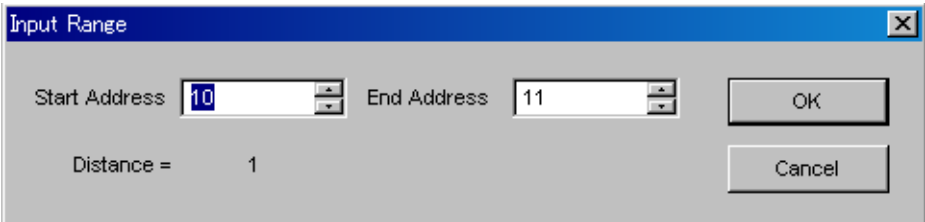


図5.2.8.1-2 Input Range 設定画面

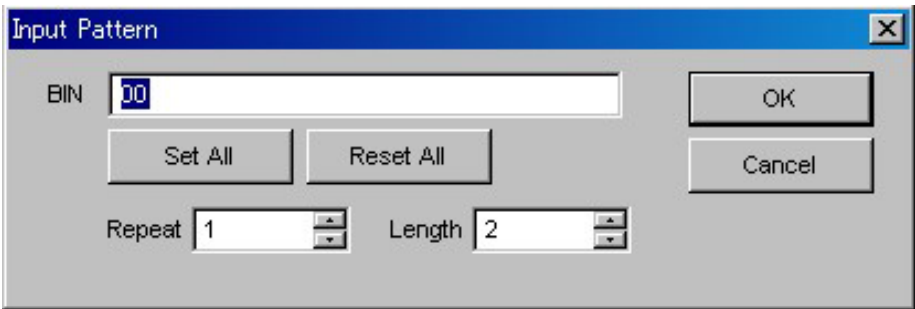


図5.2.8.1-3 Input Pattern 設定画面

[3] Pattern View 領域

編集されたパターンを表示する領域です。
パターン上の編集したい bit 値をマウスでダブルクリックすると編集できます。
ただし, Display が Table かつ Format が Hex の時は, マウスでのパターン編集はできません。

5.2.8.2 Data選択時のパターン設定

試験パターンとして Data を選択している場合，[Edit] ボタンを押すと次の画面が表示されます。

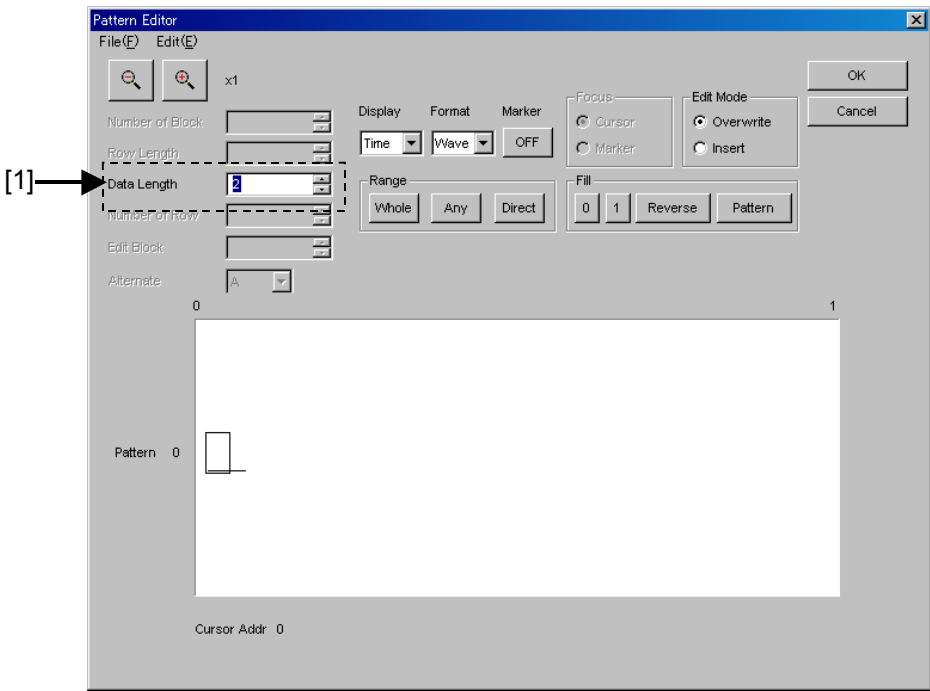


図5.2.8.2-1 Pattern Editor 画面－Data

[1] パターン設定項目

表5.2.8.2-1 パターン設定項目 (Data 選択時)

設定項目	説明
Data Length	パターン長を設定します。設定単位は bit です。 2～134,217,728 bits までを 1 bit ステップで設定します。 2 Ch Combination 時： 4～268,435,456 bits までを 2 bit ステップで設定します。 4 Ch Combination 時： 8～536,870,912 bits までを 4 bit ステップで設定します。

5.2.8.3 Alternate選択時のパターン設定

試験パターンとして Alternate を選択している場合，[Edit] ボタンを押すと次の画面が表示されます。

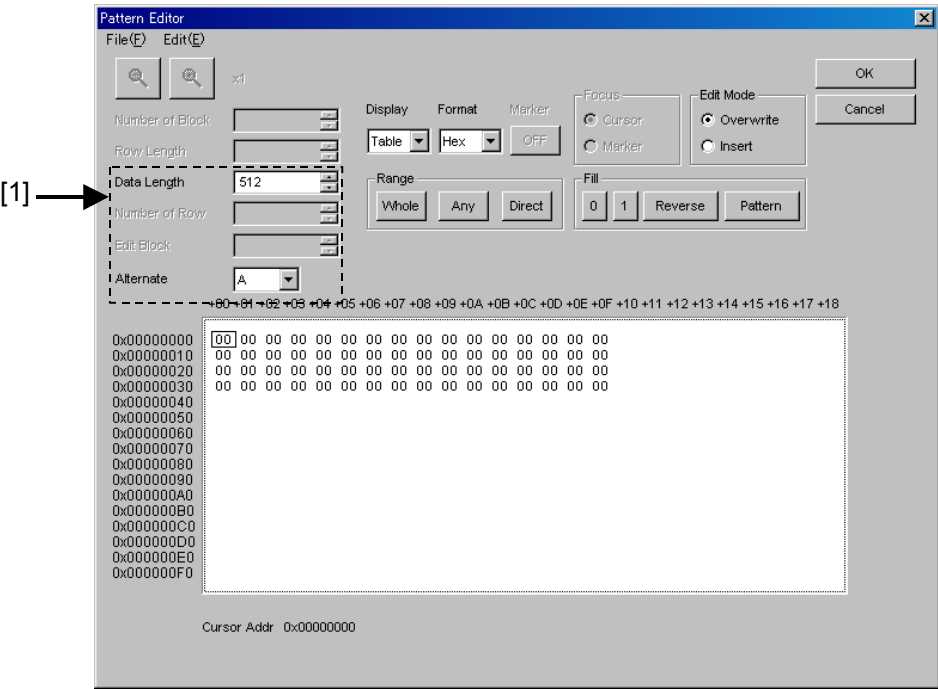


図5.2.8.3-1 Pattern Editor 画面－Alternate

[1] パターン設定項目

表5.2.8.3-1 パターン設定項目 (Alternate 選択時)

設定項目	説明
Data Length	パターン長を設定します。設定単位は bit です。 パターン A, B ともに、128～67,108,864 bits までを 128 bit ステップで設定できます。
Alternate	Alternate のパターン A, B のどちらを編集するか指定します。

5.2.8.4 Mixed選択時のパターン設定

試験パターンとして Mixed を選択している場合，[Edit] ボタンを押すと次の画面が表示されます。

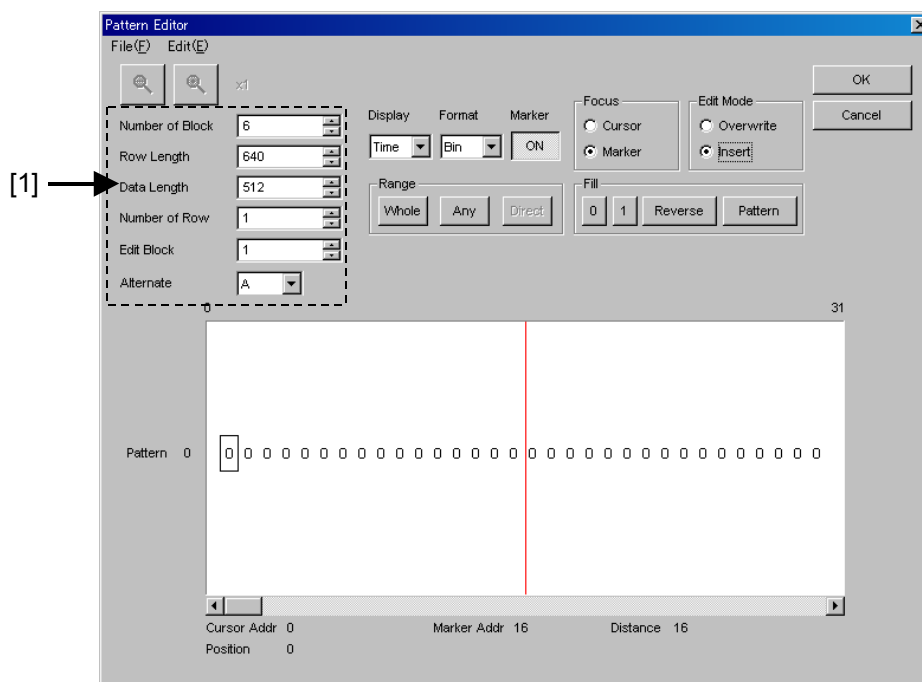


図5.2.8.4-1 Pattern Editor 画面－Mixed

[1] パターン設定項目

表5.2.8.4-1 パターン設定項目 (Mixed 選択時)

設定項目	説明
Number of Block	Block 数を設定します。1～511 までを 1 Block ステップで設定できます。
Row Length	Row Length を設定します。 Data 選択時： 768～2,281,701,376 bit まで 128 bit ステップで設定できます。 2 Ch Combination 時： 1,536～4,563,402,752 bits までを 2 bit ステップで設定できます。 4 Ch Combination 時： 3,072～9,126,805,504 bits までを 4 bit ステップで設定できます。 Alternate 選択時： 768～2,214,592,512 bit まで 128 bit ステップで設定できます。
Data Length	パターン長を設定します。 Data 選択時： 512～134,217,728 bit まで 1 bit ステップで設定できます。 2 Ch Combination 時： 1,024～268,435,456 bits までを 2 bit ステップで設定します。 4 Ch Combination 時： 2,048～536,870,912 bits までを 4 bit ステップで設定します。 Alternate 選択時： 512～67,108,864 bit まで 128 bit ステップで設定します。

表5.2.8.4-1 パターン設定項目 (Mixed 選択時) (続き)

設定項目	説明
Number of Row	Row 数を設定します。1～16 Row までを 1 Row ステップで設定します。
Edit Block	編集する Block の番号を指定します。
Alternate	Alternate のパターン A, B のどちらを編集するか指定します。 Alternate を選択したときに有効になります。

注:

Block 数, Row 数には以下の制約があります。

Block 数

1～以下 a), b), c), d) のいずれか小さい数, 1 Step

a) 511

b) $\text{INT}(128 \text{ Mbit} \times x / (\text{Row 数} \times \text{Data Length}'))$

ここで, Data Length' は

・Data Length / (128 × x) に余りがある場合

= $(\text{INT}(\text{Data Length} / (128 \times x)) + 1) \times 128 \times x$

・Data Length / (128 × x) に余りがない場合

= Data Length

ただし, $\text{Data Length}' \times \text{Row 数} \times \text{Block 数} \leq 128 \text{ Mbits}$

となる最大 Block 数。

c) $\text{INT}((128 \text{ Mbits} + 2^{31}) \times x / (\text{Row Length} \times \text{Row 数}))$

x は, 以下のとおりになります。

Independent 時, 1

2 Ch Combination 時, 2

4 Ch Combination 時, 4

d) $(\text{Row Length} - \text{Data Length}) \times \text{Block 数} \geq 2^{31} (2147483648)$

Row 数

1～以下 a), b), c) のいずれか小さい数, 1 Step

a) 16

b) $\text{INT}(128 \text{ Mbit} \times x / \text{Data Length}')$

ここで, Data Length' は

・Data Length / (128 × x) に余りがある場合

= $(\text{INT}(\text{Data Length} / (128 \times x)) + 1) \times 128 \times x$

・Data Length / (128 × x) に余りがない場合

= Data Length

ただし, $\text{Data Length}' \times \text{Row 数} \times \text{Block 数} \leq 128 \text{ Mbits}$

となる最大 Row 数。

c) $\text{INT}((128 \text{ Mbits} + 2^{31}) \times x / \text{Row Length})$

x は, 以下のとおりになります。

Independent 時, 1

2 Ch Combination 時, 2

4 Ch Combination 時, 4

5.2.8.5 Sequence選択時のパターン設定

試験パターンとして Sequence を選択している場合，[Pattern Edit] ボタンを押すと次の画面が表示されます。

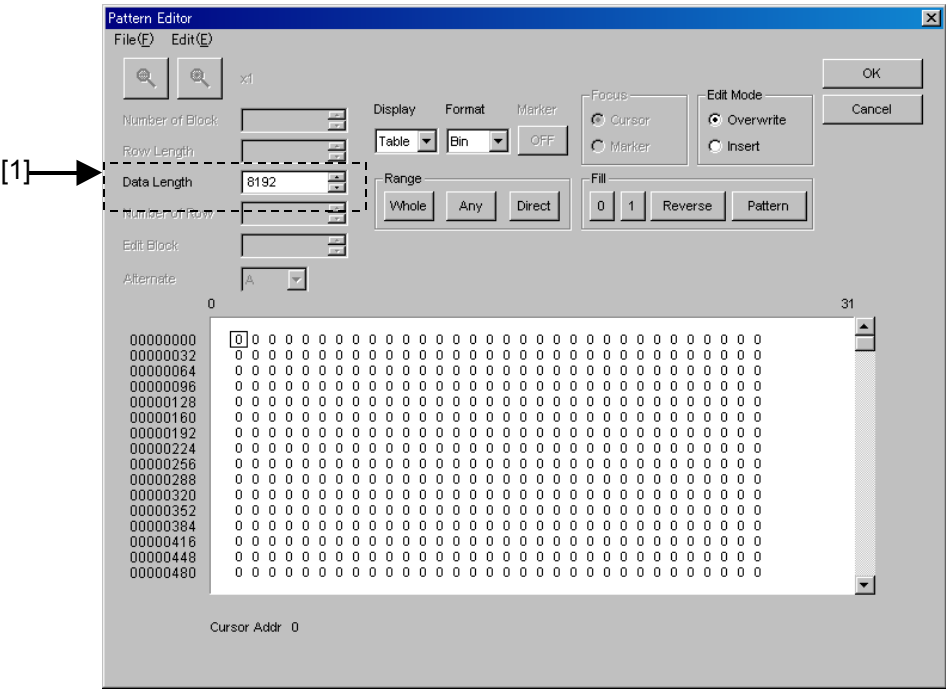


図5.2.8.5-1 Pattern Editor 画面－Sequence

[1] パターン設定項目

表5.2.8.5-1 パターン設定項目 (Sequence 選択時)

設定項目	説明
Data Length	パターン長を設定します。設定単位は bit です。 MU181020A は、8,192～1,048,576 bits までを 128 bit ステップで設定します。 MU181020B は、16,384～1,048,576 bits までを 128 bit ステップで設定します。

注：

Sequence Pattern Setting 画面で、ブロック設定時のみ [Pattern Edit] ボタンが有効となります。

5.2.8.6 試験パターンの作成・編集するには

ここでは, Pattern Editor 画面で試験パターンを作成および編集する方法を説明します。

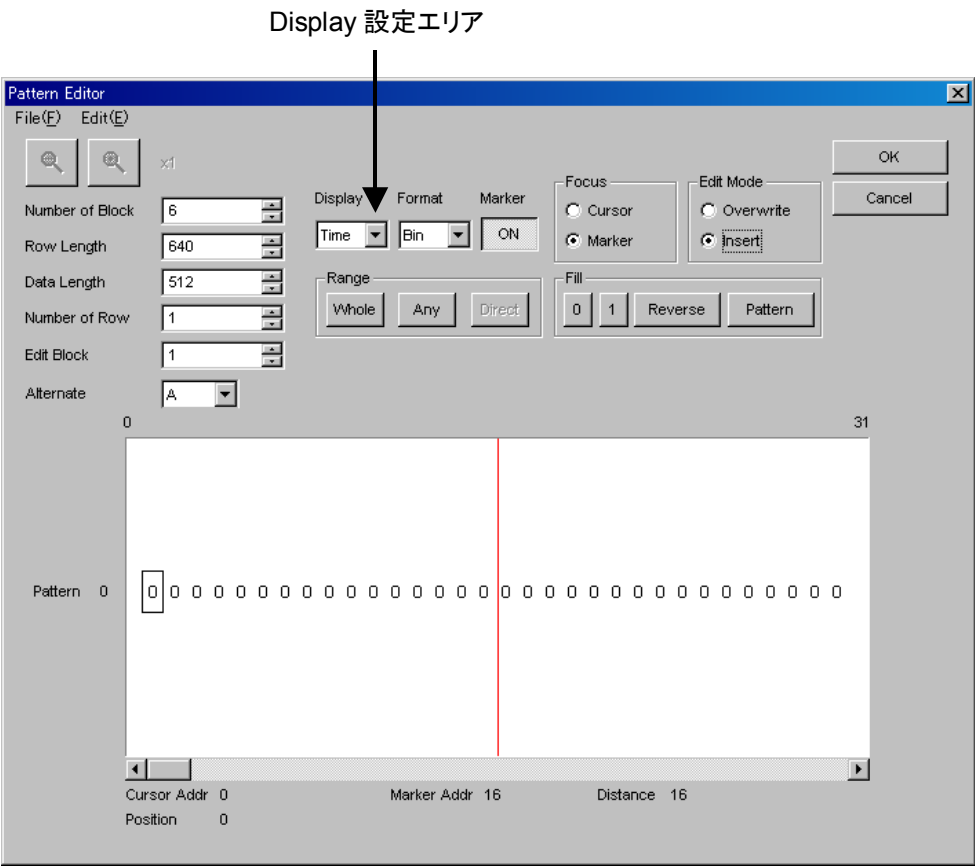


図5.2.8.6-1 Display 設定エリア選択画面

1. Display 設定エリアで Pattern View 領域の表示形式を選択します。

表5.2.8.6-1 Display 設定エリア選択

設定項目	説明
Time	横方向に時間軸をとり, 試験パターンを横 1 行に表示します。 波形のイメージまたは 2 進数で表示および編集ができます。
Table	試験パターンをメモリダンプのイメージで表示します。 2 進数, 16 進数で表示および編集ができます。

2. Display 設定エリアで選択した表示形式にあわせて, 編集方法を参照してください。

Time を設定した場合の編集方法は, 「5.2.8.7 Time 表示モードでの編集方法」を参照してください。

Table を設定した場合の編集方法は, 「5.2.8.8 Table 表示モードでの編集方法」を参照してください。

5.2.8.7 Time表示モードでの編集方法

ここでは、Time 表示モードでパターンを作成および編集する方法を説明します。

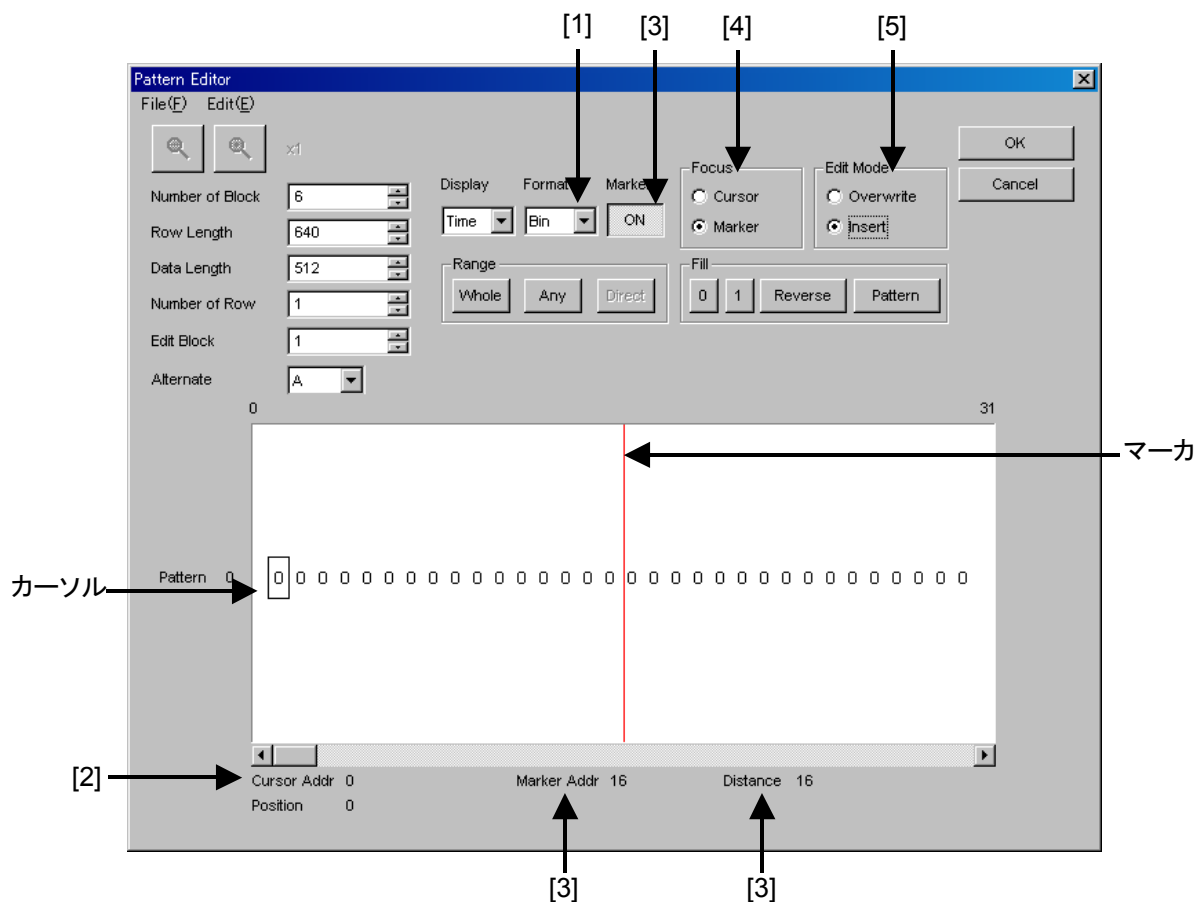


図5.2.8.7-1 Time 表示モードでの編集方法

[1] 表示形式を選択します。

Pattern Editor 画面の Format のリストボックスで選択してください。

表5.2.8.7-1 表示フォーマット設定

設定	説明
Wave	波形のイメージで表示および編集します。 [Zoom UP], [Zoom Down] ボタンで表示の拡大, 縮小ができます。
Bin	2進数で表示および編集します。

[2] カーソルのアドレスを表示します。

[3] マーカ表示を設定します。

[Marker] ボタンを押し、ON と表示されるとマーカが表示され、OFF と表示されるとマーカが非表示になります。[Marker Addr] にマーカのアドレス、[Distance] にカーソルとマーカとの距離を表示します。

- [4] 操作対象を選択します。
[Cursor] を選択するとカーソルを操作でき， [Marker] を選択するとマーカーを操作できます。
- [5] 編集モードを設定します。
[Insert] を選択すると挿入モードで編集でき， [Over write] を選択すると上書きモードで編集できます。

5.2.8.8 Table表示モードでの編集方法

ここでは，Table 表示モードでパターンを作成および編集する方法を説明します。

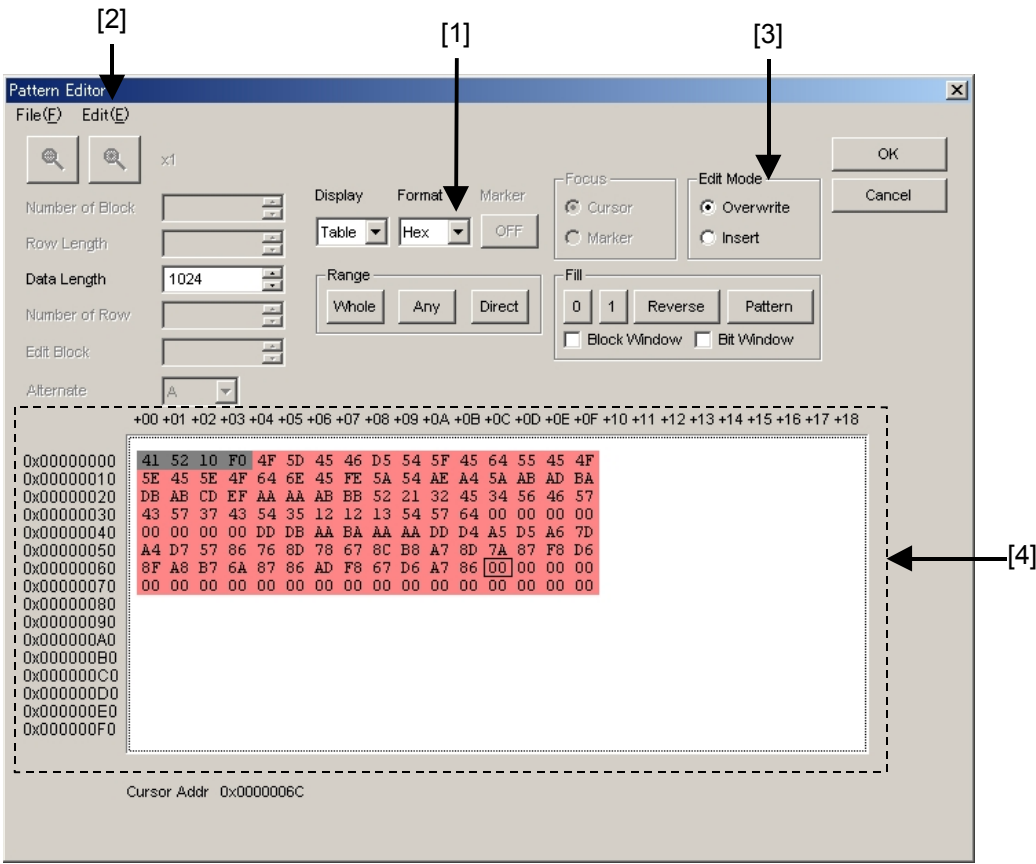


図5.2.8.8-1 Table 表示モードでの編集方法

- [1] 表示形式を選択します。
Pattern Editor 画面の Format のリストボックスで選択してください。

表5.2.8.8-1 表示フォーマット設定

設定	説明
Bin	2 進数で表示，および編集します。
Hex	16 進数で表示，および編集します。

- [2] 1行に表示するデータ量を変更できます。
メニューバーから [Edit] → [Line] を選択して、Line 画面を開いてください。スピンボックスに 1 行あたりのバイト数を入力して、[OK] ボタンを押してください。

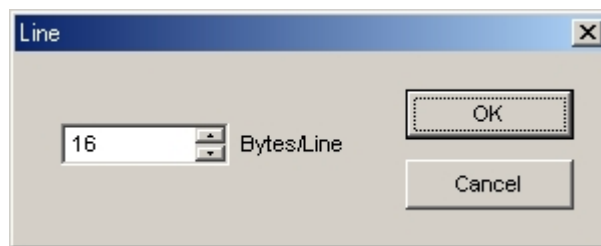


図5.2.8.8-2 Line 画面

- [3] 編集モードを設定します。
[Insert] を選択すると挿入モードで編集でき、[Over write] を選択すると上書きモードで編集できます。
- [4] パターンの入力は 2 進数表示時には、キーの 0, 1 を使います。
16 進数表示時には、キーの 0～9, A～F を使います。

5.2.8.9 領域の編集

Pattern Editor 画面では、複数のビットからなる選択領域を指定し、この領域に対して一括して編集作業ができます。Fill グループボックスを使った置き換え入力をするとき、編集操作の Cut, Copy, Paste を使うときなどに使用します。ここでは Range グループボックス内の各ボタンを使って選択領域を設定する方法について説明します。

ボタンの機能は以下のとおりです。

表5.2.8.9-1 領域指定ボタン

ボタン	機能
Whole	パターン全体を選択領域に指定します。
Any	アドレスを指定して任意の領域を選択領域にします。 アドレスの指定は Input Range 画面で入力します。
Direct	アドレスを指定して任意の領域を選択領域にします。 アドレスの指定はカーソルで行います。

- [Any] ボタンによる選択領域の指定方法を説明します。

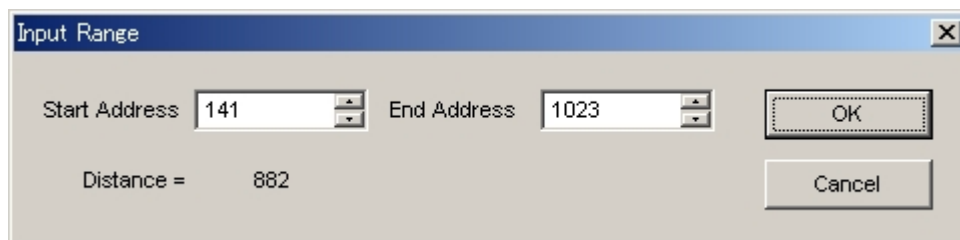


図5.2.8.9-1 Input Range 画面

- 1. Start Address スピンボックスに、選択領域の始点アドレスを入力してください。
- 2. End Address スピンボックスに、選択領域の終点アドレスを入力してください。
- 3. [OK] ボタンを押すと指定した領域が選択領域となり、反転表示します。

■ [Direct] ボタンによる選択領域の指定方法を説明します。

- 1. [Direct] ボタンを押してください。
ボタンは押されたままの状態になり Direct モードになります。Direct モードではパターンの入力および編集はできません。
- 2. 選択領域の始点を指定します。
選択領域の始点をダブルクリックするか、カーソルをあわせて [Enter] を押してください。
- 3. 選択領域の終点を指定します。
メニューバーから [Edit] → [Jump] を選択して選択領域の終点画面に表示してください。終点をダブルクリックするか、カーソルをあわせて [Enter] を押してください。
- 4. 選択領域を設定しました。

■ 以下の方法でも選択領域を指定できます。

- 1. ドラッグによって選択領域を指定できます。

5.2.8.10 パターンの入力

ここでは Fill グループボックス内のボタンを使ってパターンを入力する方法について説明します。Fill グループボックスの各ボタンの機能は以下のとおりです。

表5.2.8.10-1 Fill ボタンの機能

ボタン	機能
0	カーソル位置のビットまたは選択された領域のビットを“0”に置き換えます。
1	カーソル位置のビットまたは選択された領域のビットを“1”に置き換えます。
Reverse	カーソル位置のビットまたは選択された領域のビットを反転します。
Pattern	任意のパターンの繰り返しを入力します。

- [Pattern] ボタンによる、パターンの入力について説明します。

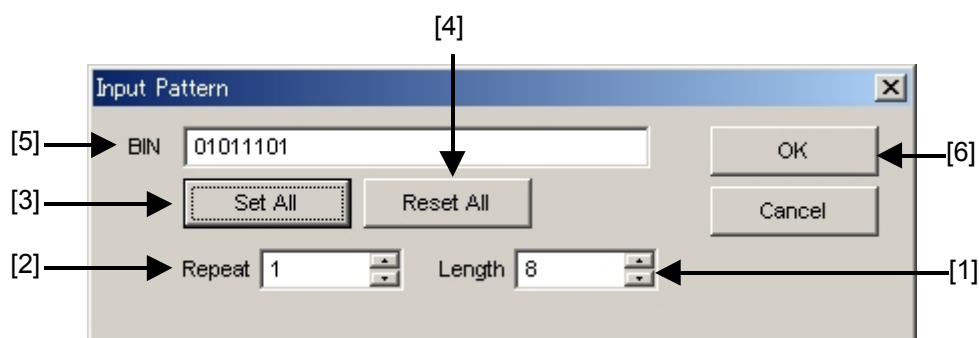


図5.2.8.10-1 Input Pattern 画面

- [1] 入力するビット数を入力してください。
- [2] 指定したパターンを繰り返す回数を入力してください。
- [3] [Set ALL] ボタンを押すとビットをすべて"1"に設定します。
- [4] [Reset ALL] ボタンを押すとビットをすべて"0"に設定します。
- [5] BIN または HEX テキストボックスにパターンを入力してください。
- [6] [OK] ボタンを押すとカーソルの位置にパターンを入力します。

注:

選択領域を指定した状態で Input Pattern 画面を開くと, Repeat スピンボックスで指定した繰り返し数とは無関係に, 選択領域が指定パターンの繰り返しで置き換わります。

5.2.8.11 既存機種パターンとの互換性

本器の Pattern Editor では既存機種のパターンファイル(.PTN)を読み込むことができます。ファイル互換対象機種は以下のとおりです。

MP1632C デジタル データ アナライザ
 MP1761A/B/C パルスパターン発生器
 MP1762A/C/D 誤り検出器
 MP1775A パルスパターン発生器
 MP1776A 誤り検出器

5.3 Error 付加機能

Error 付加をするには [Error Addition] タブにおいて、エラー発生の設定をすることにより、出力データにエラーの付加ができます。

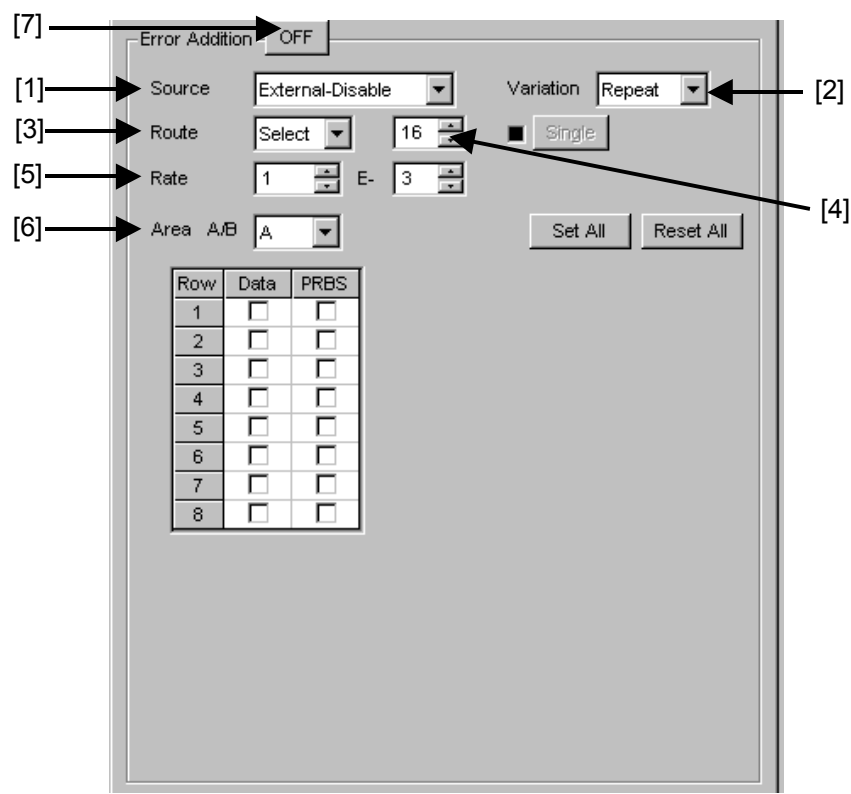


図5.3-1 Error Addition タブ画面

- [1] Error 付加 Source を選択します。
試験パターンに対して、所定の Bit Error を付加するタイミングを生成する方法を選択します。

表5.3-1 Error 付加 Source の設定

設定項目	説明
Internal	Error 付加 Timing 生成を内部回路で行います。
External-Trigger	Error 付加 Timing 生成を外部信号 (Auxiliary Input) の Trigger Edge に同期させます。 ただし、[Misc] タブの Aux-Input 設定で Error Injection 以外を設定した場合は設定不可となります。
External-Disable	Error 付加 Timing は内部回路で発生させますが、外部信号 (Auxiliary Input) が Low の区間はエラーを付加しません。 ただし、[Misc] タブの Aux-Input 設定で Error Injection 以外を設定した場合は設定不可となります。

- [2] Internal, External-Disable を選択した場合, Error 付加 Variation を選択します。Error 付加(内部 Gating)時の挿入方法を選択します。

表5.3-2 Error 挿入方法の設定

設定項目	説明
Repeat	Error を継続的に挿入します。
Single	Error をボタン操作にて 1 shot 挿入します。 ただし、以下の制限事項があります。 (a) Error 付加 Source が Internal または External-Disable の場合のみ、有効とします。 (b) Error 付加 Source が External Trigger の場合は、無効とします。

- [3] Error 付加 Route の挿入方法を選択します。

表5.3-3 Error 付加 Route の設定

設定項目	説明
Scan	1/1 信号を, 32 Demux した各 Route に Error を挿入するごとに変化します。
Select	指定した 1 Route に Error を挿入します。

- [4] 試験パターンに対して, 1 bit 分の Bit Error を発生させる Route を指定します。設定範囲は 1～32 で 1 ステップで設定します。

ただし、以下の制限事項があります。

- (a) Error 付加機能が OFF 状態の場合は、設定を有効とします。
- (b) Error 付加 Route 操作方法で Scan を選択している場合は、設定を無効とします。

- [5] 試験パターンに対して, 1 bit 分の Bit Error を発生させる Bit Error Rate を設定します。

$xE-n : x$ は, 1～9 まで 1 ステップごとに設定できます。

n は, 2～12 まで 1 ステップごとに設定できます。

ただし、以下の制限事項があります。

- (a) Error 付加機能が OFF 状態でも、設定を有効とします。
- (b) Error 付加 Variation 設定が Single の場合は, Error Rate の設定は, 無効とします。
- (c) Error 付加 Source が External-Trigger の場合は, Error Rate の設定は, 無効とします。
- (d) n が 2 のときは, x は 1 のみ選択できます。
- (e) Combination のときは, n は 3～12 となります。

- [6] Mixed Pattern に関して、指定 Block (Data/PRBS および Block 番号) に Bit Error を挿入する Block の選択をします。

Area A/B :以下の条件下で設定範囲が変化します。

- (a) Mixed Pattern 設定時: 指定 Block 内の領域を任意の組み合わせで選択できます。
ただし、Error 付加の設定は各 Block 共通設定となります。
また Mixed Alternate の場合、領域指定は、A、B、A&B で独立に設定できます。
- (b) Alternate Pattern 設定時: A のみ、B のみ、A&B のいずれかを選択できます。
- (c) Sequence Pattern 設定時: 任意の Block を選択できます。

- [7] 試験パターンに対して、Bit Error を発生させる機能です。

ON: Error 付加機能を、実行します。

OFF: Error 付加機能を、禁止します。

ただし、本設定はすべての Error 付加機能に影響し、OFF 状態では外部 Error 信号に応じた Bit Error 付加も禁止します。

5.4 Misc 機能

信号の生成方式，同期出力の設定や，補助入出力を設定します。
Misc 機能を設定するには，本器操作画面の [Misc] タブを選択します。

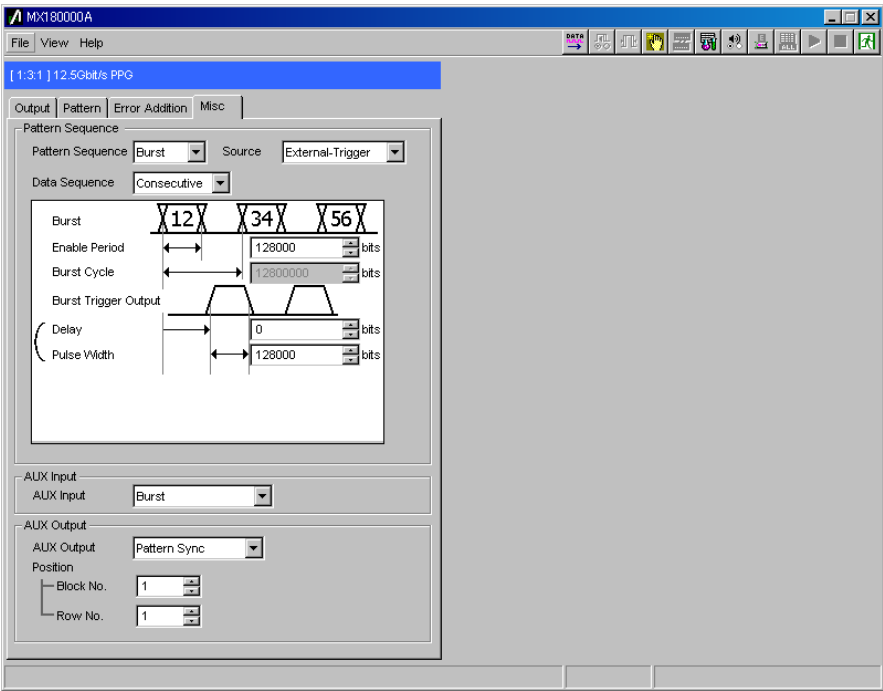


図5.4-1 Misc タブ画面

表5.4-1 設定項目

項目	説明
Pattern Sequence	試験パターンの生成方法を設定します。
AUX Output	補助出力機能を設定します。
AUX Input	補助入力機能を設定します。

5.4.1 Pattern Sequenceの設定

試験パターンの生成方式を選択します。



図5.4.1-1 Pattern Sequence の選択画面

表5.4.1-1 Pattern Sequence の設定

選択項目	内容
Repeat	試験パターンの Repeat データを送信する際に選択します。 主に電子デバイス評価のために使用します。
Burst	試験パターンの Burst データを送信する際に選択します。 主に光周回実験などの長距離光伝送試験や Packet 通信の評価のため使用します。 対象となる試験パターンは、PRBS、Zero-Substitution、Data、Mixed(Data)です。

5.4.1.1 Repeatパターンの設定

試験パターンの Repeat データを送信する場合は、Pattern Sequence で Repeat を選択します。

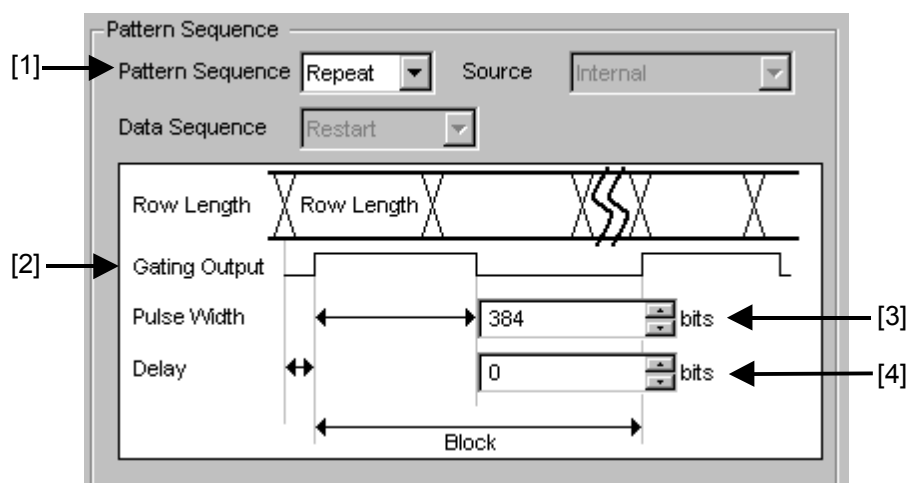


図5.4.1.1-1 Pattern Sequence (Repeat) 設定項目画面

- [1] Repeat を選択します。
連続した試験パターン、連続データ信号の生成を行います。
- [2] Gating Output コネクタより出力される、同期信号の設定をします。
データ信号同期出力の周期は、表 5.4.1.1-1 に示す式によって算出されます。

表5.4.1.1-1 Gating Output の設定範囲

周期信号	設定範囲
PRBS, Data, Zero-Substitution	Pattern Length と 64 の最小公倍数 2 Ch Combination 時: Pattern Length と 128 の最小公倍数 4 Ch Combination 時: Pattern Length と 256 の最小公倍数
Mixed	(Row Length × Row 数 × Block 数)
Alternate	A, B それぞれの Pattern Length
Sequence	指定 Block の Pattern Length

- [3] Pulse Width は, Gating Output より出力される同期信号の Hi レベルパルス幅を指定します。パルス幅は 16 の整数倍で, Data Length の設定は表 5.4.1.1-2 の式によって算出されます。

表5.4.1.1-2 Pulse Width の設定範囲

周期信号	設定範囲 [Step16 bit]
PRBS, Data, Zero-Substitution, Alternate	<p>0～Pattern Length と 64 の最小公倍数-64 (最大 68,719,476,672 まで設定可)</p> <p>2 Ch Combination 時: (対象は PRBS, Data, Zero-Substitution) は, 0～Pattern Length と 128 の最小公倍数-128 となり, 設定 Step は 32 bit となる。 (最大 139,438,953,344 まで設定可)</p> <p>4 Ch Combination 時: (対象は PRBS, Data, Zero-Substitution) は, 0～Pattern Length と 256 の最小公倍数-256 となり, 設定 Step は 64 bit となる。 (最大 274,877,906,688 まで設定可)</p>
Mixed	<p>0～Row Length×Row 数×Block 数-64</p> <p>2 Ch Combination 時: 0～Row Length×Row 数×Block 数-128 となり, 設定 Step は 32 bit となる。</p> <p>4 Ch Combination 時: 0～Row Length×Row 数×Block 数-256 となり, 設定 Step は 64 bit となる。</p>
Sequence	<p>Block なし: 0～64</p> <p>Block あり: 0～指定 Block の Pattern Length-64</p>

*: Independent 時は 128 bits 以下のパターン長の場合, 129 bits 以上になるように整数倍した長さを指します。

2 Ch Combination 時は 256 bits 以下のパターン長の場合, 257 bits 以上になるように整数倍した長さを指します。

4 Ch Combination 時は 512 bits 以下のパターン長の場合, 513 bits 以上になるように整数倍した長さを指します。

- [4] Delay はデータパターンの先頭位置に対して、何ビット遅らせて出力するかを設定します。

設定単位は 16 の整数倍で、表 5.4.1.1-3 に示す式によって算出されます。

表5.4.1.1-3 Delay の設定範囲

周期信号	設定範囲 [Step16 bit]
PRBS, Data, Zero-Substitution, Alternate	0～Pattern Length と 64 の最小公倍数-64 (最大 68,719,476,672 まで設定可) 2 Ch Combination 時: (対象は PRBS, Data, Zero-Substitution)は, 0～Pattern Length と 128 の最小公倍数-128 となり, 設定 Step は 32 bit となる。 (最大 139,438,953,344 まで設定可) 4 Ch Combination 時: (対象は PRBS, Data, Zero-Substitution)は, 0～Pattern Length と 256 の最小公倍数-256 となり, 設定 Step は 64 bit となる。 (最大 274,877,906,688 まで設定可)
Mixed	0～Row Length×Row 数×Block 数-64 2 Ch Combination 時: 0～Row Length×Row 数×Block 数-128 となり, 設定 Step は 32 bit となる。 4 Ch Combination 時: 0～Row Length×Row 数×Block 数-256 となり, 設定 Step は 64 bit となる。
Sequence	Block あり: 0～指定 Block の Pattern Length-64

※: Independent時は127 bits以下のパターン長の場合、128 bits以上になるように整数倍した長さを指します。

2 Ch Combination時は255 bits以下のパターン長の場合、256 bits以上になるように整数倍した長さを指します。

4 Ch Combination時は511 bits以下のパターン長の場合、512 bits以上になるように整数倍した長さを指します。

注:

Sequence 時の Block 指定は、AUX Output の Pattern Sync の Position-Block No.で設定します。

5.4.1.2 Burstパターンの設定

試験パターンの Burst データを送信する場合は、Pattern Sequence で Burst を選択します。

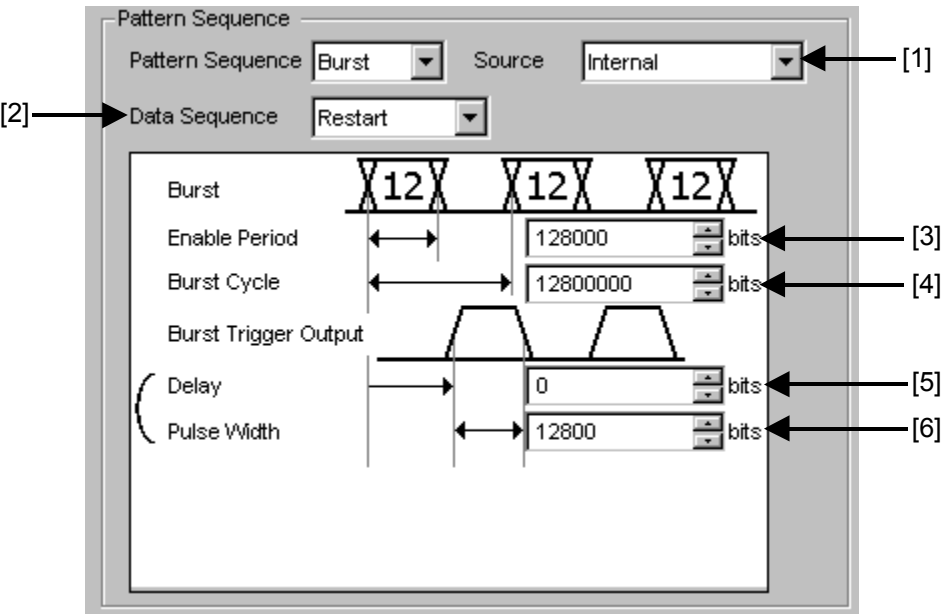


図5.4.1.2-1 Pattern Sequence (Burst)設定項目画面

注:
Burst Trigger Output 信号は、Gating Output コネクタより出力されます。

[1] 試験パターンの Burst を発生させるタイミング源を設定します。

表5.4.1.2-1 Burst 設定項目

設定項目	説明
Internal	内部信号で Burst 信号発生タイミングを生成します。
External-Trigger	外部コネクタから入力されたゲート信号によって、発生周期を生成します。立ち上がりエッジの検出で Burst Pattern の発生を開始します。
External-Enable	外部コネクタから入力されたゲート信号によって、Burst 信号タイミングを生成します。High レベル時は Burst データを発生し、Low レベル時は発生を停止します。

[2] Burst Pattern の発生順序を指定します。

表5.4.1.2-2 Burst Pattern 発生順序の設定

設定項目	説明
Restart	指定されている試験パターンを、Burst データ信号発生ごとに先頭から再スタートさせます。
Consecutive	指定されている試験パターンを、Burst データ信号間で連続させて出力します。
Continuous	指定されている試験パターンを連続発生させ、Burst 発生タイミング以外は出力をマスクします。

- [3] [1]の Source を External-Trigger または Internal に設定している場合、AUX Input に入力する試験パターンの Burst Cycle の連続信号発生区間を bit 数で設定します。

表 5.4.1.2-3 に Enable Period の設定範囲を示します。

- [4] [1]の Source を Internal に設定している場合、Burst Cycle (入力される試験パターンの Burst 信号の 1 周期)を設定します。

表 5.4.1.2-3 に Burst Cycle の設定範囲を示します。

表5.4.1.2-3 Enable Period と Burst Cycle 設定範囲

Slot Combination 数	Enable Period (bit)	Burst Cycle (bit)	設定ステップ値 (bit)
1	Internal 時: 640～2,147,483,136	1,280～2,147,483,648	128
	External-Trigger 時: 640～2,147,483,648		
2	Internal 時: 1,280～4,294,966,272	2,560～4,294,966,296	256
	External-Trigger 時: 1,280～4,294,966,296		
4	Internal 時: 2,560～8,589,932,544	5,120～8,589,934,592	512
	External-Trigger 時: 2,560～8,589,932,592		

注:

Burst Cycle と Enable Period の差は、512 bit 以上の Disable 区間が必要です。

Disable 区間が 2 Ch Combination 時は 2 倍、4 Ch Combination 時は 4 倍となります。

- [5], [6] Burst Trigger Output より出力する、Burst タイミング信号を設定します。

Delay: Burst Data Pattern の先頭位置に対して、何ビット遅らせて出力するかの設定を行います。

Pulse Width: Burst Trigger Output より出力される同期信号の High レベルパルス幅を指定します。

表 5.4.1.2-4 に、Delay と Pulse Width の設定範囲を示します。

表5.4.1.2-4 Delay と Pulse Width 設定範囲

Slot Combination 数	Delay (bit)	Pulse Width (bit)	設定ステップ値 (bit)
1	0～Burst cycle-64	0～Burst cycle-64	16
2	0～Burst cycle-128	0～Burst cycle-128	32
4	0～Burst cycle-256	0～Burst cycle-256	64

5.4.2 AUX Outputの設定

同期信号など、補助的な信号出力について設定します。

5.4.2.1 1/N Clockの設定

発生パターンに同期した、分周クロックの発生ができます。

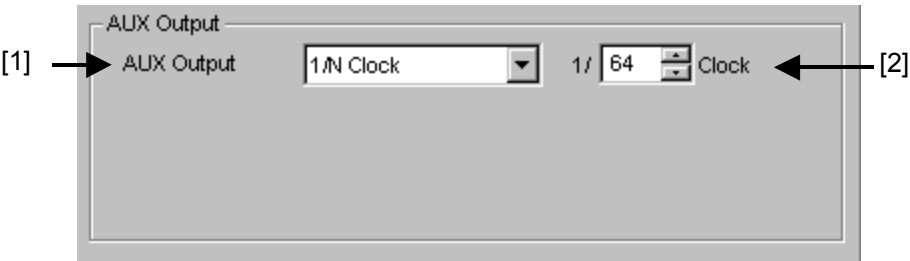


図5.4.2.1-1 AUX Output Clock 設定項目画面

- [1] 1/N Clock を選択すると, AUX Output コネクタから試験パターンに同期したクロックが出力されます。
- [2] 同期クロックの分周比(N)を設定します。
設定分周比はオプション実装により, 表 5.4.2.1-1 に示す設定ができます。

表5.4.2.1-1 同期クロック分周比の設定

設定項目	同期クロック	設定分周比(N)
MU181020A-001	9.8～12.5 Gbit/s	2, 4, 8, 9, 10, 11----- 510 , 511
1/8 Mode	1.225～1.5625 Gbit/s	1, 2, 4, 8, 9, 11----- 62, 63
1/4 Mode	2.45～3.125 Gbit/s	1, 2, 4, 8, 9, 11----- 126 , 127
1/2 Mode	4.9～6.25 Gbit/s	1, 2, 4, 8, 9, 11----- 254 , 255
MU181020A-002	0.1～12.5 Gbit/s	2, 4, 8, 9, 10, 11----- 510 , 511
MU181020B-002	0.1～14 Gbit/s	2, 4, 8, 9, 10, 11----- 510 , 511
MU181020B-003	0.1～14.05 Gbit/s	2, 4, 8, 9, 10, 11----- 510 , 511

5.4.2.2 Pattern Syncの設定

試験パターン周期と同期している、タイミング信号発生ができます。

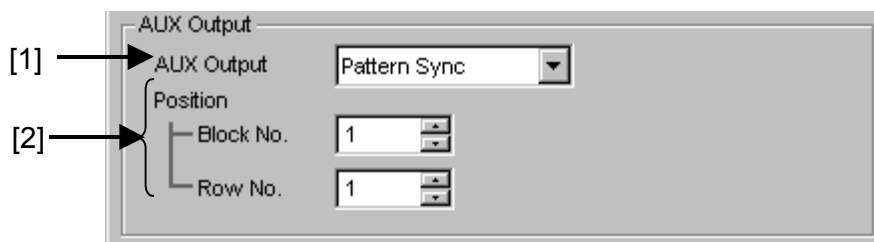


図5.4.2.2-1 AUX Output Pattern Sync 設定項目画面

- [1] Pattern Sync を選択すると、AUX Output コネクタから設定しているデータパターン周期に同期したパルス信号が出力されます。
- [2] 同期信号パルスの発生位置を指定します。
試験パターンによって、設定内容が異なります。

表5.4.2.2-1 同期信号パルス発生位置の設定

試験パターン	設定内容
PRBS	<p>パターン周期に対して発生し、パルス位置はパターンの先頭位置に対して指定できます。指定範囲は、以下になります。</p> <p>1～Pattern Length*と64の最小公倍数-79, 16 bits Step, 最大 68,719,476,657 まで設定可</p> <p>2 Ch Combination 時: 1～Pattern Length*と128の最小公倍数-160, 32 bits Step, 最大 137,438,953,312 まで設定可</p> <p>4 Ch Combination 時: 1～Pattern Length*と256の最小公倍数-319, 64 bits Step, 最大 274,877,906,625 まで設定可</p>
Zero-Substitution	<p>パターン周期に対して発生し、パルス位置はパターンの先頭位置に対して指定できます。指定範囲は、以下になります。</p> <p>1～Pattern Length*と64の最小公倍数-79, 16 bits Step, 最大 68,719,476,657 まで設定可</p> <p>2 Ch Combination 時: 1～Pattern Length*と128の最小公倍数-160, 32 bits Step, 最大 137,438,953,312 まで設定可</p> <p>4Ch Combination 時: 1～Pattern Length*と256の最小公倍数-319, 64 bits Step, 最大 274,877,906,625 まで設定可</p>
Data	<p>パターン周期に対して発生し、パルス位置はパターンの先頭位置に対して指定できます。指定範囲は、以下になります。</p> <p>1～Pattern Length*と64の最小公倍数-79, 16 bits Step, 最大 68,719,476,957 まで設定可</p> <p>2 Ch Combination 時: 1～Pattern Length*と128の最小公倍数-160, 32 bits Step, 最大 137,438,953,312 まで設定可</p> <p>4 Ch Combination 時, 1～Pattern Length*と256の最小公倍数-319, 64 bits Step, 最大 274,877,906,625 まで設定可</p>

表5.4.2.2-1 同期信号パルス発生位置の設定(続き)

試験パターン	設定内容
Alternate	指定した A または B パターンの 1 周期に対して発生し、パルス位置はパターンの先頭位置に対して指定できます。指定範囲は、以下になります。 1～Pattern Length*と 64 の最小公倍数-79, 16 bits Step
Mixed (Data)	全ブロック発生パターン周期に対して発生し、パルス位置は Block と Row の位置で指定できます。
Mixed (Alternate)	指定したブロック番号、指定した Alternate パターン(A または B パターン)に対して発生し、パルス位置は指定した Row の位置で指定できます。
Sequence	指定したブロック番号で発生し、パルス位置はパターンの先頭位置に対して指定できます。指定範囲は、以下になります。 1～Pattern Length*と 64 の最小公倍数-79, 16 bits Step

＊: Independent 時は 128 bits 以下のパターン長の場合、129 bits 以上になるように整数倍した長さを指します。

2 Ch Combination 時は 256 bits 以下のパターン長の場合、257 bits 以上になるように整数倍した長さを指します。

4 Ch Combination 時は 512 bits 以下のパターン長の場合、513 bits 以上になるように整数倍した長さを指します。

5.4.2.3 Burst Output2の設定

Pattern で Burst を選択している場合、Burst Trigger Output と同様のタイミング信号を、AUX Output として出力できます。

表5.4.2.3-1 Burst Output2 の設定

設定項目	説明
Delay	Burst Data Pattern の先頭位置に対して、何ビット遅らせて出力するか設定します。 設定範囲は、「表 5.4.1.2-4 Delay と Pulse Width 設定範囲」と同様です。
Pulse Width	Burst Trigger Output より出力される同期信号の High レベルパルス幅を設定します。 設定範囲は、「表 5.4.1.2-4 Delay と Pulse Width 設定範囲」と同様です。

5.4.3 AUX Inputの設定

外部で作成されたタイミング信号によりエラー挿入などを行う場合は、AUX Input コネクタを使用します。
AUX Input コネクタを使用する機能を表 5.4.3-1 に示します。

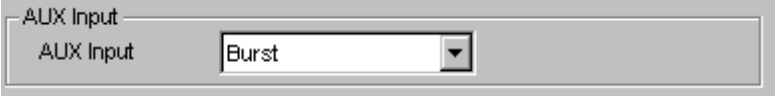


図5.4.3-1 AUX Input 設定項目

表5.4.3-1 AUX Input の設定

設定項目	説明
Error Injection	エラーを外部からのタイミングで挿入するときに使用します。Error Addition の設定で、Source が External-Trigger, External-Disable を指定したときに使用します(詳細は「5.3 Error 付加を行うには」を参照してください)。 Combination 時は必ず Slot1 の AUX Input を使用してください。 Slot2～4 は使用できません。 また、Combination 時は 4 bit 単位でエラーが付加されます。
Alternate Control	発生パターンに Alternate パターンを含んでいる場合で、A/B パターンを切り替えるときに使用します(詳細は「5.2.5 Alternate の設定」および「5.2.6.2 Mixed Alternate 試験パターンの設定」を参照してください)。
Sequence Control	発生パターンとして Sequence が選択された場合で状態遷移のタイミングに External Trigger を指定しているときに使用します(詳細は「5.2.7 Sequence の設定」を参照してください)。
Burst	Pattern Sequence で Burst が選択され、Source で External-Trigger または External-Enable を指定したときに使用します(詳細は「5.4.1.2 Burst パターンの設定」を参照してください)。 Combination 時は必ず Slot1 の AUX Input を使用してください。 Slot2～4 は使用できません。
Unit Sync	Unit Sync 設定が ON のときに使用します(詳細は「付録 E Unit Sync 機能の使用準備」を参照してください)。

5.5 Multi Channel 機能

MP1800A または MT1810A に複数の本器を挿入することにより、複数 Channel で同期動作ができます。

Multi Channel 機能として、Combination 機能と Channel Synchronization 機能があります。

Combination 機能種類

- (1) 4Ch Combination: PPG/ED4 台実装時可能
- (2) 25Gx2ch Combination: PPG/ED4 台実装時可能
- (3) 2Ch Combination: PPG/ED2 台以上実装時可能

Channel Synchronization 機能種類

- (1) 12.5G Channel Synchronization: PPG2 台以上実装時可能
- (2) 25G Channel Synchronization: PPG4 台実装時可能

5.5.1 Combination機能

Multi Channel 機能を使用すると、複数台の本器や MU181040A/B で各モジュール間のパターン発生同期または受信同期をとることにより、25 Gbit/s アプリケーション、40 Gbit/s アプリケーション、または PON アプリケーションの評価ができます。25 Gbit/s MUX/DEMUX については「MU182020/21A 取扱説明書」、MU182040/41A 取扱説明書を参照してください。

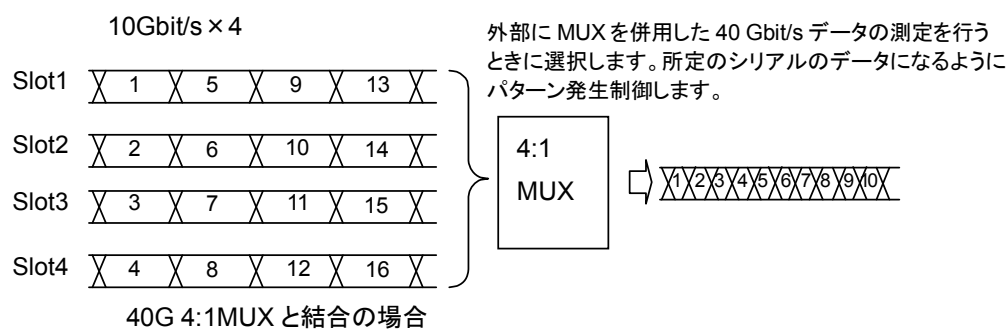
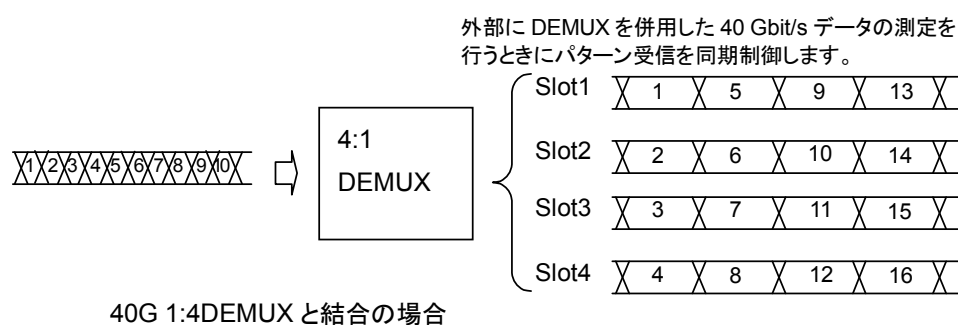


図5.5.1-1 4Ch Combination パターン生成／受信

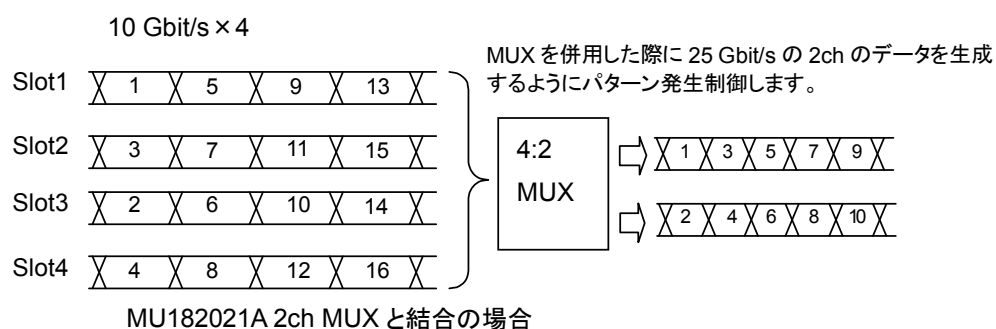
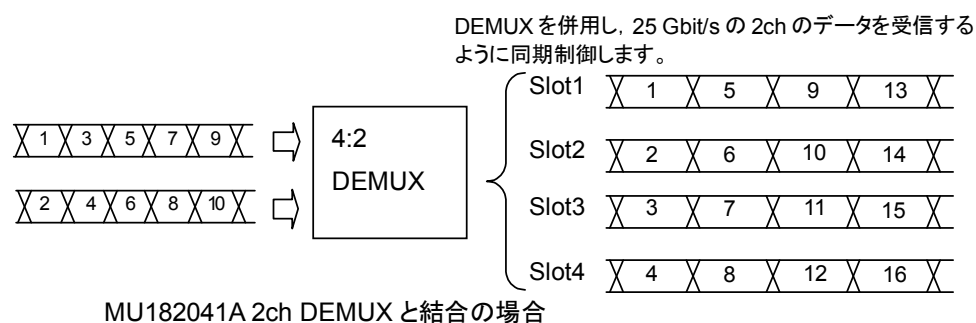
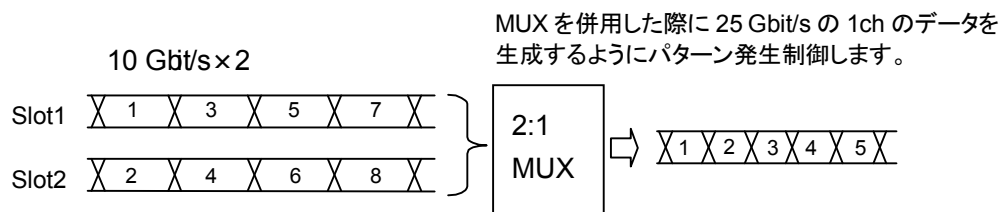
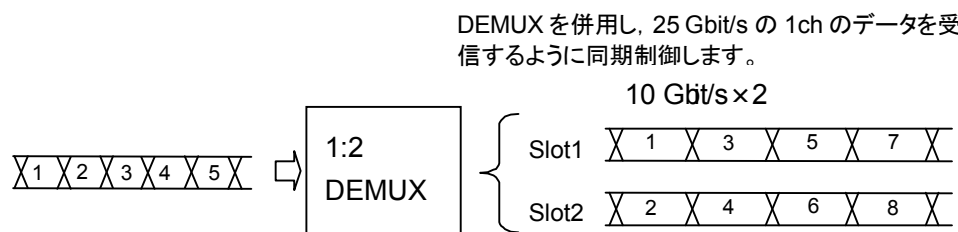


図5.5.1-2 25Gx2ch Combination パターン生成／受信

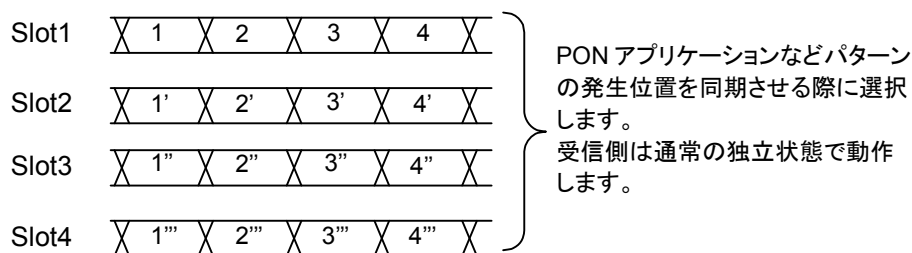


MU182020A 1ch MUX と結合の場合



MU182040A 1ch DEMUX と結合の場合

図5.5.1-3 2Ch Combination パターン生成／受信



PON アプリケーションなどの場合

図5.5.1-4 Channel Synchronization パターン生成

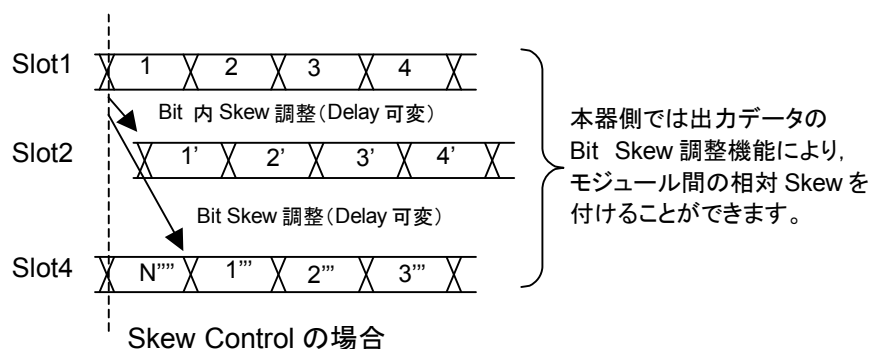


図5.5.1-5 Channel Synchronization 時の Skew 調整

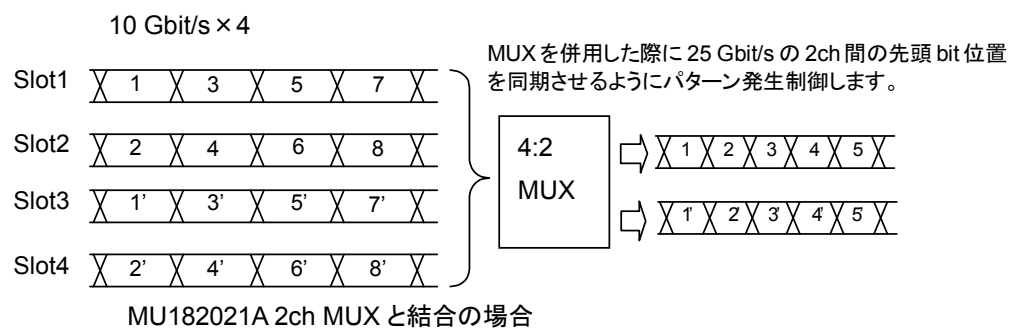


図5.5.1-6 25G Channel Synchronization パターン生成／受信

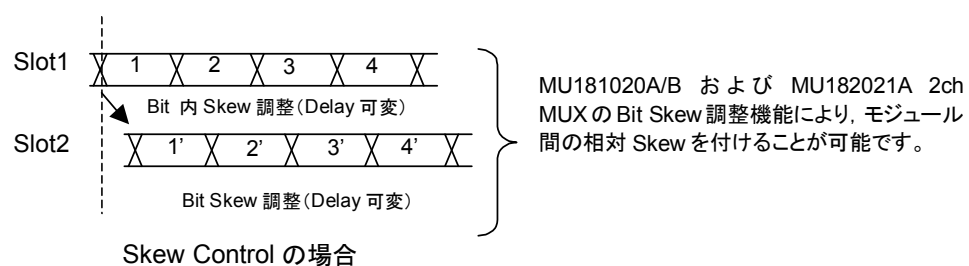


図5.5.1-7 Bit Skew 調整機能

5.5.2 Combination設定

Multi Channel 機能を使用する場合は、モジュールファンクションボタンの [Combination Setting] ボタンを押し、Combination Setting 画面で設定します。詳細は、MX180000A 取扱説明書「5.3.3 Combination 設定」を参照してください。

The image shows a 'Combination Setting' dialog box. It has three radio buttons under 'Operation': 'Independent', 'Combination' (which is selected), and 'Channel Synchronization'. To the right, there is a 'Unit Sync' dropdown menu set to 'ON'. Below these are 'OK' and 'Cancel' buttons. At the bottom is a table with three columns: 'Slot No.', 'Combination', and 'Name'.

Slot No.	Combination	Name
	4ch	
Slot 1	4ch	MU181020B 14Gbit/s PPG
Slot 2	25Gx2ch Combination	MU181020B 14Gbit/s PPG
Slot 3	4ch PPG	MU181020B 14Gbit/s PPG
Slot 4		MU181020B 14Gbit/s PPG
Slot 5	MUX	MU182021A 25Gbit/s 2ch MUX
Slot 6	MUX	MU182021A 25Gbit/s 2ch MUX

図5.5.2-1 Combination Setting 画面

表5.5.2-1 Combination Setting 画面構成

Operation 設定項目		内容
Independent		本器または MU181040A/B を独立して動作させるときに選択します。
Combination	2ch	25 Gbit/s での試験を行うときに選択します。
	4ch	40 Gbit/s での試験を行う場合に選択します。
	25Gx2ch Combination	25 Gbit/s での 2ch のデータを生成／受信する場合に選択します。
Channel Synchronization	12.5G CH Sync	PON アプリケーションなど先頭 Bit を常に同期させて出力する場合に選択します。
	25G CH Sync	25 Gbit/s での 2ch 間の先頭 Bit を常に同期させて出力する場合に選択します。

[OK] を押すと、選択した動作が確定されます。

5.5.3 Multi Channel Calibration機能

Multi Channel 機能を最適な状態で使用するために、校正を実行する必要があります。本機能は本体(MP1800A または MT1810A)に実装された本器を組み替えるなどして構成が変更になったときに必要です。

Calibration が必要な場合、Channel Synchronization または Combination 設定を選択すると、メッセージダイアログ(図 5.5.3-1)が表示されます。Combination を実行する場合は、[Yes] ボタンを押します。

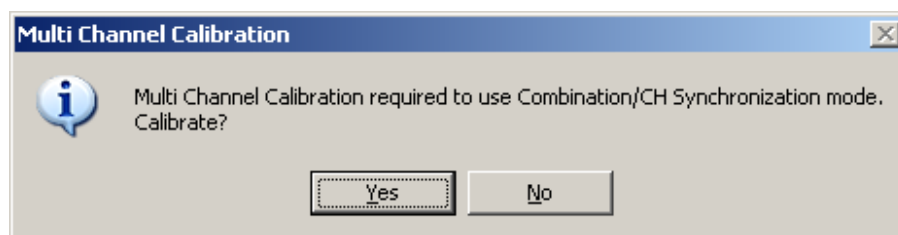


図5.5.3-1 Multi Channel Calibration 要求メッセージ

説明を確認したら [Next] ボタンを押します。Calibration は約 2～10 分かかります。

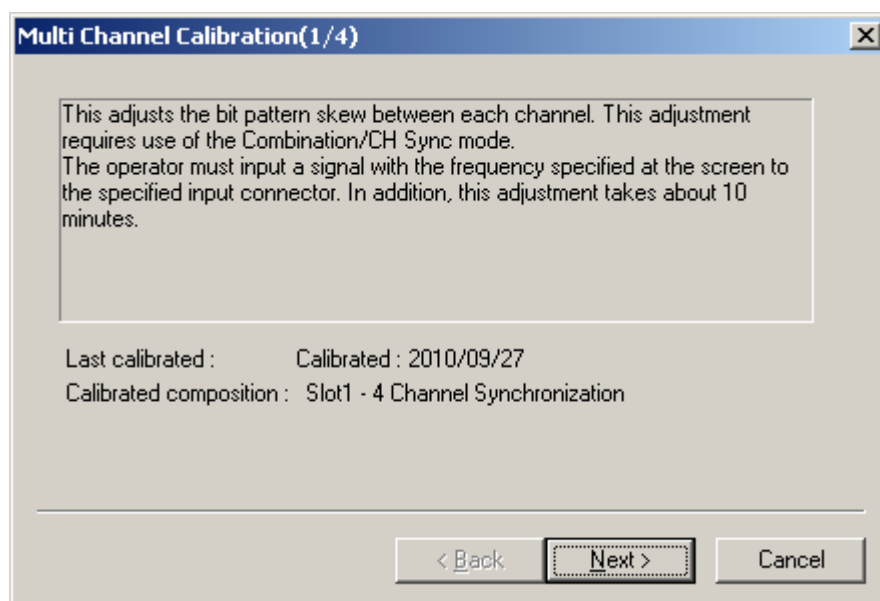


図5.5.3-2 Multi Channel Calibration 画面 1

同長ケーブルを本器に接続し、画面指示の周波数のクロックを本器に入力したら [Next] ボタンを押します。

ここで、MU181000A/B シンセサイザが、本器と同じ本体に実装されている場合は、MU181000A/B より本器にクロックを入力します。

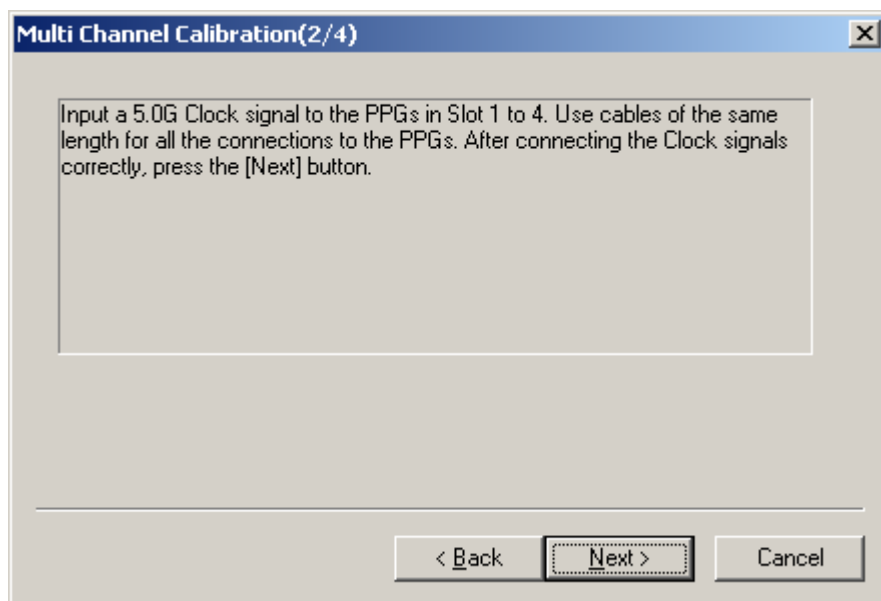


図5.5.3-3 Multi Channel Calibration 画面 2

Calibration の進捗が表示されます。

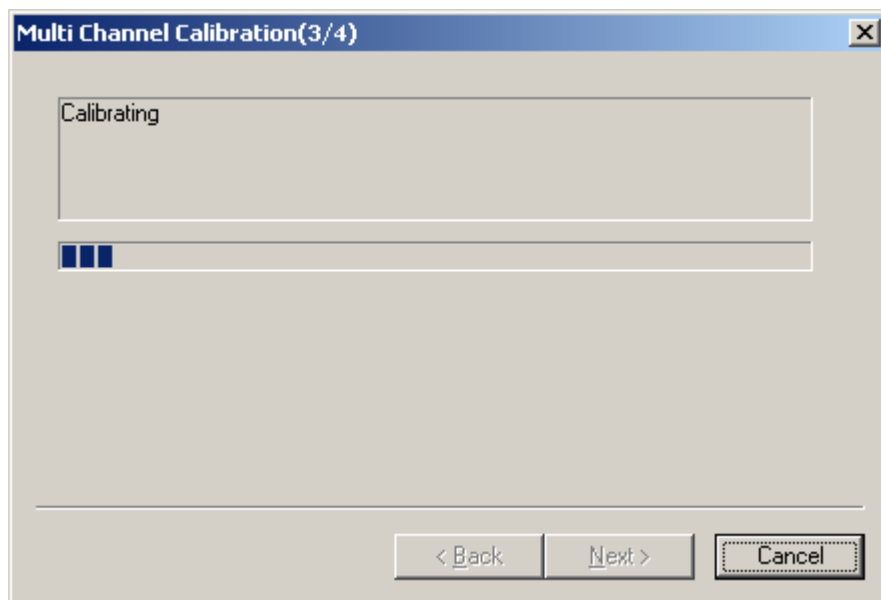


図5.5.3-4 Multi Channel Calibration 画面 3

Calibration の途中で図 5.5.3-5 のダイアログが表示されたら、指示に従い入力クロックの周波数を変更し、[Next] ボタンを押します。以下のように本器の A/B タイプにより Calibration するクロック周波数は異なります。

MU181020A: 5G, 8G, 10G, 12.5G

MU181020B: 5G, 8G, 10G, 12.5G, 14G

また、MU181020A と MU181000A/B シンセサイザが同じ本体に実装されている場合は、周波数の変更は必要ありません。

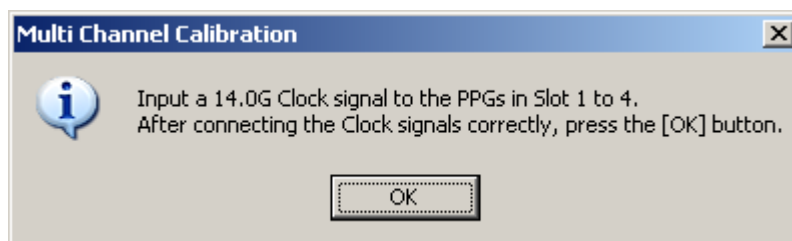


図5.5.3-5 クロック周波数変更指示

図 5.5.3-6 の画面が表示されたら [Finish] ボタンを押して Calibration は終了です。

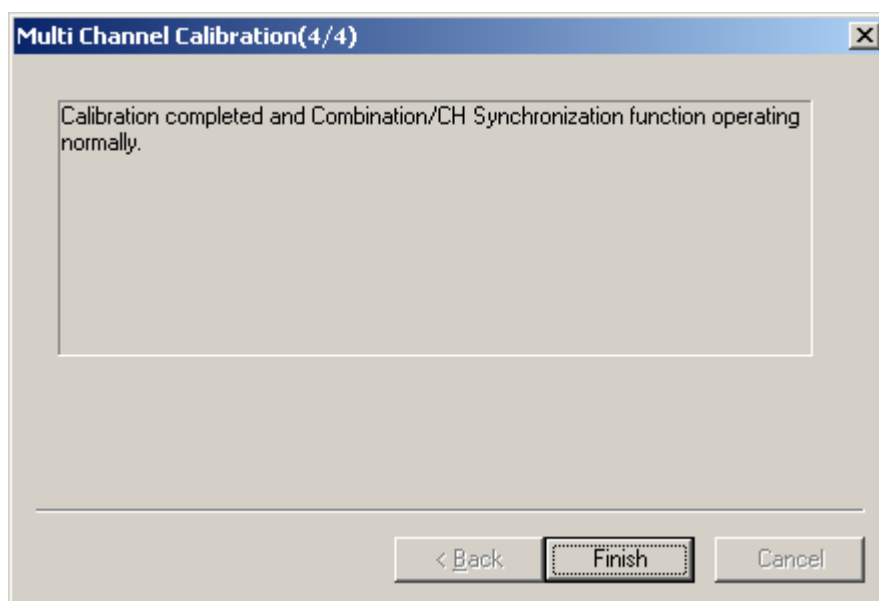


図5.5.3-6 Multi Channel Calibration 画面 4

図 5.5.3-1 のメッセージダイアログで [No] ボタン を押した場合は、性能確保のため、File メニュー (図 5.5.3-7) から [Multi Channel Calibration] を選択します。また、[No] ボタンを押すと図 5.5.3-8 のダイアログが表示され、チェックボックスをオンにすると、以降 Calibration を要求するメッセージダイアログは表示されなくなります。

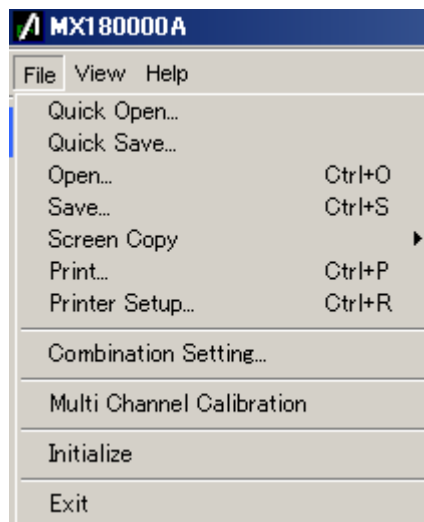


図5.5.3-7 File メニュー



図5.5.3-8 Calibration の Cancel 確認ダイアログ

Calibration は一度完了すれば、本体に実装した本器の構成を変更しない限り必要ありません。Calibration を実施済みであるかどうかは Calibration 画面(図 5.5.3-9)の表示で確認することができます。

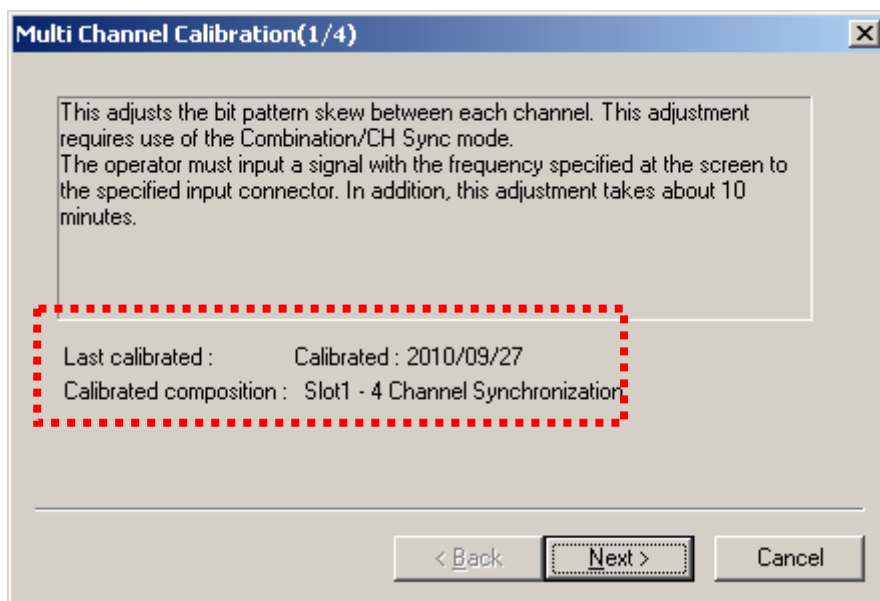


図5.5.3-9 Calibration の実施確認

注

- ハードウェアバージョンが 1.00.22 以下の場合は、Multi Channel Calibration 機能は使用できません。Multi Channel 機能に対応するにはバージョンアップが必要です。バージョンアップは、工場引き取り作業になりますので、当社または当社代理店までお問い合わせください。
- Calibration は Channel Synchronization, Combination の選択によっては複数回 Calibration をする必要があります。

5.6 Unit Sync 機能

Unit Sync 機能を使用することで、複数の MP1800A を同期してパターンを発生することができます。ここでは Unit Sync 機能の設定方法や Unit Sync 機能使用時の制約、動作について説明します。

5.6.1 Unit Syncの動作, 制約

Unit Sync 機能は複数の MP1800A 間でタイミング信号を共有することで、本体間の同期をとることができます。

本体内のモジュールを同期する Channel Synchronization 機能または Combination 機能と、本体間の同期をとる Unit Sync 機能を使用することで、最大 16 ch のパターンを同期して発生することができます。

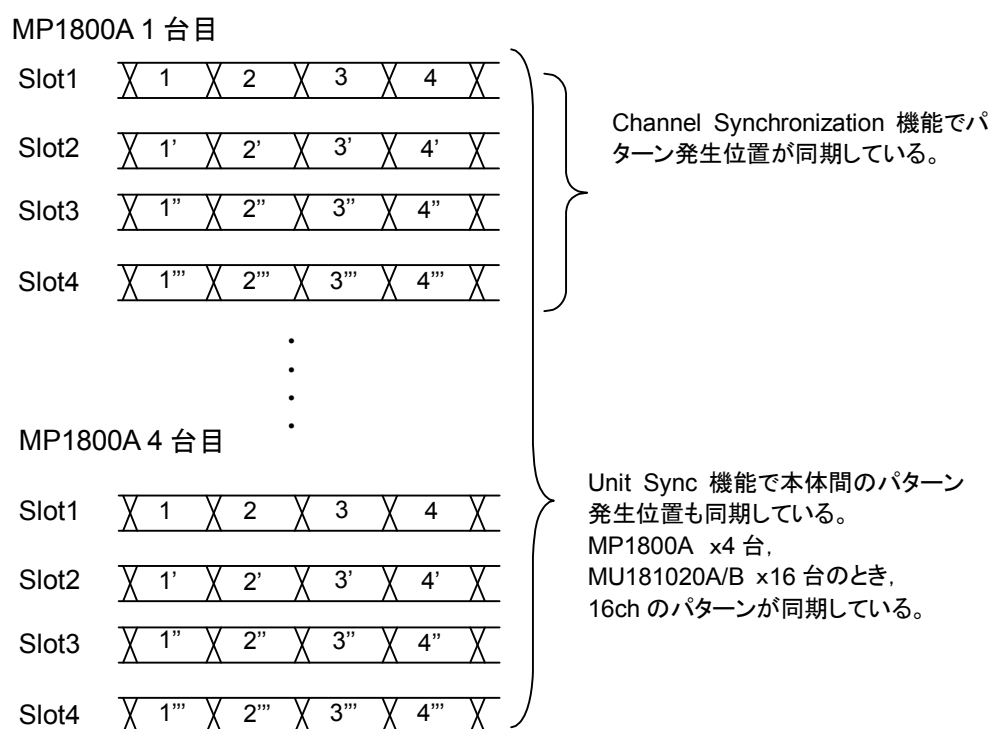


図5.6.1-1 Channel Synchronization パターン生成

Unit Sync 機能は、本体間で最大±256 bits の bit 位相誤差を持つため、この誤差を吸収するための調整が必要です。調整については「付録 E Unit Sync 機能の使用準備」を参照してください。

なお、この誤差は動作クロックの変更が無い限り変化しません。動作クロックの入力断、または変更したときには調整が必要です。

また, Unit Sync 機能を使用する際は以下の機能制約があります。

- Burst 機能が使用できません。
- Alternate パターンの外部信号による切り替えができません。
- Mixed Alternate パターンの外部信号による切り替えができません。
- Sequence パターンの外部信号による制御ができません。
- 外部信号によるエラー付加ができません。
- 同一本体に MU181020A/20B と MU181040A/40B が混在している場合は, Unit Sync 機能を使用できません。

5.6.2 Unit Sync設定

Unit Sync 機能を使用する場合は、モジュールファンクションボタンの [Combination Setting] ボタンを押し、Combination Setting 画面で設定します。

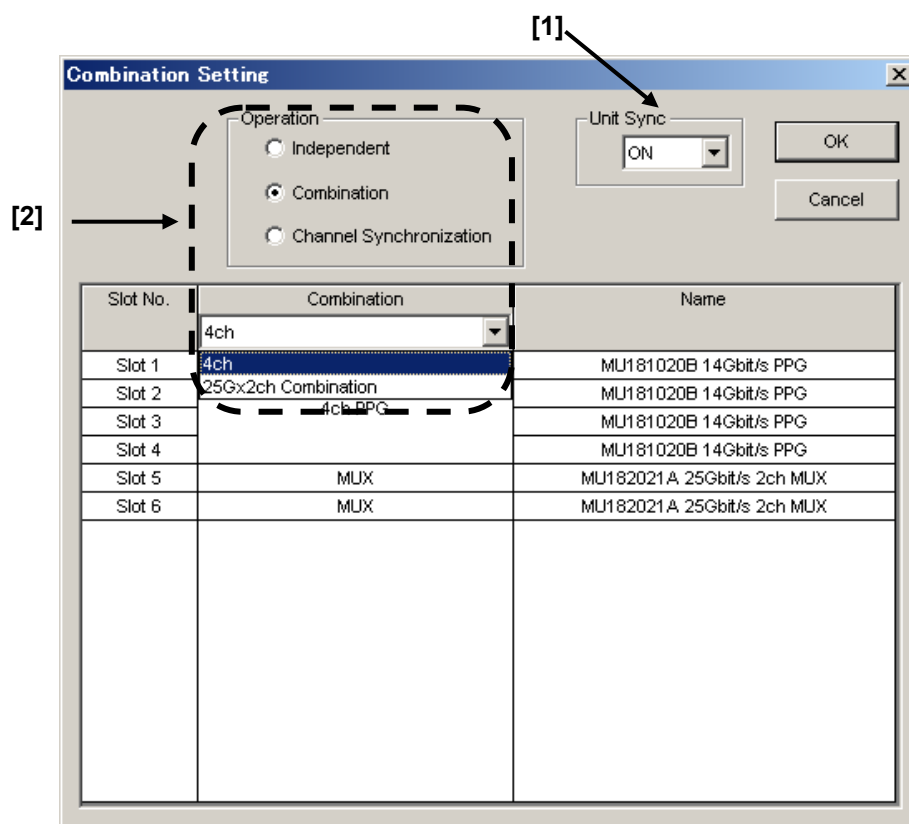


図5.6.2-1 Combination Setting 画面

- [1] Unit Sync 機能の ON/OFF を設定します。
Unit Sync を ON に設定し、[OK] ボタンを押すと機能が有効になります。そのあとに、5.6.1 項での制約に従って設定が変更されたことを知らせるメッセージが表示されますので確認してください。(図 5.6.2-2)

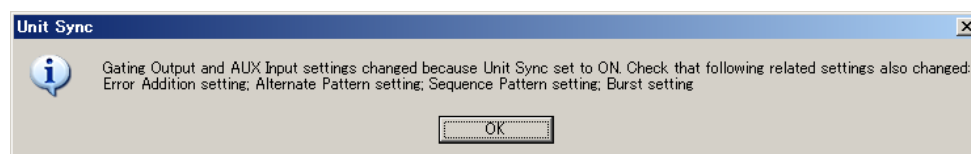


図5.6.2-2 Unit Sync ON 時の設定変更メッセージ

Unit Sync を ON にした場合, Operation を Combination または Channel Synchronization に選択したときに設定できる Combination は表 5.6.2-1 のとおりです。

表5.6.2-1 Unit Sync 可能な Combination 設定

Operation	Combination
Combination	4ch
	25Gx2ch Combination
Channel Synchronization	12.5G CH Sync
	25G CH Sync

5.6.3 Unit Sync機能の使用方法

Unit Sync 機能の使用方法について説明します。

Unit Sync 機能を使用する際の本体の接続, および調整手順については本書「付録 E Unit Sync 機能の使用準備」を参照してください。

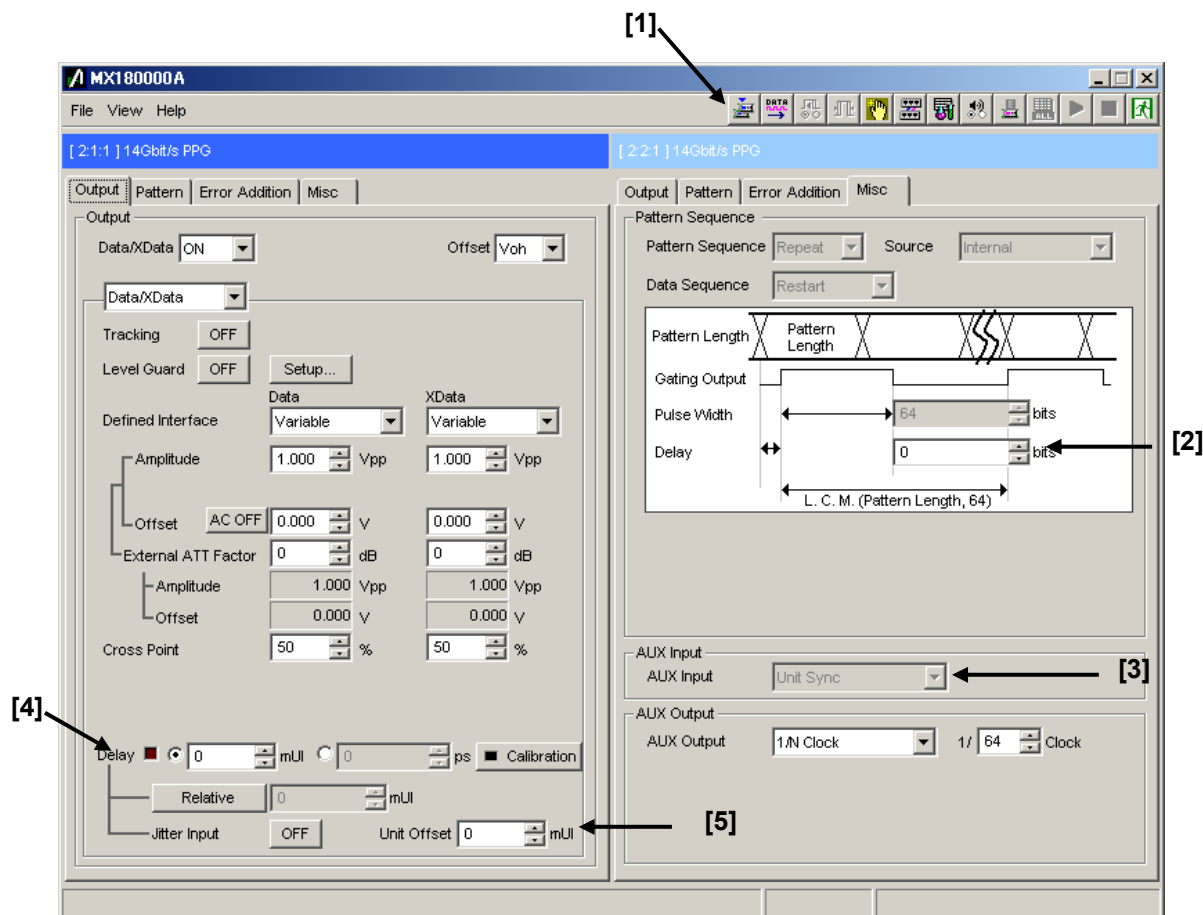


図5.6.3-1 MX180000A 画面

[1] Unit Sync Output

ボタンを押すとタイミング信号を出力され、本体間の同期をとります。
ボタンは Unit Sync ON 設定時のみ有効です。

注:

動作クロックの入力断や変化があった場合は、ボタンを押して再度同期をとる必要があります。また、再同期後に本体間の bit 位相誤差の調整も必要です。

[2] Gating Output Delay

本体間の同期をとるためタイミング信号の Delay を設定することで、調整を行います。設定分解能は以下となります。

Independent/12.5G CH Sync 時: 64 bits Step

25G CH Sync 時: 128 bits Step

25Gx 2ch/4ch Combination 時: 256 bits Step

[3] AUX Input

Unit Sync ON 設定時は、本体間同期のタイミング信号の入力専用となります。

[4] Delay

同一本体内に実装された Slot1～4 の MU181020A/B の Delay をそれぞれ設定することで、チャンネル間の出力パターンの bit Skew 調整を行います。

[5] Unit Offset

本体ごとに Delay のオフセット値を設定することで、本体間の出力パターンの bit Skew 調整を行います。

設定範囲は以下のように [6] Delay の設定値により制約を受けます。

Independent 時:

$-1000 \sim +1000 \text{ mUI} = \text{Delay 設定値} + \text{Unit Offset 設定範囲}$

Channel Synchronization/Combination 時:

$-64000 \sim +64000 \text{ mUI} = \text{Delay 設定値} + \text{Unit Offset 設定範囲}$

この章では、本器を使用した使用例について説明します。

6.1	Optical Transceiver Module の測定 (PRBS パターンを使用時のエラーレート測定)	6-2
6.1.1	試験方法	6-2
6.2	4:1 MUX の測定(4 台の本器を使用した, 40 Gbit/s PRBS パターン信号の発生)	6-5
6.2.1	試験方法	6-5
6.3	ONU-OLT 上り試験(Burst 信号のエラーレート測定)	6-9
6.3.1	試験方法	6-9

6.1 Optical Transceiver Module の測定 (PRBS パターンを使用時のエラーレート測定)

MP1800A を使用して, XFP 光トランシーバモジュールの電気インタフェース入力感度試験の方法について説明します。

6.1.1 試験方法

本測定では, 参考として MP1800A に本器, MU181040A が実装されている構成での試験例を記載します。オプション構成は次のとおりです。

MP1800A-014
MU181020A-001/x10
MU181040A-001/x20

1. MP1800A と被測定物を GND に接続します。
2. 電源コードを接続します。
3. MP1800A の電源を ON にし, 測定条件を設定します。
 - 1) 本器のデータ出力インタフェースを被測定物の入力に合わせます。
本器の Output 画面から, Data/XData を選択し, Tracking を ON に設定します。これにより, Data/XData の振幅, オフセットの設定が共通になります。このときに Output はあらかじめ OFF にしておきます。
 - 2) パターンを設定します。
本器, MP181040A の Pattern 画面から試験パターンを選択します。
 - 3) 本器と被測定物を接続します。
被測定物が Reference Clock を必要としている場合, 本器の Misc 画面より AUX Output コネクタから 1/1 分周クロックが出力するよう設定します。1/64 分周器をとおり, 被測定物に接続します。
 - 4) 動作ビットレートを, 本器の Output 画面の CMU ビットレートから設定します。
 - 5) MU181040A のデータ入力インタフェースを, 被測定物の出力に合わせます。
MU181040A の Input 画面の Input Condition で終端条件を選択します。XFP モジュールは差動インタフェースでの接続のため, Differential 100 ohm を選択し, Tracking を選択します。
 - 6) エラー測定を行うためのクロックを指定します。
MU181040A の Input 画面の Clock selection より Recovered Clock を選択し, 動作ビットレートを指定します。
 - 7) 設定完了後, MP1800A の電源を OFF にします。

4. MP1800A と被測定物を接続します。
 添付の同軸ケーブルまたは同等の同軸ケーブルを使用して、入出力信号を接続します。このとき、ケーブルの芯線はピンセットなどでショートしてから使用してください。接続は図 6.1.1-1 を参照してください。
 被測定物である XFP モジュールの受信データ出力レベルが MU181040A のデータ入力範囲に適合しているかを確認してください。適合していない場合、アッテネータなどを使用してレベルを調整してください。
5. 電源を ON にします。
 電源を ON にする際は、MP1800A、被測定物の順に ON にしてください。

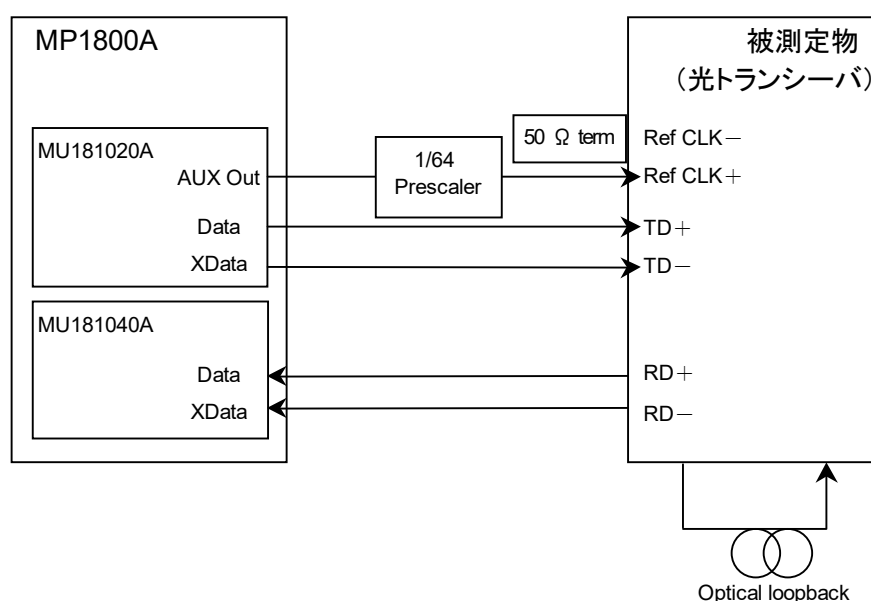


図6.1.1-1 XFP モジュール評価接続図

⚠ 注意

電源が ON の状態で信号線を挿抜すると、被測定物が損傷するおそれがあります。ケーブル接続を変更する場合には、MP1800A の電源を OFF にしてから作業を行ってください。

6. 信号出力を Enable にします。
 本器の Output 画面の Data/XData Output を ON に設定します。
 その後、モジュールファンクションボタンの [Output] ボタンを ON にします。
7. MU181040A のスレッショルドを設定します。
 モジュールファンクションボタンの [Auto Adjust] ボタンを押すと、自動的に被測定物に対して最適な位置を設定します。

8. MU181040A の Result 画面から測定を開始し, BER 測定の結果が確認できます。
9. 正常に被測定物が動作していることを確認後, 本器からの出力レベルを絞ることで, データ入力 (TD+, TD-) の感度測定ができます。

6.2 4:1 MUX の測定(4 台の本器を使用した, 40 Gbit/s PRBS パターン信号の発生)

MP1800A を 2 台使用した, 40G 帯 4:1 MUX IC の性能試験方法について説明します。

6.2.1 試験方法

1. MP1800A, 被測定物, およびデマルチプレクサ (MP1804A 43.5G DEMUX を使用) の GND を接続します。
2. MP1800A に, 本器 4 台と MU181800A 12.5GHz クロック分配器(以下, MU181800A と呼びます。)を 1 台実装します。
もう一方の MP1800A には, MU181040A 4 台を実装します。オプション構成は次のとおりです。

MP1800A-x15

MU181020A-001, MU181020A-x10

MU181040A-001

3. 電源コードを接続します。
4. 本器を実装している MP1800A の電源を ON にし, 測定条件を設定します。
 - 1) MUX IC の試験では, 実装した 4 台の本器を同期させる必要があります。
モジュールファンクションボタンの [Combination] ボタンを押して, 4 ch combined を選択します。
 - 2) 本器のデータ出力インタフェースを被測定物の入力に合わせます。
本器 Output 画面から, Data を被測定物の入力インタフェースに合わせて, 振幅とオフセットを設定します。
 - 3) 試験パターンを設定します。
試験パターンは本器 Pattern 画面より選択します。いずれか 1 つのチャネルの設定を変更することで, すべてのチャネルに設定を反映します。
 - 4) 動作ビットレートを本器 CMU ビットレート画面から設定します。
4 ch combined が選択されている場合の動作クロックは, チャネル 1 を強制的に選択します。
 - 5) 設定完了後, MP1800A の電源を OFF にします。

5. MU181040A を実装している MP1800A の電源を ON にし、測定条件を設定します。
 - 1) MU181040A のデータ入力インタフェースを MP1804A の出力に合わせます。

MU181040A の Input 画面の Input Condition でインタフェースと終端条件を選択します。MP1804A は 0/-1 V 出力のため、Input Condition は Single-Ended, Termination は GND, Data threshold は -0.5 V を選択します。
 - 2) 試験パターンを設定を行います。

MU181040A の Pattern 画面から本器で設定した試験パターンを選択します。
 - 3) エラー測定をするためのクロックを指定します。

MU181040A の Input 画面の Clock selection より External Clock を選択します。
 - 4) 設定完了後、MP1800A の電源を OFF にします。
6. MP1800A および MP1804A と被測定物を接続します。

添付の同軸ケーブルまたは同等の同軸ケーブルを使用して入出力信号を接続します。このとき、ケーブルの芯線はピンセットなどでショートして使用してください。接続図は図 6.2.1-1 を参照してください。

被測定物である、4:1 MUX IC の MUX 出力レベルが MP1804A のデータ入力範囲に適合しているかを確認してください。適合していない場合、アッテネータなどを使用してレベルを調整してください。

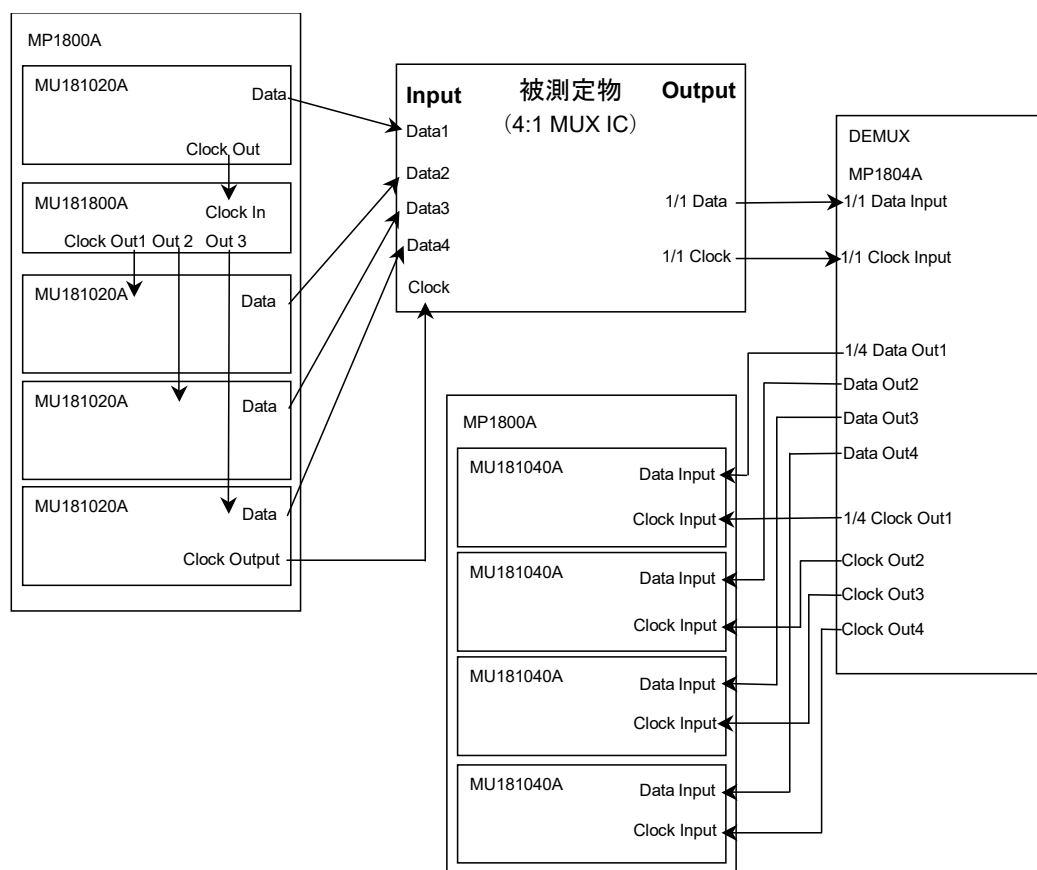


図6.2.1-1 4:1 MUX IC 評価接続図

7. 電源を ON にします。
電源を ON にする際は、MU181040A を実装している MP1800A, MP1804A, 被測定物, 本器を実装している MP1800A の順に ON にしてください。

 注意

電源が ON の状態で信号線を挿抜すると、被測定物が損傷するおそれがあります。ケーブル接続を変更する場合には、MP1800A および MP1804A の電源を OFF にしてから作業を行ってください。

8. 本器の信号出力を Enable にします。
本器 Output 画面の Output Data/XData を ON, モジュールファンクションボタンの [Output] ボタンを ON に設定します。
9. MP1804A のスレッシュホールドと位相が最適になるよう MP1804A の 1/1Clock ノブと VTH ノブで調整します。
10. MU181040A のスレッシュホールドと位相を設定します。
モジュールファンクションボタンの [Auto Adjust] ボタンを押すと、自動的に被測定物に対して最適な位置を設定します。
11. MU181040A の Result 画面上で、BER 測定の結果を確認できます。
故障、接続や設定に誤りがなければ、エラーを検出しません。
12. 正常に被測定物が動作していることを確認すれば、本器の出力レベル、オフセットや位相が変化することにより、4:1 MUX IC に対しての Margin 測定ができます。

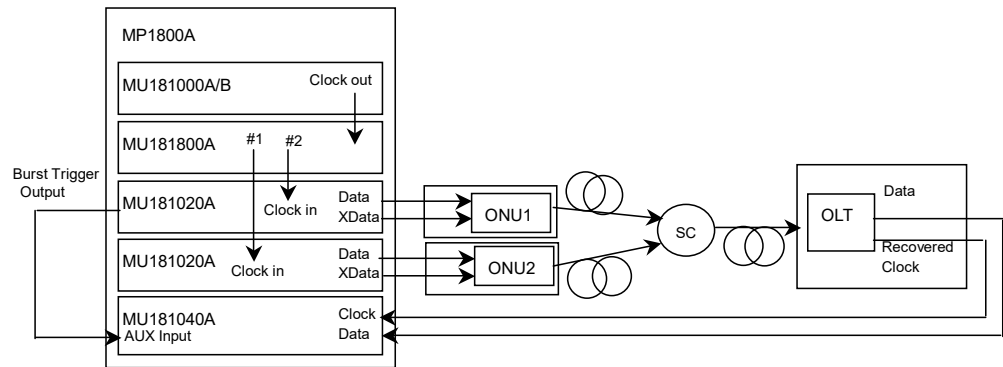
6.3 ONU-OLT 上り試験 (Burst 信号のエラーレート測定)

本器の Burst パターン発生機能を使用して、PON ネットワークの ONU-OLT 上りエラーレート測定試験方法を説明します。

6.3.1 試験方法

1. MP1800A と被測定物の GND を接続します。
2. MP1800A に本器 2 台, MU181000A, MU181800A および MU181040A を各 1 台実装します。オプション構成は次のとおりです。

MP1800A-015
MU181020A-002, MU181020A-x10
MU181040A-002
3. 電源コードを接続します。
4. MP1800A の電源を ON にし、測定条件を設定します。
 - 1) ONU-OLT 試験では実装した 2 台の本器を同期させる必要があります。モジュールファンクションボタンの [Combination] ボタンを押して Channel Synchronization を選択します。
 - 2) 本器のデータ出力インタフェースを被測定物の入力に合わせます。本器 Output 画面から, Data を被測定物の入力インタフェースに合わせて, 振幅とオフセットを設定します。
 - 3) Burst パターン発生タイミングと試験パターンを設定します。発生タイミングは Misc 画面の Pattern Sequence を Burst に選択すると AUX Input を Burst に指定します。
 - 4) Pattern 画面の試験パターンで発生パターンを指定します。各チャネルはタイミング, パターン種類ともに独立して設定できます。
 - 5) 動作周波数を Synthesizer 画面から設定します。
 - 6) MU181040A のデータ入力インタフェースを被測定物の出力インタフェースに合わせます。
MU181040A の Input 画面から, 終端条件を指定します。試験パターンは本器から発生する 2 ch 分のデータを書き込み, Pattern 画面 Mask 設定で測定領域を指定することで, エラー検出パターンを生成します。Misc 画面 AUX Input 設定を Burst に指定します。
 - 7) 設定完了後, MP1800A の電源を OFF にします。
5. MP1800A と被測定物を接続します。
添付の同軸ケーブルまたは同等の同軸ケーブルを使用して入出力信号を接続します。このとき, ケーブルの芯線はピンセットなどでショートして使用してください。接続は図 6.3.1-1 を参照してください。



注: MU181000B 使用時は、MU181800A は不要

図6.3.1-1 ONU-OLT 上り試験接続図

6. 電源を ON にします。
電源を ON にする際は、被測定物、MP1800A の順に ON にしてください。



注意

電源が ON の状態で信号線を挿抜すると、被測定物が損傷するおそれがあります。ケーブル接続を変更する場合には、MP1800A の電源を OFF にしてから作業を行ってください。

7. 本器の信号出力を Enable にします。
本器 Output 画面の Output Data/XData を ON, モジュールファンクションボタンの [Output] ボタンを ON に設定します。
8. MU181040A のスレッシュホールドと位相の設定を行います。
モジュールファンクションボタンの [Auto Adjust] ボタンを押すと、自動的に被測定物に対して最適な位置を設定します。
9. MU181040A の Result 画面上で、BER 測定の結果を確認できます。
故障、接続や設定に誤りがなければ、エラーを検出しません。
10. 正常に被測定物が動作していることを確認できれば、本器の Output 画面 Phase adjust 機能で ONU チャンネル間の間隔が可変することや、Misc 画面の Delay 設定で Burst 間隔を変更することにより、被測定物に対しての負荷試験ができます。

この章では, 本器の性能試験について説明します。

7.1	性能試験.....	7-2
7.2	性能試験用機器.....	7-2
7.3	性能試験項目	7-3
	7.3.1 動作周波数範囲	7-3
	7.3.2 波形評価試験	7-5

7.1 性能試験

本器の主要性能が規格を満足していることを確認するため、性能試験を行います。性能試験は、本器の受入検査時、修理後の動作確認時および定期試験時(6ヶ月ごと)に行ってください。

7.2 性能試験用機器

性能試験を始める前に、本器と各測定器のウォーミングアップを30分以上行ってください。性能試験に必要な機器を表7.2-1に示します。

表7.2-1 性能試験に必要な機器

機器名	要求される性能
誤り検出器 (MP1800A+MU181040A)	動作周波数: 100 MHz～12.5 GHz データ入力感度: 100 mV _{p-p} 以上
誤り検出器 (MP1800A+MU181040B)	動作周波数: 100 MHz～14 GHz データ入力感度: 100 mV _{p-p} 以上
サンプリングオシロスコープ	Electrical interface: 帯域 50 GHz 以上
信号発生器 (MP1800A+ MU181000A/B, MG3690 シリーズ)	MU181020A を評価する場合 動作周波数: 100 MHz～12.5 GHz 出力レベル: 400～2000 mV _{p-p} 波形: 100～500 MHz 矩形波 >500 MHz 矩形波または正 弦波 MU181020B を評価する場合は、上記に加えて MG3690 シリーズをご使用ください。 動作周波数: 12.5 GHz～14 GHz 出力レベル: 400～1500 mV _{p-p} 波形: 矩形波または正弦波

注:

被測定装置と測定機器類は、特に指示する場合を除き少なくとも30分間は予熱を行い、十分に安定してから性能試験を行ってください。

最高の測定確度を発揮するには、上記のほかに室温下での実施、AC電源電圧の変動が少ないこと、騒音・振動・ほこり・湿度などについても問題がないことが必要です。

7.3 性能試験項目

以下の試験項目について説明します。

- (1) 動作周波数範囲
- (2) 波形

7.3.1 動作周波数範囲

- (1) 規格

表7.3.1-1 規格

オプション	規格
MU181020A-001	9.8～12.5 GHz
MU181020A-002	0.1～12.5 GHz
MU181020B-002	0.1～14 GHz
MU181020B-003	0.1～14.05 GHz
MU181020B-005	0.1～14.1 GHz

- (2) 接続

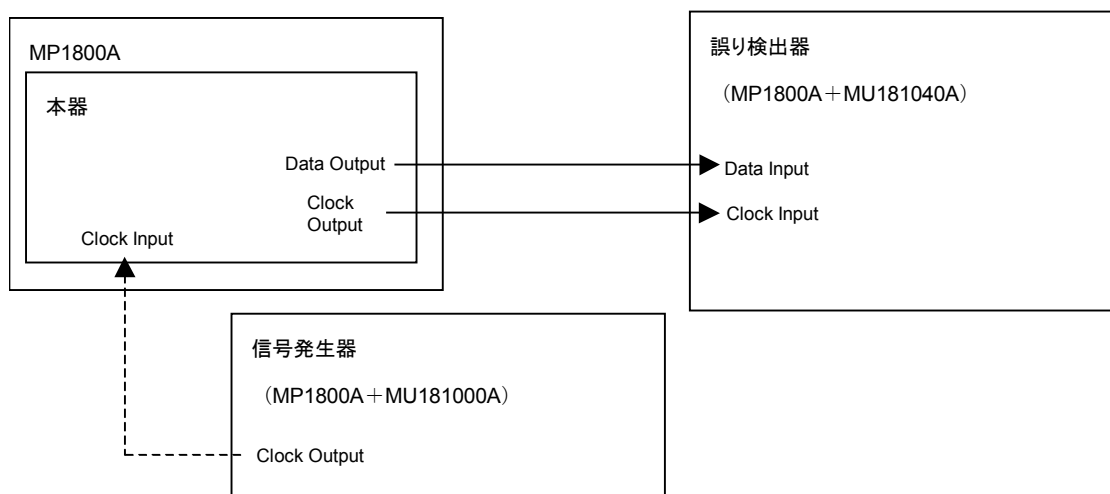


図7.3.1-1 動作周波数範囲試験接続図

- (3) 手順

1. MP1800A に本器を実装し、ケーブルを接続しない状態で電源を ON にします。
2. MU181020A-001 を実装している場合、本器 Output CMU Bit Rate 画面より、Reference Clock を Internal に設定し、Frequency を 12.5 GHz に設定します。
MU181020A-002 を実装している場合は、外部信号源からのクロック供給となりますので、過大入力加わらないよう、あらかじめ出力レベルを設定してください。

3. 本器の Data 信号出力振幅を 500 mVp-p, オフセット(Vth)を 0 V, 試験パターンを PRBS 31, マーク率を 1/2 に設定します。
4. 本器の Clock 信号出力振幅を 500 mVp-p, オフセット(Vth)を 0 V に設定します。
5. 設定完了後, MP1800A の電源を OFF にします。
6. 図 7.3.1-1 に従って, 測定器のケーブルを接続します。
7. MP1800A と測定器の電源を ON にして, ウォーミングアップします。
8. ウォーミングアップ後, MP1800A 信号出力を ON にして, 信号を出力させます。
9. MU181040A の位相, スレッシュホールド値を最適値に調整します。
10. MU181040A でエラーが検出されないことを確認します。
11. 動作周波数を可変させ, 動作周波数規格範囲内でエラーが生じていないことを確認します。

7.3.2 波形評価試験

(1) 規格

表7.3.2-1 MU181020A 規格

オプション	規格
MU181020A-001 9.8~12.5 Gbit/s	Level: Hi-0.2~0.1 V/Lo-0.65~-0.4 V Cross Point: 50%±15% Tr/Tf: Typ.30 ps (20~80%) (≥ 5 Gbit/s) Typ.40 ps (20~80%) (< 5 Gbit/s) Total Jitter: Typ.15 psp-p*
MU181020A-002 0.1~12.5 Gbit/s	Level: Hi-0.25~0.05 V/Lo-1.4~-0.85 V Cross Point: 50%±15% Tr/Tf: Typ. 35 ps (20~80%) (≥ 5 Gbit/s) Typ. 45 ps (20~80%) (< 5 Gbit/s) Total Jitter: Typ.10 psp-p*
MU181020A-x10 データ出力 (0.05~0.8 Vp-p) 後付	Level: 0.05 V~0.80 Vp-p Offset: -2.0~+3.3 Voh Cross Point: 30~70%, 1% Step(非独立) Tr/Tf: Typ. 28 ps (20~80%) (≥ 5 Gbit/s) Typ. 35 ps (20~80%) (< 5 Gbit/s) Total Jitter: Typ.15 psp-p (MU181020A-001 実装時)* Typ.10 psp-p (MU181020A-002 実装時)* Waveform distortion: Typ.±14% (10 Gbit/s, 振幅 0.5~0.8 V)
MU181020A-x11 データ出力 (0.25~2.5 Vp-p) 後付	Level: 0.25~2.50 Vp-p Offset: -2.0~+3.3 Voh Cross Point: 30~70%, 1% Step(独立) Tr/Tf: Typ. 28 ps (20~80%) (≥ 5 Gbit/s) Typ. 35 ps (20~80%) (< 5 Gbit/s) Total Jitter: Typ.15 psp-p (MU181020A-001 実装時)* Typ.10 psp-p (MU181020A-002 実装時)* Waveform distortion: Typ.25mV±6% (10 Gbit/s)
MU181020A-x12 高性能データ出力 (0.05~2.0 Vp-p) 後付	Level: 0.05 ~2.0 Vp-p Offset: -2.0~+3.3 Voh Cross Point: 20~80%, 1% Step(独立) Tr/Tf: Typ.20 ps, (20~80%) (10 G, 12.5 Gbit/s, 2.0 Vp-p において) Typ.25 ps, (10~90%) (10 G, 12.5 Gbit/s, 2.0 Vp-p において) Total Jitter: Typ.15 psp-p (MU181020A-001 実装時)* Typ.8 psp-p (MU181020A-002 実装時)* Waveform distortion: Typ.25 mV±6% (10 Gbit/s)
MU181020A-x13 データ出力 (0.5~3.5 Vp-p) 後付	Level: 0.5~3.5 Vp-p Offset: -2.0~+3.3 Voh Cross Point: 20.0~90.0%, 0.1% Step(独立) Tr/Tf: Typ. 25 ps (20~80%) (10 G, 12.5 Gbit/s, 3.5 Vp-p において) Total Jitter: Typ.8 psp-p (MU181020A-001/002 実装時, 10 Gbit/s において)* Waveform distortion: Typ.25 mV±10% (10 Gbit/s)

*: ジッタ規格値は、オシロスコープ残留ジッタ < 200 fs (RMS) のものを使用した場合の値です。

表7.3.2-2 MU181020B 規格

オプション	規格
MU181020B-002 0.1～14 Gbit/s または, MU181020B-003 0.1～14.05 Gbit/s または, MU181020B-005 0.1～14.1 Gbit/s 実装時	Level: Hi-0.25～0.05 V/Lo-1.4～-0.85 V Cross Point: 50%±15% Tr/Tf: Typ. 35 ps (20～80%) (≥ 5 Gbit/s) Typ. 45 ps (20～80%) (<5 Gbit/s) Total Jitter: Typ.10 psp-p*
MU181020B-x11 データ出力 (0.25～2.5 Vp-p) 後付	Level: 0.25～2.50 Vp-p Offset: -2.0～+3.3 Voh Cross Point: 30～70%, 1% Step(独立) Tr/Tf: Typ. 28 ps (20～80%) (≥ 5 Gbit/s) Typ. 35 ps (20～80%) (<5 Gbit/s) Total Jitter: Typ.10 psp-p (MU181020B-002 実装時)* Waveform distortion: Typ.25 mV±6% (10 Gbit/s)
MU181020B-x12 高性能データ出力 (0.05～2.0 Vp-p) 後付	Level: 0.05 ～2.0 Vp-p Offset: -2.0～+3.3 Voh Cross Point: 20～80%, 1% Step(独立) Tr/Tf: Typ.20 ps, (20～80%) (10 G, 12.5, 14 Gbit/s, 2.0 Vp-p において) Typ.25 ps, (10～90%) (10 G, 12.5, 14 Gbit/s, 2.0 Vp-p において) Total Jitter: Typ.8 psp-p (MU181020B-002 実装時)* Waveform distortion: Typ.25 mV±6% (10 Gbit/s)
MU181020B-x13 データ出力 (0.5～3.5 Vp-p) 後付	Level: 0.5～3.5 Vp-p Offset: -2.0～+3.3 Voh Cross Point: 20.0～90.0%, 0.1% Step(独立) Tr/Tf: Typ. 25 ps (20～80%) (10 G, 12.5 Gbit/s, 3.5 Vp-p において) Total Jitter: Typ.8 psp-p (MU181020B-002 実装時, 10 Gbit/s において)* Waveform distortion: Typ.25 mV±10% (10 Gbit/s)

*: ジッタ規格値は、オシロスコープ残留ジッタ <200 fs(RMS)のものを使用したときの値です。

(2) 接続

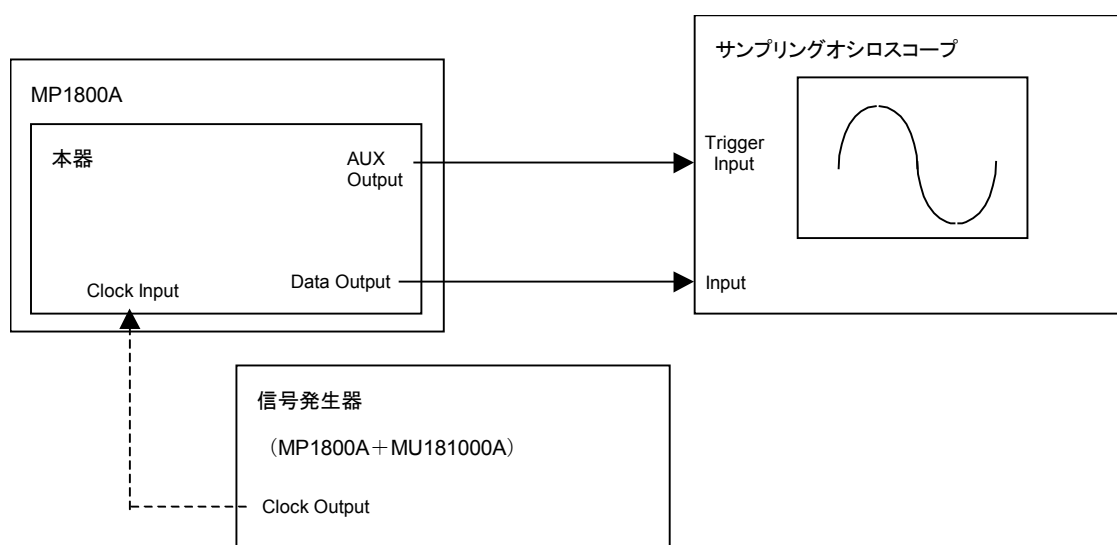


図7.3.2-1 波形試験接続図

(3) 手順

1. MP1800A に本器を実装し、ケーブルを接続しない状態で電源を ON にします。
2. 本器 Output 画面から試験する Data 出力の振幅、オフセット、クロスポイントを設定します。
3. 本器 Pattern 画面で試験パターンを設定します。
規格パラメータは、アイパターンによる観測評価となりますので、試験パターンには PRBS31、マーク率 1/2 を選択します。
4. トリガ信号を設定します。本器 Misc 画面 AUX Output から 1/N Clock を選択し、使用するサンプリングオシロスコープにあわせて分周比を設定します。
5. MU181020A-001 を実装している場合、使用するクロックの設定を本器 Output CMU Bit Rate 画面で行います。
MU181020A-002 を実装している場合は、外部信号源からのクロック供給となりますので、過大入力加わらないよう、あらかじめ出力レベルを設定してください。
6. 設定完了後、MP1800A の電源を OFF にします。
7. 図 7.3.2-1 に従って、測定器のケーブルを接続します。
8. MP1800A と測定器の電源を ON にして、ウォーミングアップします。
9. ウォーミングアップ後、MP1800A の信号出力を ON にして、信号を出力させます。
10. サンプリングオシロスコープで出力波形を観測し、すべての規格項目について規格を満たしていることを確認します。

この章では, 本器の保守について説明します。

8.1	日常の手入れ	8-2
8.2	保管上の注意	8-2
8.3	輸送方法.....	8-3
8.4	校正	8-3
8.5	廃棄.....	8-3

8.1 日常の手入れ

外観のよごれは、薄めた中性洗剤を含ませた布で拭き取ってください。

ほこりやちりが付着した場合は、掃除機で吸い取ってください。

ネジなどの取り付け部品のゆるみは、規定の工具で締めてください。

8.2 保管上の注意

本器に付着したほこり、手あか、その他のよごれ、しみなどを拭き取って保管してください。

また、以下の場所での保管は避けてください。

- ・ 直射日光のあたる場所
- ・ ほこりの多い場所
- ・ 水滴が付着するような高湿度の場所
- ・ 活性ガスにおかされる場所
- ・ 本器が酸化するおそれのある場所
- ・ 振動の激しい場所
- ・ 以下に示す温度と湿度の場所
 - 温度: -20°C 以下または 60°C 以上
 - 湿度: 85%以上

推奨保管条件

長期保管するときは、上記の保管前の注意条件を満たすほかに、以下の環境条件の範囲内で保管することをお勧めします。

- ・ 温度: $5\sim 30^{\circ}\text{C}$ の範囲
- ・ 湿度: 40～75%の範囲
- ・ 1日の温度、湿度の変化が少ないところ

8.3 輸送方法

本器を輸送する場合、開梱時の梱包材料を保管している場合はその材料を使用して梱包してください。保管していない場合は以下の手順で梱包してください。

なお、本器を取り扱う際は必ず清潔な手袋を着用し、傷などを付けないように静かに行ってください。

<手順>

1. 乾いた布で本器外面のよごれやちり、ほこりを清掃してください。
2. ネジのゆるみや脱落がないかを点検してください。
3. 構造上の突起部や変形しやすいと考えられる部分には保護を行い、本器をポリエチレンシートで包み、さらに防湿紙などで包装してください。
4. 包装した本器を段ボール箱に入れ、合わせ目を粘着テープで止めてください。さらに輸送距離や輸送手段などの必要に応じて木箱などに収納してください。
5. 輸送時は「8.2 保管上の注意」の注意条件を満たす環境下においてください。

8.4 校正

長期間安定した性能でシグナルクオリティアナライザシリーズを使用する場合には、定期点検および校正などの日常のメンテナンスが欠かせません。常に最適の状態で使用していただくため、定期的な点検および校正を推奨します。

納入後の推奨校正周期は 12 か月です。

納入後のサポートなどについては、本書（紙版説明書では巻末、電子版説明書では別ファイル）に記載の「本製品についてのお問い合わせ窓口」へご連絡ください。

次の事項に該当する場合は、校正および修理を辞退させていただくことがあります。

- ・ 製造後、7 年以上を経過した測定器で部品入手が困難な場合、または摩耗が著しく、校正および修理後の信頼性が維持できないと判断される場合。
- ・ 当社の承認なしに回路変更、修理または改造などが行われている場合。
- ・ 修理価格が新品価格に対し高額になると判断される場合。

8.5 廃棄

廃棄する場合は、シグナルクオリティアナライザシリーズ インストレーションガイドに記載の事項、各国の条例、および各地方の条例に従って処理するように注意してください。

第9章 トラブルシューティング

この章では、本器の動作時に異常が発生した場合、故障かどうかを判断するためのチェック方法について説明します。

9.1	モジュール交換時の問題.....	9-2
9.2	出力波形観測時の問題.....	9-2
9.3	エラーレート測定時の問題.....	9-3

9.1 モジュール交換時の問題

表9.1-1 MU181020A 交換時の問題対処方法一覧

現象	チェックする箇所	対処方法
モジュールを認識しない。	モジュールは、確実に実装されていますか。	インストレーションガイドの「2.3 モジュールの装着と取り外し」に従って、再度装着してください。
	適切なモジュールが実装されていますか。	インターネットのアンリツホームページ (http://www.anritsu.com) の MP1800 Series Signal Quality Analyzers から該当地域にアクセスし、サポート対象モジュールと本器のソフトウェアバージョンを確認してください。 対象モジュールが実装されているのにモジュールが認識されない場合、故障の可能性がありますので、本書(紙版説明書では巻末, CD 版説明書では別ファイル)に記載の「本製品についてのお問い合わせ窓口」へご連絡ください。

9.2 出力波形観測時の問題

表9.2-1 出力波形観測時の問題対処方法一覧

現象	チェックする箇所	対処方法
出力波形が正しく観測できない。	Output タブの Data/Xdata または Clock/XClock が ON になっていますか。	出力したい Output タブの Data/XData , Clock/XClock を ON に設定し、モジュールファンクションボタンの [Output ON/OFF] ボタンが有効な場合、ボタンを押して ON にしてください。
	モジュールファンクションボタンの [Output ON/OFF] ボタンが ON になっていますか。	モジュールファンクションボタンの [Output ON/OFF] ボタンを押し、ON に設定してください。
	動作 Clock は正しく供給されていますか。	内蔵クロックを使用している場合は、設定ビットレートを確認してください。 外部から供給している場合、接続インタフェースを確認してください。インタフェースについては「3.1 パネルの説明」を参照してください。
	トリガクロックは正しく設定されていますか。	トリガ用クロックは、AUX Output から出力される信号を使用してください。 AUX Output コネクタの設定と測定するサンプリングオシロスコープとのインタフェースが正しいことを確認してください。
	電気インタフェースケーブルがゆるんでいませんか。	コネクタ部分を締め直してください。
	ケーブルやコネクタは高周波特性の良い物を使用していますか。	高周波特性の良いケーブルやコネクタを使用してください。

9.3 エラーレート測定時の問題

表9.3-1 エラーレート測定時の問題対処法一覧

現象	チェックする箇所	対処方法
エラーが入る。	被測定物との接続インタフェースは正しいですか。	データレート, レベル, オフセット, 終端条件が一致しているか確認してください。
	本器と誤り検出器(ED)の論理パターンは正しく設定されていますか。	本器の発生するパターンは被測定物が受信可能なパターンに設定されているか, 被測定物が発生するパターンと ED の検出パターンの設定は一致しているか確認してください。 被測定物が本器のパターンを変更せずに出力するような場合, 本器と ED を直接接続してエラーが検出されるか確認してください。
	エラー付加機能は OFF に設定されていますか。	Error Addition 画面で Error Addition Switch が OFF になっていることを確認してください。
	電気インタフェースケーブルがゆるんでいませんか。	コネクタ部分を締め直してください。
	ケーブルやコネクタは高周波特性の良い物を使用していますか。	高周波特性の良いケーブルやコネクタを使用してください。
	位相マージンとバイアスマージンは十分確保されていますか。	本器と被測定物間, 被測定物と ED 間の位相とオフセットがそれぞれ最適になるように調整します。

上記の項目で解決できない場合は, 初期化を行い, 上記項目を再確認してください。それでも問題が解決できない場合は, 本書(紙版説明書では巻末, CD-ROM 版説明書では別ファイル)に記載の「本製品についてのお問い合わせ窓口」へご連絡ください。

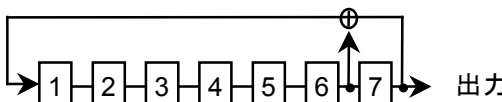
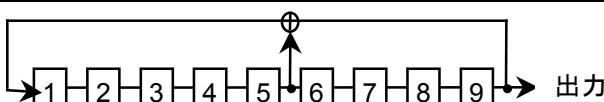
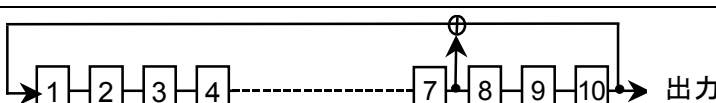
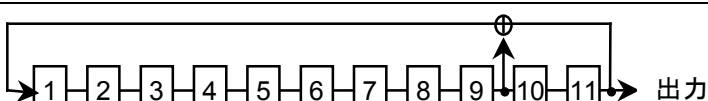
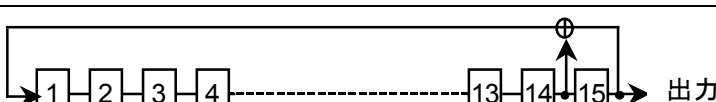
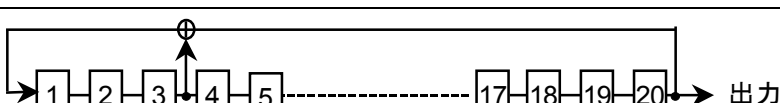
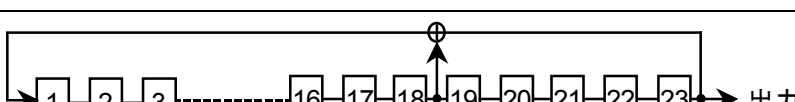
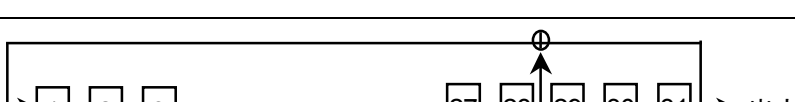
A.1 擬似ランダムパターン

擬似ランダムパターン発生原理を表 A.1-1 に示します。擬似ランダムパターンは表 A.1-1 に示す N 次の生成多項式で表され、その 1 周期は 2^n-1 となります。 2^n-1 の周期をもつ PRBS パターンは 1 周期中に N ビット連続"1"のパターンが 1 回だけ出現します。

PRBS のパターンの出力レベルは、Logic を POS(正論理)に設定した場合、"1"が Low level, "0"が High level に対応します。

PRBS パターンのマーク率は表 A.1-1 に示すブロックで発生します。マーク率には $1/2$, $1/4$, $1/8$, $0/8$ (all 0) の 4 種類があり、 $1/4$ と $1/8$ については、その発生方法により 1 ビットシフトと 3 ビットシフトのいずれかを選ぶことができます。

表A.1-1 擬似ランダムパターン発生原理

周期	生成多項式	パターン生成ブロック図
2^7-1	$1+X^6+X^7$	
2^9-1	$1+X^5+X^9$	
$2^{10}-1$	$1+X^7+X^{10}$	
$2^{11}-1$	$1+X^9+X^{11}$	
$2^{15}-1$	$1+X^{14}+X^{15}$	
$2^{20}-1$	$1+X^3+X^{20}$	
$2^{23}-1$	$1+X^{18}+X^{23}$	
$2^{31}-1$	$1+X^{28}+X^{31}$	

N : シフトレジスタ ($N=1,2,3,\dots$)

$\oplus$: 排他的論理和

B.1 初期設定項目一覧

ここでは、本器に関する出荷時の設定項目初期値を示します。

なお、メニューバー [File] → [Initialize] を選択すると全設定項目を初期設定値にすることができます。

表B.1-1 初期設定一覧表

	大項目	中項目	小項目	初期設定値
Output	Data・XData Output ON・OFF の選択			ON
	Clock・XClock Output ON・OFF の選択 (MU181020A-x21, MU181020B-x21)			ON
	Amplitude・Offset の選択			Voh
	Data・Xdata の選択	Tracking の設定		OFF
		Level Guard の設定		OFF
		Level Guard Setup の設定	Amplitude 上限の設定	0.800 Vp-p (MU181020A-x10) 2.500 Vp-p (MU181020A-x11, MU181020B-x11) 2.000 Vp-p (MU181020A-x12, MU181020B-x12) 3.500 Vp-p (MU181020A-x13, MU181020B-x13)
			Offset limit の設定	-2.800～3.300 V (MU181020A-x10) -4.500～3.300 V (MU181020A-x11, MU181020B-x11) -4.000～3.300 V (MU181020A-x12, MU181020B-x12) -4.000～3.300 V (MU181020A-x13, MU181020B-x13)
		Defined Interface の設定		Variable
		Amplitude の設定		1.000 Vp-p 0.800 Vp-p (MU181020A-x10)
		Offset の切り替え設定		AC OFF
		Offset 設定		0.000 V
		External ATT Factor の設定		0 dB

表B.1-1 初期設定一覧表(続き)

設定機能	大項目	中項目	小項目	初期設定値
Output (続き)	Data・Xdata の選択 (続き)	Cross Point の設定		50%
		Delay の設定		0 mUI
			Calibration の設定	—
	Clock・Xclock の選択 (MU181020A-x21 MU181020B-x21)	Tracking の設定		OFF
		Level Guard の設定		OFF
		Level Guard Setup の設定	Amplitude 上限の設定	2.000 Vp-p
			Offset limit の設定	−4.000～3.300 V
		Defined Interface の設定		Variable
			Amplitude の設定	1.000 Vp-p
			Offset の切り替え設定	AC OFF
			Offset 設定	0.000 V
			External ATT Factor の設定	0 dB
		Duty の設定		0
	CMU Bit-rate の選択 (MU181020A-x01)	Reference Clock の設定		Internal
		External Clock の設定		1/1
		Operation Rate の設定		1/1
		Frequen cy の設定		12500
			Frequency Resolution の設定	MHz
Pattern	PRBS の設定	PRBS 段数の選択		15 段
		Logic の設定		POS
		マーク率の選択		1/2
	Zero-substitution の設定	PRBS 段数の選択		15 段
		Zero-Substitution Length の設定		1 bit
		Addition Bit の設定		1
	Data の設定	Data Pattern の設定		2 bit 2 Ch Combination 時: 4 bit 4 Ch Combination 時: 8 bit
	Alternate の設定	Loop Control の選択		Internal
		Alternate Pattern の設定		128 bit
		Alternate Loop Time の設定		1

表B.1-1 初期設定一覧表(続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern (続き)	Mixed Data の設定	Logic の設定		POS
		Block 数の表示		1
		Row Length の表示		768 bits 2 Ch Combination 時: 1,536 bit 4 Ch Combination 時: 3,072 bit
		Data Length の表示		512 bits 2 Ch Combination 時: 1,024 bit 4 Ch Combination 時: 2,048 bit
		Row 数の表示		1
		PRBS	Pattern の設定	PRBS15
			マーク率の選択	1/2
		Scramble の設定		OFF
		Scramble Setup の設定		All OFF
		PRBS Sequence の設定		Consecutive
	Mixed Alternate の設定	Logic の設定		POS
		Loop Control の選択		Internal
		Loop Time の設定		1
		Block 数の表示		1
		Row Length の表示		768 bits
		Data Length の表示		512 bits
		Row 数の表示		1
		PRBS	Pattern の設定	PRBS15
			マーク率の選択	1/2
		Scramble の設定		OFF
		Scramble Setup の設定		All OFF
		PRBS Sequence の設定		Consecutive
	Sequence の設定	Logic の設定		POS
		Pair ED の選択		None
		Condition の設定		—
		Manual ボタン		—
		Transmit ボタン		—
		Data Length		MU181020A: 8,192 bit MU181020B: 16,384 bit

表B.1-1 初期設定一覧表(続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern (続き)	Pattern Editor の設定	Zoom の設定		× 1
		Block 数の表示		1
		Row Length の表示		768 bits 2 Ch Combination 時: 1,536 bit 4 Ch Combination 時: 3,072 bit
		Data Length の表示	Data の設定	2 bits 2 Ch Combination 時: 4 bit 4 Ch Combination 時: 8 bit
			Alternate の設定	128 bits
			Mixed の設定	512 bits 2 Ch Combination 時: 1,024 bit 4 Ch Combination 時: 2,048 bit (Mixed・Data 時)
			Sequence の設定	8192 bits
		Row 数の表示		1
		Alternate の選択		A
Error Addition	Error Addition の設定			OFF
		Source の選択		Internal
		Variation の選択		Repeat
		Route の設定		Select, 1
		Error Rate の設定		1E-3
		Test Pattern が Alternate の場合 Area A/B		A&B
		Test Pattern が Mixed の場合 Row 1		Data: チェックなし PRBS: チェックなし
		Test Pattern が Sequence の場合 Block		チェックなし

表B.1-1 初期設定一覧表(続き)

設定機能	大項目	中項目	小項目	初期設定値	
Misc	Pattern Sequence の設定	Repeat 時	Pulse Width の設定	Repeat	
			Delay の設定	64 bits	
		Burst 時	Source の選択	Internal	
			Data Sequence の選択	Restart	
			Enable Period の設定	128,000 bits 2 Ch Combination 時: 初期値×2 4 Ch Combination 時: 初期値×4	
			Burst Cycle の設定	12,800,000 bits 2 Ch Combination 時: 初期値×2 4 Ch Combination 時: 初期値×4	
			Delay の設定	0 bits	
			Pulse Width の設定	128,000 bits 2 Ch Combination 時: 初期値×2 4 Ch Combination 時: 初期値×4	
			Aux Input の設定		
	Aux Output の設定	1/N Clock			
		1/N Clock 時			
		Pattern Sync 時	PRBS, Zero-Substitution, Data の場合 Position		1 bits
			Alternate の場合 Position		A 1 bits
			Mixed Data の場合 Block No. Row No.		1 1
			Mixed Alternate の場合 Alternate Content Block No. Row No.		A 1 1
			Sequence の場合 Block No. Position		1 1 bits
		Burst Output 2 時	Delay の設定		0
			Pulse Width の設定		128,000 bits 2 Ch Combination 時: 初期値×2 4 Ch Combination 時: 初期値×4

注:

Combination または Channel Synchronization 機能を選択した状態で Initialize 機能を実行した場合、初期状態である Independent になります。

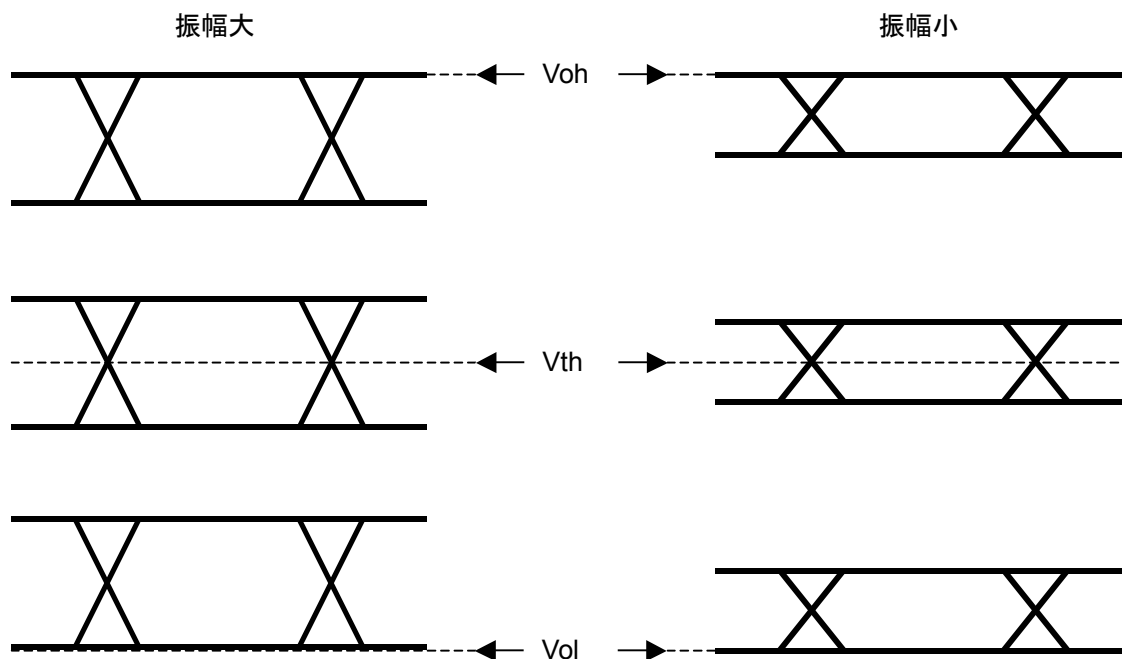
C.1	設定制約事項	C-2
C.1.1	オフセット, 振幅の設定範囲	C-2
C.2	Combination機能構成	C-17
C.3	Channel Synchronization機能構成	C-18
C.4	複数モジュール実装時の動作制約条件	C-19
C.5	Combination共通設定一覧	C-21

C.1 設定制約事項

ここでは、オプションや設定パラメータにより設定に制約が生じる事項や、Combination 機能、Channel Synchronization 機能を使用するための条件について説明します。

C.1.1 オフセット、振幅の設定範囲

■オフセット基準値と振幅の関係



図C.1.1-1 オフセット基準値と振幅の関係

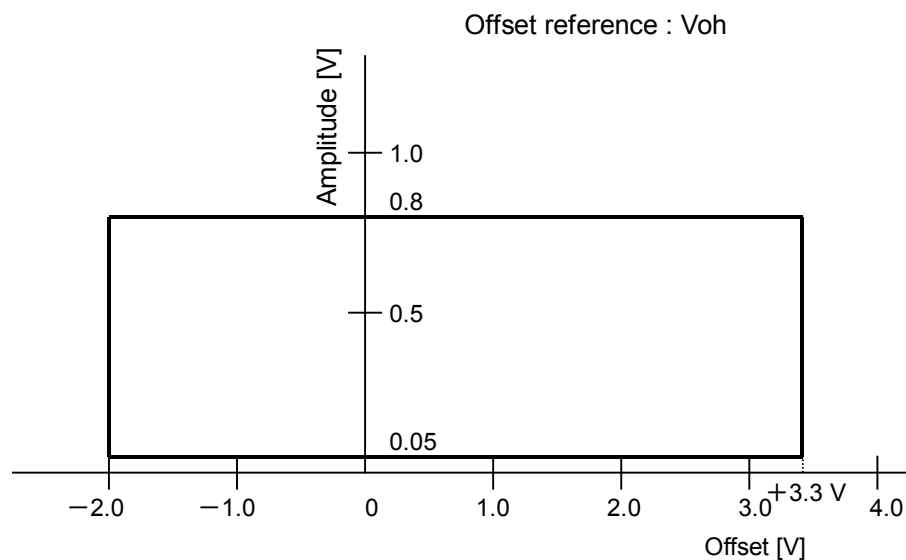
C.1.1.1 MU181020A-x10 データ出力(0.05~0.8 Vp-p)

<規格>

振幅:0.05~0.8 Vp-p

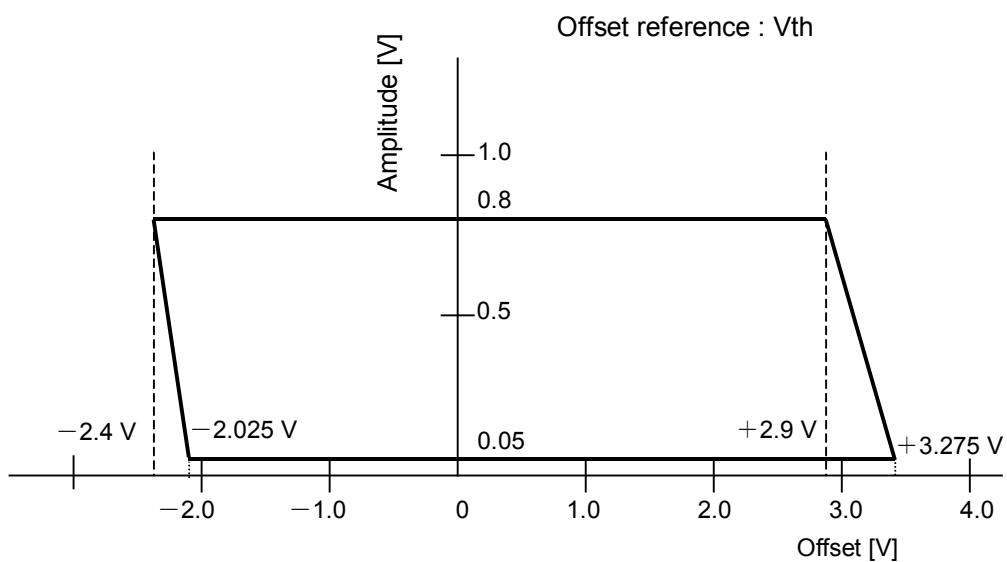
オフセット:-2.0~+3.3 V(Voh)

(a) Voh 時



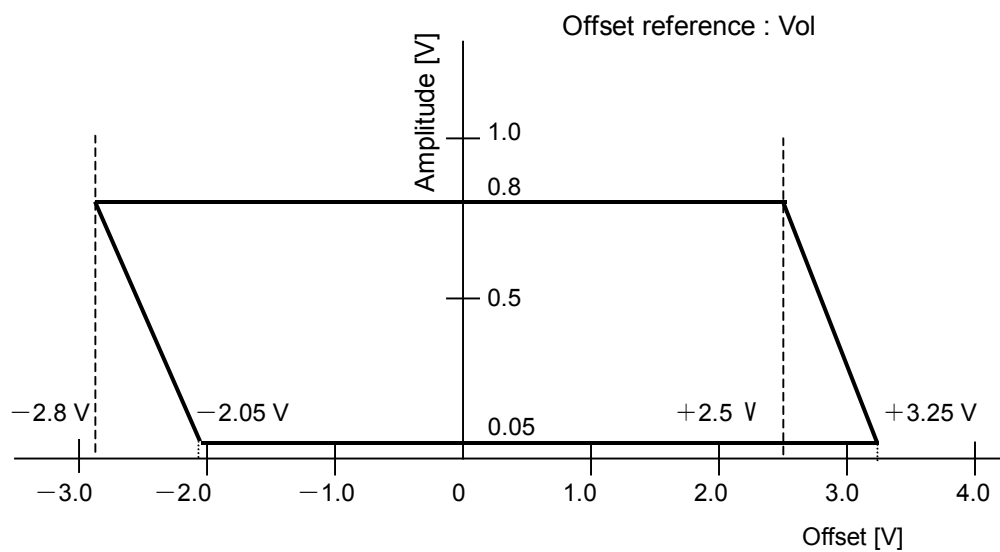
図C.1.1.1-1 MU181020A-x10 オフセット基準に対する振幅, オフセット設定範囲(Voh)

(b) Vth 時



図C.1.1.1-2 MU181020A- x10 オフセット基準に対する振幅, オフセット設定範囲(Vth)

(c) Vol 時



図C.1.1.1-3 MU181020A- x10 オフセット基準に対する振幅, オフセット設定範囲 (Vol)

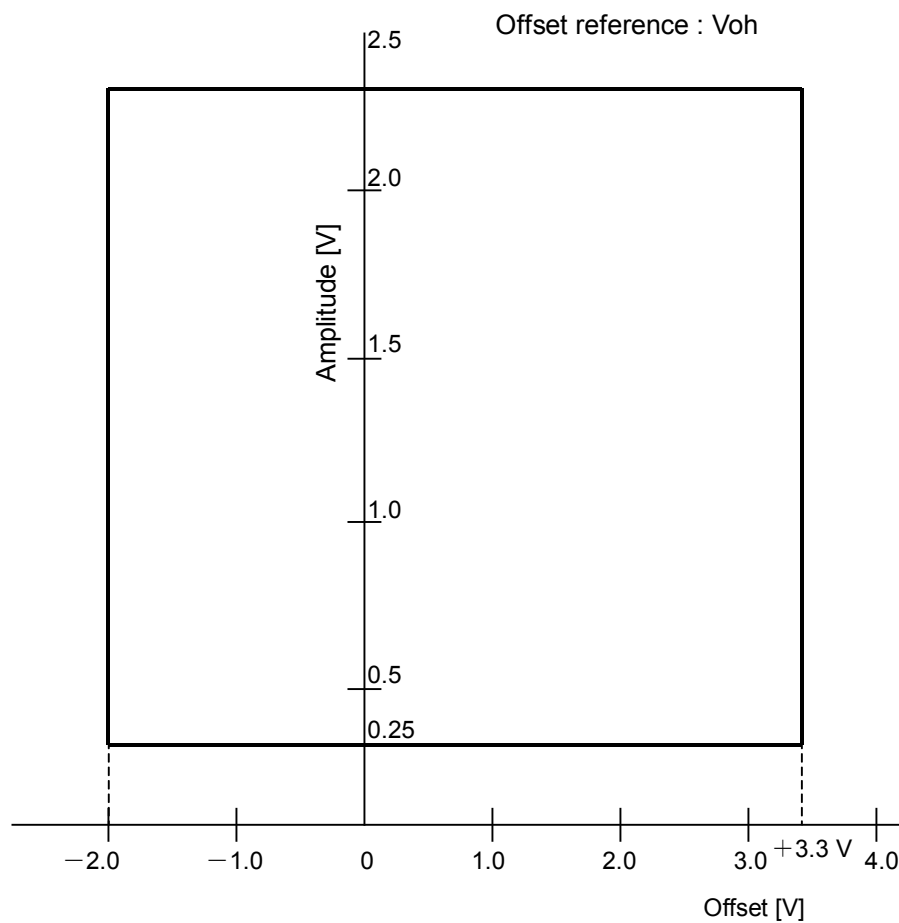
C.1.1.2 MU181020A/B - x11 データ出力 (0.25~2.5 Vp-p)

<規格>

振幅: 0.25~2.5 Vp-p

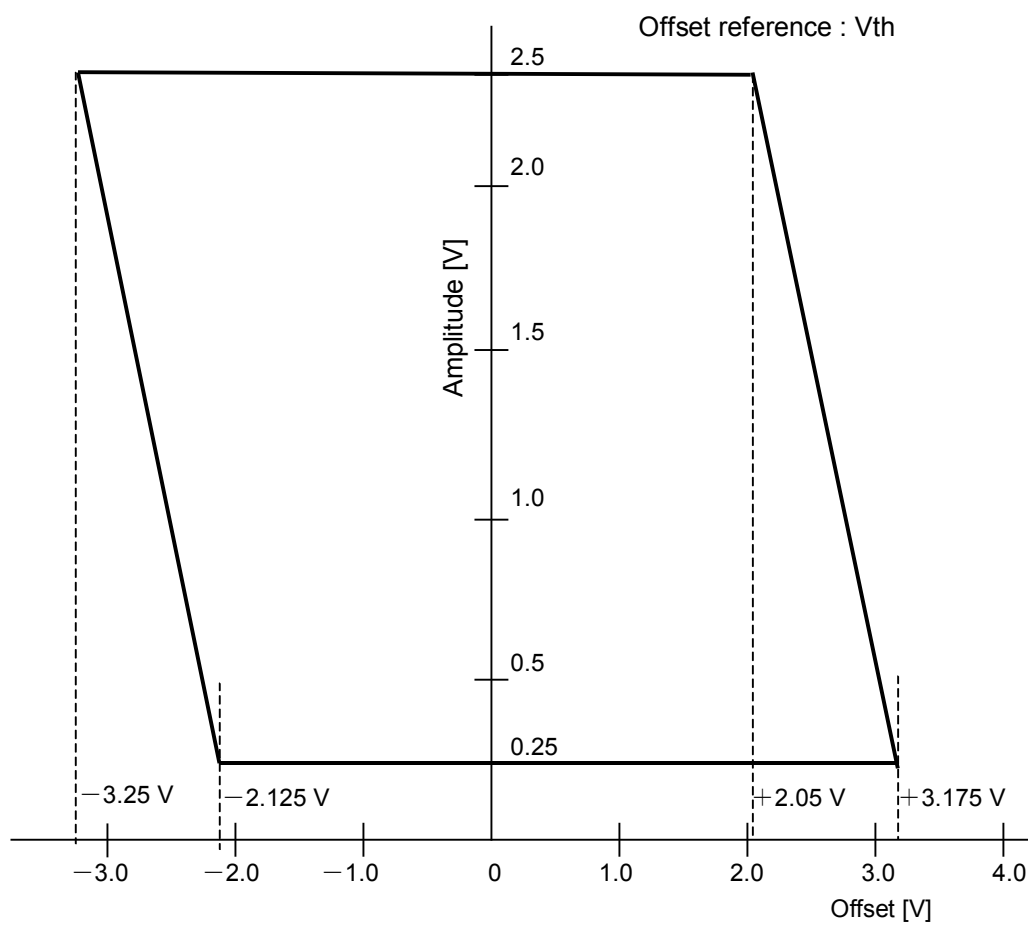
オフセット: -2.0~+3.3 V (Voh)

(a) Voh 時



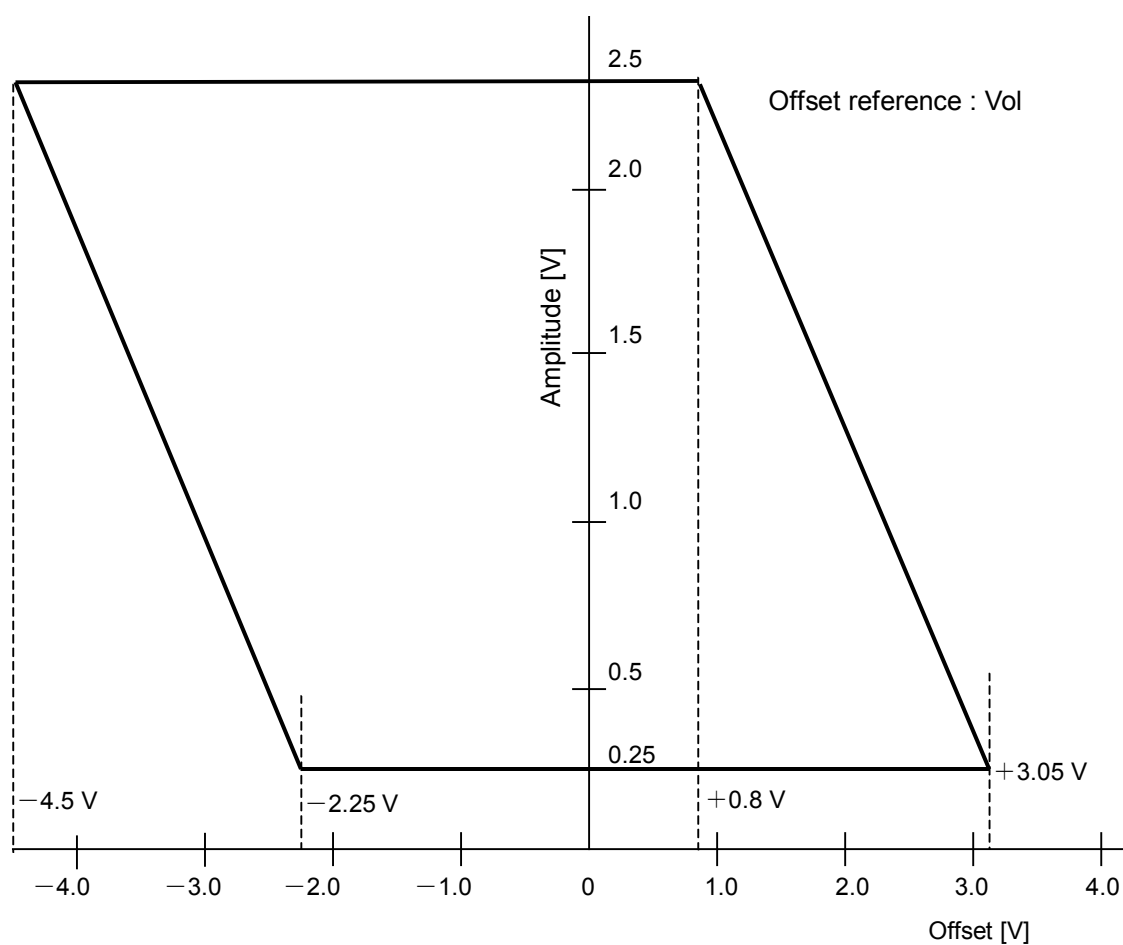
図C.1.1.2-1 MU181020A/B - x11 オフセット基準に対する振幅, オフセット設定範囲 (Voh)

(b) V_{th} 時



図C.1.1.2-2 MU181020A/B - x11 オフセット基準に対する振幅, オフセット設定範囲 (V_{th})

(c) Vol 時



図C.1.1.2-3 MU181020A/B - x11 オフセット基準に対する振幅, オフセット設定範囲 (Vol)

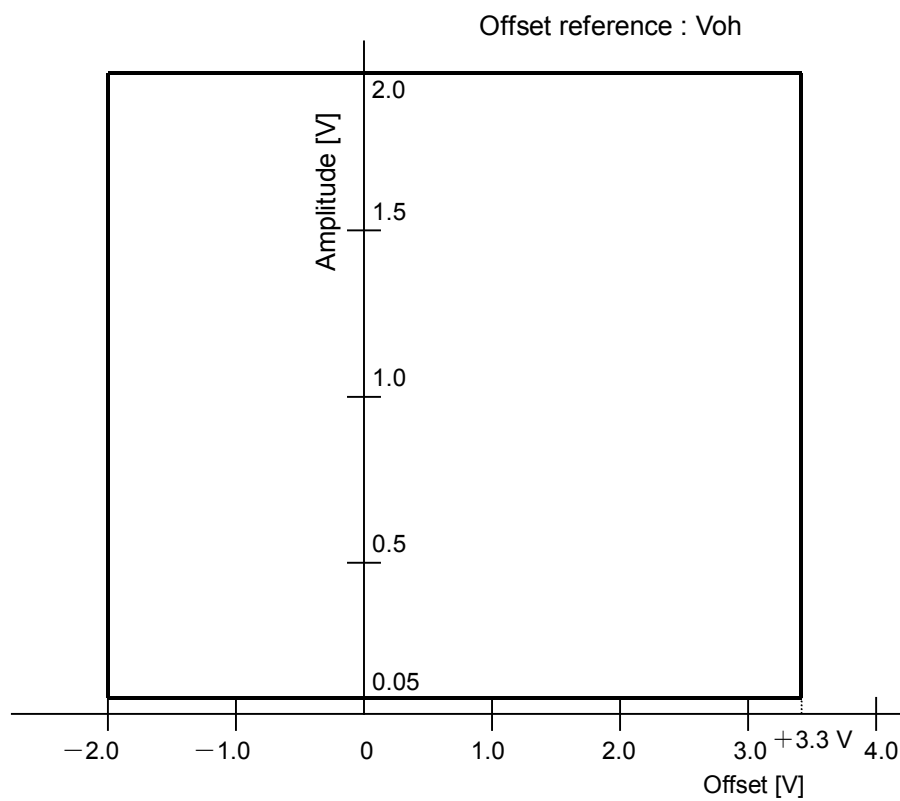
C.1.1.3 MU181020A/B - x12 高性能データ出力 (0.05~2.2 Vp-p)

<規格>

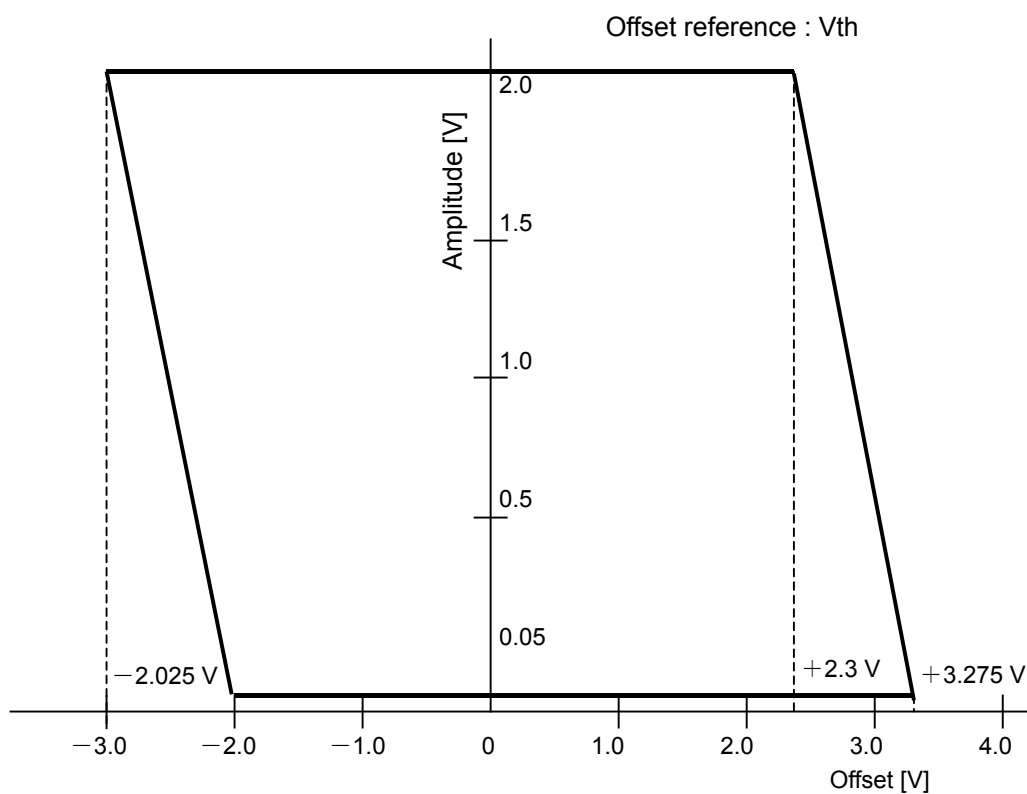
振幅: 0.05~2.0 Vp-p

オフセット: -2.0~+3.3 V (Voh)

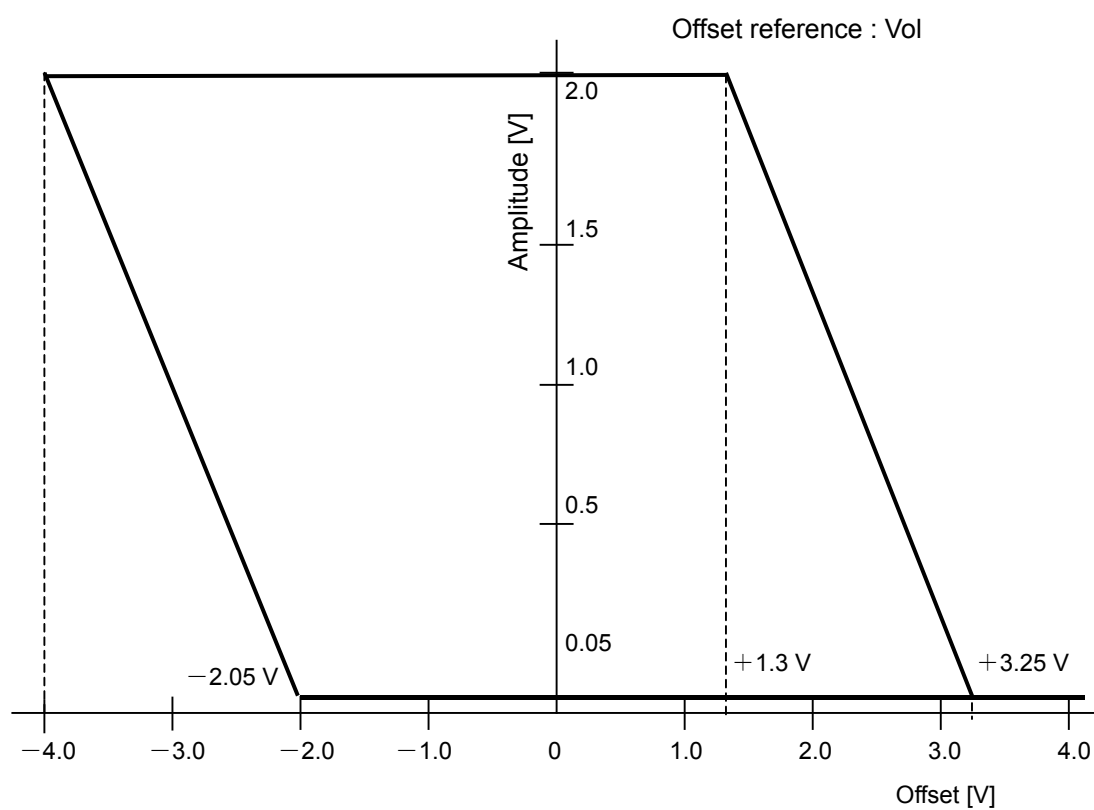
(a) Voh 時



図C.1.1.3-1 MU181020A/B - x12 オフセット基準に対する振幅, オフセット設定範囲 (Voh)

(b) V_{th} 時図C.1.1.3-2 MU181020A/B - x12 オフセット基準に対する振幅, オフセット設定範囲 (V_{th})

(c) Vol 時



図C.1.1.3-3 MU181020A/B - x12 オフセット基準に対する振幅, オフセット設定範囲 (Vol)

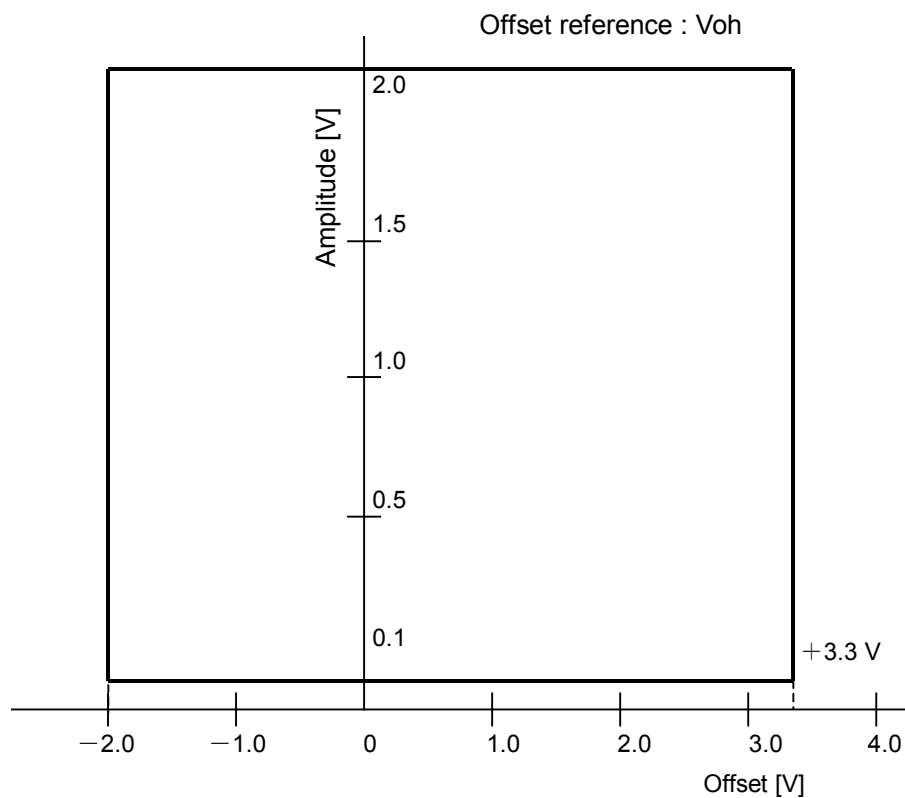
C.1.1.4 MU181020A/B - x21 差動クロック出力(0.1~2.0 Vp-p)

<規格>

振幅:0.1~2.0 Vp-p

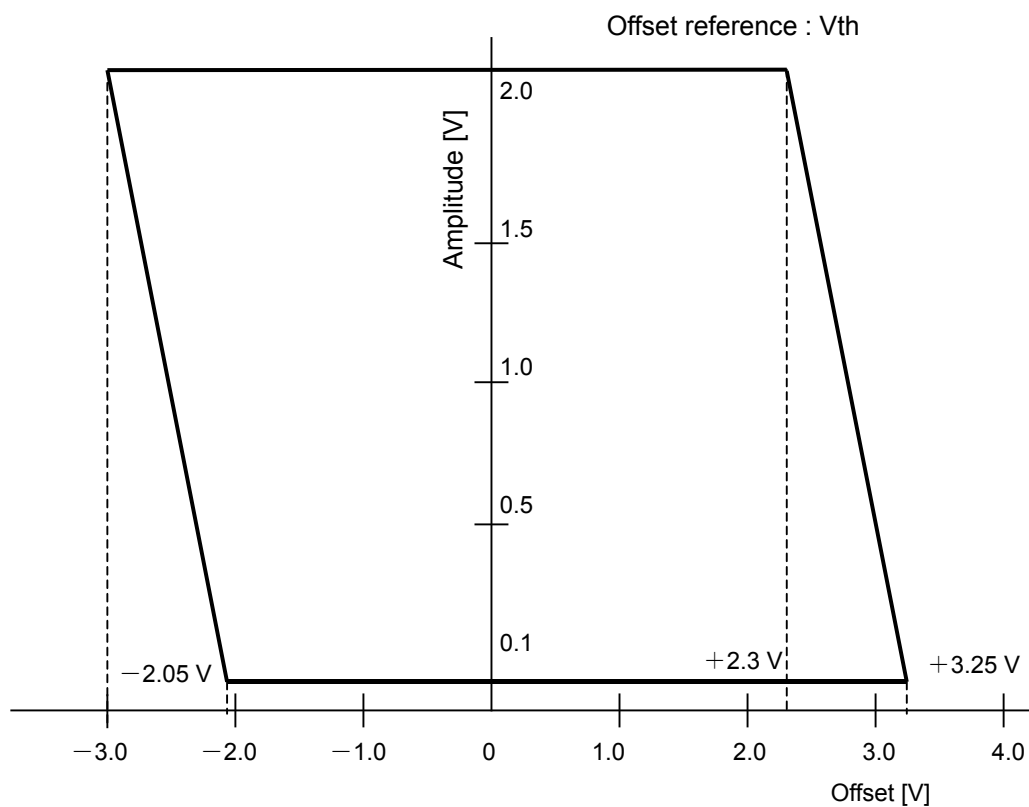
オフセット:-2.0~+3.3 V (Voh)

(a) Voh 時



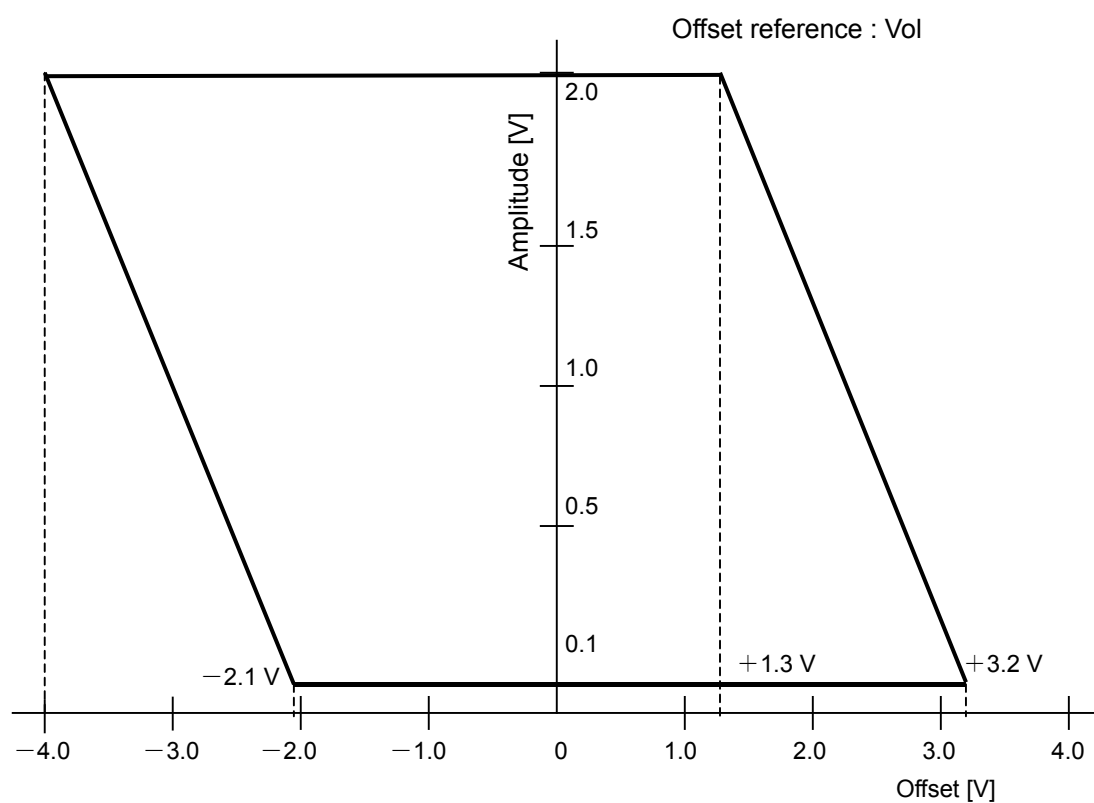
図C.1.1.4-1 MU181020A/B - x21 オフセット基準に対する振幅, オフセット設定範囲(Voh)

(b) V_{th} 時



図C.1.1.4-2 MU181020A/B - x21 オフセット基準に対する振幅, オフセット設定範囲 (V_{th})

(c) Vol 時



図C.1.1.4-3 MU181020A/B - x21 オフセット基準に対する振幅, オフセット設定範囲 (Vol)

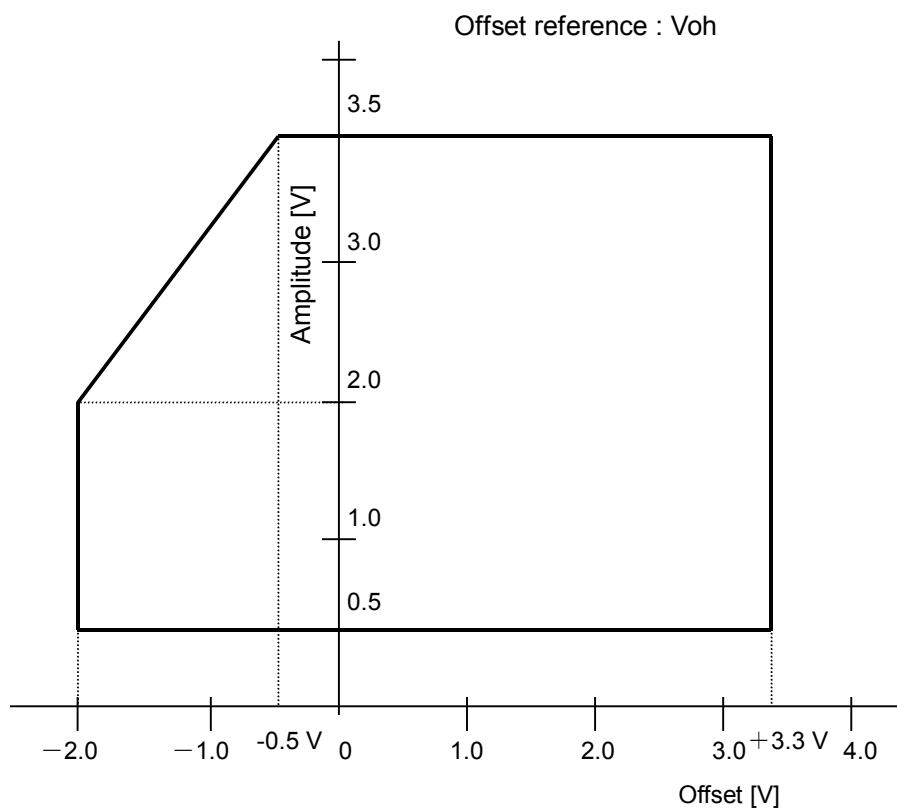
C.1.1.5 MU181020A/B - x13 データ出力 (0.5~3.5 Vp-p)

<規格>

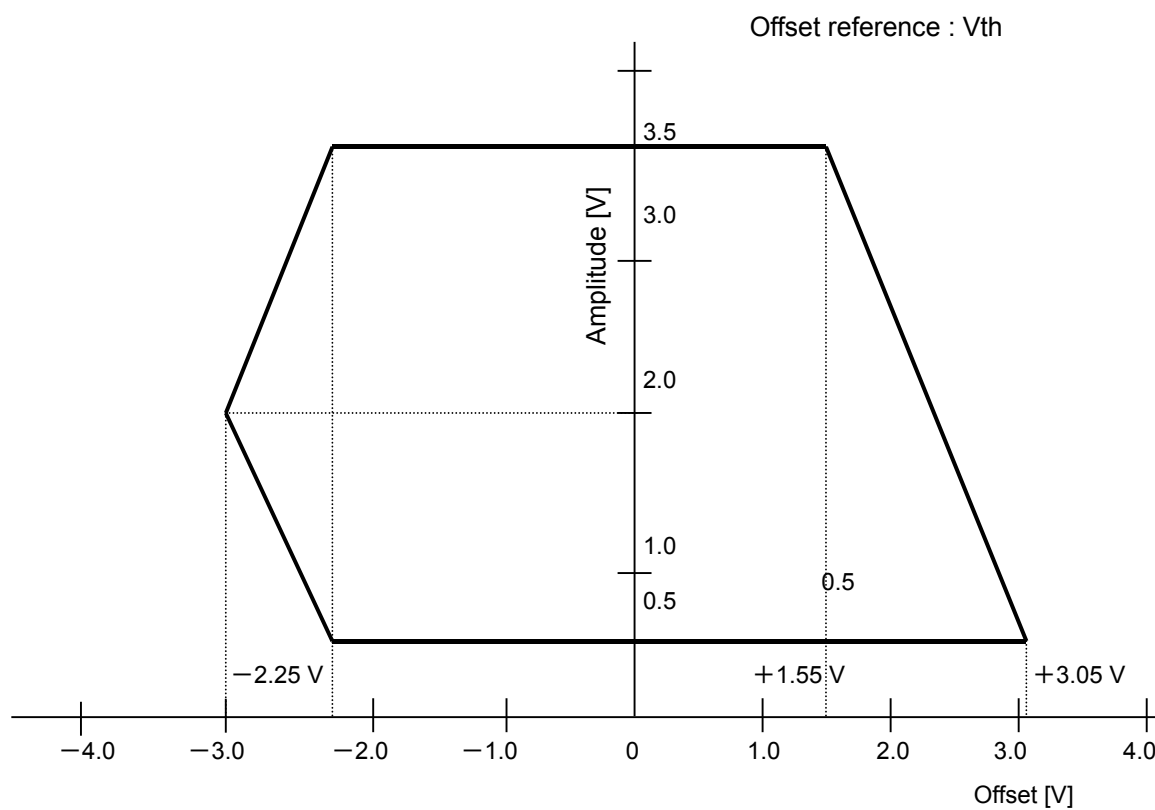
振幅: 0.5~3.5 Vp-p

オフセット: -2.0~+3.3 V (Voh)

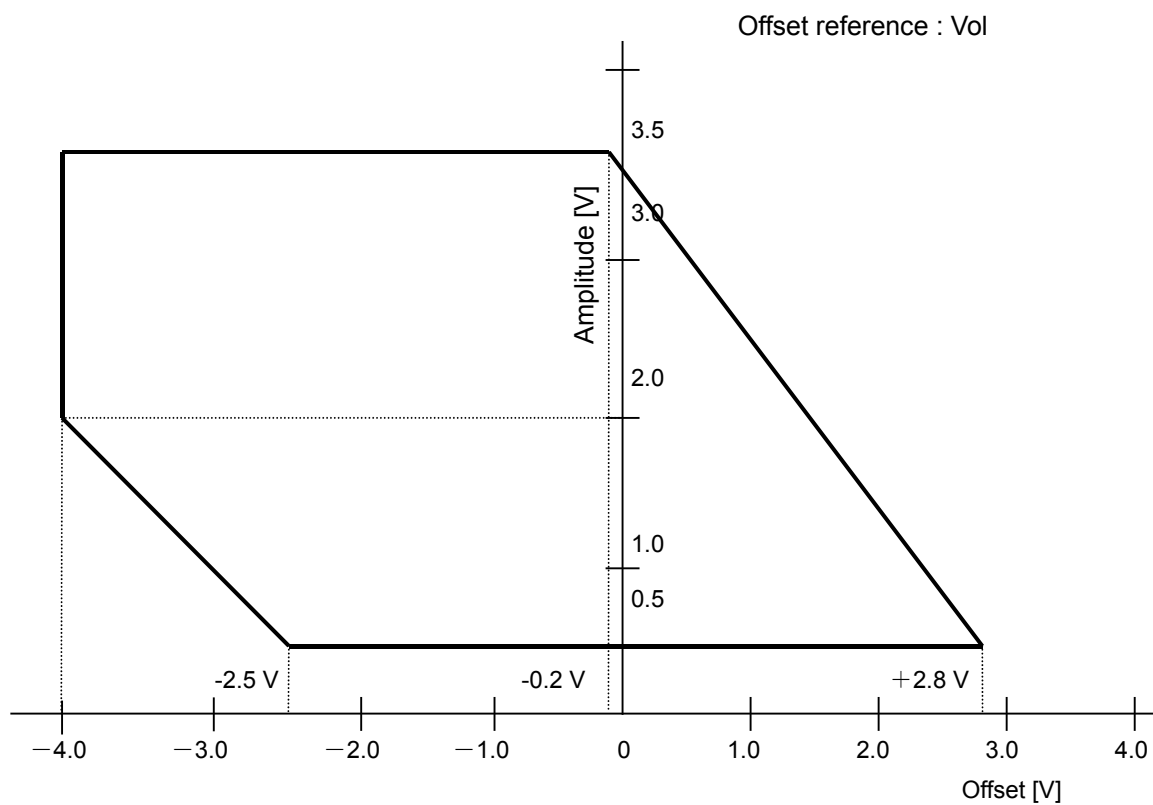
(a) Voh 時



図C.1.1.5-1 MU181020A/B - x13 オフセット基準に対する振幅, オフセット設定範囲 (Voh)

(b) V_{th} 時図C.1.1.5-2 MU181020A/B - x13 オフセット基準に対する振幅, オフセット設定範囲 (V_{th})

(c) Vol 時



図C.1.1.5-3 MU181020A/B - x13 オフセット基準に対する振幅, オフセット設定範囲 (Vol)

C.2 Combination機能構成

複数の本器を使用して、Combination 機能を実行するための条件について説明します。

Combination 機能を実行するには、以下の条件をすべて満たしている必要があります。

Combination 機能有効条件

- ・ 2 台以上の本器が 1 つの本体に実装されていること (Slot1 から上詰め
で実装)。
- ・ MU181020A と MU181020B が混在していないこと。
- ・ 実装されているすべての本器が MU181020A-002 または
MU181020B-002 を実装していること。
- ・ 実装されているすべての本器が MU181020A-x30 または
MU181020B-x30 を実装していること。
- ・ 実装されているすべての本器の MU181020A-x10/x11/x12/x13 または
MU181020B-x11/x12/x13 のデータ出力オプション構成が一致してい
ること、あるいはデータ出力オプションがすべての本器に実装されてい
ないこと。
- ・ 実装されているすべての本器が MU181020A-x21 または
MU181020B-x21 を実装していること、あるいはすべての
MU181020A-x21 または MU181020B-x21 が実装されていないこと。
- ・ 本体のオプションが 015, 016 のいずれかであること。

また、Combination 機能時は、以下の制約が発生します。

Combination 機能時の制約

- ・ 試験パターンとして、Alternate, Mixed-Alternate, および Sequence
パターンは使用できません。

C.3 Channel Synchronization機能構成

複数の本器を使用して、Channel Synchronization 機能を実行するための条件について説明します。

Channel Synchronization 機能を実行するためには以下の条件をすべて満たしている必要があります。

Channel Synchronization 機能有効条件

- ・ 2 台以上の本器が 1 つの本体に実装されていること。
Slot1 から連続で実装されている本器までが有効となります。
- ・ MU181020A と MU181020B が混在していないこと。
- ・ 実装されているすべての本器が MU181020A-002 または MU181020B-002 を実装していること。
- ・ 実装されているすべての本器が MU181020A-x30 または MU181020B-x30 を実装していること。
- ・ 実装されているすべての本器の MU181020A-x10/x11/x12/x13 または MU181020B-x11/x12/x13 データ出力オプション構成が一致していること、あるいはデータ出力オプションがすべての本器で実装されていないこと。
- ・ 実装されているすべての本器が MU181020A-x21 または MU181020B-x21 を実装していること、あるいはすべて MU181020A-x21 または MU181020B-x21 が実装されていないこと。

C.4 複数モジュール実装時の動作制約条件

本体に本器および MU181040A/B が複数実装されている状態で、Independent 機能を実行する際の動作制約条件について説明します。

本動作制約はパターン発生が Data, Zero-substitution, Mixed, または Sequence の場合に適用され、PRBS パターン発生時の制約はありません。

Independent 機能の動作制約条件

- ・ 2 台以上の本器または MU181040A/B が 1 つの本体に実装されていた場合、本器間および MU181040A/B 間は 0.1～6 Gbit/s, 6～12.5 Gbit/s の 2 つの周波数バンドを混在して動作させることはできません。ただし、本体内の本器と MU181040A/B の周波数バンドが混在してもかまいません。同一周波数バンド内であれば、異なる周波数で動作させることは可能です。
- ・ 2 台以上の本器および MU181040A/B が 1 つの本体に実装されていた場合、下記のモジュールがマスタモジュールとなりますので、マスタモジュールには必ずクロック信号を入力してください。

MP1800A-016 のマスタモジュール

MU181020A, MU181020B: Slot1

MU181040A, MU181040B: Slot6

MP1800A-015 または MT1810A-015 のマスタモジュール

MU181020A, MU181020B: Slot1

MU181040A, MU181040B: Slot1

ただし、MP1800A-015 または MT1810A-015 において Slot1 と 2 に MU181020A/B, Slot3 と 4 に MU181040A/B を実装する構成の場合、マスタモジュールは下記のとおりとなります。(図 C.4-3 制約条件 c)

MU181020A, MU181020B: Slot1

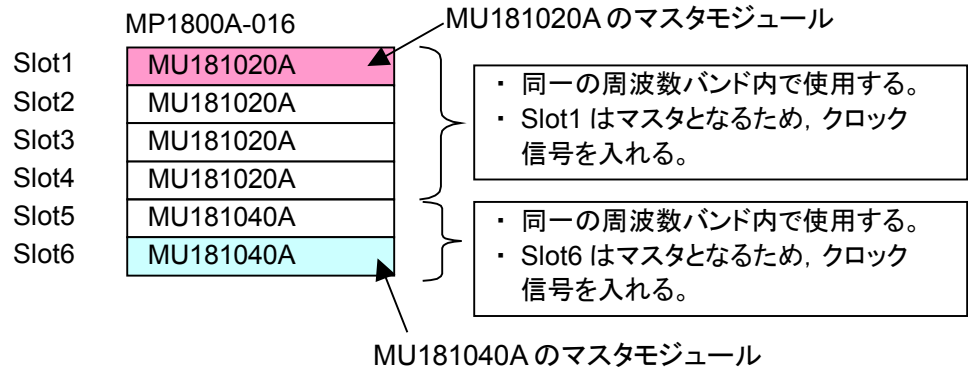
MU181040A, MU181040B: Slot3

MP1800A-014 または MT1810A-014 のマスタモジュール

MU181020A, MU181020B: Slot3

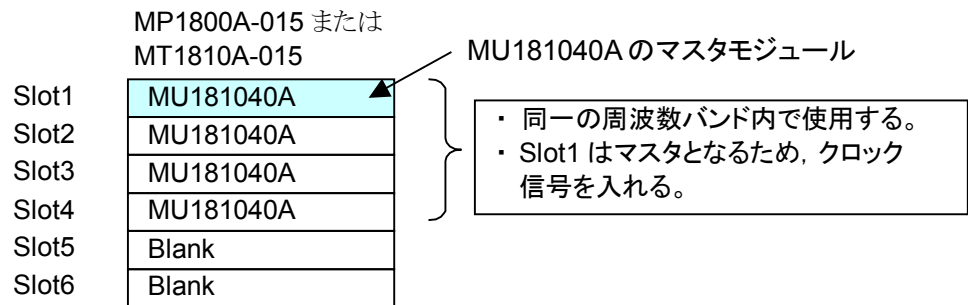
- ・ モジュール構成を組み替える場合や、あとから本器, MU181040A または MU181040B を追加した場合は、本器および MU181040A/B のマスタモジュールにクロック信号を入力してください。
- ・ MU181040A/B にクロック再生オプション (MU181040A-x20, または MU181040B-x20) が実装および選択されている場合もクロックリカバリ設定ビットレートとほかの MU181040A/B の周波数バンドを合わせて使用してください。

- a) MP1800A-016, MU181020A×4 台, MU181040A×2 台の場合
例:



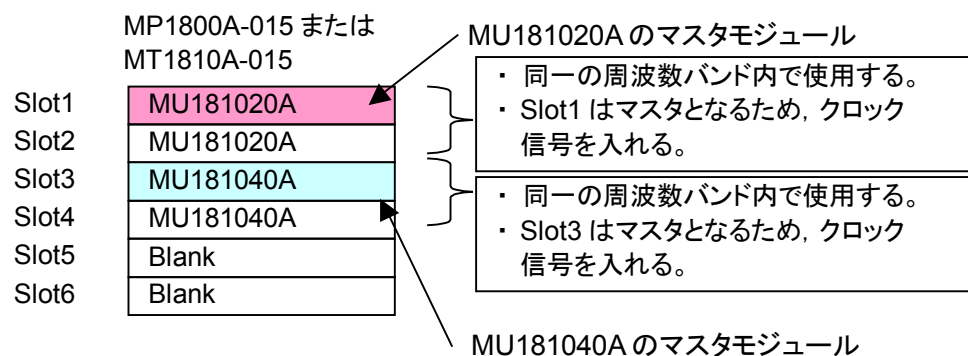
図C.4-1 制約条件例 a

- b) MP1800A-015/MT1810A-015, MU181040A×4 台の場合
例:



図C.4-2 制約条件例 b

- c) MP1800A-015/MT1810A-015, MU181020A×2 台, MU181040A×2 台の場合
例:



図C.4-3 制約条件例 c

本器または MU181040A/B を実装する場合には、本体に追加するオプションにより、実装位置、実装台数が変化します。

詳細は本器添付のリリースノートを参照してください。またはインターネットのアンリツホームページ(<http://www.anritsu.com>)の MP1800 Series Signal Quality Analyzers から該当地域にアクセスしてください。

C.5 Combination共通設定一覧

本器を Combination として使用する場合、Combination された全モジュール共通の設定となる項目があります。

ここでは、Combination 時に設定を共通または独立で行う項目を示します。

表C.5-1 Combination 共通設定有無一覧表

設定機能	大項目	中項目	小項目	共通設定の有無
Output	Data・XData Output ON・OFF の選択			独立
	Clock・XClock Output ON・OFF の選択 (MU181020A-x21, MU181020B-x21)			独立
	Amplitude・Offset の選択			独立
	Data・Xdata の選択	Tracking の設定		独立
		Level Guard の設定		独立
		Level Guard Setup の設定	Amplitude 上限の設定	独立
			Offset limit の設定	独立
		Defined Interface の設定	Amplitude の設定	独立
			Offset の切り替え設定	独立
			Offset 設定	独立
			External ATT Factor の設定	独立
		Cross Point の設定		独立
		Delay の設定	Calibration の設定	独立
	Clock・Xclock の選択 (MU181020A -x21, MU181020B- x21)	Tracking の設定		独立
		Level Guard の設定		独立
		Level Guard Setup の設定	Amplitude 上限の設定	独立
			Offset limit の設定	独立
		Defined Interface の設定	Amplitude の設定	独立
			Offset の切り替え設定	独立
			Offset 設定	独立
			External ATT Factor の設定	独立
		Duty の設定		独立

表C.5-1 Combination 共通設定有無一覧表(続き)

設定機能	大項目	中項目	小項目	共通設定の有無
Pattern	Pattern			共通
	PRBS の設定	PRBS 段数の選択		共通
		Logic の設定		共通 (パターン共通)
		マーク率の選択		共通 (パターン共通)
		Bit Shift の設定		共通 (Mixed Data と共通)
	Zero-substitution の設定	PRBS 段数の選択		共通
		Zero-Substitution Length の設定		共通
		Addition Bit の設定		共通
	Data の設定	Data Pattern の設定		共通
	Mixed Data の設定	Logic の設定		共通 (パターン共通)
		Bit Shift の設定		共通 (PRBS と共通)
		Block 数の表示		共通
		Row Length の表示		共通
		Data Length の表示		共通
		Row 数の表示		共通
		PRBS	Pattern の設定	共通
			マーク率の選択	共通 (パターン共通)
		Scramble の設定		共通
		Scramble Setup の設定		共通
		PRBS Sequence の設定		共通
	Pattern Editor の設定	Zoom の設定		独立
		Block 数の表示		共通
		Row Length の表示		共通
		Data Length の表示	Data の設定	共通
			Mixed Data の設定	共通
		Row 数の表示		共通

表C.5-1 Combination 共通設定有無一覧表(続き)

設定機能	大項目	中項目	小項目	共通設定の有無	
Error Addition	Error Addition の設定			共通	
		Source の選択		共通	
		Variation の選択		共通	
		Route の設定		独立	
		Error Rate の設定		共通	
		Test Pattern が Mixed Data の場合 Row 1		共通	
Misc	Pattern Sequence の設定	Repeat 時	Pulse Width の設定	共通	
			Delay の設定	共通	
		Burst 時	Source の選択	共通	
			Data Sequence の選択	共通	
			Enable Period の設定	共通	
			Burst Cycle の設定	共通	
			Delay の設定	共通	
			Pulse Width の設定	共通	
		Aux Input の設定			共通
	Aux Output の設定				独立
		1/N Clock 時			独立
		Pattern Sync 時	PRBS, Zero-Substitution, Data の場合 Position		独立
			Mixed Data の場合 Block No. Row No.		独立
		Burst Output 2 時	Delay の設定		共通
			Pulse Width の設定		共通

D.1 性能試験結果記入表

D.1.1 MU181020A 12.5Gbit/s

機器名: MU181020A 12.5Gbit/s パルスパターン発生器

製造 No. :

周囲温度: °C

相対湿度: %

表D.1.1-1 MU181020A 動作周波数範囲

オプション構成	信号源	動作周波数範囲規格	結果
MU181020A-001	Internal	9.8～12.5 GHz	
	External 1/1		
	External 1/64		
MU181020A-002	External	0.1～12.5 GHz	

表D.1.1-2 MU181020A Data Output

オプション構成	規格項目	規格	結果
MU181020A-001	Output level	H : -0.2～0.1 V L : -0.65～-0.4 V	
	Cross Point	50%±15%	
	Tr/Tf	Typ. 30 ps (20～80%) (≥5 Gbit/s) Typ. 40 ps (20～80%) (<5 Gbit/s)	
	Total Jitter	Typ. 15 ps p-p*	
MU181020A-002	Output level	H : -0.25～0.05 V L : -1.4～-0.85 V	
	Cross Point	50%±15%	
	Tr/Tf	Typ. 35 ps (20～80%) (≥5 Gbit/s) Typ. 45 ps (20～80%) (<5 Gbit/s)	
	Total Jitter	Typ. 10 ps p-p*	
MU181020A-x10	Amplitude 設定誤差	0.05～0.8 Vp-p, 2 mV Step ±50 mV±17% (≥0.1 Vp-p) ±25 mV±17% (<0.1 Vp-p)	
	Offset 設定誤差	-2.0～+3.3 Voh, 1 mV Step ±65 mV±10 % of offset (Vth) ±(Amplitude 設定誤差/2)	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	

表D.1.1-2 MU181020A Data Output(続き)

オプション構成	規格項目	規格	結果
MU181020A-x10 (続き)	Cross Point Adjust	30～70%, 1% Step (Non Independent)	
	Tr/Tf	Typ. 28 ps (20～80%) (≥ 5 Gbit/s) Typ. 35 ps (20～80%) (< 5 Gbit/s)	
	Total Jitter	Typ. 15 ps p-p (MU181020A-001 実装時) Typ. 10 ps p-p (MU181020A-002 実装時)	
	Waveform Distortion (0 peak)	Typ. $\pm 14\%$ (10 Gbit/s 振幅 : 0.5～0.8 Vp-p)	
MU181020A-x11	Amplitude 設定誤差	0.25～2.5 Vp-p, 2 mV Step $\pm 50\text{mV} \pm 17\%$	
	Offset 設定誤差	-2.0～+3.3 Voh, 1 mV Step $\pm 65\text{ mV} \pm 10\%$ of offset (Vth) $\pm (\text{Amplitude 設定誤差} / 2)$	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	
	Cross Point Adjust	30～70%, 1% Step	
	Tr/Tf	Typ. 28 ps (20～80%) (≥ 5 Gbit/s) Typ. 35 ps (20～80%) (< 5 Gbit/s)	
	Total Jitter	Typ. 15 ps p-p (MU181020A-001 実装時) Typ. 10 ps p-p (MU181020A-002 実装時)	
	Waveform Distortion (0 peak)	Typ. 25 mV $\pm 6\%$ (10 Gbit/s において)	
MU181020A-x12	Amplitude 設定誤差	0.05～2.0 Vp-p, 2 mV Step $\pm 50\text{ mV} \pm 17\%$ ($\geq 0.1\text{ Vp-p}$) $\pm 25\text{ mV} \pm 17\%$ ($< 0.1\text{ Vp-p}$)	
	Offset 設定誤差	-2.0～+3.3 Voh, 1 mV Step $\pm 65\text{ mV} \pm 10\%$ of offset (Vth) $\pm (\text{Amplitude 設定誤差} / 2)$	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	
	Cross Point Adjust	20～80%, 1% Step	

表D.1.1-2 MU181020A Data Output(続き)

オプション構成	規格項目	規格	結果
MU181020A-x12 (続き)	Tr/Tf	Typ. 20 ps (20~80%) (10 Gbit/s, 12.5 Gbit/s において振幅 2 Vp-p) Typ. 25 ps (10~90%) (10 Gbit/s, 12.5 Gbit/s において振幅 2 Vp-p)	
	Total Jitter	Typ. 15 ps p-p (MU181020A-001 実装時) Typ. 8 ps p-p (MU181020A-002 実装時)	
	Waveform Distortion (0 peak)	Typ. ± 25 mV ± 6 % (10 Gbit/s)	
MU181020A-x13	Amplitude 設定誤差	0.5~3.5 Vp-p, 2 mV Step ± 50 mV ± 17 %	
	Offset 設定誤差	-2.0~+3.3 Voh, 1 mV Step 最小値:-4.0 Vol ± 65 mV ± 10 % of offset (Vth) $\pm$ (Amplitude 設定誤差/2)	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	
	Cross Point Adjust	20.0~90.0%, 0.1% Step	
	Tr/Tf	Typ. 25 ps (20~80%) (10 Gbit/s, 12.5 Gbit/s において振幅 3.5 Vp-p)	
	Total Jitter	Typ. 8 ps p-p (MU181020A-001/002 実装時 10 Gbit/s において)	
	Waveform Distortion (0 peak)	Typ. 25 mV ± 10 % (10 Gbit/s において)	

表D.1.1-3 MU181020A Clock Output

オプション構成	規格項目	規格	結果
Clock Option なし (標準)	Output level	0.5 V _{p-p} (AC)±0.25 V (8～12.5 GHz において) 0.65 V _{p-p} ±0.25 V(AC) (Fixed) (0.1～8 GHz において)	
	Duty	50%±15%	
	Tr/Tf	Typ. 30 ps(20～80%) (12.5 GHz, 10 GHz において)	
	Total Jitter	Typ. 2ps(RMS) (MU181020A-001 実装時) Typ. 1ps(RMS) (MU181020A-002 実装時)	
MU181020A-x21	Output level	100 mV～2.0 V _{p-p} , 2 mV Step ±70 mV ±17% (≥0.2 V _{p-p}) ±50 mV ±17 % (<0.2 V _{p-p})	
	Offset 設定誤差	–2.0～+3.3 Voh, 1 mV Step ±65 mV±10% of offset (Vth) ±(Amplitude 設定誤差／2)	
	Duty	–25～25, 1 Step (No Unit) (非独立)	
	Tr/Tf	Typ.24 ps(20～80%)	
	Total Jitter	Typ. 2ps(RMS)* (MU181020A-001 実装時) Typ. 1ps(RMS)* (MU181020A-002 実装時)	

*： ジッタ規格値は、オシロスコープ残留ジッタ <200 fs(RMS)のものを使用し
たときの値です。

表D.1.1-4 MU181020A Delay

オプション構成	規格項目	規格	結果
MU181020A-x30	位相設定範囲	–1000～+1000 mUI	
	位相設定分解能	1 mUI	
	位相設定誤差	Typ. 20 mUI (Calibration 後)	

D.1.2 MU181020B 14Gbit/s

機器名: MU181020B 14Gbit/s パルスパターン発生器

製造 No. :

周囲温度: °C

相対湿度: %

表D.1.2-1 MU181020B 動作周波数範囲

オプション構成	信号源	動作周波数範囲規格	結果
MU181020B-002	External	0.1～14 GHz	
MU181020B-003	External	0.1～14.05 GHz	
MU181020B-005	External	0.1～14.1 GHz	

表D.1.2-2 MU181020B Data Output

オプション構成	規格項目	規格	結果
MU181020B-002 または MU181020B-003 または MU181020B-005	Output level	H : -0.25～0.05 V L : -1.4～-0.85 V	
	Cross Point	50%±15%	
	Tr/Tf	Typ. 35 ps (20～80%) (≥5 Gbit/s) Typ. 45 ps (20～80%) (<5 Gbit/s)	
	Total Jitter	Typ. 10 ps p-p*	
MU181020B-x11	Amplitude 設定誤差	0.25～2.5 Vp-p, 2 mV Step ±50 mV ±17 %	
	Offset 設定誤差	-2.0～+3.3 Voh, 1 mV Step ±65 mV±10% of offset (Vth) ±(Amplitude 設定誤差/2)	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	
	Cross Point Adjust	30～70%, 1% Step	
	Tr/Tf	Typ. 28 ps (20～80%) (≥5 Gbit/s) Typ. 35 ps (20～80%) (<5 Gbit/s)	
	Total Jitter	Typ. 10 ps p-p*	
	Waveform Distortion (0 peak)	Typ. 25 mV ±6 % (10 Gbit/s において)	

表D.1.2-2 MU181020B Data Output(続き)

オプション構成	規格項目	規格	結果
MU181020B-x12	Amplitude 設定誤差	0.05～2.0 Vp-p, 2 mV Step ±50 mV ±17% (≥ 0.1 Vp-p) ±25 mV ±17% (< 0.1 Vp-p)	
	Offset 設定誤差	−2.0～+3.3 Voh, 1 mV Step ±65 mV ±10% of offset (Vth) ±(Amplitude 設定誤差/2)	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	
	Cross Point Adjust	20～80%, 1% Step	
	Tr/Tf	Typ. 20 ps (20～80%) (10 Gbit/s, 12.5 Gbit/s, 14 Gbit/s に おいて振幅 2 Vp-p) Typ. 25 ps (10～90%) (10 Gbit/s, 12.5 Gbit/s, 14 Gbit/s に おいて振幅 2 Vp-p)	
	Total Jitter	Typ. 8 ps p-p*	
	Waveform Distortion (0 peak)	Typ. ±25 mV ±6% (10 Gbit/s)	
MU181020B-x13	Amplitude 設定誤差	0.5～3.5 Vp-p, 2 mV Step ±50 mV ±17%	
	Offset 設定誤差	−2.0～+3.3 Voh, 1 mV Step 最小値: −4.0 Vol ±65 mV ±10% of offset (Vth) ±(Amplitude 設定誤差/2)	
	電流制限	Sourcing : 50 mA Sinking : 80 mA	
	Cross Point Adjust	20.0～90.0%, 0.1% Step	
	Tr/Tf	Typ. 25 ps (20～80%) (10 Gbit/s, 12.5 Gbit/s, 14 Gbit/s に おいて振幅 3.5 Vp-p)	
	Total Jitter	Typ. 8 ps p-p* (10 Gbit/s において)	
	Waveform Distortion (0 peak)	Typ. 25 mV ±10% (10 Gbit/s において)	

表D.1.2-3 MU181020B Clock Output

オプション構成	規格項目	規格	結果
Clock Option なし (標準)	Output level	0.5 V _{p-p} (AC)+0.4V, -0.25V (8~14 GHz において) 0.65 V _{p-p} ±0.25 V(AC) (Fixed) (0.1~8 GHz において)	
	Duty	50%±15%	
	Tr/Tf	Typ. 30 ps(20~80%) (14 GHz, 12.5 GHz, 10 GHz において)	
	Total Jitter	Typ. 1ps(RMS) *	
MU181020B-x21	Output level	0.1 V~2.0 V _{p-p} , 2 mV Step ±70 mV ±17% (≥0.2 V _{p-p}) ±50 mV ±17% (<0.2 V _{p-p})	
	Offset 設定誤差	-2.0~+3.3 Voh, 1 mV Step ±65 mV±10% of offset (Vth) ±(Amplitude 設定誤差/2)	
	Duty	-25~25, 1 Step (No Unit) (非独立)	
	Tr/Tf	Typ.24 ps(20~80%)	
	Total Jitter	Typ. 1ps(RMS) *	

*: ジッタ規格値は、オシロスコープ残留ジッタ <200 fs(RMS)のものを使用し
たときの値です。

表D.1.2-4 MU181020B Delay

オプション構成	規格項目	規格	結果
MU181020B-x30	位相設定範囲	-1000~+1000 mUI	
	位相設定分解能	1 mUI	
	位相設定誤差	MU181020B-x30 実装時 Typ.20 mUI (Calibration 後)	

付録 E Unit Sync 機能の使用準備

E.1	Unit Sync機能の使用準備	E-2
E.1.1	Unit Sync使用時のコネクタ接続.....	E-2
E.1.2	パターン同期調整手順	E-4

E.1 Unit Sync機能の使用準備

Unit Sync 機能を使用する際のコネクタ接続と、出力パターン同期の調整手順について説明します。ここではMU181020A/B PPGを4枚実装したMP1800Aを4台使用した例で説明します。

機器の構成:

MP1800A×4 台 (本体)

MU181020A/B×16 枚 (モジュール:1 台の MP1800A に 4 枚ずつ実装)

12.5G Channel Synchronization 設定

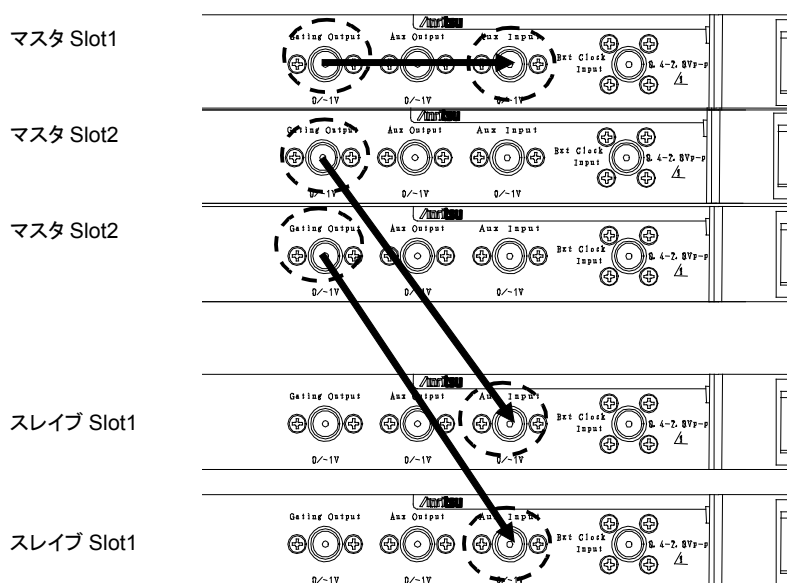
PRBS15 パターン

E.1.1 Unit Sync使用時のコネクタ接続

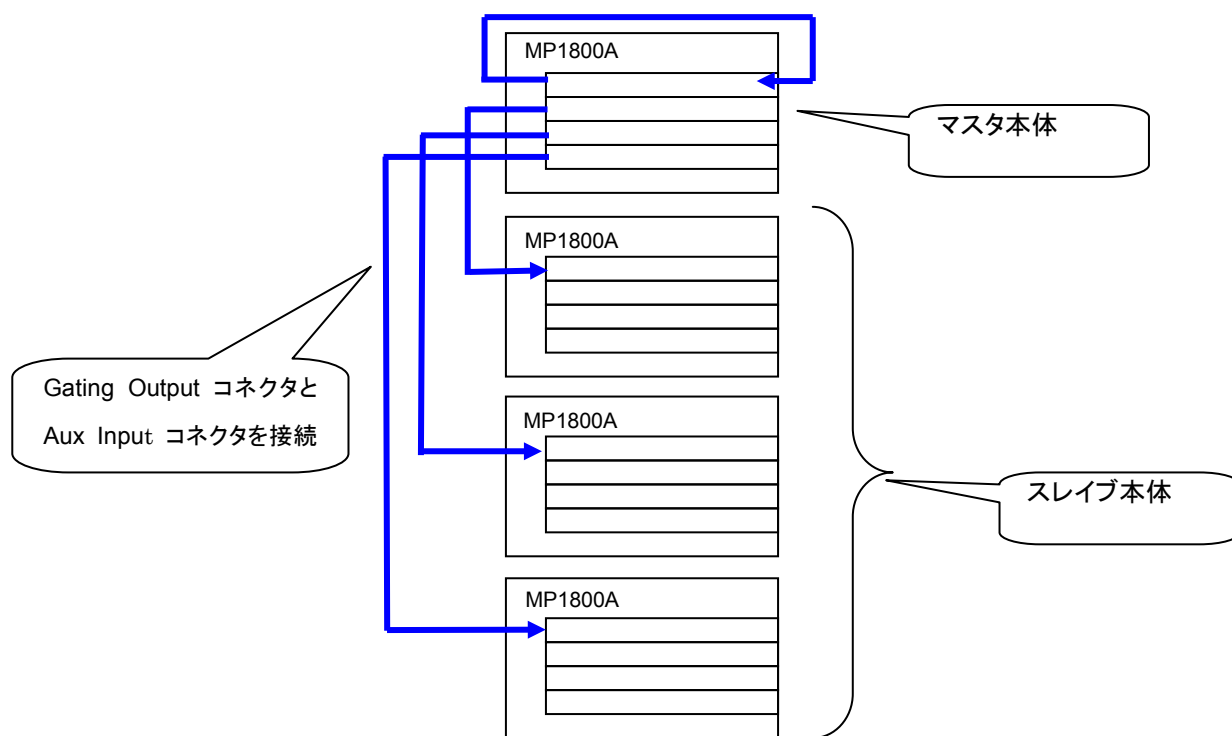
Unit Sync 機能を使用する際のコネクタ接続について説明します。

Unit Sync 機能を使用するには本器の「Gating Output」コネクタと「AUX Input」コネクタを接続する必要があります。下記に従って各モジュール間の「Gating Output」コネクタと「AUX Input」コネクタを接続してください。各コネクタの名称、機能については「3.1 パネルの説明」を参照してください。

1. 4 台の MP1800A のうち基準とする MP1800A をマスタ, その他 3 台の MP1800A をスレイブと定義します。
2. マスタの Slot1 に実装された MU181020A/B の「Gating Output」コネクタは, 自身の「AUX Input」コネクタと接続します。(図 E.1.1-1 を参照)
3. マスタの Slot2～4 に実装された MU181020A/B の「Gating Output」コネクタは, 各スレイブの Slot1 に実装された MU181020A/B の「AUX Input」コネクタと接続します。(図 E.1.1-1, 図 E.1.1-2 を参照)



図E.1.1-1 MU181020A/B のコネクタ接続例



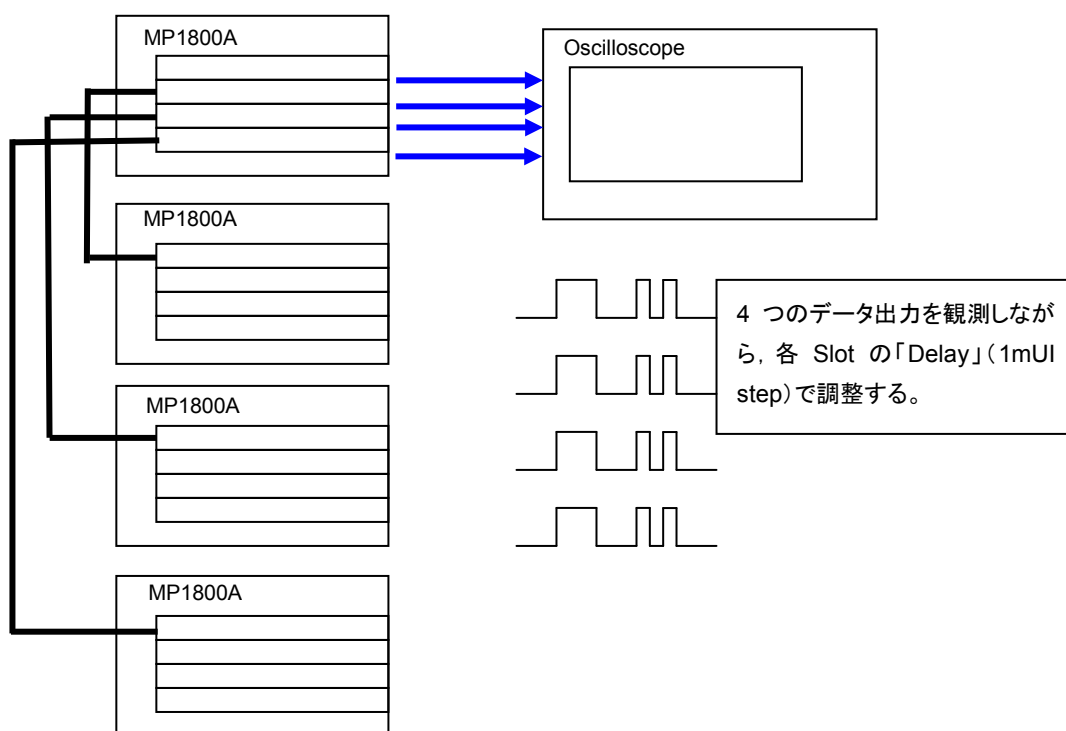
図E.1.1-2 MP1800A × 4 台の接続例

E.1.2 パターン同期調整手順

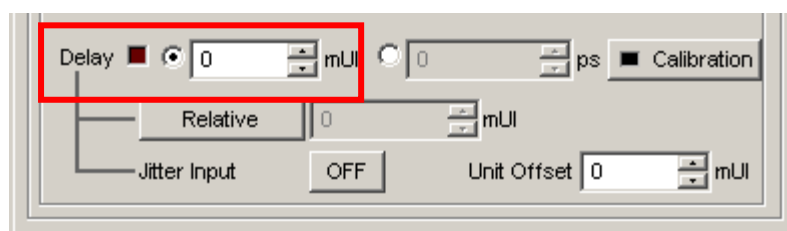
Unit Sync 機能を使用するには、Multi Channel 機能の規定誤差 ($\pm 200\text{mUI}$ 以内) と本体間を接続するケーブル長の誤差を吸収するための調整が必要です。本体間の接続後、Unit Sync 機能を ON にし、下記の手順に従って本体間のパターン同期の調整を行ってください。

MU181020A/B の各設定についての詳細は「第 5 章 操作方法」を参照してください。

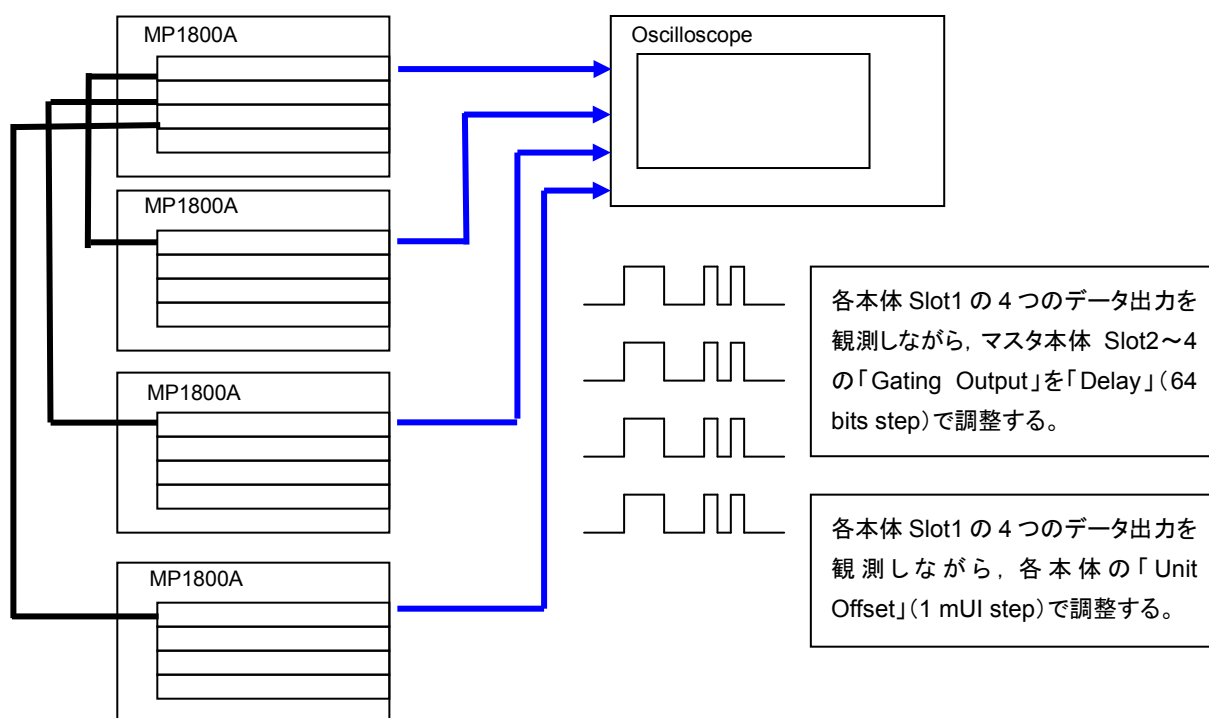
1. 各本体、各モジュールに使用するクロックを入力します。
安定したクロックを確実に入力してください。本調整はクロック入力断やクロックを変更したときに必要です。
2. 各本体、または各モジュールにてパターンを設定します。
本体間の同期は ± 256 bits の誤差を持つため、本調整を行う際はパターン長が 513 bits 以上のパターンを使用する必要があります。
3. マスタ本体の [Unit Sync Output] ボタンを押します。
パターンを変更したときは、必ず [Unit Sync Output] ボタンを押してパターン出力の同期をとる必要があります。
4. 各本体の Slot1～4 の出力をオシロスコープで観測しながら、各 Slot の [Output] タブー [Delay] を使用してビットずれが最少になるように調整します。この調整を 4 台すべての本体で行います。(図 E.1.2-1, 図 E.1.2-2 を参照)
5. マスタ本体の Slot2～4 の MU181020A/B の「Gating Output」から出力される信号の遅延時間を各 Slot の [Misc] タブー [Pattern Sequence] – [Delay] を使って設定し、[Unit Sync Output] ボタンを押します。このとき各本体の Slot1 のデータ出力をオシロスコープで観測しビットずれが最少になるように Delay の値を調整します。(図 E.1.2-3, 図 E.1.2-4 を参照)
6. 各本体の Slot1 のデータをオシロスコープで観測しながら、各本体 Slot1～4 いずれかの [Output] タブー [Unit Offset] を使って、4 つのデータ出力のビットずれが最少になるように調整します。(図 E.1.2-3, 図 E.1.2-5 を参照)



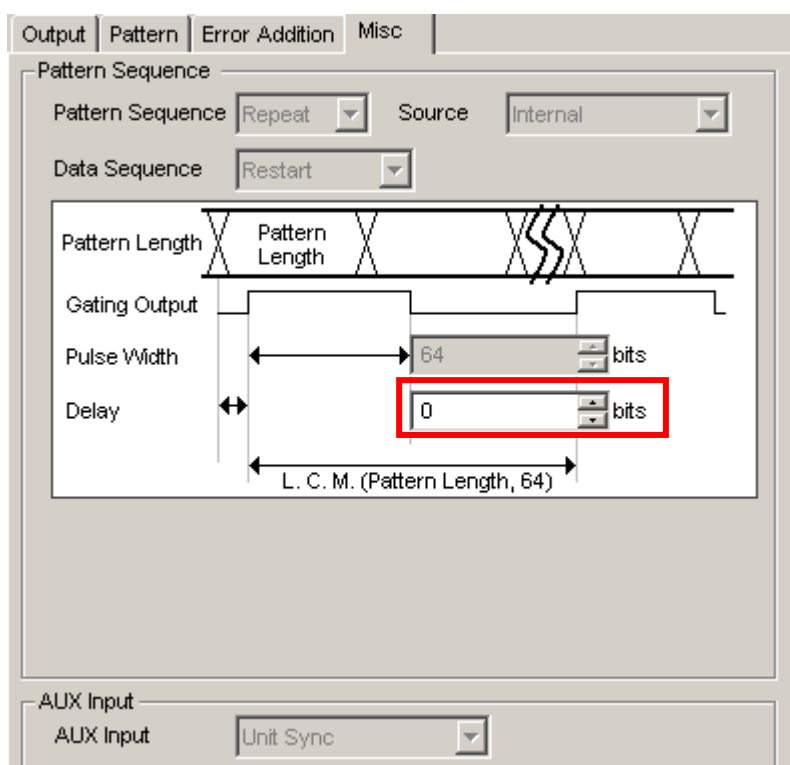
図E.1.2-1 モジュール間の出力パターン調整



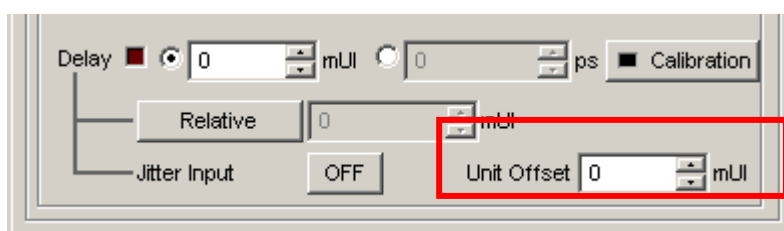
図E.1.2-2 Delay 設定画面



図E.1.2-3 本体間の出力パターン調整



図E.1.2-4 Gating Output Delay 設定画面



図E.1.2-5 Unit Offset 設定画面

