MU195020A
21G/32G bit/s SI PPG
MU195040A
21G/32G bit/s SI ED
MU195050A
Noise Generator
取扱説明書

第9版

・製品を適切・安全にご使用いいただくために，製品をご使用になる前に，本書を必ずお読みください。
・本書に記載以外の各種注意事項は，MP1900A シグナルクオリティアナライザ-R 取扱説明書に記載の事項に準じますので，そちらをお読みください。
・本書は製品とともに保管してください。

アンリツ株式会社

管理番号：M-W3915AW-9.0

安全情報の表示について

当社では人身事故や財産の損害を避けるために，危険の程度に応じて下記のようなシグナルワードを用いて安全に関する情報を提供しています。記述内容を十分に理解した上で機器を操作してください。
下記の表示およびシンボルは，そのすべてが本器に使用されているとは限りません。また，外観図などが本書に含まれるとき，製品に貼り付けたラベルなどがその図に記入されていない場合があります。

本書中の表示について

⚠ 危険	回避しなければ，死亡または重傷に至る切迫した危険があることを示します。
⚠ 警告	回避しなければ，死亡または重傷に至るおそれがある潜在的な危険があることを示します。
⚠ 注意	回避しなければ，軽度または中程度の人体の傷害に至るおそれがある潜在的危険，または，物的損害の発生のみが予測されるような危険があることを示します。

機器に表示または本書に使用されるシンボルについて

機器の内部や操作箇所の近くに，または本書に，安全上および操作上の注意を喚起するための表示があります。
これらの表示に使用しているシンボルの意味についても十分に理解して，注意に従ってください。



禁止行為を示します。丸の中や近くに禁止内容が描かれています。



守るべき義務的行為を示します。丸の中や近くに守るべき内容が描かれています。



警告や注意を喚起することを示します。三角の中や近くにその内容が描かれています。



注意すべきことを示します。四角の中にその内容が書かれています。



このマークを付けた部品がリサイクル可能であることを示しています。

MU195020A 21G/32G bit/s SI PPG
MU195040A 21G/32G bit/s SI ED
MU195050A Noise Generator
取扱説明書

2017年（平成29年）６月19日（初　版）
2020年（令和２年）11月30日（第９版）

• 予告なしに本書の製品操作・取り扱いに関する内容を変更することがあります。
• 許可なしに本書の一部または全部を転載・複製することを禁じます。
Copyright © 2017-2020, ANRITSU CORPORATION
Printed in Japan

品質証明

アンリツ株式会社は，本製品が出荷時の検査により公表規格を満足していること，ならびにそれらの検査には，産業技術総合研究所（National Institute of Advanced Industrial Science and Technology）および情報通信研究機構（National Institute of Information and Communications Technology）などの国立研究所によって認められた公的校正機関にトレーサブルな標準器を基準として校正した測定器を使用したことを証明します。

保証

アンリツ株式会社は，納入後 1 年以内に製造上の原因に基づく故障が発生した場合は，本製品を無償で修復することを保証します。
ソフトウェアの保証内容は別途「ソフトウェア使用許諾書」に基づきます。
ただし，次のような場合は上記保証の対象外とさせていただきます。

- この取扱説明書に別途記載されている保証対象外に該当する故障の場合。
- お客様の誤操作，誤使用または無断の改造もしくは修理による故障の場合。
- 通常の使用を明らかに超える過酷な使用による故障の場合。
- お客様の不適当または不十分な保守による故障の場合。
- 火災，風水害，地震，落雷，降灰またはそのほかの天災地変による故障の場合。
- 戦争，暴動または騒乱など破壊行為による故障の場合。
- 本製品以外の機械，施設または工場設備の故障，事故または爆発などによる故障の場合。
- 指定外の接続機器もしくは応用機器，接続部品もしくは応用部品または消耗品の使用による故障の場合。
- 指定外の電源または設置場所での使用による故障の場合。
- 特殊環境における使用 (注) による故障の場合。
- 昆虫，くも，かび，花粉，種子またはそのほかの生物の活動または侵入による故障の場合。

また，この保証は，原契約者のみ有効で，お客様から再販売されたものについては保証しかねます。

なお，本製品の使用，あるいは使用不能によって生じた損害およびお客様の取引上の損失については，責任を負いかねます。ただし，その損害または損失が，当社の故意または重大な過失により生じた場合はこの限りではありません。

注：
「特殊環境における使用」には，以下のような環境での使用が該当します。

- 直射日光が当たる場所
- 粉じんが多い環境
- 屋外
- 水，油，有機溶剤もしくは薬液などの液中，またはこれらの液体が付着する場所

- 潮風，腐食性ガス（亜硫酸ガス，硫化水素，塩素，アンモニア，二酸化窒素，塩化水素など）がある場所
- 静電気または電磁波の強い環境
- 電源の瞬断または異常電圧が発生する環境
- 部品が結露するような環境
- 潤滑油からのオイルミストが発生する環境
- 高度 2000 m を超える環境
- 車両，船舶または航空機内など振動または衝撃が多く発生する環境

当社へのお問い合わせ

本製品の故障については，本書（紙版説明書では巻末，電子版説明書では別ファイル）に記載の「本製品についてのお問い合わせ窓口」へすみやかにご連絡ください。

国外持出しに関する注意

1. 本製品は日本国内仕様であり，外国の安全規格などに準拠していない場合もありますので，国外へ持ち出して使用された場合，当社は一切の責任を負いかねます。
2. 本製品および添付マニュアル類は，輸出および国外持ち出しの際には，「外国為替及び外国貿易法」により，日本国政府の輸出許可や役務取引許可を必要とする場合があります。また，米国の「輸出管理規則」により，日本からの再輸出には米国政府の再輸出許可を必要とする場合があります。

   本製品や添付マニュアル類を輸出または国外持ち出しする場合は，事前に必ず弊社の営業担当までご連絡ください。

   輸出規制を受ける製品やマニュアル類を廃棄処分する場合は，軍事用途等に不正使用されないように，破砕または裁断処理していただきますようお願い致します。

ソフトウェア使用許諾

お客様は，ご購入いただいたソフトウェア（プログラム，データベース，電子機器の動作・設定などを定めるシナリオ等を含み，以下「本ソフトウェア」と総称します）を使用（実行，インストール，複製，記録等を含み，以下「使用」と総称します）する前に，本「ソフトウェア使用許諾」（以下「本使用許諾」といいます）をお読みください。お客様から本使用許諾の規定にご同意いただいた場合のみ，お客様は，本使用許諾に定められた範囲において本ソフトウェアをアンリツが推奨または指定する装置（以下，「本装置」といいます）に使用することができます。お客様が本ソフトウェアを使用したとき，当該ご同意をいただいたものとします。

第 1 条 （許諾，禁止内容）

1. お客様は，本ソフトウェアを有償・無償にかかわらず第三者へ販売，開示，移転，譲渡，賃貸，リース，頒布し，または再使用させる目的で複製，開示，使用許諾することはできません。
2. お客様は，本ソフトウェアをバックアップの目的で，1 部のみ複製を作成できます。
3. 本ソフトウェアのリバースエンジニアリング，逆アセンブルもしくは逆コンパイル，または改変もしくは派生物（二次的著作物）の作成は禁止させていただきます。
4. お客様は，本ソフトウェアを本装置 1 台で使用できます。

第 2 条 （免責）

アンリツは，お客様による本ソフトウェアの使用または使用不能から生ずる損害，第三者からお客様に請求された損害を含め，一切の損害について責任を負わないものとします。ただし，当該損害がアンリツの故意または重大な過失により生じた場合はこの限りではありません。

第 3 条 （修補）

1. お客様が，取扱説明書に書かれた内容に基づき本ソフトウェアを使用していたにもかかわらず，本ソフトウェアが取扱説明書もしくは仕様書に書かれた内容どおりに動作しない場合（以下「不具合」といいます）には，アンリツは，アンリツの判断に基づいて，本ソフトウェアを無償で修補，交換し，または不具合回避方法のご案内をするものとします。ただし，以下の事項による本ソフトウェアの不具合および破損，消失したお客様のいかなるデータの復旧を除きます。
   a) 取扱説明書・仕様書に記載されていない使用目的での使用
   b) アンリツが指定した以外のソフトウェアとの相互干渉
   c) アンリツの承諾なく，本ソフトウェアまたは本装置の修理，改造がされた場合
   d) 他の装置による影響，ウイルスによる影響，災害，その他の外部要因などアンリツの責めとみなすことができない要因があった場合
2. 前項に規定する不具合において，アンリツが，お客様ご指定の場所で作業する場合の移動費，宿泊費および日当に係る現地作業費については有償とさせていただきます。
3. 本条第 1 項に規定する不具合に係る保証責任期間は本ソフトウェア購入後 6 か月または修補後 30 日いずれか遅い方の期間とさせていただきます。

第 4 条 （法令の遵守）

お客様は，本ソフトウェアを，直接，間接を問わず，核，化学・生物兵器およびミサイルなど大量破壊兵器および通常兵器，ならびにこれらの製造設備等・関連資機材等の拡散防止の観点から，日本国の「外国為替及び外国貿易法」およびアメリカ合衆国「輸出管理法」その他国内外の関係する法律，規則，規格等に違反して，いかなる仕向け地，自然人もしくは法人に対しても輸出しないものとし，また輸出させないものとします。

第 5 条 （規定の変更）

アンリツは，本使用許諾の規定の変更が，お客様の一般の利益に適う場合，または本使用許諾の目的および変更に係る諸事情に照らして合理的な場合に，お客様の承諾を得ることなく変更を実施することができます。変更にあたりアンリツは，原則として 45 日前までに，その旨（変更後の内容および実施日）を自己のホームページに掲載し，またはお客様に書面もしくは電子メールで通知します。

第 6 条 （解除）

1. アンリツは，お客様が，本使用許諾のいずれかの条項に違反したとき，アンリツの著作権およびその他の権利を侵害したとき，暴力団等反社会的な団体に属しもしくは当該団体に属する者と社会的に非難されるべき関係があることが判明したとき，または法令に違反したとき等，本使用許諾を継続できないと認められる相当の事由があるときは，直ちに

本使用許諾を解除することができます。

2. お客様またはアンリツは，30 日前までに書面で相手方へ通知することにより，本使用許諾を終了させることができます。

第 7 条 （損害賠償）

お客様が本使用許諾の規定に違反した事に起因してアンリツが損害を被った場合，アンリツはお客様に対して当該損害の賠償を請求することができます。

第 8 条 （解除後の義務）

お客様は，第 6 条により，本使用許諾が解除されまたは終了したときは直ちに本ソフトウェアの使用を中止し，アンリツの求めに応じ，本ソフトウェアおよびそれらに関する複製物を含めアンリツに返却または廃棄するものとします。

第 9 条 （協議）

本使用許諾の条項における個々の解釈について生じた疑義，または本使用許諾に定めのない事項について，お客様およびアンリツは誠意をもって協議のうえ解決するものとします。

第 10 条（準拠法）

本使用許諾は，日本法に準拠し，日本法に従って解釈されるものとします。本使用許諾に関する紛争の第一審の専属的合意管轄裁判所は，東京地方裁判所とします。

(改定履歴)

2020 年 2 月 29 日

はじめに

MP1900A シグナルクオリティアナライザ-R, モジュール, および制御ソフトウェアを組み合わせた試験システムをシグナルクオリティアナライザ-R シリーズといいます。シグナルクオリティアナライザ-R シリーズの取扱説明書は, 以下のように, MP1900A, モジュール, および制御ソフトウェアに分かれて構成されています。

シグナルクオリティアナライザ-Rシリーズ取扱説明書の構成

▭ は, 本書を示します。

MP1900A シグナルクオリティアナライザ-R 取扱説明書

MP1900A の基本操作, パネルの説明, 保守, モジュール装着から使用開始までの手順を説明しています。

モジュール取扱説明書

MU195020A 21G/32G bit/s SI PPG MU195040A 21G/32G bit/s SI ED
MU195050A Noise Generator 取扱説明書

MP1900A に装着するモジュールのパネルの説明, 操作方法, 性能試験, 保守, およびトラブルシューティングについて説明しています。

MU196020A PAM4 PPG MU196040A PAM4 ED MU196040B PAM4 ED
取扱説明書

MU196020A, MU196040A, MU196040B のパネルの説明, 性能試験, 保守, およびトラブルシューティングについて説明しています。

MU181000A 12.5GHz シンセサイザ
MU181000B 12.5GHz 4 ポートシンセサイザ 取扱説明書

MU181000A, MU181000B のパネルの説明, 操作方法, 性能試験, 保守, およびトラブルシューティングについて説明しています。

MU181500B ジッタ変調源 取扱説明書

MU181500B のパネルの説明, 操作方法, 性能試験, および保守について説明しています。

MU183020A 28G/32G bit/s PPG MU183021A 28G/32G bit/s 4ch PPG
取扱説明書

MU183020A, MU183021A のパネルの説明, 性能試験, 保守, およびトラブルシューティングについて説明しています。

MU183040A 28G/32G bit/s ED MU183041A 28G/32G bit/s 4ch ED
MU183040B 28G/32G bit/s High Sensitivity ED
MU183041B 28G/32G bit/s High Sensitivity 4ch ED 取扱説明書

MU183040A, MU183041A, MU183040B, MU183041B のパネルの説明, 操作方法, 性能試験, 保守, およびトラブルシューティングについて説明しています。

MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書

シグナルクオリティアナライザ-R シリーズを制御するためのソフトウェアの取扱説明書です。

シグナルクオリティアナライザ-Rシリーズ取扱説明書の構成 (続き)

は，本書を示します。

拡張アプリケーション取扱説明書

シグナルクオリティアナライザ-R シリーズの拡張アプリケーションソフトウェアの取扱説明書です。

MX183000A ハイスピード シリアルデータ テスト ソフトウェア取扱説明書

ハイスピード シリアルデータ テスト ソフトウェアの設定と操作方法を説明します。

目次

はじめに I

第1章　概要 1-1

1.1　製品の概要 1-2
1.2　機器の構成 1-3
1.3　規格 1-10

第2章　使用前の準備 2-1

2.1　MP1900Aへの装着 2-2
2.2　アプリケーションの操作方法 2-2
2.3　破損防止処理 2-3

第3章　パネルおよびコネクタの説明 3-1

3.1　パネルの説明 3-2
3.2　モジュール間の接続 3-5

第4章　画面構成 4-1

4.1　画面全体の構成 4-2
4.2　操作画面の構成 4-3

第5章　操作方法 5-1

5.1　出力インタフェースの設定 5-3
5.2　Emphasis/ISIの設定 5-12
5.3　Patternの設定（MU195020A） 5-21
5.4　Error付加機能 5-56
5.5　Pre-Code設定機能 5-59
5.6　Misc1機能（MU195020A） 5-61
5.7　Misc2機能 5-70
5.8　Multi Channel機能 5-80
5.9　モジュール間同期機能 5-84
5.10　Multi Channel Calibration機能 5-84
5.11　測定結果を見るには 5-85
5.12　測定条件の設定 5-107
5.13　Patternの設定（MU195040A） 5-111

5.14 入力インタフェースの設定 5-119
5.15 Capture機能.....5-128
5.16 Misc1機能 (MU195040A).....5-136
5.17 Auto Search機能.....5-143
5.18 Auto Adjust機能 5-146
5.19 自動測定 5-148
5.20 Noise発生機能 5-149

第6章 使用例 6-1

6.1 光トランシーバモジュールの測定 6-2
6.2 56 Gbit/s DQPSK信号の発生.....6-4

第7章 リモートコマンド 7-1

第8章 性能試験 8-1

8.1 性能試験 8-2
8.2 性能試験用機器.....8-2
8.3 性能試験項目 8-3

第9章 保守 9-1

9.1 日常の手入れ 9-2
9.2 保管上の注意 9-2
9.3 輸送方法 9-3
9.4 校正 9-3
9.5 廃棄 9-4

第10章 トラブルシューティング 10-1

10.1 モジュール交換時の問題 10-2
10.2 出力波形観測時の問題 10-3
10.3 エラーレート測定時の問題 10-4
10.4 同期が確立しない問題.....10-5

付録 A 擬似ランダムパターン A-1

付録 B 初期設定項目一覧 B-1

この章では，次のモジュールの概要について説明します。

- MU195020A 21G/32G bit/s SI PPG (以下，MU195020A と呼びます)
- MU195040A 21G/32G bit/s SI ED (以下，MU195040A と呼びます)
- MU195050A Noise Generator (以下，MU195050A と呼びます)

1.1　製品の概要.....1-2
1.2　機器の構成.....1-3
1.2.1　標準構成.....1-3
1.2.2　オプション.....1-6
1.2.3　応用部品.....1-8
1.3　規格.....1-10
1.3.1　MU195020A規格.....1-10
1.3.2　MU195040A規格.....1-44
1.3.3　MU195050A規格.....1-68

1.1　製品の概要

MU195020A, MU195040A, および MU195050A（以下, MP1900A モジュールと呼びます）は, MP1900A シグナルクオリティアナライザ-R に内蔵可能なプラグインモジュールです。MP1900A モジュールは動作周波数範囲内で PRBS パターン, DATA パターン, Zero-Substitution パターン, および Mixed パターンの各種パターンのエラー測定に対応します。MU195020A, MU195050A を組み合わせ, シグナルインテグリティ評価に最適なコモンモードノイズ, ディファレンシャルモードノイズ, ホワイトノイズを印加したデータ生成に対応します。
MP1900A モジュールはさまざまなオプション構成が可能であり, 各種ディジタル通信機器, ディジタル通信用モジュール, およびデバイスの研究開発や製造用に適しています。

MP1900A モジュールの特長は下記のとおりです。

MU195020A の特長

- PRBS パターン, DATA パターン, Zero-Substitution パターン, Mixed パターン, PAM4 パターン, Sequence パターンの発生が可能
- MU195020A-x20 によりモジュール内の 2 チャネル間での連携動作が可能（Channel Combination）。
  この機能により, Multiplexer（MUX）を使用した多重用信号を発生可能
- MP1900A に装着されている複数の MU195020A を使用してチャネル間での連携動作が可能（Channel Combination）
  この機能により, Multi Channel を必要とするアプリケーションに対応した同期データを発生可能
- 10TAP Emphasis を使用したシグナルインテグリティ評価が可能（MU195020A-x11/x21）
- 10TAP Emphasis を使用した可変 ISI 機能を実現可能（MU195020A-x40/x41）

MU195040A の特長

- PRBS パターン, DATA パターン, Zero-Substitution パターン, Mixed パターン, PAM4 パターン, HSSB Data パターンの測定が可能
- 大容量のユーザプログラマブルパターン（256 Mbits）
- MU195040A-x20 の追加により 32 Gbit/s データ入力を最大 2ch 持ち, 64 Gbit/s シリアル通信の評価が可能
- 代表値で 25 mVp-p の入力感度を持ち, 信号評価に最適
- MU195040A-x22 の追加により, クロックリカバリまたはクロックアンドデータリカバリが可能
- MU195040A-x11/x21 の追加により, CTLE（Continues Time Linear Equalizer）を使用して Loss 信号の評価が可能

MU195050A の特長

- 入力データに, コモンモードノイズ, ディファレンシャルモードノイズを印加して出力可能
- MU195050A-x01 の追加により 10 MHz から 10 GHz の帯域を持ったホワイトノイズを印加可能

1.2 機器の構成

1.2.1 標準構成

MP1900A モジュールの標準構成を表1.2.1-1, 表1.2.1-2, および表1.2.1-3に示します。

表1.2.1-1 MU195020A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU195020A	21G/32G bit/s SI PPG	1	
添付品	J1632A	同軸終端器	5	Clock Output, Aux Output × 2, Gating Output × 2
	J1341A	オープン	2	Ext Clock Input, AUX Input
	J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	1	Clock Output
	J1717A	同軸アダプタ（SMA-P, SMA-J）	6	Ext Clock Input, Aux Output × 2, Gating Output × 2, AUX Input
	MU195020A-x10 実装時			
	J1632A	同軸終端器	2	Data Output × 2
	J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	2	Data Output × 2
	MU195020A-x20 実装時			
	J1632A	同軸終端器	4	Data Output × 4
	J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	4	Data Output × 4

表1.2.1-2　MU195040A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU195040A	21G/32G bit/s SI ED	1	
添付品	J1632A	同軸終端器	2	Aux Output × 2,
	J1341A	オープン	2	Ext Clock Input
	J1717A	同軸アダプタ（SMA-P, SMA-J）	4	Ext Clock Input, Aux Output × 2, AUX Input
	MU195040A-x10 実装時			
	J1341A	オープン	2	Data Input × 2, AUX Input
	J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	2	Data Input × 2 (出荷時に本体とは別に添付)
	41KC-6	精密固定減衰器 6 dB	2	Data Input × 2 (出荷時に本体へ取り付け)
	MU195040A-x20 実装時			
	J1341A	オープン	4	Data Input × 4, AUX Input
	J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	4	Data Input × 4 (出荷時に本体とは別に添付)
	41KC-6	精密固定減衰器 6 dB	4	Data Input × 4 (出荷時に本体へ取り付け)

表1.2.1-3 MU195050A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU195050A	Noise Generator	1	
添付品	J1632A	同軸終端器	4	Data Output × 4*1
	J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	4	Data Output × 4*2
	J1717A	同軸アダプタ（SMA-P, SMA-J）	2	External Input*2
	J1341A	オープン	6	Data Input × 4*1 External Input × 2*1
	J1746A	スキューマッチペアセミリジットケーブル（K コネクタ, Data Input1）	1 式	Data Input1 × 2*3
	J1747A	スキューマッチペアセミリジットケーブル（K コネクタ, Data Input2）	1 式	Data Input2 × 2*4
	J1792A	スキューマッチペアセミリジットケーブル（V-K コネクタ, Data Input1）	1 式	Data Input1 × 2*5

＊1: 出荷時には製品に取り付けられています。

＊2: MU195020A のコネクタに常時接続することを推奨します。

＊3: MU195020A の DataOutput1 と MU195050A の Data Input1 を最短で接続するためのセミリジットケーブル

＊4: MU195020A の DataOutput2 と MU195050A の Data Input2 を最短で接続するためのセミリジットケーブル

＊5: MU196020A PAM4 PPG の DataOutput と MU195050A の Data Input1 を最短で接続するためのセミリジットケーブル

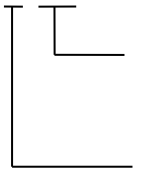
1.2.2　オプション

MP1900A モジュールのオプションを表1.2.2-1, 表1.2.2-2, および表1.2.2-3に示します。これらはすべて別売りです。

注:

オプション形名について

MU195020A-x x x



機能を表す番号です。
MP1900A で認識されている値です。

当社管理番号です。
MP1900A で認識されていない値です。
0: 出荷時に取り付け
1: 後付けオプションです。オプションの取り付けには, 当社への引き取りが必要です。
2: 後付けオプションです。オプションの取り付けには, サービスセンターへの引き取りが必要です。
3: 後付けオプションです。ユーザがオプションを取り付けることができます。

表1.2.2-1　MU195020A オプション

形名	品名	備考
MU195020A-y01	32Gbit/s Extension	*1
MU195020A-x10	1ch Data Output	*2, *3
MU195020A-x20	2ch Data Output	*2, *3
MU195020A-y11	1ch 10Tap Emphasis	*1, *4
MU195020A-y21	2ch 10Tap Emphasis	*1, *5
MU195020A-y30	1ch Data Delay	*1, *4
MU195020A-y31	2ch Data Delay	*1, *5
MU195020A-y40	1ch Variable ISI	*1, *4, *6
MU195020A-y41	2ch Variable ISI	*1, *5, *7
MU195020A-z50	Sequence Editor Function	*8

＊1: 形名の y は 0, 1, または 2 を表します。

＊2: 形名の x は 0 または 1 を表します。

＊3: どちらか 1 つを選択します。

＊4: MU195020A-x10 が必要です。

＊5: MU195020A-x20 が必要です。

＊6: MU195020A-y11 が必要です。

＊7: MU195020A-y21 が必要です。

＊8: 形名の z は 0 または 3 を表します

表1.2.2-2 MU195040A オプション

形名	品名	備考
MU195040A-y01	32Gbit/s Extension	*1
MU195040A-x10	1ch ED	*2, *3
MU195040A-x20	2ch ED	*2, *3
MU195040A-y11	1ch CTLE	*1, *4
MU195040A-y21	2ch CTLE	*1, *5
MU195040A-y22	Clock Recovery	*1

＊1: 形名の y は 0, 1, または 2 を表します。

＊2: 形名の x は 0 または 1 を表します。

＊3: どちらか 1 つを選択します。

＊4: MU195040A-x10 が必要です。

＊5: MU195040A-x20 が必要です。

表1.2.2-3 MU195050A オプション

形名	品名	備考
MU195050A-x01	White Noise	*

＊: 形名の x は 0 または 1 を表します。

1.2.3　応用部品

MP1900A モジュールの応用部品を表 1.2.3-1 に示します。これらはすべて別売りです。

表1.2.3-1　応用部品

形名・記号	品名	備考
J1449A	メジャメントキット（K コネクタ）	同軸ケーブル (K コネクタ) 0.8 m × 2 同軸ケーブル 0.8 m × 2 同軸ケーブル 1.0 m × 1
J1625A	同軸ケーブル 1 m	SMA コネクタ
J1342A	同軸ケーブル 0.8 m	APC3.5 mm コネクタ
J1439A	同軸ケーブル（0.8 m, K コネクタ）	K コネクタ
J1632A	同軸終端器	
J1359A	同軸アダプタ（K-P, K-J, SMA 互換）	
41KC-3	精密固定減衰器 3 dB	
41KC-6	精密固定減衰器 6 dB	
41KC-10	精密固定減衰器 10 dB	
41KC-20	精密固定減衰器 20 dB	
K240C	精密パワーディバイダ	
J1624A	同軸ケーブル 0.3 m (SMA コネクタ)	SMA コネクタ
J1550A	同軸スキューマッチケーブル（0.8 m, APC3.5 コネクタ）	APC3.5 mm コネクタ, 2 本セット 1 組
J1551A	同軸スキューマッチケーブル（0.8 m, K コネクタ）	K コネクタ, 2 本セット 1 組
W3915AW	MU195020/40/50A 取扱説明書	冊子, 和文
Z0306A	リストストラップ	
MZ1834A	4PAM コンバータ	
MZ1838A	8PAM コンバータ	
J1678A	ESD プロテクションアダプタ-K	K コネクタ
J1728A	同軸電気長規定ケーブル（0.4 m, K コネクタ）	
J1741A	同軸電気長規定ケーブル（0.8 m, K コネクタ）	
J1742A	同軸電気長規定ケーブル（0.84 m, K コネクタ）	
J1735A	コンバイナ	
J1758A	ISI Board	

表1.2.3-1 応用部品 (続き)

形名・記号	品名	備考
G0375A	32Gbaud Power PAM4 Converter	
G0376A	32Gbaud PAM4 Decoder with CTLE	
G0374A	64Gbaud PAM4 DAC	
G0361A	64Gbaud 2-bit DAC with MUX	
J1748A	Power Splitter (1.5G-18GHz)	
Z1964A	トルクレンチ (ライトアングル)	

1.3　規格

1.3.1　MU195020A規格

表1.3.1-1　動作ビットレート

項目	規格
動作ビットレート	2.4～21.0 Gbit/s*1
	2.4～32.1 Gbit/s*2
設定範囲	動作ビットレートの設定範囲は連動モジュール*2,「表1.3.1-13 クロック出力」により決まります。
MU181000A/B 連動オン	MU181000A/B が同じユニットに装着されている場合に設定可能
設定範囲	2.400 000～21.000 000 Gbit/s, 0.000 002 Gbit/s step*1
	2.400 000～25.000 000 Gbit/s, 0.000 002 Gbit/s step*2
	25.000 004～32.100 000 Gbit/s, 0.000 004 Gbit/s step*2
オフセット	–1000～+1000 ppm, 1 ppm step*3
MU181500B 連動オン	MU181000A/B, MU181500B が同じユニットに装着されている場合に設定可能
設定範囲	2.400 000～3.125 000 Gbit/s, 0.000 002 Gbit/s step
	3.200 002～6.250 000 Gbit/s, 0.000 002 Gbit/s step
	6.400 002～12.500 000 Gbit/s, 0.000 002 Gbit/s step
	12.800 002～21.000 000 Gbit/s, 0.000 002 Gbit/s step*1
	12.800 002～25.000 000 Gbit/s, 0.000 002 Gbit/s step*2
	25.600 004～32.100 000 Gbit/s, 0.000 004 Gbit/s step*2
オフセット	–1000～+1000 ppm, 1 ppm step*4

＊1: オプション x01 無し

＊2: オプション x01 有り

＊3: MU195020A と同一の筐体実装時のみ有効

＊4: ビットレート設定により, オフセットの設定範囲が異なります。以下のビットレート設定では, 設定範囲が–1000～0 ppm になります。

フルレート:　12.500000 Gbit/s, 25.000000 Gbit/s

ハーフレート:　25.000000 Gbit/s

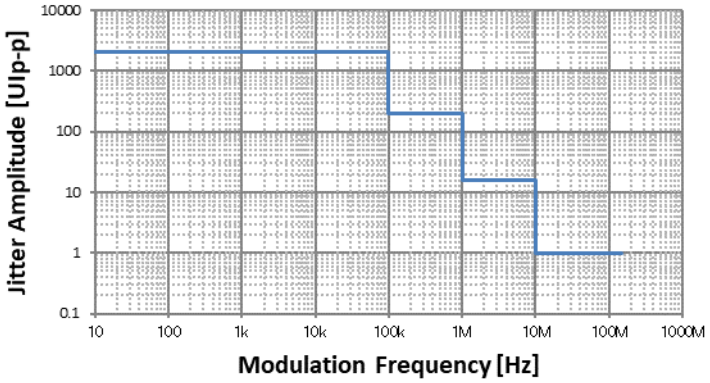
表1.3.1-1 動作ビットレート (続き)

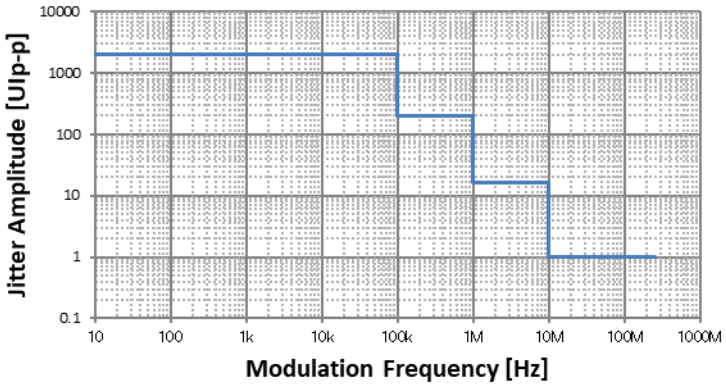
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>外部クロック
出力クロックレートをフルレート設定としたとき</td><td>
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～16.0 Gbit/s</td><td>2.4～16.0 GHz</td><td>1/1 クロックで動作</td></tr>
<tr><td>16.0～20.0 Gbit/s*1</td><td>8.0～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～21.0 Gbit/s*1</td><td>10.0～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>16.0～20.0 Gbit/s*2</td><td>8.0～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～32.1 Gbit/s*2</td><td>10.0～16.05 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
出力クロックレートをハーフレート設定としたとき
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～21.0 Gbit/s*1</td><td>1.2～10.05 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>2.4～32.1 Gbit/s*2</td><td>1.2～16.05 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
</td></tr>
<tr><td>外部クロック連動 MU181500B
出力クロックレートをフルレート設定としたとき</td><td>
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～15.0 Gbit/s</td><td>2.4～15.0 GHz</td><td>1/1 クロックで動作</td></tr>
<tr><td>15.0～20.0 Gbit/s*1</td><td>7.5～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～21.0 Gbit/s*1</td><td>10.0～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>15.0～20.0 Gbit/s*2</td><td>7.5～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～30.0 Gbit/s*2</td><td>10.0～15.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
出力クロックレートをハーフレート設定としたとき
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～21.0 Gbit/s*1</td><td>1.2～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>2.4～30.0 Gbit/s*2</td><td>1.2～15.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
</td></tr>
</table>

表1.3.1-2　ジッタ設定範囲

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate

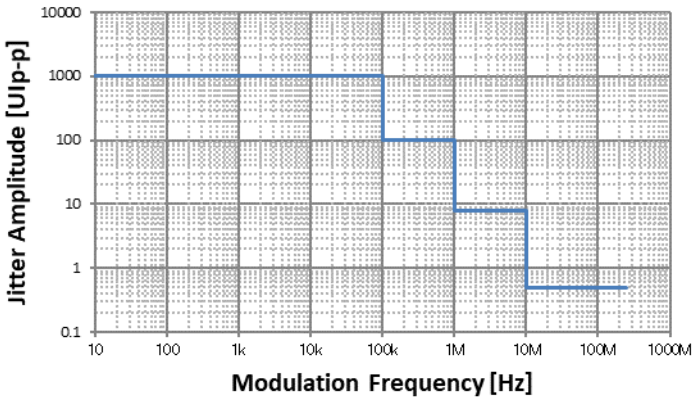
SJ1 Clock Output Rate Full Rate 設定時</td><td>MU181000A/B + MU181500B 連動時
SJ2 選択を Built-in SJ2 にした場合，Jitter Amplitude 設定範囲が半分になります。

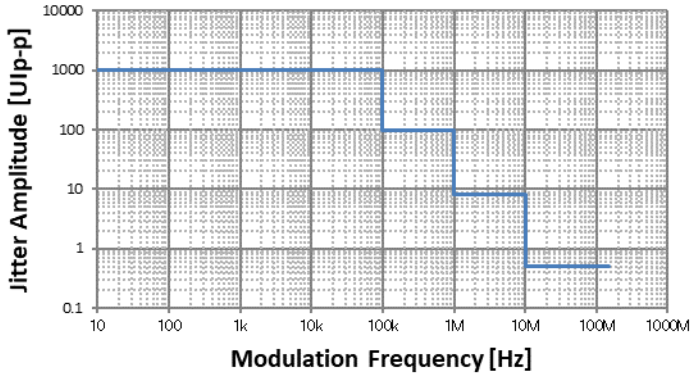
30 < Bit rate ≤ 32.1 Gbit/s, 15 < Bit rate ≤ 17 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
17 < Bit rate ≤ 30 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M</td><td>0～1</td></tr>
</table></td></tr>
</table>

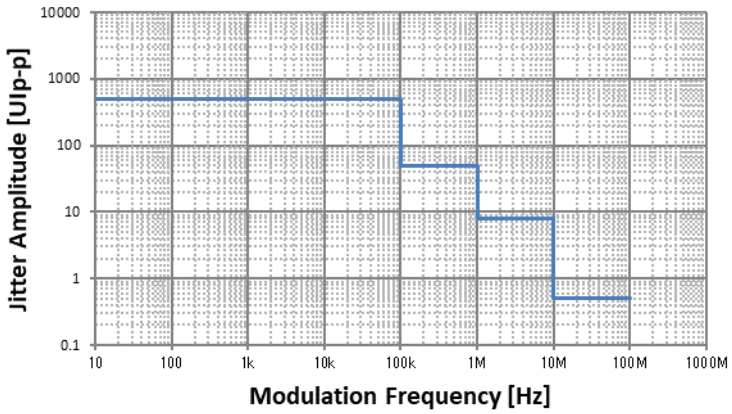
表1.3.1-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Full Rate 設定時 (続き)</td><td>8.5 < Bit rate ≤ 15 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～250M</td><td>0～0.5</td></tr>
</table>
4 < Bit rate ≤ 8.5 Gbit/s


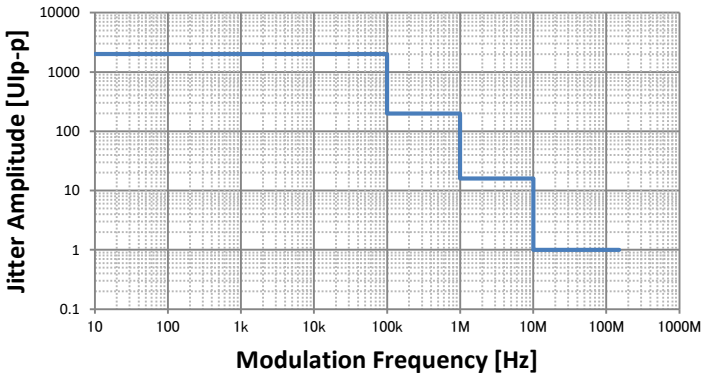
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～150M</td><td>0～0.5</td></tr>
</table></td></tr>
</table>

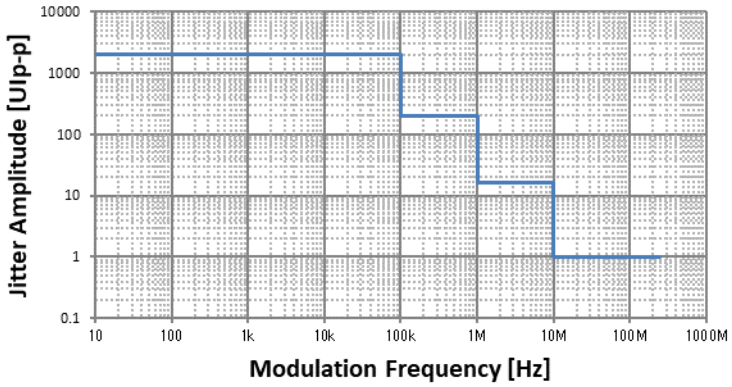
表1.3.1-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Full Rate 設定時 (続き)</td><td>2.4 < Bit rate ≤ 4 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～500</td></tr>
<tr><td>100.1k～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～100M</td><td>0～0.5</td></tr>
</table>
</td></tr>
</table>

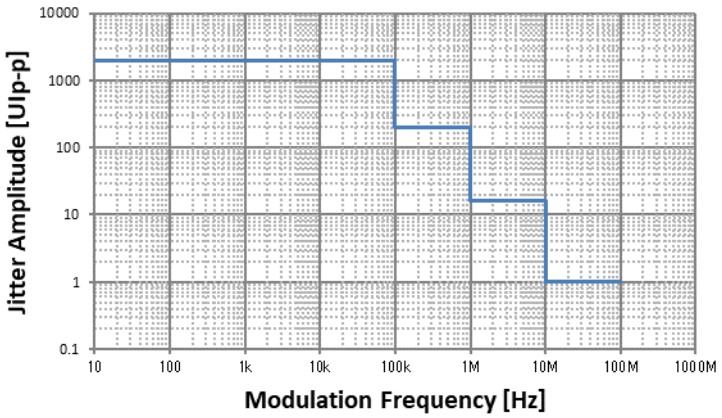
表1.3.1-2 ジッタ設定範囲 (続き)

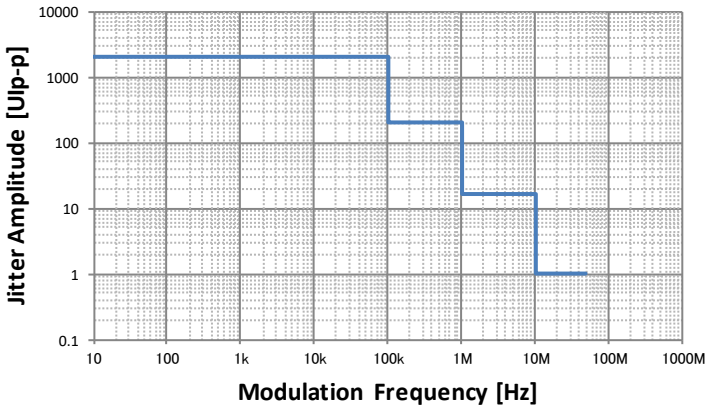
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Half Rate 設定時</td><td>30 < Bit rate ≤ 32.1 Gbit/s, 8 < Bit rate ≤ 17 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
17 < Bit rate ≤ 30 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M</td><td>0～1</td></tr>
</table>
</td></tr>
</table>

表1.3.1-2　ジッタ設定範囲 (続き)

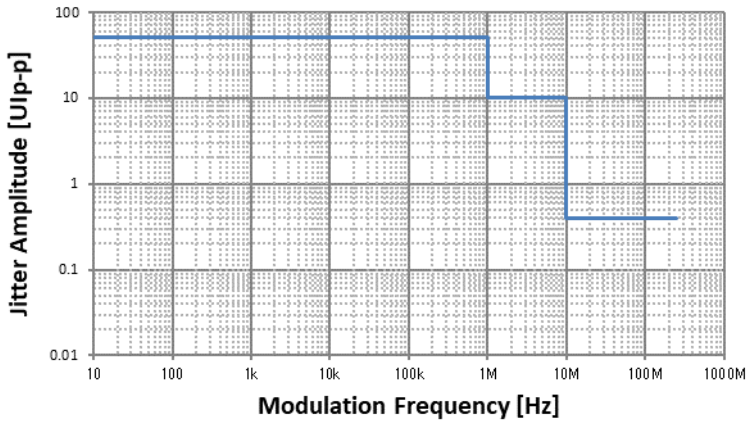
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Half Rate 設定時 (続き)</td><td>2.4 < Bit rate ≤ 8 Gbit/s


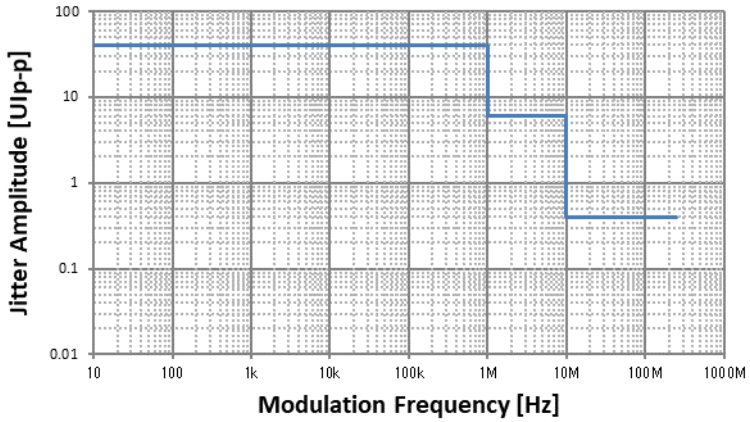
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～100M</td><td>0～1</td></tr>
</table>
Bit rate 2.4 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～50M</td><td>0～1</td></tr>
</table></td></tr>
</table>

表1.3.1-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 Clock Output Rate

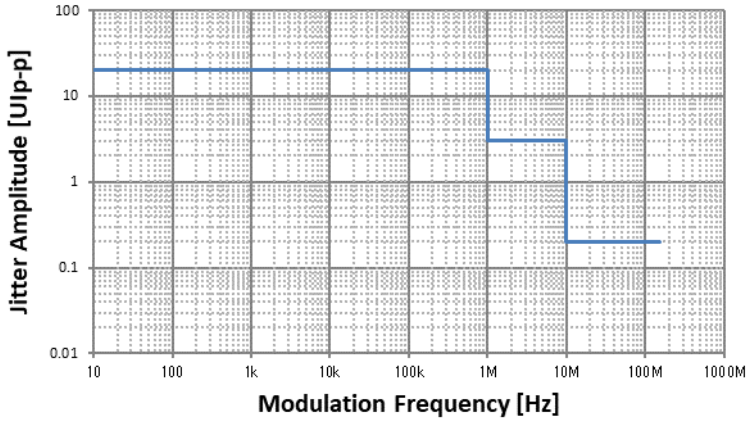
SJ2 via MU181000A Clock Output Rate Full Rate 設定時*1</td><td>15.000 001 ≤ Bit rate ≤ 32.1 Gbit/s


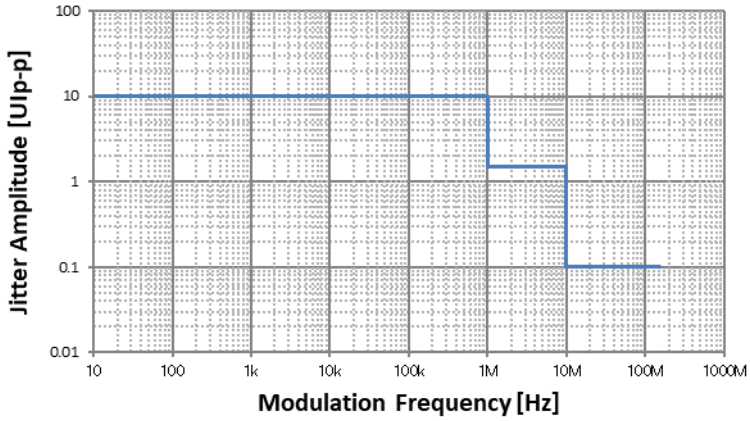
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table>
6.400 001 ≤ Bit rate ≤ 15 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～40</td></tr>
<tr><td>1.001M～10M</td><td>0～6</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

＊1: Built-in SJ2 とは排他で設定可能

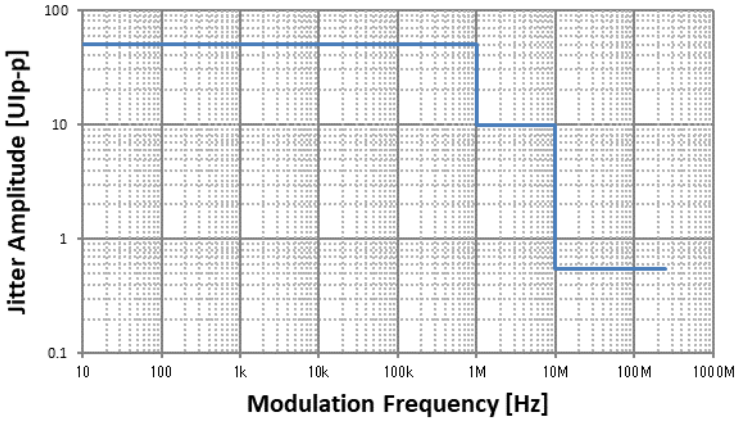
表1.3.1-2　ジッタ設定範囲 (続き)

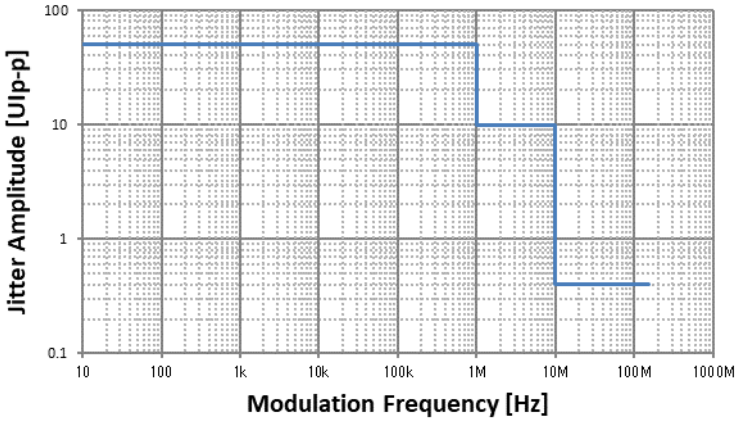
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Full Rate 設定時*1 (続き)</td><td>3.200 001 ≤ Bit rate ≤ 6.25 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～20</td></tr>
<tr><td>1.001M～10M</td><td>0～3</td></tr>
<tr><td>10.01M～150M</td><td>0～0.2</td></tr>
</table>
2.4 ≤ Bit rate ≤ 3.125 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～10</td></tr>
<tr><td>1.001M～10M</td><td>0～1.5</td></tr>
<tr><td>10.01M～150M</td><td>0～0.1</td></tr>
</table></td></tr>
</table>

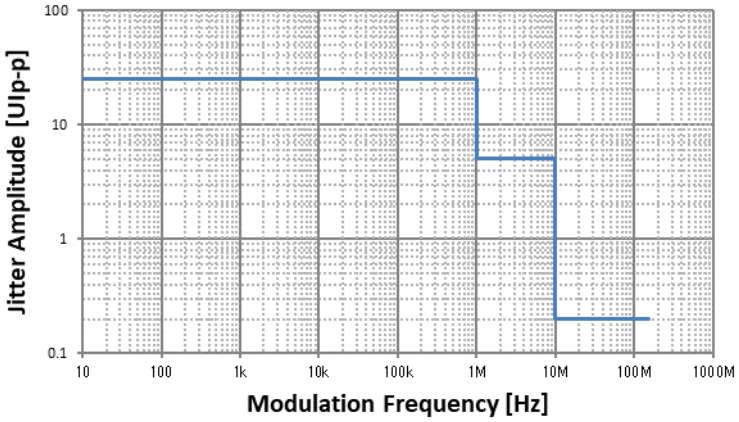
表1.3.1-2 ジッタ設定範囲 (続き)

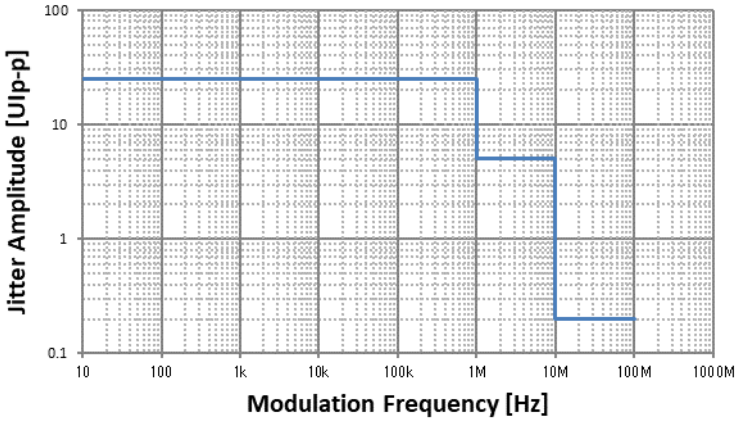
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Half Rate 設定時*1</td><td>12.800001 ≤ Bit rate ≤ 32.1 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.548</td></tr>
</table>
6.400001 ≤ Bit rate ≤ 12.5 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～150M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

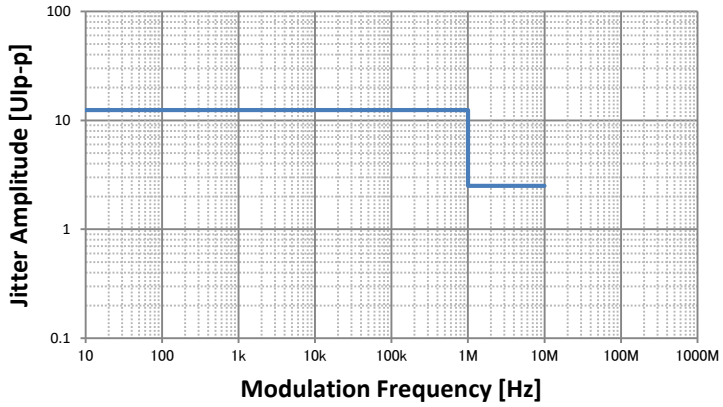
表1.3.1-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Half Rate 設定時*1 (続き)</td><td>3.600001 ≤ Bit rate ≤ 6.25 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～25</td></tr>
<tr><td>1.001M～10M</td><td>0～5</td></tr>
<tr><td>10.01M～150M</td><td>0～0.2</td></tr>
</table>
3.200001 < Bit rate ≤ 3.6 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～25</td></tr>
<tr><td>1.001M～10M</td><td>0～5</td></tr>
<tr><td>10.01M～100M</td><td>0～0.2</td></tr>
</table></td></tr>
</table>

表1.3.1-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Half Rate 設定時*1 (続き)</td><td>2.4 ≤ Bit rate ≤ 3.125 Gbit/s


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～12.4</td></tr>
<tr><td>1.001M～10M</td><td>0～2.5</td></tr>
</table></td></tr>
<tr><td>Built-in SJ2 Clock Output Rate

Built-in SJ2 Clock Output Rate
Full Rate 設定時*2</td><td>MU181000A/B + MU181500B 連動時

15 < Bit rate ≤ 32.1 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
4 < Bit rate ≤ 15 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
<tr><td>210M</td><td>0～0.1</td></tr>
</table>
2.4 ≤ Bit rate ≤ 4 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
</table></td></tr>
</table>

＊2: MP1900A に実装時有効, SJ2 via MU181000 とは排他で設定可能

表1.3.1-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>Built-in SJ2 Clock Output Rate
Half Rate 設定時*2</td><td>8 < Bit rate ≤ 32.1 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
2.4 < Bit rate ≤ 8 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
</table>
Bit rate 2.4 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
</table></td></tr>
</table>

表1.3.1-3　外部クロック入力

項目	規格
入力数	1 (シングルエンド)
周波数	1.2～16.05 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm)
終端	AC, 50 Ω
コネクタ	SMA コネクタ (f.)

表1.3.1-4 補助入力，補助出力

項目	規格
補助入力（Aux Input）	
入力数	1 (シングルエンド)
Validation	Error Injection，Burst，Sequence Trigger*
最小パルス幅	データレートの 1/128
入力レベル	0/–1 V (H: –0.25～0.05 V, L: –1.1～–0.8 V)
	0/–0.5 V (H: –0.05～0.05 V, L: –0.55～–0.45 V)
	Vth 0 V (入力振幅 0.5～1.0 Vp-p)
	いずれか選択
終端	GND, 50 Ω
コネクタ	SMA コネクタ（f.）
補助出力（Aux Output）	
出力数	2 (差動出力)
出力 ON/OFF	ON/OFF 切り替え有り
Validation	1/n Clock (n = 4, 6, 8, 10…510, 512)，Pattern Sync, Burst Out2, LTSSM Trigger*
Pattern Sync	
PRBS, PRGM	Position: 1～(Pattern Length'と 128 の最小公倍数 – 135), 8 step
	Pattern Length'は Pattern Length が 511 以下のとき，512 以上になるように整数倍した値
Pattern Change Trigger	Test Pattern で Data を選択し，Current Outputting Pattern を切り替えたときにトリガを出力
Mixed Data	Block No 設定: 1～(Mixed Data 指定の Block No), 1 step
	Row No 設定: 1～(Mixed Data 指定の Row No), 1 step
Burst Out2	
バーストトリガディレイ	0～(Burst Cycle – 128) bits, 8 bits step
パルス幅	0～(Burst Cycle – 128) bits, 8 bits step
出力レベル	0/–0.6 V (H: –0.25～0.05 V, L: –0.80～–0.45 V)
終端	GND, 50 Ω
コネクタ	SMA コネクタ（f.）

＊: Sequence Trigger と LTSSM Trigger は Test Pattern が Sequence のときのみ選択できます。

表1.3.1-5　ゲート出力

項目	規格
出力数	2 (差動出力)
出力 ON/OFF	ON/OFF 切り替え有り
Validation	Burst*1, Repeat*1, LFPS*2
Burst 時	Burst Output
バーストトリガディレイ	0～(Burst Cycle – 128) bits, 8 bits step
イネーブルパルス幅	128～(Burst Cycle – 128) bits, 8 bits step
出力レベル	0/–1 V (H: –0.25～0.05 V, L: –1.25～–0.8 V)*3
Repeat 時	Timing Signal Output
タイミング信号周期	INT ($\frac{\text{PatternLength}}{128}$) × 128 (Mixed 以外)
タイミング信号パルス幅	PRBS, Zero-Substitution, Data 時: 128～(Pattern Length'と 128 の最小公倍数 – 128) ただし, 最大 34 359 738 240 bits, 8 bits step Pattern Length'は Pattern Length が 511 以下のとき, 512 以上になるように整数倍した値 Mixed 時: 128～(Row Length × Block 数 × Row 数 – 128), 8 bits step ただし, 最大 2415918976 bits, 8 bits step
タイミング信号ディレイ	タイミング信号パルス幅と同じ値
出力レベル	0/–1 V (H: –0.25～0.05 V, L: –1.25～–0.8 V)*
終端	GND, 50 Ω
コネクタ	SMA コネクタ (f.)

＊1: Test Pattern が Sequence の以外のときに設定可能

＊2: Test Pattern が Sequence かつ Specification が USB3.0 または USB3.1 Gen2 のときに設定可能

＊3:L: Output Enable, H: Output Disable

表1.3.1-6 パターン発生

項目	規格
PRBS	
パターン長	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31)
マーク率	1/2 (論理反転により 1/2INV が可能)
Zero-Substitution	
付加ビット	0 bit, 1 bit
パターン長	2^n または 2^n-1 (n = 7, 9, 10, 11, 15, 20, 23)
開始位置	最大 “0” 連続ビット位置の次ビットから置換します。
ゼロビットの長さ	1～(Pattern Length – 1) bits “0” 置換後の次ビットが “0” の場合は, “1” に置換します。
Data	
データ長	2～268435456 bits, 1 bit step
Current Outputting Pattern	1～10, 1 step, 選択されている番号の Pattern を出力 各番号の Pattern は Glitch Free で切り替え可能
Maximum List Num	1～10, 1 step
Mixed Pattern	
パターン切り替え	Data
Mixed Block	下記のいずれか小さい数まで 1～511 Block, 1 Block step $\mathrm{INT}\left(\frac{268435456}{\text{ROW数}}\times\text{データ長}\right)$ bits $\mathrm{INT}\left(\frac{268435456+2^{31}}{\text{ROWの長さ}}\times\text{ROW数}\right)$bits
Mixed Row Length	2048～268435456 + 2^{31}, 1024 bits step (Data + PRBS Length)
データ長	1024～268435456 bits, 1 bit step
Row 数	1～16, 1 step
Block 数	1～511, 1 step
PRBS パターン長, マーク率	PRBSと同様
PRBS Sequence	Restart, Consecutive
スクランブル	各 Block の PRBS, Data ごとに設定可能 (Block1 の Data 領域を除く)

表1.3.1-6　パターン発生 (続き)

項目	規格
PAM4*1	
Sequence	Square Wave, JP03A, JP03B, PRQS10, SSPR, QPRBS13, QPRBS13-CEI, SSPRQ, Transmitter Linearity, PRBS13Q, PRBS31Q, User Define
User Define 選択時	
Raw Data	PRBS, Data
PRBS パターン長	PRBSと同様
PRBS Inversion	PRBS 部の Logic 設定
データ長	Dataと同様
Gray Coding	グレイコード機能の ON/OFF 設定
Raw Data	PRBS, Data
PRBS パターン長, マーク率	PRBSと同様
PRBS Inversion	PRBS 部の Logic 設定
データ長	Dataと同様
Gray Coding	グレイコード機能の ON/OFF 設定
Sequence*2	
Specification	PCIe1, PCIe2, PCIe3, PCIe4, USB3.0, USB3.1 Gen2
Logic	POS, NEG
PRBS Inversion	ON, OFF
Transmit	Sequence 送信を開始します。 送信中は LED が点灯します。
Manual	Manual Trigger を設定している場合に有効
Trigger Block No.	AUX Output より LTSSM Trigger を出力するシーケンスの Block No.を選択します。 1～128 Block No., 1 step

＊1: 2ch コンビネーションまたは 64G × 2ch コンビネーション設定時のみ PAM4 を設定可能

＊2: MU195020A-z50 が必要です。Independent 時のみ設定可能。
Ch1 または Ch2 のどちらかを Sequence に設定した場合, Ch1, Ch2 共に Sequence になります。

表1.3.1-7 シーケンスエディタ

項目	規格
Preset	Emphasis Preset 設定 PCIe1, PCIe2, PCIe3, PCIe4 2.5G: P0～P10 5.0G: P0～P10 8.0G: P0～P10 16.0G: P0～P10 USB3.0 5.0G: P0～P10 USB3.1 Gen2 10.0G: P0～P10
Break	External(LFPS)*1 External(Edge) Manual OFF
Loop	Time, Num Break 条件が OFF のとき有効
Loop Time	1～1,000,000 µsec, 1 µsec step
Loop Num	2～1,000,000 times, 2 time step
Insert OS SKP OS EIEOS SYNC OS Scrambler Seed	 SKP OS Insertion: ON, OFF SKP OS Reset: ON,OFF EIEOS Insertion: ON, OFF EIEOS Reset: ON, OFF EIEOS Interval: 1～65536 pattern repeats, 1 step PCIe1, PCIe2, PCIe3, および PCIe4 のとき有効 SYNC OS Insertion: ON, OFF SYNC OS Reset: ON, OFF SYNC OS Interval: 1～65536 Pattern repeats, 1 Step USB3.1 Gen2 のとき有効 8b10b: FFFF 128b130b: Lane0, Lane1, Lane2, Lane3, Lane4, Lane5, Lane6, Lane7 128b132b: 1DBFBC

＊1: Specification が USB3.0 または 3.1 のとき有効

表1.3.1-7　シーケンスエディタ (続き)

項目	規格	
PCIe1		
Bitrate	2.5 Gbit/s	
Coding	8b10b	
Block number	1～128 blocks	
Pattern Length	32～1024 bit, 8 bit step (8b10b)	
	2～268,435,450 bit, 1 bit step (General)	
	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31) (General)	
Pattern type	Electrical Idle, 8b10b, General*2	
SKP Ordered Set Insertion	Length:	COM+1, COM+2, COM+3, COM+4, COM+5
	Interval:	76～3076 symbols, 2 step
	Symbol Length x2:	ON, OFF
PCIe2		
Bitrate	2.5 Gbit/s, 5.0 Gbit/s	
Coding	8b10b	
Block number	1～128 blocks	
Pattern Length	32～1024 bit, 8 bit step (8b10b)	
	2～268,435,450 bit, 1 bit step (General)	
	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31) (General)	
Pattern type	Electrical Idle, 8b10b, General*2	
SKP Ordered Set Insertion	Length:	COM+1, COM+2, COM+3, COM+4, COM+5
	Interval:	76～3076 symbols, 2 step
	Symbol Length x2:	ON, OFF

＊2: General は Sequence の最後の行のみ設定可能

表1.3.1-7 シーケンスエディタ (続き)

項目	規格
PCIe3	
Bitrate	2.5 Gbit/s, 5.0 Gbit/s, 8.0 Gbit/s
Coding	8b10b, 128b130b
	128b130b は 8.0 Gbit/s のときのみ設定可能
Block number	1～128 blocks
Pattern Length	32～1024 bit, 8 bit step (8b10b)
	128～1024 bit, 128 bit step (128b130b)
	2～268,435,450 bit, 1 bit step (General)
	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31) (General)
Pattern type	Electrical Idle, 8b10b, 128b130b, General*2
SKP Ordered Set Insertion	Length: 8, 12, 16, 20, 24
	Interval: 20～750 blocks, 1 step
	Symbol Length x2: ON, OFF
PCIe4	
Bitrate	2.5 Gbit/s, 5.0 Gbit/s, 8.0 Gbit/s, 16.0 Gbit/s
Coding	8b10b, 128b130b
	128b130b は 8.0 Gbit/s および 16.0 Gbit/s のときに設定可能
Block number	1～128 blocks
Pattern Length	32～1024 bit, 8 bit step (8b10b)
	128～1024 bit, 128 bit step (128b130b)
	2～268,435,450 bit, 1 bit step (General)
	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31) (General)
Pattern type	Electrical Idle, 8b10b, 128b130b, General*2
SKP Ordered Set Insertion	Length: 8, 12, 16, 20, 24
	Interval: 20～750 blocks, 1 step
	Symbol Length x2: ON, OFF

表1.3.1-7　シーケンスエディタ (続き)

項目	規格
USB3.0	
Bitrate	5.0 Gbit/s
Coding	8b10b
Block number	1～128 blocks
Pattern Length	32～1024 bit, 8 bit step
	2～268,435,450 bit, 1 bit step (General)
	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31) (General)
Pattern type	LFPS*3, *4
	Warm Reset, Polling LFPS, Ping LFPS, Loopback Exit
	Preset Pattern
	TS1, TS2, TSEQ, Idle Data, CP0, CP1, CP2, CP3, CP4, CP5, CP7, CP8
	User Defined
	User Defined Pattern
	User Defined pattern is only for 5GT/s signal.
SKP Ordered Set Insertion	Length: 2, 4, 6
	Interval: 76～708 symbols, 1 step
USB3.1 Gen2	
Bitrate	10.0 Gbit/s
Coding	128b132b
Block number	1～128 blocks
Pattern Length	128～1024 bit, 128 bit step
Pattern type	LFPS*3, *4
	Warm Reset, Polling LFPS, Ping LFPS, Loopback Exit
	Preset Pattern
	TS1, TS2, TSEQ, Idle Data, CP0, CP1, CP2, CP3, CP4, CP5, CP7, CP8
	User Defined
	User Defined Pattern
	User Defined pattern is only for 5GT/s signal.
SKP Ordered Set Insertion	Length: 8, 12, 16, 20, 24, 28, 32, 36, 40
	Interval: 20～80 blocks, 1 step
	Symbol Length x2: ON, OFF

＊3: LFPS は CH1 のみ送信可能

＊4: LFPS 信号はユーザが変更できず, 固定パターンのみ出力可能

表1.3.1-7 シーケンスエディタ (続き)

項目	規格
8b10b Pattern Editor	
Notation	Symbol, Bin, Hex
Scrambler Enable	選択した Symbol に Scramble をかけます。
	ON, OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します。
	ON, OFF
Code	K-code, D-code
K code	K28.0, K28.1, K28.2, K28.3, K28.4, K28.5, K28.6, K28.7
	K23.7, K27.7, K29.7, K30.7
D code	D0.0～D31.7
MSB First / LSB First	MSB First, LSB First
128b130b Pattern Editor	
Notation	Bin, Hex
Scrambler Enable	選択した Symbol に Scramble をかけます。
	ON, OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します。
	ON, OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。
	ON, OFF
Sync Header	2 bit の Sync Header を定義します。
MSB First / LSB First	MSB First, LSB First
128b132b Pattern Editor	
Notation	Symbol Bin, Symbol Hex
Scrambler Enable	選択した Symbol に Scramble をかけます。
	ON, OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します。
	ON, OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。
	ON, OFF
Sync Header	4 bit の Sync Header を定義します。
MSB First / LSB First	MSB First, LSB First

表1.3.1-8　パターンシーケンス

項目	規格
Sequence	Repeat, Burst
Repeat	連続 Pattern
バースト	
トリガ源	Internal, External-Trigger (Aux Input), External-Enable (Aux Input)
データシーケンス	Restart, Consecutive, Continuous
バーストサイクル	25600～2147483648 bits, 1024 bits step
周期	Internal:　12800～2147483392 bits, 256 bits step
	Ext Trigger:　12800～2147483648 bits, 256 bits step

表1.3.1-9　プリコード

項目	規格
ON/OFF	プリコード機能の ON/OFF 設定あり*
変調方式	2ch Combination:　DQPSK
初期値	0/1 から選択

＊:　Pattern Sequence が Repeat 時のみ有効

表1.3.1-10　エラー付加

項目	規格
エラー付加範囲	ALL, Specific Block (Mixed の場合のみ選択可能)
内部トリガ	
付加方法	Repeat, Single
比率	*E– n (*=1～9, n=3～12), 上限は 5.0E–3
挿入チャネル	1～32, またはチャネルスキャン (Internal 時のみ)
外部トリガ*	
制御方法	External-Trigger (Rise edge trigger), External-Disable (L: Disable)
Bit/Burst	Bit Error, Burst Error の選択
Burst Length	1～127, 1 step

＊:　Test Pattern が Sequence 以外のときに設定可能

表1.3.1-11 データ出力

項目	規格*1
出力数	オプション x10: 2 (Data, XData) オプション x20: 4 (Data1, XData1, Data2, XData2)
アイ振幅	
設定範囲	0.1～1.3 Vp-p, 2 mV step
確度	±50 mV±17%
オフセット	
設定範囲	$-2.0-\frac{振幅}{2}$～$+3.3-\frac{振幅}{2}$ Vth, 1mV step
確度	±65 mV ± (オフセットの 10%) (Vth) ± (アイ振幅確度 / 2)*2
定義済みインタフェース	NECL, SCFL, NCML, PCML, LVPECL
クロスポイント	50% Fixed
立ち上がり, 立ち下がり	12 ps (20～80%)*2,*3,*4, ≤15 ps (20～80%)*2,*3
Half Period Jitter	
設定範囲	–20～20, 1 step
確度	±0.02 UI*4,*5

＊1: 記載がない限り, PRBS2^{31}–1, マーク率 1/2, クロスポイント 50%にて規定

応用部品 J1439A 同軸ケーブル (0.8 m, Kコネクタ), およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

＊2: オプション x11 またはオプション x21 有りの場合で, Emphasis 設定時は除く

＊3: オプション x01 無しの場合, 21 Gbit/s にて
オプション x01 有りの場合, 32.1 Gbit/s にて
振幅 1.0 Vp-p

＊4: 代表値

＊5: 設定値が 0 のとき

表1.3.1-11　データ出力 (続き)

項目	規格*1
Intrinsic Jitter	
Peak-to-Peak Jitter	6 ps p-p (測定カウント 30)*3,*4,*6
Random Jitter	300 fs rms (1,0 繰り返しパターン)*3,*4,*6
	115 fs rms (28 Gbit/s 1,0 繰り返しパターン)*3,*4,*7
Total Jitter	6 ps (測定カウント 30)*3,*4,*6,*8
Waveform Distortion (0-peak)	±25 mV ±15%*3,*4
出力 ON/OFF	ON/OFF 切り替え有り
Data/XData スキュー	±1 ps*4,*9
チャネル間スキュー*10	±0.25 UI
終端	AC, DC 切り替え, 50 Ω
	DC 時: GND, –2 V, +1.3 V, +3.3 V, Open (LVDS)
コネクタ	K コネクタ (f.)
オフセット基準	Vth
Level Guard	Amplitude, Voh, Vol の設定可能
External ATT Factor	0～40 dB, 1 dB step

＊6: 残留ジッタ <200 fs (RMS) のオシロスコープを使用

＊7: 残留ジッタ <70 fs (RMS) のオシロスコープを使用

＊8: PRBS2^{15}–1, BER 10^{-12} にて規定

＊9: ケーブルの誤差は含まず

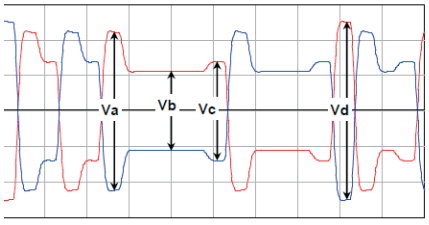
＊10: オプション x20 有りの場合

表1.3.1-12 10 タップエンファシス*1

項目	規格
エンファシスタップ	10 (6 post-cursor, 3 pre-cursor)
カーソル設定範囲	–20～20 dB, 0.1 dB step*2
確度	±1 dB*3,*4
エンファシスピーク電圧の設定範囲	0.1～1.5 Vp-p (シングルエンド)
出力 オン, オフ	オン, オフ切り替え有り
Idle 状態からの遷移時間	≦8 ns*5
Channel Emulator*6,*7	Normal: PPG 出力 Data 信号に, 読み込み S パラメータ相当の伝送路を接続した波形をエミュレート出力する
	Inverse: PPG 出力 Data 信号に, 読み込み S パラメータ相当の伝送路損失を補償する De-Emphasis を設定し, 波形をエミュレート出力する
Response	Normal, Inverse
S-Parameter file	S2P ファイル (拡張子 "*.s2p"),
	S4P ファイル (拡張子 "*.s4p")
	ベクトルネットワークアナライザ MS4640B Series の出力ファイルに対応
Variable ISI*6	PPG 出力 Data 信号に, ISI を発生させるチャネルの損失を設定, そのエミュレート波形を出力する
	(出力波形振幅は設定振幅で規格化)
	応用部品 J1758A ISI Board との組み合わせ (J1758A 選択), または外部チャネルボードとの組み合わせ (Not Specified 選択) で使用可能
周波数設定	Nyquist, 1/2 Nyquist Frequency にて Insertion Loss を設定可能
Insertion Loss 設定	1.5～25 dB 0.01 dB step @Nyquist Frequency
	0～25 dB 0.01 dB step @1/2Nyquist Frequency
Insertion Loss Accuracy *8	±1dB Nominal @Nyquist Frequency 10 dB, 1,0 繰り返しパターン,
	±1dB Nominal @1/2Nyquist Frequency 5 dB, 1, 1, 0, 0 繰り返しパターン,
	Bit rate 16 Gbit/s, 25 Gbit/s (オプション 01 実装時), Eye Amplitude 1.0 Vp-p, 各スペクトラムにて

＊1: オプション x11 またはオプション x21 を追加している場合

＊2: Post-cursor: $20\log_{10}(\frac{V_a}{V_b})$, Pre-cursor: $20\log_{10}(\frac{V_c}{V_b})$



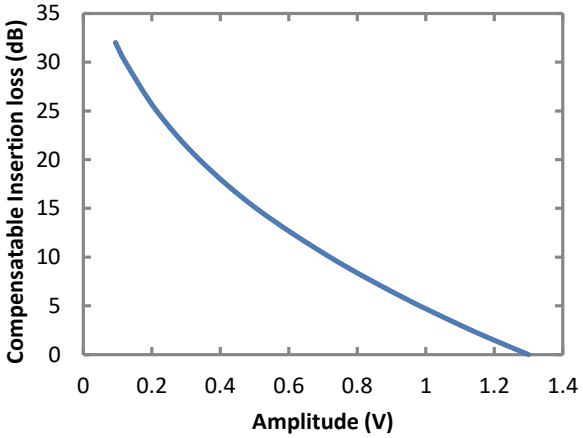
＊3: 代表値

＊4: 8, 16, 25 Gbit/s PCIe 3/4 各プリセットにて

＊5: Electrical Idle から有効データが発生される最大時間

＊6: オプション x40 またはオプション x41 を追加している場合

＊7: Channel Emulator 機能で振幅を下げることなく補償できる最大伝送路損失は以下のグラフのとおり



＊8: Insertion Loss を, 25 dB@Nyquist Frequency, 12.5 dB@1/2 Nyquist Frequency に設定したときの Insertion Loss Accuracy 周波数特性は以下のようになります。(Nominal)

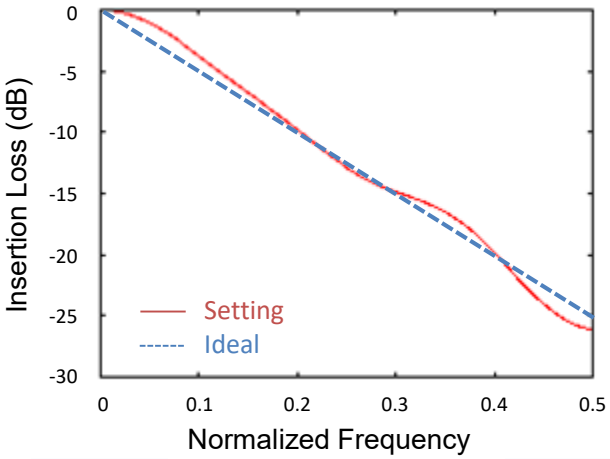


表1.3.1-13 クロック出力

項目	規格*1
周波数	
Full Rate	2.4～21.0 GHz*2
	2.4～32.1 GHz*3
	動作ビットレートはクロック出力周波数と同じです。
Half Rate	1.2～10.5 GHz*2
	1.2～16.05 GHz*3
	動作ビットレートはクロック出力周波数の 2 倍です。
出力数	1
振幅	0.3～1.0 Vp-p
出力制御	ON, OFF 切り替え有り
終端	AC, 50 Ω
コネクタ	K コネクタ (f.)

＊1: 応用部品 J1439A 同軸ケーブル (0.8 m, K コネクタ) およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

＊2: オプション x01 無し

＊3: オプション x01 有り

表1.3.1-14 データディレイ*1

項目	規格
位相設定範囲	–1000～+1000 mUI, 2 mUI step
確度	±50 mUIp-p*2,*3
mUI - ps 変換	有り
Calibration	有り
Calibration 推奨表示	次の状態になったときに画面に表示
	・ 1/1 Clock の周波数が±250 kHz 変化したとき
	・ 機器周囲温度が±5 度変化した場合

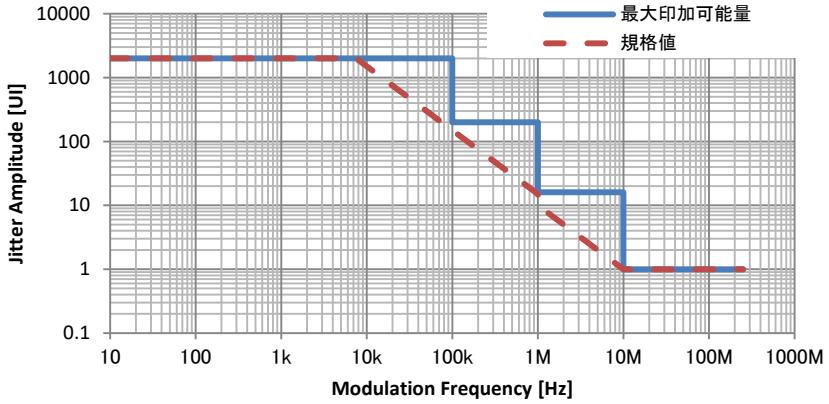
＊1: オプション x30 またはオプション x31 を追加している場合

＊2: 残留ジッタ <200 fs (RMS) のオシロスコープを使用

＊3: 代表値

表1.3.1-15　ジッタ耐力

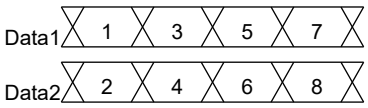
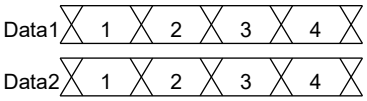
項目	規格
ジッタ耐力	ビットレート:　16 Gbit/s, 28.1 Gbit/s*, 32.1 Gbit/s* パターン:　PRBS2^{31}–1 MU181500B を使用して，振幅 5300 ppm の SSC と，0.3 UI の RJ を同時に印加可能。 MU195040A とのループバック接続，20～30°C のある 1 つの温度で規定 RJ+BUJ > 0.5 UIp-p，または SJ1+Built-in SJ2+RJ+BUJ > 規格値+0.3 UIp-p のとき，MU181500B の画面が Overload 表示となる。



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2,000	2,000
7,500	2,000	2,000
100,000	2,000	150
1,000000	200	15
10,000,000	16	1
250,000,000	1	1

＊:　オプション x01 有り

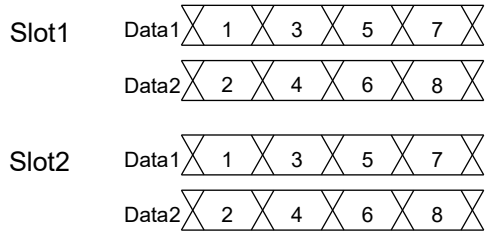
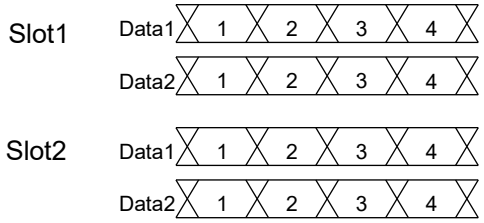
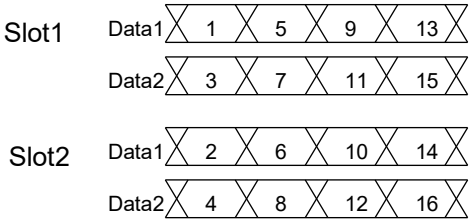
表1.3.1-16 マルチチャネル動作*1

項目	規格
コンビネーション*2 2ch Combination	42/64 Gbit/s 帯信号源として Bit 位相のずれた信号を発生します。 設定された Pattern を ch ごとに 1bit ずつ発生します。 2ch Combination をサポートします。  2ch Combination イメージ Combination 条件 ・ Module を複数用いての Combination には対応しません。
Channel Synchronization	パラレル信号発生源として先頭位置を合わせたパターンを発生します。 各 ch は独立な Test Pattern を持ち，発生のタイミングが同一になるよう制御されます。  Channel Synchronization イメージ

＊1: Test Pattern が Sequence のときはマルチチャネル動作を設定できません。

＊2: オプション x31 が必要です。

表1.3.1-16　マルチチャネル動作 (続き)

項目	規格
モジュール間コンビネーション *3	Combination Setting 条件 ・ モジュール同士のオプションも同じであること ・ スロット 1～4:　2ch CH Sync, CH Sync, 64G × 2ch Combination ・ 対象のモジュールが Slot1 から連続で実装されていること
2ch CH Sync*4	2ch Combination のモジュール間 Sync: 各モジュールの DataX が同期  2ch CH Sync イメージ
CH Sync	モジュール間の Sync: 各 Data Ch が同期  CH Sync イメージ
64G × 2ch Combination*4	2ch Combination のモジュール間 Sync: 各モジュールの DataX が 1/4 周期ずれ  64G × 2ch Combination イメージ

＊3: オプション x30 またはオプション x31 が必要です。

＊4: オプション x31 のみ

表1.3.1-16 マルチチャネル動作 (続き)

項目	規格
出力	
位相設定範囲	–64 000～+64 000 mUI*5
位相設定分解能	2 mUI*5
パターン	
Data	
データ長	2 × n～268435456 × n bits, n bits step*6
Mixed	
列の長さ	2048 × n～(268435456 +2^{31}) × n, 1024 × n bits step*6
データ長	1024 × n～268435456 × n bits, n bits step*6
バースト	
バーストサイクル	25600 × n～2147483648 × n bits, 1024 × n bits step*6
周期	Internal: 12800 × n～2147483392 × n bits, 256 × n bits step*6
	Ext Trigger: 12800 × n～2147483648 × n bits, 256 × n bits step*6
パルス幅	0～(バーストサイクル – 128) × n bits, 8 × n bits step*6
ディレイ	0～(バーストサイクル – 128) × n bits, 8 × n bits step*6
Gating Output Repeat (Data)	
パルス幅	0 × n～268435328 × n, 8 × n bits step*6
ディレイ	0 × n～268435328 × n, 8 × n bits step*6
Repeat (Mixed)	
パルス幅	0 × n～(2^{31} + 268435456 – 128) × n, 8 × n bits step*6
ディレイ	0 × n～(2^{31} + 268435456 – 128) × n, 8 × n bits step*6

＊5: 各チャネル独立で設定可能, コンビネーションとチャネル同期で共通

＊6: コンビネーション設定されているすべてのチャネルで共通

表1.3.1-17 一般性能

項目	規格
寸法	21 mm (H), 234 mm (W), 175 mm (D) ただし, 突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～35°C
保存温度	–20～60°C

表1.3.1-18　拡張機能

項目	規格
PCIe	MX183000A で制御されることで下記 PCIe のテストをサポートします。
対応規格	PCI Express Base Specification Revision 4.0 Version 0.5, 0.7, 1.0 PCI Express Base Specification Revision 5.0 Version 1.0 ビットレート: PCIe Gen1, Gen2, Gen3, Gen4, Gen5 レーン数: × 1 テスト対象: Root Complex, End Point
必要オプション	オプション x10/x11 または x20/x21
必要ソフトウェア	MX183000A-PL011: PCIe LTSSM に従い, Loopback ステートに遷移させるために必要な Training Sequence を発生し, DUT を Loopback 状態にすることが可能。 MX183000A-PL021: PCIe LTSSM に従い, DUT との Negotiation をサポートし, DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL021 では, MU195020A, MU195040A が各 1 枚必要。) MX183000A-PL025: PL021 の機能を PCIe 5.0 まで拡張することが可能。 上記ソフトウェアの各オプションに, MX183000A-PL001 を追加することで, MU195020A, MU181500B, MU195040A を制御し, Jitter Tolerance Test をサポート可能。
Loopback Through	Configuration, Recovery
テストパターン	Modified Compliance Pattern Insert Delay Symbol: Enable, Disable (Gen1, Gen2 のとき有効) Insert SRIS: Enable, Disable (Gen3, Gen4, Gen5 のとき有効) Compliance Pattern Insert Delay Symbol: Enable, Disable (Gen1, Gen2 のとき有効) User PRBS, Data (8.「表1.3.1-6 パターン発生」で規定したパターン)
SKP Ordered Set Insertion	Enable, Disable
SKP Length/Insertion	Gen1, Gen2 のとき Length: COM+1, COM+2, COM+3, COM+4, COM+5 Interval: 768～3076, 1 step Gen3, Gen4, Gen5 のとき Length: 8, 12, 16, 20, 24 Interval: 187～750, 1 step
Dynamic Link Training	MX183000A-PL021 使用時対応
Ling training repeat	1～15 (MX183000A-PL021 使用時)

表1.3.1-18 拡張機能 (続き)

項目	規格
カウンタ	Tx SKP Count, Rx SKP Count (MX183000A-PL021 使用時) Error Rate, Error Count (MX183000A-PL021 使用時)
エラー付加	Modified Compliance Pattern, Compliance Pattern に対して規定
付加方法	Repeat, Single
比率	*E– n (*=1～9, n=3～12), 上限は 5.0E–3
PAM4	MZ1834A/B, G0375A と組み合わせることにより, 下記をサポートします。 PAM4 信号の発生 ・ Amplitude (Single-ended) 0.048～0.310 Vp-p (MZ1834A) ・ Amplitude (Single-ended) 0.048～0.489 Vp-p (MZ1834B) ・ Amplitude(Single-ended) 0.3～1.95 Vp-p (G0375A) PAM4 Emphasis 信号の発生 (オプション x11 またはオプション x21 実装時) ・ Emphasis Peak Voltage (Single-ended) 0.048～0.357 Vp-p (MZ1834A) ・ Emphasis Peak Voltage (Single-ended) 0.048～0.564 Vp-p (MZ1834B) ・ Emphasis Peak Voltage (Single-ended) 0.3～2.25 Vp-p (G0375A)
USB 対応規格 必要オプション 必要ソフトウェア	MX183000A で制御されることで下記 USB のテストをサポートします。 USB3.0/3.1 オプション x10/x11 または x20/x21 MX183000A-PL022: USB LTSSM に従い, DUT との Negotiation をサポートし, DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL022 では, MU195020A, MU195040A が各 1 枚必要。) 上記ソフトウェアの各オプションに, MX183000A-PL001 を追加することで, MU195020A, MU181500B, MU195040A を制御し, Jitter Tolerance Test をサポート可能。

1.3.2　MU195040A規格

表1.3.2-1　動作ビットレート

項目	規格
動作ビットレート	2.4～21.0 Gbit/s*1 2.4～32.1 Gbit/s*2

＊1: オプション x01 無し

＊2: オプション x01 有り

表1.3.2-2　システムクロック

項目	規格
システムクロック	External, Clock Recovery, Clock and Data Recovery 選択可能*

＊: オプション x22 実装時に選択可能。未実装時は External のみ。Data1 Input に入力されたデータからクロック再生。

表1.3.2-3 データ入力

項目	規格
入力数	2 (Data, XData) (Differential)*1
	4 (Data1, XData1, Data2, XData2) (Differential)*2
Amplifier	Single-Ended 50 Ω, Differential 50 Ω, Differential 100 Ω選択可能
	Single-ended 50 Ω選択時: Data, XData 選択可能
	Differential 50/100 Ω設定時: Tracking, Independent, Alternate 選択可能
	Alternate 設定時: Data-XData, XData-Data 選択可能*3
	CTLE: オン, オフ切り替え有り*4
フォーマット	NRZ, PAM4
振幅*5	0.05～1.0 Vp-p (NRZ) 0.3～1.0 Vp-p (PAM4, ≤ 28.1 Gbaud) 0.4～1.0 Vp-p (PAM4, > 28.1 Gbaud)
しきい値	–3.5～+3.3 V (1 mV step) (独立設定可能)
	(Data, XData Threshold の差分の絶対値は 3 V 以下)

＊1: オプション x10

＊2: オプション x20

＊3: Data, XData Threshold の差分の絶対値は 1.5 V 以下

＊4: オプション x11 またはオプション x21

＊5: NRZ 入力時の振幅は Auto Adjust 機能が動作する範囲です。PAM4 入力時の振幅は PAM4 Auto Search 機能が動作する範囲です。感度はエラーフリーとなる最小入力振幅です。

表1.3.2-3　データ入力（続き）

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>感度</td><td>
NRZ*5,*6*,7
<table>
<tr><td></td><td colspan="2">ビットレート</td></tr>
<tr><td></td><td>21.0 Gbit/s</td><td>28.1 Gbit/s*8</td></tr>
<tr><td>振幅</td><td>19 mVp-p*9, ≤27 mVp-p</td><td>22 mVp-p*9, ≤31 mVp-p</td></tr>
<tr><td>アイ高さ*10</td><td>13 mV*9</td><td>15 mV*9</td></tr>
</table>
PAM4*5,*7,*11
<table>
<tr><td></td><td colspan="2">ボーレート</td></tr>
<tr><td></td><td>21.0 Gbaud</td><td>28.1 Gbaud*8</td></tr>
<tr><td>振幅</td><td>120 mVp-p*9, 40 mV/Eye</td><td>150 mVp-p*9, 50 mV/Eye</td></tr>
<tr><td>アイ高さ</td><td>24 mV*9</td><td>26 mV*9</td></tr>
</table>
</td></tr>
</table>

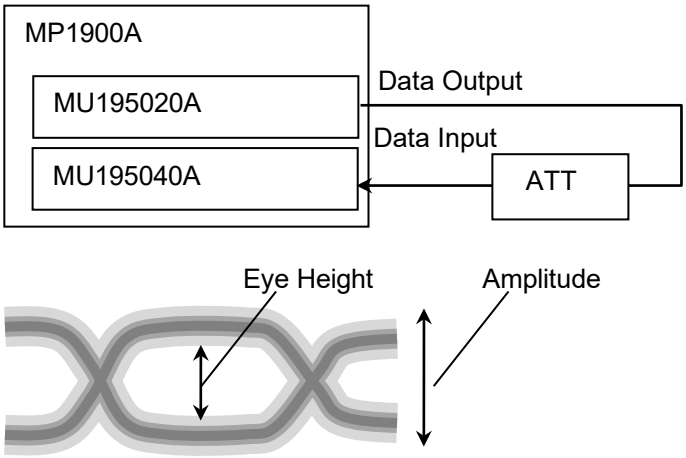
＊6: PRBS31, Single-Ended, マーク率 1/2, CTLE OFF

＊7: 20～30°C のある 1 つの温度で規定

＊8: オプション x01

＊9: 代表値

＊10: Eye Height の感度です。
次の図に示す測定系（出力振幅の観測には帯域 70 GHz 以上のサンプリングオシロスコープを使用）で, MU195020A + ATT の出力信号を受信したときにエラーフリーとなる最小の Eye Height です。



＊11: PRBS15, Single-Ended, マーク率 1/2 相当, CTLE OFF, MU195020A + G375A 対向

表1.3.2-3 データ入力 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>位相マージン</td><td>
NRZ*6,*12
<table>
<tr><td></td><td colspan="4">ビットレート</td></tr>
<tr><td></td><td>21.0 Gbit/s</td><td>25.0 Gbit/s*8</td><td>28.1 Gbit/s*8</td><td>32.1 Gbit/s*8</td></tr>
<tr><td>位相マージン</td><td>33 ps*9</td><td>27 ps*9</td><td>20 ps*9</td><td>18 ps*9</td></tr>
</table>
PAM4 Middle*11,*13
<table>
<tr><td></td><td colspan="4">ボーレート</td></tr>
<tr><td></td><td>21.0 Gbaud</td><td>25.0 Gbaud*8</td><td>28.1 Gbaud*8</td><td>32.1 Gbaud*8</td></tr>
<tr><td>位相マージン</td><td>13 ps*9</td><td>8 ps*9</td><td>5 ps*9</td><td>2 ps*9</td></tr>
<tr><td>アイ幅</td><td>26.5 ps*9</td><td>20 ps*9</td><td>15 ps*9</td><td>13 ps*9</td></tr>
</table>
PAM4 Upper/Lower*11,*13
<table>
<tr><td></td><td colspan="3">ボーレート</td></tr>
<tr><td></td><td>21.0 Gbaud</td><td>25.0 Gbaud*8</td><td>28.1 Gbaud*8</td></tr>
<tr><td>位相マージン</td><td>8 ps*9</td><td>5 ps*9</td><td>3 ps*9</td></tr>
<tr><td>アイ幅</td><td>26.5 ps*9</td><td>20 ps*9</td><td>15 ps*9</td></tr>
</table>
</td></tr>
<tr><td>終端</td><td>GND, 50 Ω,
Variable, 50 Ω</td></tr>
<tr><td>終端電圧
コネクタ
CTLE*4
Band
CTLE ゲイン
設定範囲
確度
振幅</td><td>Termination Variable 設定時: –2.5～+3.5 V, 10 mV step
K コネクタ (f.)

OFF, 8-10 Gbit/s, 16-20 Gbit/s, 25-28 Gbit/s, PCIe3, PCIe4, PCIe5

0～–12 dB, 0.1 dB step
±0.5 dB*9
0.05～0.4 Vp-p*14</td></tr>
</table>

＊12: 0.5 Vp-p Input, External Clock 使用時

＊13: Emphasis ON (1Pre ≤ 3 dB/1Post ≤ 1 dB の範囲内の最良値), IEEE802.3bs の測定方法に準拠

＊14: CTLE が ON 時に飽和しない入力範囲です。

表1.3.2-4　クロック入力

項目	規格
入力数	1 (シングルエンド)
周波数	1.2～16.05 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm)
終端	AC, 50 Ω
コネクタ	SMA コネクタ (f.)

表1.3.2-5　補助入力, 補助出力

項目	規格
補助入力 (Aux Input)	
入力数	1 (シングルエンド)
Variation	External Mask, Burst, Capture External Trigger
最小パルス幅	データレートの 1/128
入力レベル	・ 0/–1 V (H: –0.25～0.05 V, L: –1.1～–0.8 V) ・ 0/–0.5 V (H: –0.05～0.05 V, L: –0.55～–0.45 V) ・ Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	GND, 50 Ω
コネクタ	SMA コネクタ (f.)
補助出力 (Aux Output)	
出力数	2 (差動出力)
Variation	1/n Clock (n = 4, 6, 8, 10…510, 512), Pattern Sync*, Sync. Gain, Error Output
パターン同期	
PRBS, PRGM	Position:　1～(Pattern Length'と 128 の最小公倍数 – 135), 8 step Pattern Length'は Pattern Length が 511 以下のとき, 512 以上になるように整数倍した値
Mixed Data	Block No 設定:　1～(Mixed Data 指定の Block No), 1 step Row No 設定:　1～(Mixed Data 指定の Row No), 1 step
出力レベル	0/–0.6 V (H: –0.25～0.05V, L: –0.80～–0.45 V)
終端	GND, 50 Ω
コネクタ	SMA コネクタ (f.)

＊:　Test Pattern が HSSB Data のときは選択できません。

表1.3.2-6 パターン検出

項目	規格
PRBS	
パターン長	2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31)
マーク率	1/2 (論理反転により 1/2INV が可能)
Zero-Substitution	
付加ビット	0 bit, 1 bit
パターン長	2^n または 2^n-1 (n = 7, 9, 10, 11, 15, 20, 23)
開始位置	最大 “0” 連続ビット位置の次ビットから置換
ゼロビットの長さ	1～(Pattern Length – 1) bits “0” 置換後の次ビットが “0” の場合は, “1” に置換します。
Data	
データ長	2～268435456 bits, 1 bit step
Mixed Pattern	
パターン切替	Data
Mixed Block	下記のいずれか小さい数まで 1～511 Block, 1 Block step $\mathrm{INT}\left(\frac{268435456}{\text{ROW数}}\times\text{データ長}\right)$ bits $\mathrm{INT}\left(\frac{268435456+2^{31}}{\text{ROWの長さ}}\times\text{ROW数}\right)$ bits
Mixed Row Length	2048～$268435456+2^{31}$ bits, 1024 bits step (Data + PRBS Length)
データ長	1024～268435456 bits, 1 bit step
Row 数	1～16, 1 step
Block 数	1～511, 1 step
PRBS 段数, マーク率	PRBS と同様
PRBS Sequence	Restart, Consecutive
デスクランブル	各 Block の PRBS, Data ごとに設定可能 (Block1 の Data 領域を除く)
PAM4*1	
パターン種別	Square Wave, JP03A, JP03B, PRQS10, SSPR, QPRBS13, QPRBS13-CEI, SSPRQ, Transmitter Linearity, PRBS13Q, PRBS31Q, User Define
User Define 選択時	
Raw Data	PRBS, Data
PRBS 段数	PRBS と同様
PRBS Inversion	PRBS 部の Logic 設定
データ長	Data と同様
Gray Coding	グレイコード機能の ON/OFF 設定

＊1: 2ch コンビネーション設定時のみ設定可能

表1.3.2-6　パターン検出 (続き)

項目	規格
HSSB Data*2	
Specification	PCIe1, PCIe2, PCIe3, PCIe4, USB3.0, USB3.1 Gen2
EIEOS	EIEOS Insertion: ON,OFF
	EIEOS Interval: 1～65536 pattern repeats, 1 step
	Specification PCIe1, PCIe2, PCIe3, および PCIe4 のとき有効
	PCIe3, PCIe4 のとき, EIEOS Insertion ON のみ選択可能
SYNCOS	SYNC OS Insertion: ON,OFF
	SYNC OS Interval: 1～65536 pattern repeats, 1 step
	Specification USB3.0 のとき OFF のみ選択可能
	Specification USB3.1 Gen2 のとき有効
Scrambler Seed	Specification で PCIe1, 2, USB3.0 選択時: FFFF
	Specification で PCIe3, 4 選択時以下から選択: Lane0, Lane1, Lane2, Lane3, Lane4, Lane5, Lane6, Lane7
	Specification で USB3.1 Gen2 選択時: 1DBFBC
PCIe1	
Length	32～1024 bit, 8bit step
Coding	8b10b
PCIe2	
Length	32～1024 bit, 8bit step
Coding	8b10b
PCIe3	
Length	128～1024 bit, 128bit step
Coding	128b130b
PCIe4	
Length	128～1024 bit, 128bit step
Coding	128b130b
USB3.0	
Length	32～1024 bit, 8bit step
Coding	8b10b
USB3.1 Gen2	
Length	128～1024 bit, 128bit step
Coding	128b132b

＊2:　Data1 かつ Independent 時のみ設定可能

表1.3.2-6 パターン検出 (続き)

項目	規格
HSSB Data*2 (続き)	
8b10b Pattern Editor	
Notation	Symbol, Bin, Hex
Scrambler Enable	対象 Symbol に Scramble をかけます。
	ON, OFF
Scrambler Reset	対象 Symbol で Scrambler の Seed 値を Reset します。
	ON, OFF
Code	K-code, D-code
K code	K28.0, K28.1, K28.2, K28.3, K28.4, K28.5, K28.6, K28.7
	K23.7, K27.7, K29.7, K30.7
D code	D0.0～D31.7
MSB First / LSB First	MSB First, LSB First
128b130b Pattern Editor	
Notation	Bin, Hex
Scrambler Enable	対象 Symbol に Scramble をかけます。
	ON, OFF
Scrambler Reset	対象 Symbol で Scrambler の Seed 値を Reset します。
	ON, OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。
	ON, OFF
Sync Header	2bit の Sync Header を定義します。
MSB First / LSB First	MSB First, LSB First
128b132b Pattern Editor	
Notation	Symbol Bin, Symbol Hex
Scrambler Enable	対象 Symbol に Scramble をかけます。
	ON, OFF
Scrambler Reset	対象 Symbol で Scrambler の Seed 値を Reset します。
	ON, OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。
	ON, OFF
Sync Header	4bit の Sync Header を定義します。
MSB First / LSB First	MSB First, LSB First

表1.3.2-7　パターンシーケンス

項目	規格
Sequence	Repeat, Burst
Repeat	連続 Pattern
バースト	
トリガ源	Internal, External-Trigger (Aux Input), External-Enable (Aux Input)
ディレイ	Internal: 0～2147483640 bits, 8 bits step
	Ext Trigger, Enable: 0～2147483520 bits, 8 bits step
	Adjust Method: Auto, Manual
周期	Internal: 12800～2147482624 bits, 256 bits step
	Ext Trigger: 12800～2147483392 bits, 256 bits step
バーストサイクル	25600～2147483648 bits, 1024 bits step

表1.3.2-8 測定

項目	規格	
測定種別	エラーレート:	0.0001E–18～1.0000E00
	エラー数:	0～9999999, 1.0000E07～9.9999E17
	エラーインターバル:	0～9999999, 1.0000E07～9.9999E17
	エラーフリーインターバル (%):	0.0000～100.0000
	周波数:	2400.000～32100.000 MHz
	周波数測定確度:	±1 ppm ±1 kHz*
	クロック数:	0～9999999, 1.0000E07～9.9999E17
	同期ロスインターバル:	0～9999999, 1.0000E07～9.9999E17
	クロックロスインターバル:	0～9999999, 1.0000E07～9.9999E17
ゲート方法	Time, Clock Count, Error Count, Block Count	
ゲート単位, 設定範囲	時間:	1 秒～99 日 23 時間 59 分 59 秒
	クロック数:	> E+4～> E+16
	エラー数:	> E+4～> E+16
	ブロック数:	> E+2～> E+14
サイクル	Single, Repeat, Untimed	
現在値表示	On, Off	
	Calculation:	Progressive, Immediate
	Interval:	100 ms, 200 ms, 500 ms
自動同期	On, Off	
	Sync. Threshold:	INT, E–2～E–8
同期制御	PRBS:	読み込み方式
	Data:	Frame On, Quick
	Mixed-Data:	Frame On
	HSSB Data:	読み込み方式
フレーム長	4～64 bits, 4 bits step	
フレームマスク	有り	
フレーム位置	1～(Pattern Length – Frame Length +1) bits, 1 bit step	
エラー/アラーム状態		
エラー検出	・ Total, Insertion, Omission	
	・ Transition, Non Transition	
EI/EFI インターバル	1 ms, 10 ms, 100 ms, 1 s	
SKP OS Filtering	以下の規格に準拠した SKP OS を除去する機能。	
	・ PCIe:	Gen1, Gen2, Gen3, Gen4, Gen5
	それぞれの規格のビットレートでのみ動作可能。	
	パターンが HSSB Data のとき, ON のみ有効	

＊: Gating 方式は MP1900A の基準クロック 10 MHz が校正された状態にて

表1.3.2-9　エラー解析

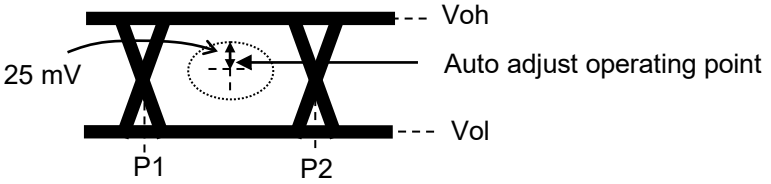
項目	規格	
ブロックウィンドウ	Data パターンを設定に応じて測定対象から除外	
	Mixed Pattern 時, HSSB Data 時は無効	
設定分解能	パターン長 (bits)	Step [bits]
	2～2097152	1
	2097153～4194304	2
	4194305～8388608	4
	8388609～16777216	8
	16777217～33554432	16
	33554433～67108864	32
	67108865～134217728	64
	134217729～268435456	128
ビットウィンドウ*1	内部 32ch のうち任意の ch を測定対象から除外	
外部マスク*1	H:　測定	
	L:　Mask	
キャプチャ機能*1		
ブロック数	1, 2, 4, 8, 16, 32, 64, 128	
ブロック長	$\frac{8\text{Mbits}}{n}$ (n = ブロック数)	
トリガ	Error Detect, Match Pattern, Manual Trigger, External Trigger (Rising Edge)	
トリガ位置	Top, Middle, Bottom	
マッチパターン	4～64, 4 bits step	
自動測定	アイマージン*1,*2, バスタブ曲線*1,*2, Eye Contour*1,*2, PAM4 BER 測定	
	Auto Adjust*3,*4,*5, Auto Search*3, Auto Search PAM4 モード*6	

＊1: HSSB Data 時は無効

＊2: システムクロックを Clock and Data Recovery に設定したときは選択不可

＊3: NRZ, PRBS パターンかつマーク率 1/2

＊4: Auto Adjust 機能で得られる最適点は, 電圧方向は (Voh + Vol) / 2 付近, 位相方向は (P1 + P2) / 2 付近のポイントです。Auto Adjust 機能は, オシロスコープで波形を観測したとき, Auto adjust operating pointから電圧方向に±25 mV 以内にサンプルポイントがない波形で正常に動作します。



＊5: 入力信号の Eye 波形が対称ではないときは, Auto Adjust 機能で最適点を得られません。入力信号の Eye 波形が非対称のときは, Auto Search Fine の使用を推奨します。

＊6: PAM4 波形の各レベルが均等であること。PRBS パターンかつマーク率 1/2

表1.3.2-10 PAM4 BER Measurement

項目	規格
PAM4 BER Measurement	下記パターンを設定可能 ・ GrayPRBS7, 9, 10, 11, 13Q-IEEE200G_400G[Draft2], 15,20 ・ GrayPrePRBS20 ・ GrayPreQPRBS13-CEI ・ GrayPreQPRBS13-IEEE100GBASE-KP4_Lane0, 1, 2, 3 ・ GrayPRQS10 ・ GrayQPRBS13-CEI ・ GrayQPRBS13-IEEE100GBASE-KP4_Lane0, 1, 2, 3 ・ GraySSPR ・ PRBS7, 9, 10, 11, 13Q-IEEE200G_400G[Draft2], 15, 20 ・ PrePRBS20 ・ PreQPRBS13-CEI ・ PRQS10 ・ QPRBS13-CEI ・ QPRBS13-IEEE100GBASE-KP4_Lane0, 1, 2, 3 ・ Squarewave ・ SSPR ・ SSPRQ ・ Transmitter_Linearity

表1.3.2-11 可変クロックディレイ

項目	規格
位相設定範囲	–1000～+1000 mUI, 2 mUI step
確度	±50 mUIp-p*1,*2
mUI - ps 変換	有り
Calibration	有り
Calibration 推奨表示	Calibration 実施後，次の状態になったときに画面に表示 ・ 1/1Clock の周波数が±250 kHz 変化した場合 ・ 機器周囲温度が±5°C 変化した場合

＊1: 残留ジッタ <200 fs (RMS) のオシロスコープを使用

＊2: 代表値

表1.3.2-12　クロックリカバリ

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>クロックソース切り替え</td><td>Clock Recovery，Clock and Data Recovery 選択可能*1</td></tr>
<tr><td>動作ビットレート</td><td>
<table>
<tr><th>NRZ</th><th>PAM4</th></tr>
<tr><td>2.4～21.0 Gbit/s*2
2.4～32.1 Gbit/s*3</td><td>2.4～21.0 Gbaud*2
2.4～28.1 Gbaud*3
28.100 001～32.1 Gbaud*3,*4</td></tr>
</table>
</td></tr>
<tr><td>設定範囲</td><td>2.400000～21.000000 Gbit/s, 0.000001 Gbit/s step*2
2.400000～32.100000 Gbit/s, 0.000001 Gbit/s step*3</td></tr>
<tr><td>対応規格ビットレート</td><td>オプション x22 実装時
<table>
<tr><th>規格</th><th>Bit rate [Gbit/s]</th></tr>
<tr><td>100G ULH</td><td>32.100000*3</td></tr>
<tr><td>PCI Express Gen5</td><td>32.000000*3</td></tr>
<tr><td>32GFC</td><td>28.050000*3</td></tr>
<tr><td>100G OTU4</td><td>27.952496*3</td></tr>
<tr><td>100GbE(25.78x4)</td><td>25.781250*3</td></tr>
<tr><td>InfiniBand EDR</td><td>25.781250*3</td></tr>
<tr><td>SAS</td><td>24.000000*3</td></tr>
<tr><td>Thunderbolt2</td><td>20.625000</td></tr>
<tr><td>PCI Express Gen4</td><td>16.000000</td></tr>
<tr><td>InfiniBand FDR</td><td>14.062500</td></tr>
<tr><td>16G FC</td><td>14.025000</td></tr>
<tr><td>10G FC Over FEC</td><td>11.316800</td></tr>
<tr><td>10GbE Over FEC</td><td>11.095700</td></tr>
<tr><td>OTU2</td><td>10.709225</td></tr>
<tr><td>G975 FEC</td><td>10.664228</td></tr>
<tr><td>10G FC</td><td>10.518750</td></tr>
<tr><td>10GbE</td><td>10.312500</td></tr>
<tr><td>Thunderbolt1</td><td>10.312500</td></tr>
<tr><td>InfiniBand QDR</td><td>10.000000</td></tr>
<tr><td>USB3.1</td><td>10.000000</td></tr>
<tr><td>OC-192/STM-64</td><td>9.953280</td></tr>
<tr><td>8G FC</td><td>8.500000</td></tr>
<tr><td>PCI Express Gen3</td><td>8.000000</td></tr>
<tr><td>HSBI</td><td>6.250000</td></tr>
<tr><td>SATA 6Gb/s</td><td>6.000000</td></tr>
<tr><td>PCI Express Gen2</td><td>5.000000</td></tr>
<tr><td>USB3.0</td><td>5.000000</td></tr>
<tr><td>InfiniBand DDR</td><td>5.000000</td></tr>
<tr><td>4G FC</td><td>4.250000</td></tr>
<tr><td>XAUI</td><td>3.125000</td></tr>
<tr><td>SATA 3Gb/s</td><td>3.000000</td></tr>
<tr><td>OTU1</td><td>2.666060</td></tr>
<tr><td>InfiniBand SDR</td><td>2.500000</td></tr>
<tr><td>PCI Express Gen1</td><td>2.500000</td></tr>
<tr><td>OC-48/STM-16</td><td>2.488320</td></tr>
</table>
</td></tr>
</table>

＊1: オプション x22 実装時に選択可能。Data1 Input に入力されたデータからクロック再生。
入力パターンは，NRZ，PRBS パターンかつマーク率 1/2。

PAM4 指定時は PRBS15 Data1 Middle でクロックリカバリを行い, Data2 にて Upper/Middle/Lower 測定を行う。MU195020A + J1741A + G0375A + J1728A 対向時, Target ループ帯域は各 Bit rate の最大設定値で規定。

＊2: オプション x22 有り

＊3: オプション x01 有り

＊4: 代表値, BER 1.0E–7

表1.3.2-12 クロックリカバリ (続き)

項目	規格
動作ビットレート追従機能	あり。 同一筐体内にある PPG の動作ビットレートに追従します。
0 連続耐力*5	72 bit (Zero Substitution 2^{15})
ロック範囲*5	±200 ppm
ターゲットループ帯域	$\frac{\text{Bit rate}}{1667}$ MHz, $\frac{\text{Bit rate}}{2578}$ MHz, Jitter Tolerance*6, Variable から選択可能。 Variable 選択時は下記の設定が可能。

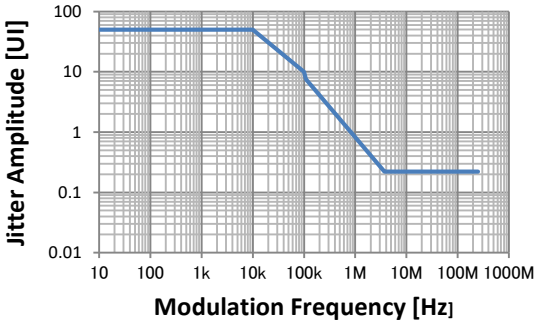
Bit rate [Gbit/s]	設定範囲 [MHz]	Step [MHz]
2.400000～5.500000	3	-
5.500001～7.500000	3～4	1
7.500001～9.500000	3～5	1
9.500001～10.500000	3～6	1
10.500001～12.500000	3～7	1
12.500001～14.500000	3～8	1
14.500001～15.500000	3～9	1
15.500001～17.500000	3～10	1
17.500001～19.500000	3～11	1
19.500001～20.500000	3～12	1
20.500001～22.500000	3～13	1
22.500001～24.500000	3～14	1
24.500001～25.500000	3～15	1
25.500001～27.500000	3～16	1
27.500001～29.500000	3～17	1
29.500001～30.500000	11～18	1
30.500001～32.100000	11～19	1

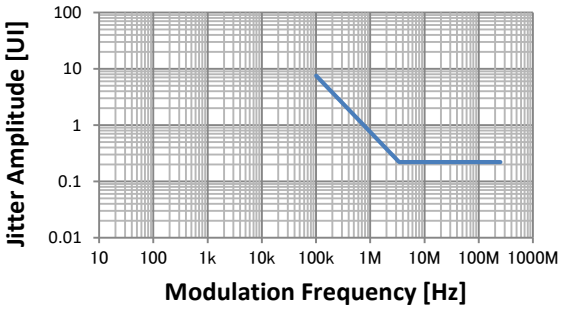
＊5: オプション x22 実装時:

ターゲットループ帯域は各ビットレートの最大設定値で規定。

＊6: Jitter Tolerance 測定用に, ループ帯域を広く設定します。

表1.3.2-12　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
クロックリカバリ*7,*8</td><td>ビットレート 28.05 Gbit/s, 32G FC Jitter Tolerance Mask 準拠


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>10</td><td>50</td></tr>
<tr><td>10,000</td><td>50</td></tr>
<tr><td>100,000</td><td>10</td></tr>
<tr><td>108,805</td><td>7.5</td></tr>
<tr><td>3,709,271</td><td>0.22</td></tr>
<tr><td>250,000,000</td><td>0.22</td></tr>
</table>
ビットレート 25.78125 Gbit/s, 100GbE (25.78 × 4) Jitter Tolerance Mask 準拠


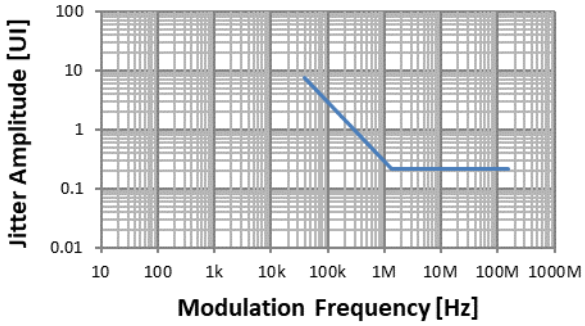
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>100,000</td><td>7.5</td></tr>
<tr><td>3,409,256</td><td>0.22</td></tr>
<tr><td>250,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

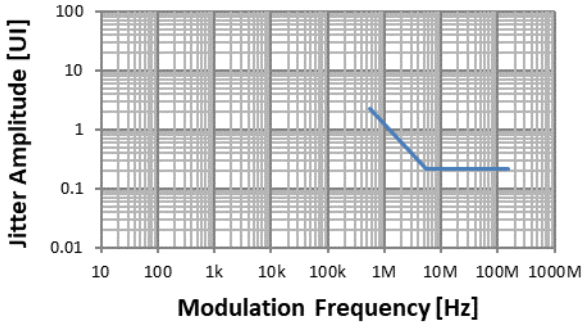
＊7: MU195020A とのループバック, PRBS2^31–1, データ入力振幅 0.05 Vp-p にて規定

＊8: 代表値, 20～30°C にて規定

表1.3.2-12 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力

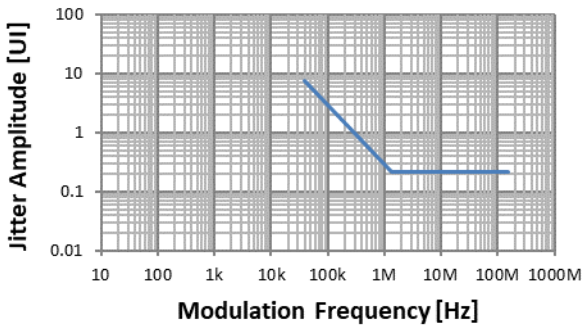
クロックリカバリ
(続き)</td><td>ビットレート 14.0625 Gbit/s, InfiniBand FDR Jitter Tolerance Mask 準拠


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>7.5</td></tr>
<tr><td>1,363,636</td><td>0.22</td></tr>
<tr><td>150,000,000</td><td>0.22</td></tr>
</table>
ビットレート 14.025 Gbit/s, 16G FC Jitter Tolerance Mask 準拠


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>561,000</td><td>2.25</td></tr>
<tr><td>5,535,929</td><td>0.22</td></tr>
<tr><td>150,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

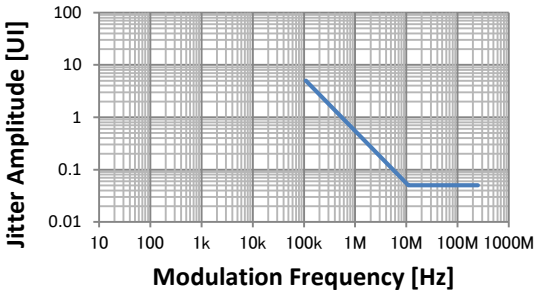
表1.3.2-12　クロックリカバリ (続き)

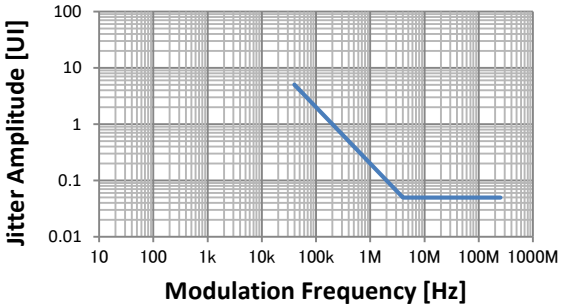
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力

クロックリカバリ
(続き)</td><td>ビットレート 10.3125 Gbit/s, 10GbE Jitter Tolerance Mask 準拠


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>7.5</td></tr>
<tr><td>1,363,636</td><td>0.22</td></tr>
<tr><td>150,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

表1.3.2-12 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
クロックデータリカバリ</td><td>MU181500B を使用して，振幅 5300 ppm の SSC を同時に印加可能。
ビットレート 28.05 Gbit/s


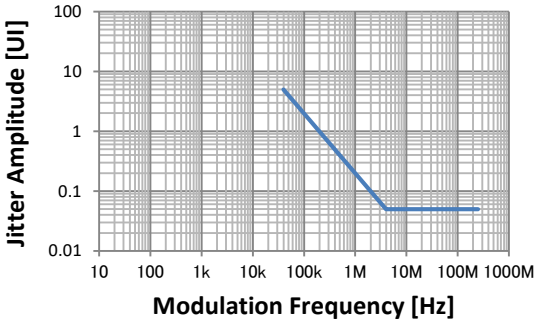
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>108,805</td><td>5</td></tr>
<tr><td>10,880,528</td><td>0.05</td></tr>
<tr><td>250,000,000</td><td>0.05</td></tr>
</table>
ビットレート 25.78125 Gbit/s,


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>5</td></tr>
<tr><td>4,000,000</td><td>0.05</td></tr>
<tr><td>250,000,000</td><td>0.05</td></tr>
</table></td></tr>
</table>

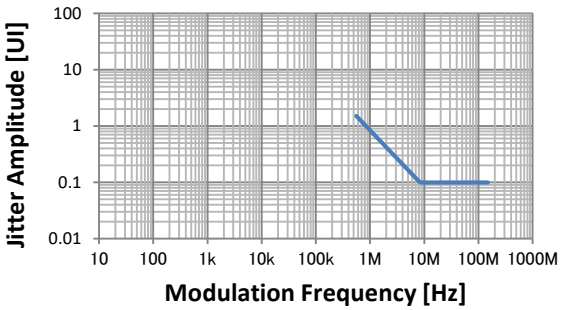
表1.3.2-12　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力

クロックデータリカバリ
(続き)</td><td>ビットレート 14.0625 Gbit/s



<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>5</td></tr>
<tr><td>4,000,000</td><td>0.05</td></tr>
<tr><td>150,000,000</td><td>0.05</td></tr>
</table>
ビットレート 14.025 Gbit/s



<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>561,000</td><td>1.5</td></tr>
<tr><td>8,413,317</td><td>0.1</td></tr>
<tr><td>150,000,000</td><td>0.1</td></tr>
</table></td></tr>
</table>

表1.3.2-12 クロックリカバリ (続き)

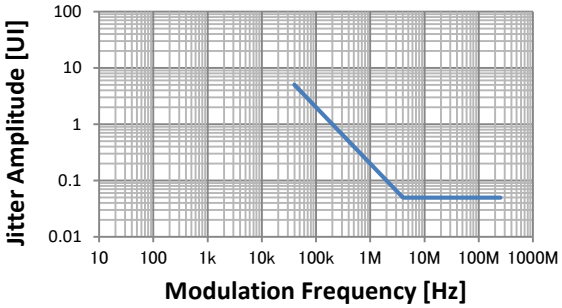
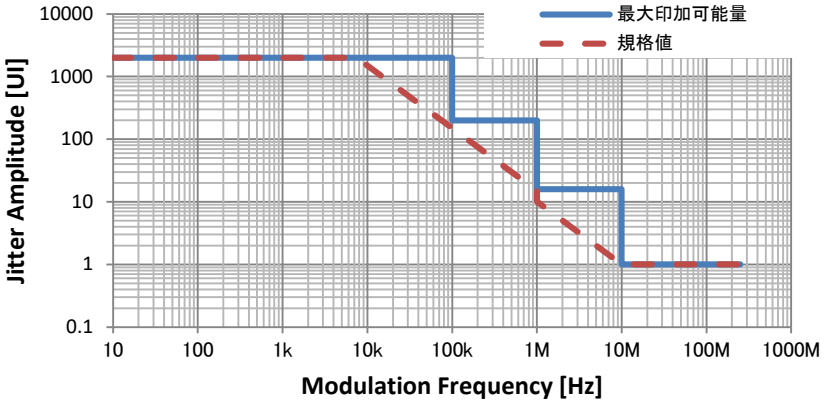
項目	規格
ジッタ耐力 クロックデータリカバリ (続き)	ビットレート 10.3125 Gbit/s  変調周波数 (Hz) / ジッタ耐力マスク (UIp-p) 40,000 / 5 4,000,000 / 0.05 250,000,000 / 0.05

表1.3.2-13　ジッタ耐力

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
　外部クロック使用時</td><td>ビットレート:　16 Gbit/s, 28.1 Gbit/s*, 32.1 Gbit/s*
パターン:　PRBS2³¹–1
MU181500B を使用して，振幅 5300 ppm の SSC と，0.3 UI の RJ を同時に印加可能。
MU195020A とのループバック接続，20～30°C のある 1 つの温度で規定
RJ+BUJ > 0.5 UIp-p，または SJ + RJ + BUJ > 規格値+0.3 UIp-p のとき，MU181500B の画面が Overload 表示となる。


<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量 [UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2,000</td><td>2,000</td></tr>
<tr><td>7,500</td><td>2,000</td><td>2,000</td></tr>
<tr><td>100,000</td><td>2,000</td><td>150</td></tr>
<tr><td>1,000000</td><td>200</td><td>15</td></tr>
<tr><td>10,000,000</td><td>16</td><td>1</td></tr>
<tr><td>250,000,000</td><td>1</td><td>1</td></tr>
</table>
</td></tr>
</table>

＊:　オプション x01 有り

表1.3.2-14 マルチチャネル動作*1

項目	規格
コンビネーション*2	
チャネル数	2
パターン	Combination 時の設定 以下, n = 2 (2ch Combination 時)とする
Data	
データ長	2 × n～268435456 × n bits, n bits step*3
Mixed	
列の長さ	2048 × n～(268435456+2^{31}) × n bits, 1024 × n bits step*3
データ長	1024 × n～268435456 × n bits, n bits step*3
HSSB Data	Combination 時は設定できません。
Block Window	Data パターンを設定に応じて測定対象から除外 Mixed Pattern 時は無効 Zero-Substitution が 2^n–1 時は無効 以下, n = 2 (2ch Combination 時) とする
設定分解能	パターン長 (bits) → Step [bits] 2～2 097152 × n → 1 × n 2097153～4194304 × n → 2 × n 4194305～8388608 × n → 4 × n 8388609～16777216 × n → 8 × n 16777217～33554432 × n → 16 × n 33554433～67108864 × n → 32 × n 67108865～134217728 × n → 64 × n 134217729～268435456 × n → 128 × n
バースト	
バーストサイクル	25600 × n～2147483648 × n bits, 1024 × n bits step*3
周期	Internal: 12800 × n～2147482624 × n bits, 256 × n bits step*3 Ext Trigger: 12800 × n～2147483392 × n bits, 256 × n bits step*3
ディレイ	Internal: 0～2147483640 × n bits, 8 × n bits step*3 Ext Trigger, Enable: 0～2147483520 × n bits, 8 × n bits step*3
測定	
同期制御	
フレーム長	4 × n～64 × n bits, 4 × n bits step*3
フレーム位置	1～(Pattern Length' – Frame Length + n) bits, n bits step

＊1: Test Pattern が HSSB Data のときは設定できません。

＊2: 複数のスロットをまたいでコンビネーションを設定できません。

＊3: コンビネーション設定されているすべてのチャネルで共通

表1.3.2-14　マルチチャネル動作 (続き)

項目	規格
エラー検出	Total, Insertion, Omission
Eye Contour	
測定対象	Data 1～Data n*4
Eye Margin	
測定対象	Data 1～Data n*4
Bathtub	
測定対象	Data 1～Data n*4
Capture	2ch コンビネーション可能*3

＊4: 各チャネル独立

表1.3.2-15　一般性能

項目	規格
寸法	21 mm (H), 234 mm (W), 175 mm (D) ただし, 突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～35°C
保存温度	–20～60°C

表1.3.2-16　拡張機能

項目	規格
PCIe	
対応規格	PCI Express Base Specification Revision 4.0 Version 0.5, 0.7, 1.0 PCI Express Base Specification Revision 5.0 Version 1.0 ビットレート: PCIe Gen1, Gen2, Gen3, Gen4, Gen5 レーン数: ×1 テスト対象: Root Complex, End Point
必要オプション	オプション x10/x11/x22 または x20/x21/x22
必要ソフトウェア	MX183000A-PL011: PCIe LTSSM に従い, Loopback ステートに遷移させるために必要な Training Sequence を発生し, DUT を Loopback 状態にすることが可能。 MX183000A-PL021: PCIe LTSSM に従い, DUT との Negotiation をサポートし, DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL021 では, MU195020A, MU195040A が各 1 枚必要。) MX183000A-PL025: PL021 の機能を PCIe 5.0 まで拡張することが可能。 上記ソフトウェアの各オプションに, MX183000A-PL001 追加することで, MU195020A, MU181500B, MU195040A を制御し, Jitter Tolerance Test をサポート可能。

表1.3.2-16 拡張機能 (続き)

項目	規格
Loopback Through	Configuration, Recovery
テストパターン	Modified Compliance Pattern
	Insert Delay Symbol: Enable, Disable (Gen1, Gen2 のとき有効)
	Insert SRIS: Enable, Disable (Gen3, Gen4 のとき有効)
	Compliance Pattern
	Insert Delay Symbol: Enable, Disable (Gen1, Gen2 のとき有効)
	User
	PRBS, Data
SKP Ordered Set Insertion	Enable, Disable
SKP Length/Insertion	Gen1, Gen2 のとき
	Length: COM+1, COM+2, COM+3, COM+4, COM+5
	Interval: 768～3076, 1 step
	Gen3, Gen4, Gen5 のとき
	Length: 8, 12, 16, 20, 24
	Interval: 187～750, 1 step
Dynamic Link Training	MX183000A-PL021 使用時対応
カウンタ	Tx SKP Count,
	Rx SKP Count (MX183000A-PL021 使用時)
	Error Rate, Error Count (MX183000A-PL021 使用時)
LTSSM ログ	
Log Item	LTSSM State, Link Speed, Time[ns]
Log Size	16384 回
停止条件	Memory full

1.3.3　MU195050A規格

表1.3.3-1　動作ビットレート

項目	規格
動作ビットレート	2.4～32.1 Gbit/s

表1.3.3-2　データ入力

項目	規格
チャネル数	2
チャネルあたりの入力数	2 (Data, XData) (Differential)
振幅	1.5 Vp-p max. (Single-ended)
	3.0 Vp-p max. (Differential)
オフセット	–2.0～3.3 V
インピーダンス	50 Ω
コネクタ	K コネクタ (f.)

表1.3.3-3　データ出力*1

項目	規格
チャネル数	2
チャネルあたりの出力数	2 (Data, XData) (Differential)
挿入損失	–3 dB +1/–2.5 dB*2
インピーダンス	50 Ω
コネクタ	K コネクタ (f.)

＊1: ノイズ発生源から出力される信号は AC 結合されています。

＊2: 12.890625 GHz, 正弦波で規定

表1.3.3-4　外部入力*1

項目	規格
チャネル数	1*2
入力数	2 (Differential)
振幅	1.5 Vp-p max. (Single-ended)
	3.0 Vp-p max. (Differential)
オン, オフ	Data Input 1 Channel のみオン, オフ切り替え可能
	(DMI/CMI および White Noise と排他で選択可能)
終端	50 Ω, AC 結合
コネクタ	SMA コネクタ (f.)

＊1: G0373A USB3.1 Receiver Test Adapter または MU195020A の Gating Output 信号と接続して使用する。

＊2: Data Input 1 Channel のみ対応

表1.3.3-5 差動モードインタフェース (DMI)*1

項目	規格
振幅	4～200 mVp-p (Differential)*2
振幅のステップ	1 mV
振幅確度	±20%±10 mV*3
周波数	2～10 GHz
周波数ステップ	10 MHz
波形	正弦波
Presets	PCIe 3, PCIe 4, PCIe 5
オン, オフ	Data Input 1 ChannelとData Input 2 Channelを同時にオン, オフ切り替え可能 (Data Input 1 Channel は White Noise および External Input と排他で選択可能) (Data Input 2 Channel は White Noise と排他で選択可能)

＊1: Data Input 2 Channel に対して設定は共通。

＊2: 設定は 0 mVp-p から可能（確度は 4 mVp-p から保証）

＊3: 周波数 2.1 GHz, 4.2 GHz, および 10 GHz において, 20～30°C のある 1 つの温度で規定

表1.3.3-6 コモンモードインタフェース (CMI)*1

項目	規格
振幅	10～250 mVp-p (Single-ended)*2
振幅のステップ	2 mV
振幅確度	±20%±25 mV*3
周波数	Low Band: 100 MHz～1 GHz High Band: 1～6 GHz
周波数ステップ	Low Band: 1 MHz High Band: 10 MHz
波形	正弦波
Presets	TBT3, PCIe 4, PCIe 5
オン, オフ	Data Input 1 ChannelとData Input 2 Channelを同時にオン, オフ切り替え可能 (Data Input 1 Channel は White Noise および External Input と排他で選択可能) (Data Input 2 Channel は White Noise と排他で選択可能)

＊1: Data Input 2 Channel に対して設定は共通。

＊2: 設定は 0 mVp-p から可能（確度は 10 mVp-p から保証）

＊3: 周波数 120 MHz, 400 MHz, 1 GHz, および 6 GHz において 20～30°C のある 1 つの温度で規定

表1.3.3-7　ホワイトノイズ *1

項目	規格
フラットネス	±5 dB (10 MHz～10 GHz)
Crest Factor	> 5 (p-p/rms)
振幅	0.2～25 mV rms
振幅のステップ	0.2 mV rms
振幅確度	±20%±2.5 mV rms*2
オン, オフ	Data Input 1 Channel と Data Input 2 Channel を同時にオン, オフ切り替え可能 (Channel 1 は DMI/CMI および External Input と排他で選択可能) (Channel 2 は DMI/CMI と排他で選択可能)

＊1: Data Input 2 Channel に対して設定は共通。

＊2: 帯域 50 GHz のサンプリングオシロスコープにおいて, 残留ノイズを差し引き, 20～30°C のある 1 つの温度で規定

表1.3.3-8　一般性能

項目	規格
寸法	21 mm (H), 234 mm (W), 175 mm (D) ただし, 突起物含まず
質量	1.2 kg 以下
使用温度範囲	15～35°C
保存温度	–20～60°C

第2章　使用前の準備

この章では，MP1900A モジュールの使用前の準備について説明します。

2.1　MP1900A への装着 2-2
2.2　アプリケーションの操作方法 2-2
2.3　破損防止処理 2-3

2.1　MP1900A への装着

MP1900A へのモジュール装着方法と電源の投入手順については,『MP1900A シグナルクオリティアナライザ-R 取扱説明書』の「第 3 章 使用前の準備」を参照してください。

2.2　アプリケーションの操作方法

MP1900A に装着したモジュールの制御は, MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア（以下, MX190000A と呼びます）で行います。

MX190000A の立ち上げやシャットダウンの手順, アプリケーションの操作方法については,『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書』を参照してください。

2.3 破損防止処理

MP1900A モジュールの入出力接続の際には必ず定格電圧の範囲内で使用してください。
範囲外で使用した場合，故障するおそれがあります。

⚠ 注意

- MP1900A モジュールに信号を入力する場合は，定格を超える過大な電圧が掛からないようにしてください。回路が破損するおそれがあります。
- 出力は 50 Ω GND 終端で使用し，電流を流し込んだり，電気信号を加えたりすることは決してしないでください。
- 静電気対策として入出力コネクタを接続する前に，接続されるほかの機器 (実験回路も含む) との間をアース線で必ず接地してください。
- 同軸ケーブルの外導体と芯線はコンデンサとして帯電することがありますので，外導体と芯線は金属などを用いて電荷を放電してから使用してください。
- MP1900A モジュールを絶対に開けないでください。開けたために故障，または性能低下が発生した場合，メンテナンスをお断りする場合がありますので注意してください。
- MP1900Aモジュールにはハイブリッド IC など重要な回路，部品が内蔵されています。これらの部品は静電気に非常に弱いので，本器を開けて触るようなことは絶対にしないでください。
- MP1900A モジュールに内蔵されているハイブリッド IC は気密封止してありますので，絶対に開けないでください。開けたために故障，および性能低下が発生した場合，メンテナンスをお断りする場合がありますので注意してください。
- MP1900A モジュールを静電気破壊から守るため，作業机の上に導電マットを敷き，作業者はリストストラップを装着してください。リストストラップの反対側は導電マットまたは MP1900A のアースジャックに接続してください。

⚠ 注意

MP1900A の電源起動／終了時，モジュール出力端子のサージにより，接続先の機器や DUT を破損するおそれがあります。必ず以下のことに留意して，測定の準備を行ってください。

- MP1900A モジュールを，他の機器や DUT と接続した状態で，MP1900A の電源を起動／終了しないでください。

<電源起動時の手順>

1. MP1900A モジュールと，他の機器や DUT との接続が外れていることを確認する
2. MP1900A の電源を起動する
3. MP1900A モジュールと，他の機器や DUT を接続する

<電源終了時の手順>

1. MP1900A モジュールと，他の機器や DUT との接続が外れていることを確認する
2. MP1900A の電源を終了する

⚠ 注意

MP1900A モジュールの出力コネクタの外部に，バイアスティーなどを接続して，MP1900A モジュールの出力信号と直流電圧を合成する場合，直流電源の出力変動や負荷の変動によって，MP1900A モジュールの出力端子に信号が加わり，内部回路を破損させてしまうことがあります。以下のことに留意して，作業してください。

- 直流電圧を加えた状態で，各部品の接続，取り外しを行わないでください。
- 直流電源の出力 ON/OFF は，すべての部品の接続が完了したあとに行ってください。

<参考手順>

測定準備例 1:

1. MP1900A モジュールおよびすべての部品を接続する
2. 直流電源の出力を ON にする
3. MP1900A モジュールの出力を ON にし，測定を終了する

測定準備例 2:

1. MP1900A モジュールの出力を OFF にする
2. 直流電源の出力を OFF にする
3. MP1900A モジュールおよび各部品の取り外し，または DUT のつなぎ換えを実行する

不慮の直流電圧変動や負荷変動時 (MP1900A モジュール出力側でのオープンまたはショート，高周波プローブを使っている場合はその接触状態の変化など) でも，DUT や MP1900A モジュールを破損させないために，バイアスティーの直流端子には，直列抵抗約 50 Ωを接続することを推奨します。

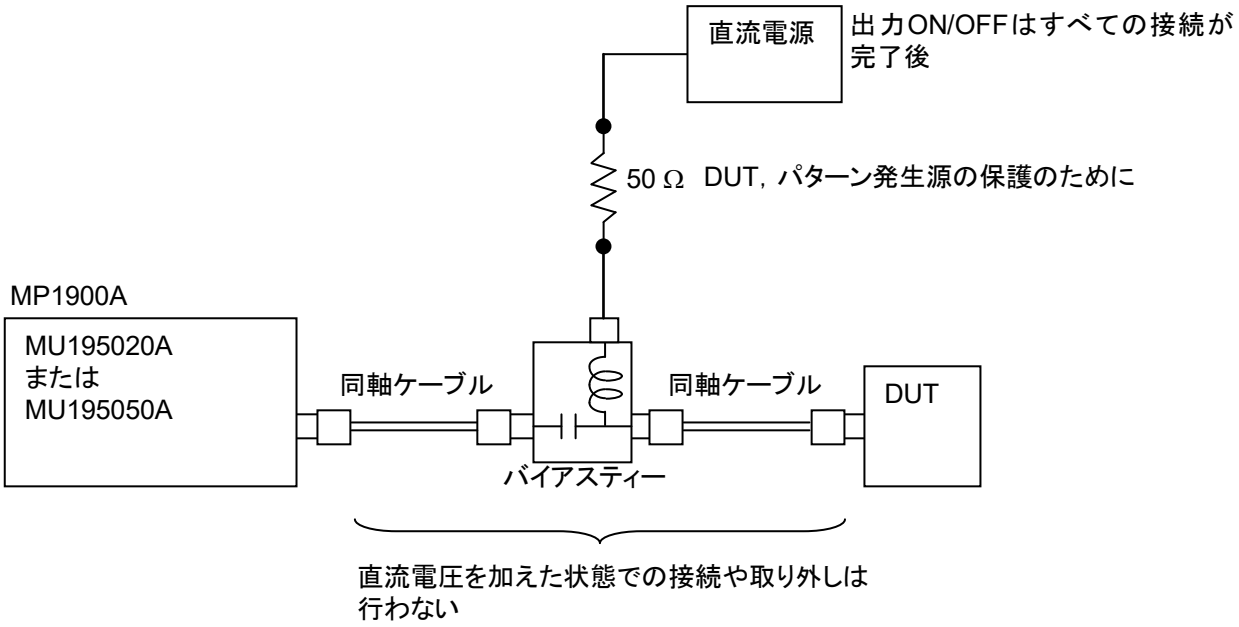


図2.3-1　バイアスティーの接続例

第3章　パネルおよびコネクタの説明

この章では，MP1900A モジュールのパネル，およびモジュール間の接続について説明します。

3.1　パネルの説明 3-2
3.1.1　MU195020A.....3-2
3.1.2　MU195040A.....3-3
3.1.3　MU195050A.....3-4
3.2　モジュール間の接続 3-5
3.2.1　エラー測定をする場合.....3-6
3.2.2　Noise を付加してのエラー測定をする場合.....3-7
3.2.3　ジッタを付加する場合.....3-8
3.2.4　PPG の Multi Channel 同期をする場合 3-9

3.1　パネルの説明

3.1.1　MU195020A

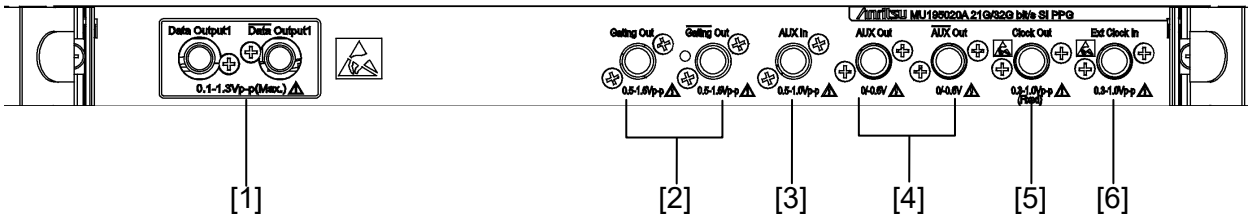


図3.1.1-1　パネル外観図 (MU195020A-x10)

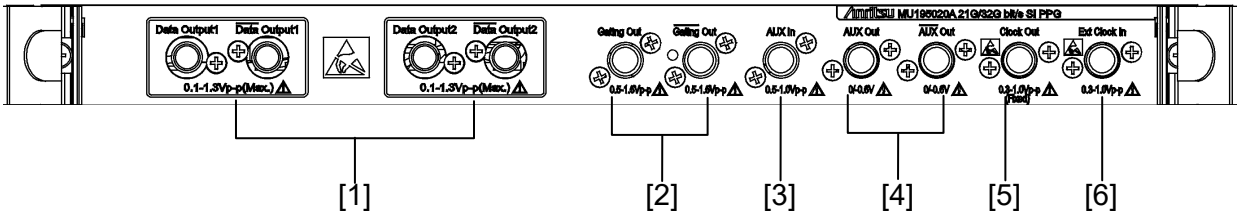


図3.1.1-2　パネル外観図 (MU195020A-x20)

表3.1.1-1　各部の名称および機能

番号	名称	機能
[1]	Data Output, Data Output	差動の Data，Data 信号を出力するコネクタです。 オプションによりさまざまなインタフェースの出力をすることができます。
[2]	Gating Out, Gating Out	Repeat 時:　タイミング信号出力となります。 Burst 時:　Burst 用のタイミング信号出力となります。
[3]	AUX In	補助信号入力用コネクタです。 Error Injection，Burst を選択できます。
[4]	AUX Out, AUX Out	補助信号出力用コネクタです。 設定により，1/N Clock，Pattern Sync，Burst2 信号を出力します。 差動出力なので，使用しないコネクタは必ず同軸終端器（J1632A）で終端してください。
[5]	Clock Out	クロック信号を出力するコネクタです。
[6]	Ext Clock In	次の機器から Clock 信号を入力するコネクタです。 MU181000A 12.5GHz シンセサイザ MU181000B 12.5GHz 4 ポート シンセサイザ MU181500B ジッタ変調源 外部シンセサイザ*

＊:　外部シンセサイザの推奨品は MG3690C シリーズです。

MG3690C シリーズの詳細は，当社または当社代理店にお問い合わせください。

3.1.2　MU195040A

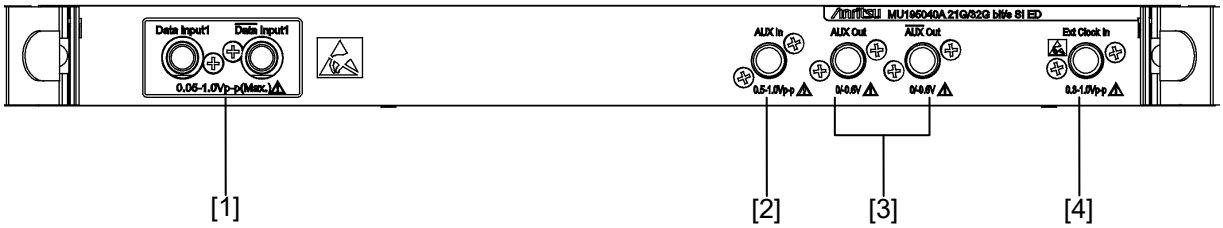


図3.1.2-1　パネル外観図 (MU195040A-x10)

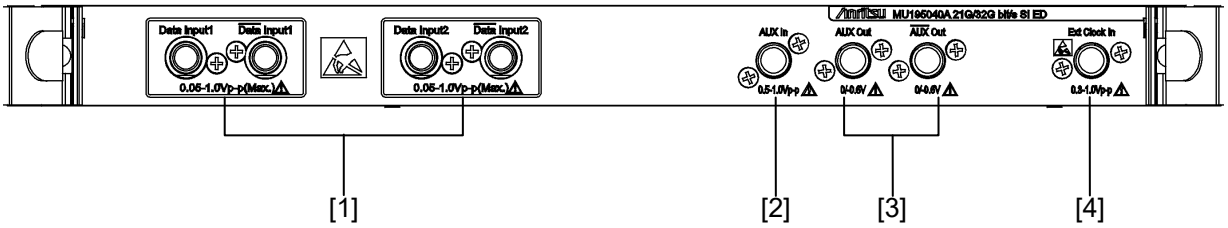


図3.1.2-2　パネル外観図 (MU195040A-x20)

表3.1.2-1　各部の名称および機能

番号	名称	機能
[1]	Data Input, $\overline{\text{Data}}$ Input	Data, $\overline{\text{Data}}$ 信号を入力するコネクタです。 差動およびシングル入力両方に対応します。 MU195040A-x22 クロックリカバリーを実装している場合, Data Input1 に入力した信号からクロックが再生されます。
[2]	AUX In	補助信号入力用コネクタです。 設定により External Mask, Burst, Capture External Trigger を選択できます。
[3]	AUX Out, $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により 1/N Clock, Pattern Sync, Error, Sync Gain 信号を出力します。 差動出力なので, 使用しないコネクタは必ず同軸終端器 (J1632A) で終端してください。
[4]	Ext Clock In	クロック信号を入力するコネクタです。

3.1.3　MU195050A

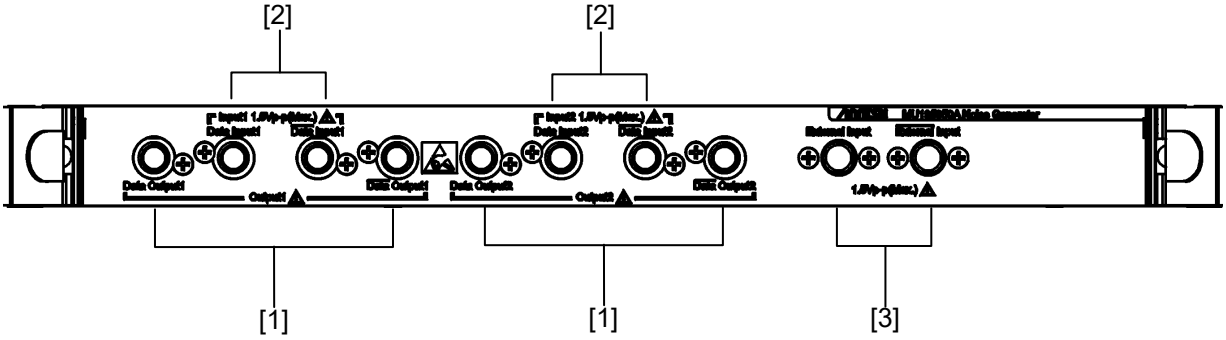


図3.1.3-1　パネル外観図 (MU195050A)

表3.1.3-1　各部の名称および機能

番号	名称	機能
[1]	Data Output, $\overline{\text{Data}}$ Output	ノイズが付加された差動の Data，$\overline{\text{Data}}$ 信号を出力するコネクタです。
[2]	Data Input, $\overline{\text{Data}}$ Input	ノイズを付加する Data，$\overline{\text{Data}}$ 信号を入力するコネクタです。 差動およびシングル入力両方に対応します。
[3]	External Input, $\overline{\text{External}}$ Input	補助信号入力用コネクタです。 BSG4G USB TEST ADAPTER または MU195020A の Gating Output 信号と接続して使用します。

3.2　モジュール間の接続

機器取り扱いの際は，静電気に注意してください。

⚠ 警告

- MP1900A モジュールに信号を入力する場合は定格を超える過大な電圧がかからないようにしてください。回路が破損するおそれがあります。
- 静電気対策として入出力コネクタを接続する前に，接続されるほかの機器 (実験回路も含む) との間をアース線で必ず接地してください。
- 同軸ケーブルの外導体と芯線はコンデンサとして帯電することがありますので，外導体と芯線は金属などを用いて電荷を放電してから使用してください。
- MP1900A の電源電圧は，背面に表示されています。必ず定格電圧の範囲内で使用してください。範囲外の電圧を加えると破損するおそれがあります。
- MP1900A モジュールを静電気破壊から守るため，作業机の上に導電マットを敷き，作業者はリストストラップを装着してください。リストストラップの反対側は導電マットまたは MP1900A のアースジャックに接続してください。
- MP1900A モジュールのコネクタからケーブルを取り外すときは，コネクタに不要な力がかからないように注意してください。不要な力がコネクタに加わると，特性劣化，故障の原因となる可能性があります。また，ケーブルの取り付けおよび取り外しはトルクレンチを使用してください (推奨トルク値：0.9 N-M)。

⚠ 注意

MU195020A-x10/x20 の Data Output 最大設定出力レベルは 1.30 Vp-p (オプション x11/x21 実装時は 1.50 Vp-p) です。また，MU195050A の Data Output レベルは Data Input により決まりますが，最大 1.50 Vp-p です。これに対して，MU195040A の Data Input 最大入力レベルは 1.00 V です。

動作確認などの際に，MU195020A/MU195050A の Data Output を MU195040A の Data Input に直接接続する場合は，MU195020A/MU195050A の Data Output が 1 V 以下であることを必ず確認してください。

MU195040A の Data Input に最大入力レベルを超える信号を入力した場合，破損する原因となります。

3.2.1　エラー測定をする場合

同一の MP1900A に装着されている MU195020A, MU181000A 12.5GHz シンセサイザ（以下, MU181000A と呼びます), および MU195040A の接続例を示します。

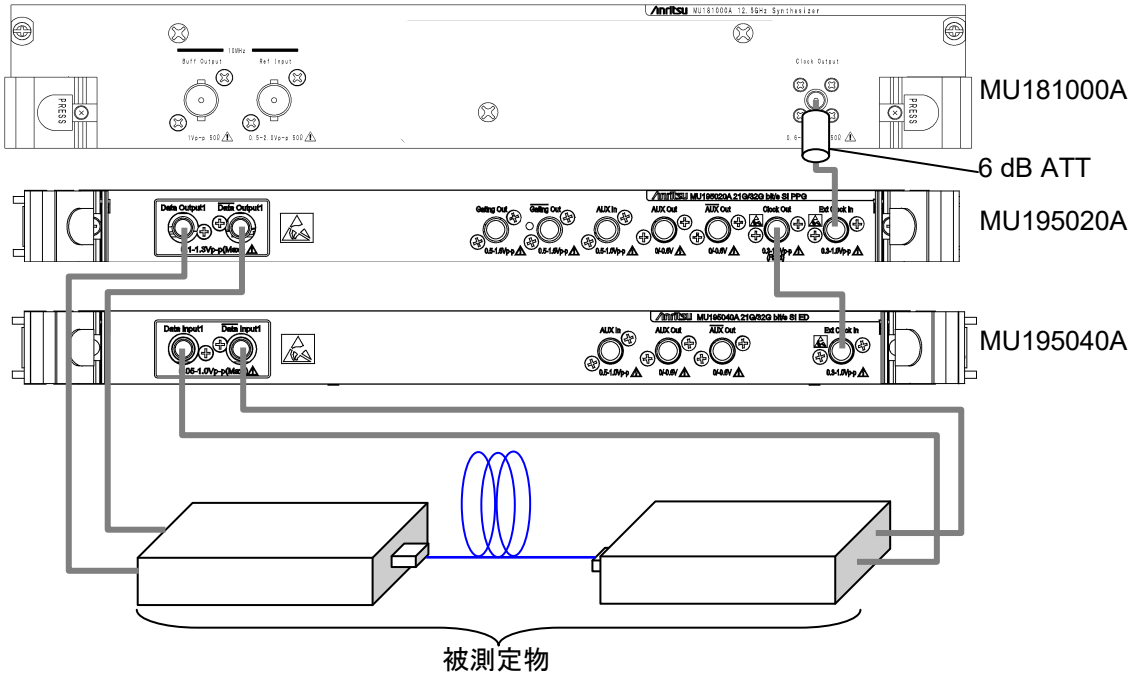


図3.2.1-1　モジュール間接続例

1. MU181000A の場合, Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合 6 dB 固定アッテネータは不要です。

   MU181000A-x01, MU181000B, MU181000B-x01

2. MU181000A の Clock Output コネクタと, MU195020A の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU195020A の Clock Output コネクタと, MU195040A の Ext Clock Input コネクタを同軸ケーブルにて接続します。

4. MU195020A の Data Output, $\overline{\text{Data}}$ Output コネクタと, 被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

5. 被測定物の出力コネクタと, MU195040A の Data Input, $\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。

6. Main application を起動し, 画面上のメニューバーから [Menu] → [Initialize] を選択し, 機器全体の設定状態を初期化します。
   初期化が行われると, すべての設定内容が工場出荷時と同じになりますので, 消去したくない設定がある場合には, 初期化前に [Menu] → [Save] を選択して設定状態を保存してください。

3.2.2　Noiseを付加してのエラー測定をする場合

同一の MP1900A に装着されている MU195020A，MU181000A，MU195050A，および MU195040A の接続例を示します。

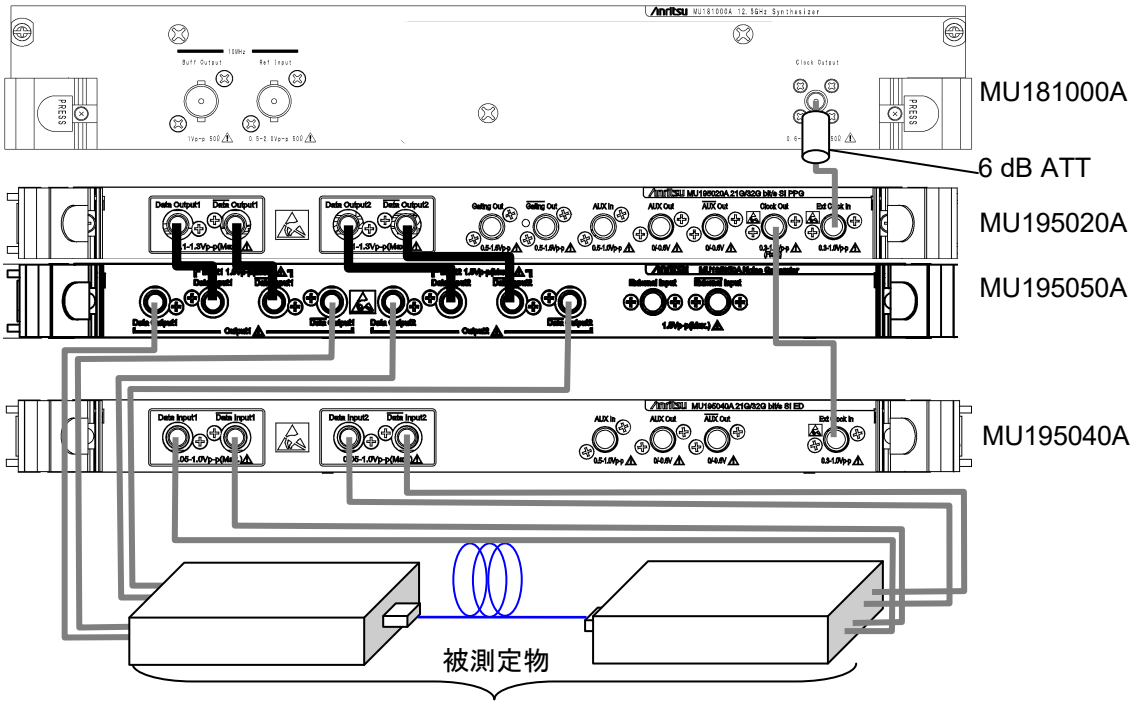


図3.2.2-1　モジュール間接続例

1. MU181000A の場合，Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合，6 dB 固定アッテネータは不要です。

   MU181000A-x01, MU181000B, MU181000B-x01

2. MU181000A の Clock Output コネクタと，MU195020A の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU195020A の Data Output，$\overline{\text{Data}}$ Output コネクタと，MU195050A の Data Input，$\overline{\text{Data}}$ Input を MU195050A に付属の専用セミリジットケーブル (J1746A, J1747A) を使用して接続します。

4. MU195050A の Data Output，$\overline{\text{Data}}$ Output コネクタと，被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

5. 被測定物の出力コネクタと，MU195040A の Data Input，$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。

6. Main application を起動し，画面上のメニューバーから [Menu] → [Initialize] を選択し，機器全体の設定状態を初期化します。
   初期化が行われると，すべての設定内容が工場出荷時と同じになりますので，消去したくない設定がある場合には，初期化前に [Menu] → [Save] を選択して設定状態を保存してください。

3.2.3　ジッタを付加する場合

PPG の出力信号にジッタを付加するには，MU181000A または MU181000B (以下，MU181000A/B と呼びます) と MU181500B ジッタ変調源 (以下，MU181500B と呼びます) を使用します。
MU181000A，MU181500B，MU195020A，および MU195040A の接続例を示します。

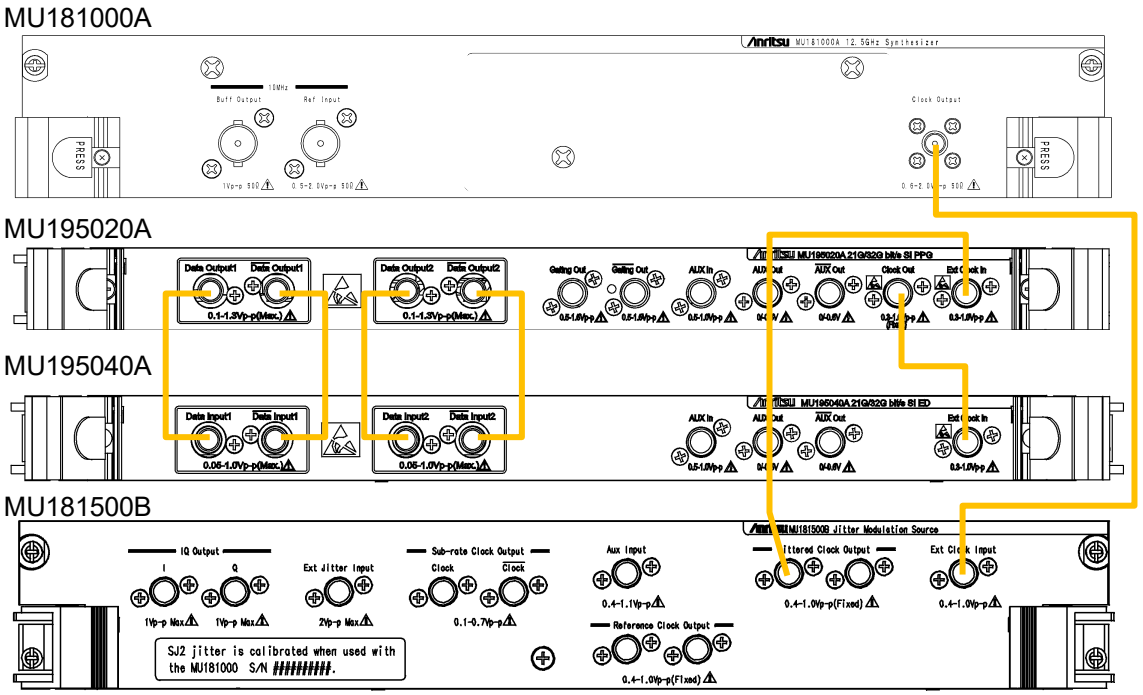


図3.2.3-1　ジッタを付加する場合の接続例

1. MU181000A の Clock Output コネクタと，MU181500B の Ext Clock Input コネクタを同軸ケーブルで接続します。
2. MU181500B の Jittered Clock Output コネクタと，MU195020A の Ext Clock Input コネクタを同軸ケーブルで接続します。
3. MU195020A の Clock Output コネクタと，MU195040A の Ext Clock Input コネクタを同軸ケーブルで接続します。
4. MU195020A の Data Output，$\overline{\text{Data}}$ Output コネクタと，MU195040A の Data Input，$\overline{\text{Data}}$ Input コネクタを同軸ケーブルで接続します (2 か所)。
5. Main application を起動し，画面上のメニューバーから [Menu] → [Initialize] を選択し，機器全体の設定状態を初期化します。
   初期化が行われると，すべての設定内容が工場出荷時と同じになりますので，消去したくない設定がある場合には，初期化前に [Menu] → [Save] を選択して設定状態を保存してください。

3.2.4　PPGのMulti Channel同期をする場合

同一の MP1900A に装着されている複数の MU195020A を同期させるには，MU181000A/B または外部クロックを使用します。
MU181000B を使用し，MU195020A を 2 台同期させる場合の接続例を示します。

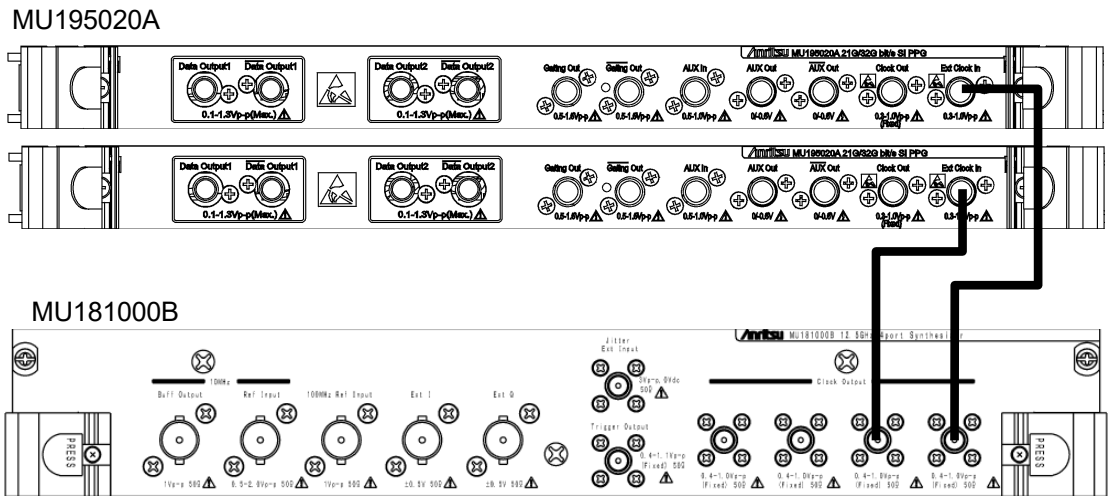


図3.2.4-1　PPG の Multi Channel 同期する場合の接続例

1. MU181000B の Clock Output コネクタと，MU195020A の Ext Clock Input コネクタを同軸ケーブルにて接続します。
2. MX190000A を起動し，画面上のメニューバーから [Menu] → [Combination Setting] を選択し，Inter module Combination で Sync ON/OFF を Channel Synchronization に設定してください。

注:

- MU195020A は Slot1 から順に装着してください。
- MU195020A に接続するケーブルの位相差は 10 ps 以内になるようにしてください。

第4章　画面構成

この章では，MP1900A モジュールの画面構成について説明します。

4.1　画面全体の構成.....4-2
4.2　操作画面の構成.....4-3
4.2.1　MU195020A.....4-3
4.2.2　MU195040A.....4-4
4.2.3　MU195050A.....4-5

4.1　画面全体の構成

MP1900A モジュールが MP1900A に装着されている場合の画面構成を図 4.1-1 に示します。

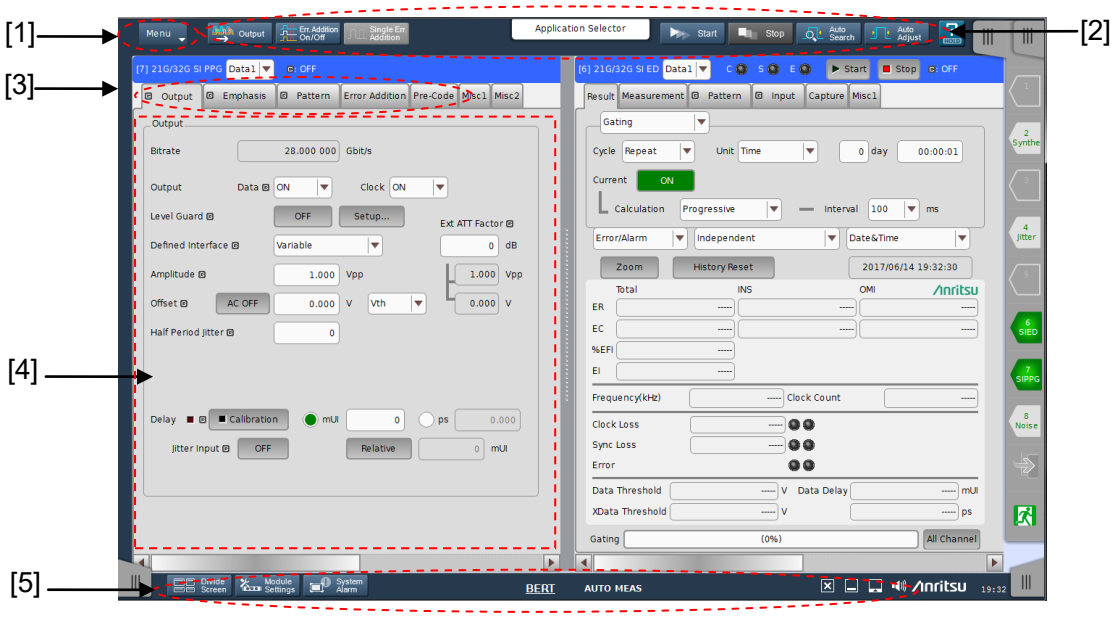


図4.1-1　全体画面構成

全体画面は，図 4.1-1に示すように 4 つの基本ブロック（[1]～[4]）で構成しています。各ブロックの説明を表 4.1-1に示します。

表4.1-1　画面ブロック機能

番号	ブロック名称	機能
[1]	メニューバー	機器全体に関連する設定機能を選択します。
[2]	モジュールファンクション	表示しているモジュール固有の機能項目へのショートカットボタンです。
[3]	機能設定選択タブ	モジュール操作設定の画面を機能項目ごとに切り替えるタブです。 詳細は「第 5 章　操作方法」を参照してください。
[4]	操作画面	モジュール固有の設定をします。 詳細は「第 5 章　操作方法」を参照してください。
[5]	システムコントロール	システムの基本的な機能を制御します。 詳細は「第 5 章　操作方法」を参照してください。

4.2　操作画面の構成

MP1900A モジュールの操作画面一覧を以下に示します。
各操作画面についての詳細は「第 5 章　操作方法」を参照してください。

4.2.1　MU195020A

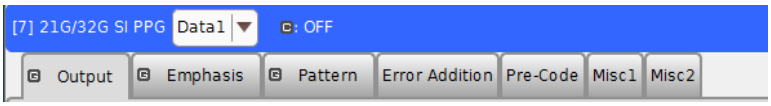


図4.2.1-1　MU195020A 機能設定選択タブ

表4.2.1-1　MU195020A 機能設定選択タブ一覧表

タブ名称	機能
Output	Data，XData，および Clock 出力を選択および設定します。 出力インタフェースの各種設定ができます。
Emphasis	MU195020A-x11/x21 の場合に表示されます。 Data，XData の Emphasis を設定します。 MU195020A-x40/x41 の場合は ISI の設定もできます。
Pattern	試験パターン関連を選択および設定します。 各種パターン選択およびパターン編集などができます。
Error Addition	Error 付加を選択および設定します。 エラー付加機能を設定できます。
Pre-Code	MU195020A-x20 の場合に表示されます。 Module Settings で Combination を設定すると操作できます。
Misc1	そのほかの設定をします。 パターン発生方法や補助入出力選択ができます。
Misc2	クロック入力およびデータ出力との周波数比を設定します。

4.2.2　MU195040A



図4.2.2-1　MU195040A 機能設定選択タブ

表4.2.2-1　MU195040A 機能設定選択タブ一覧表

タブ名称	機能
Result	測定結果を表示します。
Measurement	各種測定条件を設定します。
Pattern	測定パターン種別を設定します。 各種パターン選択およびパターン編集などができます。
Input	試験信号の入力信号インタフェースを設定します。
Capture	測定パターンを内部メモリに取り込みます。
Misc1	そのほかの設定をします。 パターン発生方法や補助入出力選択ができます。

4.2.3　MU195050A

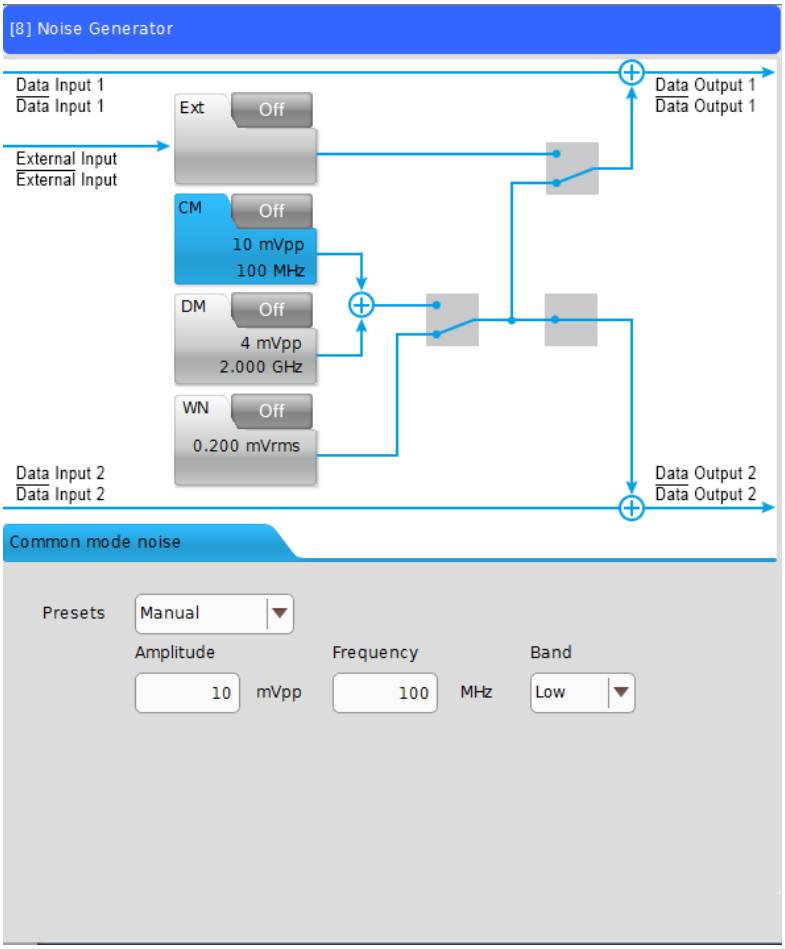


図4.2.3-1　MU195050A 機能設定

MU195050A は機能タブを持たず 1 画面で構成されます。

第5章　操作方法

本章では，MX190000A の操作画面内にある機能について説明します。
MU195020A の説明は，5.1節から5.10節を参照してください。
MU195040A の説明は，5.11節から5.19節を参照してください。
MU195050A の説明は，5.20節を参照してください。

5.1　出力インタフェースの設定 5-3
5.1.1　データの設定 5-3
5.1.2　Delayの設定 5-6
5.1.3　ジッタ変調された信号を入力する場合の設定 5-9
5.1.4　ビットレートの設定 5-10
5.2　Emphasis/ISIの設定 5-12
5.2.1　Emphasis Presetの設定 5-14
5.2.2　Emphasis Functionの設定 5-15
5.2.3　Cursor電圧の設定 5-16
5.2.4　Channel Emulatorの設定 5-17
5.2.5　ISIの設定 5-19
5.3　Patternの設定 (MU195020A) 5-21
5.3.1　Test Patternについて 5-21
5.3.2　PRBSの設定 5-22
5.3.3　ZeroSubstitutionの設定 5-23
5.3.4　Dataの設定 5-25
5.3.5　Mixedの設定 5-27
5.3.6　PAM4の設定 5-31
5.3.7　Pattern Editorによる試験パターン編集 5-36
5.3.8　Sequenceの設定 5-48
5.3.9　Sequence Editorによる試験パターン編集 5-50
5.4　Error付加機能 5-56
5.5　Pre-Code設定機能 5-59
5.5.1　Pre-Codeの設定 5-60
5.6　Misc1機能 (MU195020A) 5-61
5.6.1　Pattern Sequenceの設定 5-62
5.6.2　AUX Inputの設定 5-66
5.6.3　AUX Outputの設定 5-67
5.6.4　Gating Outputの設定 5-69
5.7　Misc2機能 5-70
5.7.1　クロックの設定 5-71
5.7.2　Noiseの設定 5-79
5.8　Multi Channel機能 5-80
5.8.1　Combination機能 5-81
5.8.2　Synchronization機能 5-83
5.9　モジュール間同期機能 5-84
5.10　Multi Channel Calibration機能 5-84
5.11　測定結果を見るには 5-85
5.11.1　Input選択時の設定 5-87
5.11.2　Gating選択時の設定 5-89
5.11.3　Condition選択時の設定 5-92

5.11.4 Auto Sync選択時の設定 5-95
5.11.5 Sync Control選択時の設定 5-100
5.11.6 Error/Alarm選択時の設定.....5-102
5.11.7 ジッタ変調された信号を入力する場合の設定 ..5-106
5.12 測定条件の設定.....5-107
5.12.1 Gatingについて.....5-108
5.12.2 Auto Syncについて 5-108
5.12.3 SKP Ordered Setについて 5-109
5.12.4 Sync Controlについて 5-110
5.12.5 Error/Alarm Conditionについて.....5-110
5.13 Patternの設定 (MU195040A).....5-111
5.13.1 マスク設定 5-112
5.13.2 HSSB Dataの設定.....5-114
5.13.3 Sequence Editor Pattern BER測定 設定例 ..5-115
5.13.4 SI PPG Sequence Editor, SI ED HSSB Data の制約.....5-117
5.14 入力インタフェースの設定 5-119
5.14.1 入力設定項目 5-119
5.14.2 Measurement Restartについて.....5-127
5.15 Capture機能.....5-128
5.15.1 設定画面 5-128
5.15.2 表示画面 (Bit Pattern).....5-133
5.16 Misc1機能 (MU195040A).....5-136
5.16.1 Pattern Sequenceの設定.....5-137
5.16.2 AUX Inputの設定.....5-140
5.16.3 AUX Outputの設定 5-141
5.17 Auto Search機能.....5-143
5.17.1 Auto Search入力設定項目 5-143
5.18 Auto Adjust機能 5-146
5.18.1 Auto Adjust入力設定項目.....5-146
5.19 自動測定 5-148
5.20 Noise発生機能 5-149
5.20.1 MU195050Aの操作画面 5-149

5.1 出力インタフェースの設定

出力インタフェースを設定するには，MU195020A 操作画面の［Output］タブをタッチします。

［Output］タブでは，Data および Clock 出力を設定します。
Data 信号は MU195020A の Data コネクタから出力され，XData 信号は $\overline{\text{Data}}$ コネクタから出力されます。また，Clock 信号は Clock コネクタから出力されます。

5.1.1 データの設定

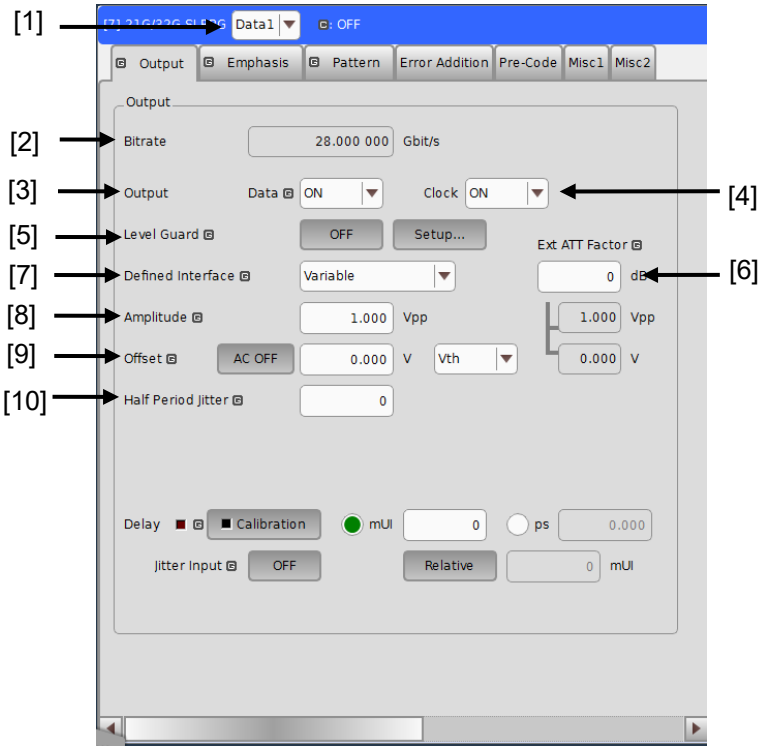


図5.1.1-1 Output タブ

Delay は MU195020A-x30/x31 が追加されている場合に表示されます。

［1］ データを設定するチャネルを選択します。

［2］ クロック供給源が［External］の場合，データのビットレートが表示されます。クロック供給源が MU181000A/B の場合，データのビットレートを設定できます。詳しくは「5.1.4 ビットレートの設定」，「5.7.1 クロックの設定」を参照してください。

［3］ データ出力を設定します。
本設定は選択された MU195020A に関するデータ出力の設定です。出力信号をオンにする場合，本設定のほかにメニューバーにて機器全体の Output をオン（ Output ）にしてください。

注:

- 出力の設定によっては，被測定対象物を破損させてしまうおそれがあります。破損防止のため被測定対象物とのインタフェース条件を確認して出力を設定するか，あらかじめ Level Guard を設定してください。
- PCML，LVPECL，NECLを選択した場合，MU195020Aの出力側では被測定対象物の終端電圧に対応した電圧が加えられるため，インタフェース条件が一致していない場合，被測定対象物を壊してしまうおそれがあります。必ずインタフェース条件が一致しているか確認してください。
- 市販の ECL ターミネータを使用して出力波形を観測した場合，波形歪(リンギング) が見えることがありますが，それは ECL ターミネータの特性によるものであり，MU195020A の出力に波形歪があるわけではありません。
- External ATT Factor を設定する場合，設定前に MU195020A と被測定物との間に固定アッテネータが接続されていることを必ず確認してください。固定アッテネータが接続されていない場合や，External ATT Factor で設定した減衰値よりも小さい減衰値の固定アッテネータを接続すると，被測定物を破損させてしまうおそれがあります。

[4]　クロック出力を設定します。

注:

動作ビットレートによっては，クロック出力をオフに設定しても数十 mV のクロック信号が出力されることがあります。

[5]　Level Guard を設定します。
[Setup] をタッチすると，Level Guard を行う Amplitude (振幅の最大値)，Offset Max (Voh) (オフセットの High レベルの最大値) と Offset Min (Vol) (オフセットの Low レベルの最小値) の設定ができます。これにより，必要以上の電圧が被測定対象物にかからないようにできます。

[6] の External ATT Factor が設定されている場合，Level Guard の設定は MU195020A と被測定物との間に接続された固定アッテネータ通過後の Amplitude，Offset Max (Voh)，Offset Min (Vol) 設定値の出力レベルを制限します。そのため，固定アッテネータを接続しない状態で使用しますと設定値を超える信号が出力されます。

[6]　External ATT Factor を設定します。
MU195020A の Data，XData 出力コネクタの外部に固定アッテネータを接続した場合，固定アッテネータの値を加味して被測定対象物への設定値を表示します。設定範囲は，0～40 dB，1 dB ステップで設定できます。Defined Interface で Variable 以外を設定した場合は，0 にリセットされ，設定は無効となります。また，External ATT Factor-Amplitude，オフセット表示エリアに表示されている値は，アッテネータ通過後の振幅，オフセット値を表示しています。

[7]　Defined Interface を設定します。
Level Guard 設定により，選択できない項目がある場合があります。

表5.1.1-1　振幅設定値

項目	振幅	オフセット Vth
Variable	–	–
PCML	0.5 V	+3.05 V
NCML	0.5 V	–0.25 V
SCFL	0.9 V	–0.45 V
NECL	0.8 V	–1.3 V
LVPECL	0.8 V	+2.0 V

[8]　Data，XData 共通の振幅を設定します。
Level Guard 設定や，オフセット設定値により設定範囲が変わります。

[9]　Data，XData 共通のオフセットを設定します。
設定範囲は，$-2.000-\frac{\square\,\square}{2}$ ～ $+3.300-\frac{\square\,\square}{2}$ V，0.001 V ステップで設定できます。また，[AC OFF] をタッチして [AC ON] にすると，AC 結合で出力ができます。

[10]　データ出力信号の Half Period Jitter 設定を行います。この設定により，アイパターンを観測した場合，図5.1.1-2のように Cross Point を時間軸方向に調整することができ，初期値 0 で隣り合うアイパターンの幅が等しくなります。

表5.1.1-2　Half Period Jitter 設定範囲

設定値	設定ステップ
–20～20	1

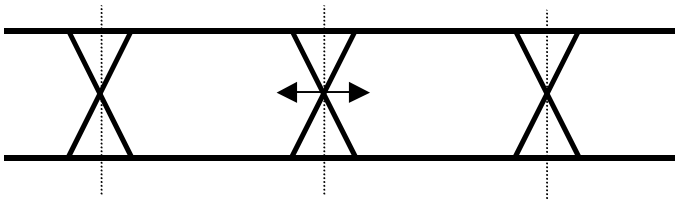


図5.1.1-2　Half Period Jitter 設定

注：

MU195020A データ出力において，次のようなパターンでは出力振幅が約 50%低下したり，オフセット電圧（V_{th}）が変動することがあります。

- 5 µs 以上 “0” (または “1”) が連続したあとの約 5 µs 区間のパターン
このようなパターンは，連続した “0” または “1” の挿入によって生成される可能性があります。また，バーストパターンなどによっても生成される可能性があります。
- マーク率が 1/2 以外のパターン

5.1.2　Delayの設定

MU195020A-x30 または MU195020A-x31 実装時は，Clock 出力に対して Data 出力の位相を相対的に可変できます。

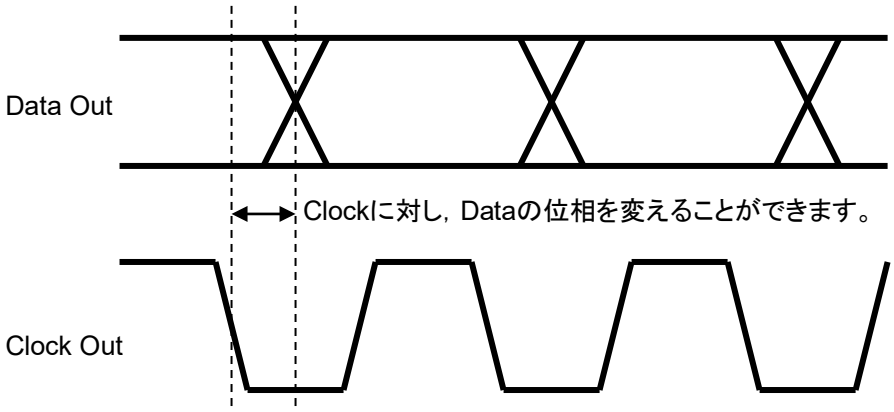


図5.1.2-1　Delay 設定

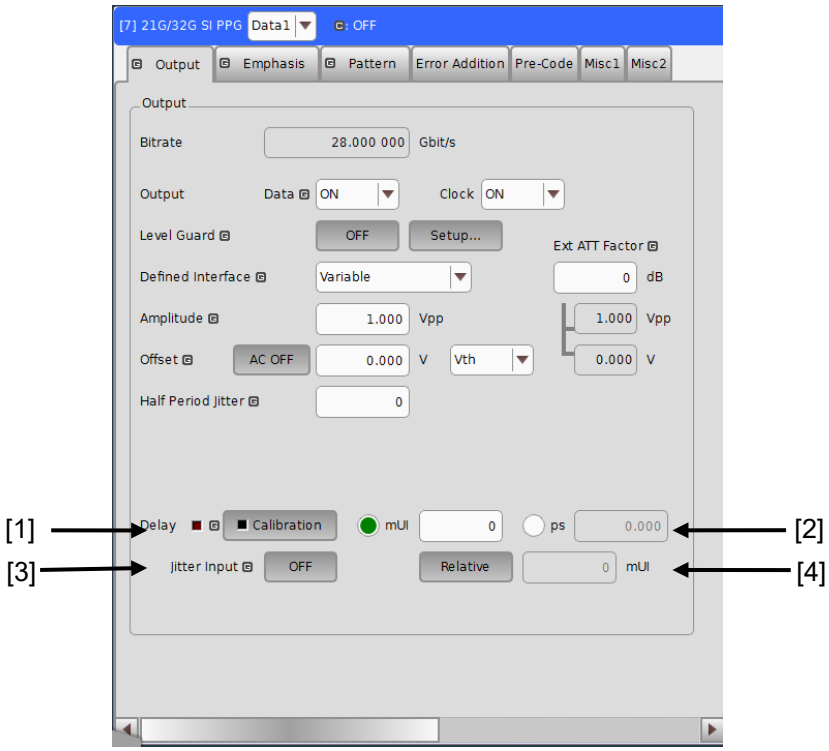


図5.1.2-2　Output タブの Delay 設定

[1]　[Calibration] をタッチします。
このボタンをタッチすることで，位相可変機能の Calibration が実行されます。電源をオンにしたとき，周波数を変更したとき，または周囲温度が変化したときなど，Calibration 推奨アラームが点灯したときに，[Calibration] をタッチして実行してください。Calibration は，およそ 1 秒以下で終了します。

[2]　Delay に位相を mUI 単位または ps 単位で設定します。

＜mUI 単位時＞

–1000～1000 mUI までを 2 mUI ステップごとに設定できます。
2 ch Combination または Channel Synchronization 実行時は, –64,000 ～64,000 mUI までを 2 mUI ステップごとに設定できます。

＜ps 単位時＞

2 mUI 相当する時間ごとに ps 単位で設定ができます。設定範囲は–1000 ～1000 mUI を ps 単位に換算した値です。
2ch Combination または Channel Synchronization 実行時は, –64,000 ～64,000 mUI を ps 単位に換算した値になります。

表5.1.2-1　Delay 設定範囲

ビットレート	設定範囲	
	通常時	2ch Combination Channel Synchronization 時
32.1 Gbit/s	–31.14～31.14 ps	–1993.74～1993.74 ps
25 Gbit/s	–40～40 ps	–2560～2560 ps
2.4 Gbit/s	–416～416 ps	–26665.6～26665.6 ps

[3]　ジッタ入力の設定をします。
ジッタ変調されたクロックを入力する場合は, Delay の Jitter Input を [ON] にしてください。

[4]　[Relative] は, 現在の設定位相値を相対的に 0 として基準にする場合にタッチします。

注:

- 周波数が変わった場合, または温度条件が変わった場合は, Calibration 推奨アラームが点灯します。この状態で Calibration を実行しないと, 通常の位相設定より設定誤差が大きくなる場合があります。
- MU195020A の位相設定は mUI 単位を内部基準としています。このため, 周波数を変更すると, ps 単位で表示されている値が変わります。

Combination 時，Channel Synchronization 時の Delay 設定

複数の MU195020A をスロットに装着している場合，Combination や Channel Synchronization 実行時に，図5.1.2-3のように複数チャネル間の Delay を相対的に変えることができます。

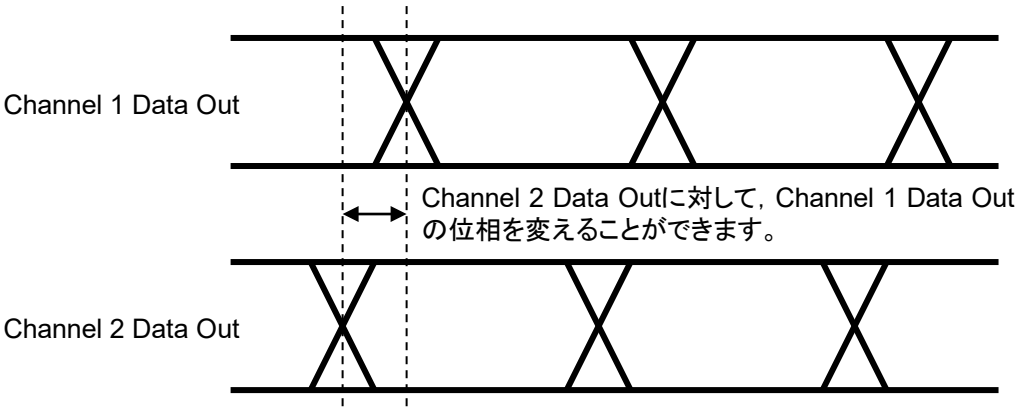


図5.1.2-3　Combination 時の Delay 設定

5.1.3　ジッタ変調された信号を入力する場合の設定

- ジッタ変調されたクロックを入力する場合は，MU181000A/B と MU181500B を使用します。モジュール間の接続は，「3.2.2 ジッタを付加する場合」を参照してください。
- Delay の Jitter Input を［ON］にします。
- Delay の Calibration を実行する場合は，入力信号のジッタ変調を無変調にします。
- Combination Setting を設定する場合は，Combination または Channel Synchronization に設定する前に，ジッタ変調を無変調にしてください。
- Combination または Channel Synchronization 設定時で，入力周波数を変える場合は，周波数を変えたあとに Delay の Jitter Input を［ON］，ジッタ変調を［ON］という手順で測定してください。

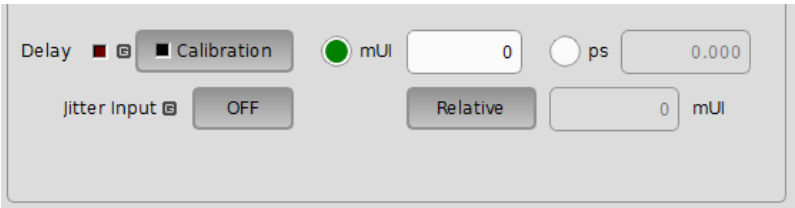


図5.1.3-1　Output タブの Delay 設定

注：

- Delay の Jitter Input が［OFF］のまま，ジッタ変調されたクロックを入力すると，位相が不安定になる場合があります。
- ジッタ変調されたクロックを入力すると，Delay ランプが点灯したり，位相設定誤差が大きくなったりする場合があります。

5.1.4　ビットレートの設定

クロック供給源が MU181000A/B または MU181500B の場合，データ出力のビットレートを設定できます。このときのクロック供給源の設定方法は「5.7.1　クロックの設定」を参照してください。

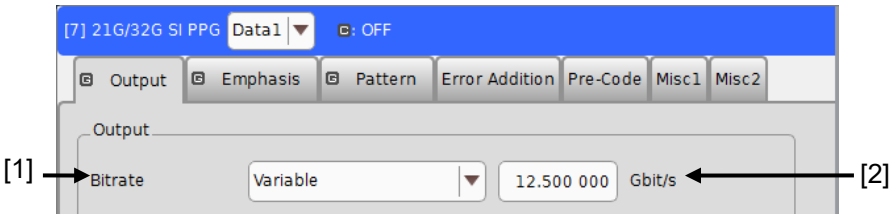


図5.1.4-1　Output タブ ビットレート設定部

[1]　クロック供給源が MU181000A/B または MU181500B の場合，Preset の規格リスト（表5.1.4-1）から選択または［Variable］より任意のビットレートに設定することができます。

[2]　Preset 選択時はビットレートが表示されます。［Variable］選択時は出力ビットレートの設定ができます。

注：

MU181500B のクロック供給源が MU181000A/B の場合のみ，ビットレートを設定できます。MU181500B に外部クロックを使用した場合は，PPG のビットレートを設定できません。

表5.1.4-1　ビットレート Preset 規格値

Preset 規格値	Bit rate [Gbit/s]
OC-48/STM-16	2.488320
PCIe 1	2.500000
InfiniBand SDR	2.500000
OTU1	2.666060
SATA 3Gb/s	3.000000
XAUI	3.125000
4G FC	4.250000
USB3.0	5.000000
InfiniBand DDR	5.000000
PCIe 2	5.000000
SATA 6Gb/s	6.000000
HSBI	6.250000
PCIe 3	8.000000
8G FC	8.500000
OC-192/STM-64	9.953280

表5.1.4-1　ビットレートPreset規格値（続き）

Preset 規格値	Bit rate [Gbit/s]
InfiniBand QDR	10.000000
USB3.1 Gen2	10.000000
Thunderbolt1	10.312500
10GbE	10.312500
10G FC	10.518750
G975 FEC	10.664228*2
OTU2	10.709225*2
10GbE over FEC	11.095700
10GFC over FEC	11.316800
16G FC	14.025000
InfiniBand FDR	14.062500
PCIe 4	16.000000
Thunderbolt2	20.625000
SAS	24.000000*1
InfiniBand EDR	25.781250*1 *2
100GbE(25.78x4)	25.781250*1 *2
100G OTU4	27.952496*1 *2
32G FC	28.050000*1
PCIe 5	32.000000*1
100G ULH	32.100000*1

＊1: MU195020A -x01 実装時のみ

＊2: 連動している 32G PPG の Misc2 設定 Output Clock Rate, および動作ビットレートによって, ビットレートの設定分解能が 0.000002 Gbit/s または 0.000004 Gbit/s となります。このため, 規格のビットレートちょうどに設定できないことがあります。

表5.1.4-2　[Variable] 時ビットレート設定範囲

Preset 規格値	Bit rate [Gbit/s]
Variable	2.400000～21.000000 Gbit/s (MU195020A-x01 実装時 32.100000 Gbit/s) 0.000002 Gbit/s step で設定可能*

＊: 連動している 32G PPG の Misc2 設定 Output Clock Rate, および動作ビットレートによって設定できない場合は分解能が 0.000004 Gbit/s となります。

5.2　Emphasis/ISI の設定

MU195020A-x11 または MU195020A-x21 実装時は，出力するデータに Emphasis を付加することができます。Emphasis の設定をするには，MU195020A 操作画面の［Emphasis］タブをタッチし，Preset の選択および設定をします。MX190000A Version 2.0.0 以降で MU195020A-x40 または MU195020A-x41 実装時は出力するデータに ISI を付加することができます。ISI の設定も Emphasis と同様に［Emphasis］タブから設定をします。

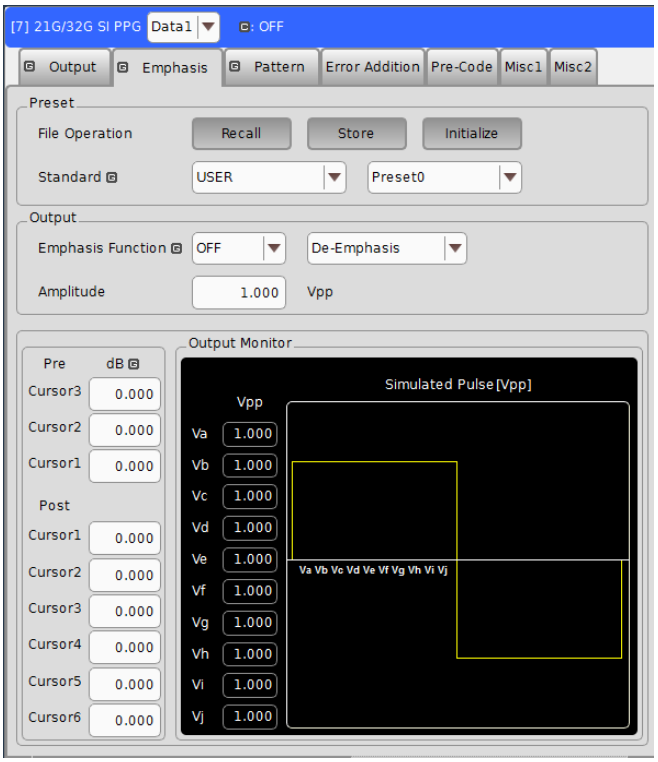


図5.2-1　Emphasis タブ（MX190000A Version 2.0.0 以前）

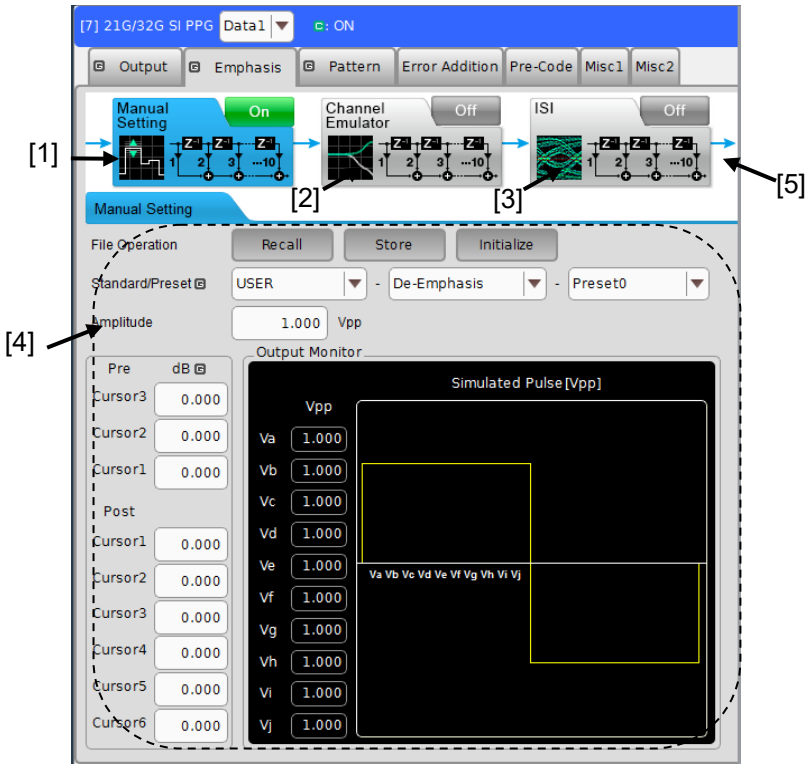


図5.2-2 Emphasis タブ Manual Setting 選択時
(MX190000A Version 2.0.0 以降)

[1] Emphasis のマニュアル設定を行います。

[2] 伝送 Channel のエミュレートを行います。

[3] ISI の設定を行います。

[4] [1]～[3] を選択することで詳細設定ができるようになります。

[5] [1]～[3] の ON になっているタブでそれぞれ設定された値が加算されて，出力されます。

5.2.1　Emphasis Presetの設定

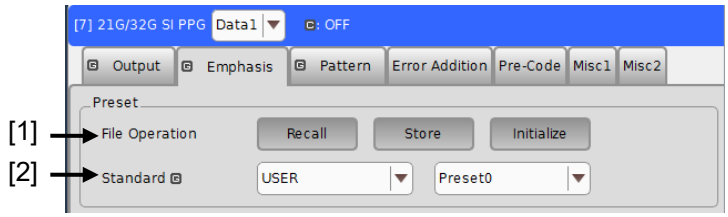


図5.2.1-1　Emphasis タブ Preset 設定部

[1]　Preset の設定を保存，呼び出し，初期化します。

表5.2.1-1　File Operation 項目

ボタン	機能
Recall	保存された Preset 設定を呼び出し設定します。
Store	Preset 設定を保存します。
Initialize	初期値を設定します。

[2]　Preset の規格をリスト（下表）から選択します。また，［USER］を選択すると任意の Preset に設定することができます。規格により，使用できる Preset の種類に制約があります。

表5.2.1-2　Emphasis Preset 規格

Preset 規格値	Preset
PCIe 3	Preset0～10
PCIe 4	Preset0～10
PCIe 5	Preset0～10
USB3.0	Preset0
USB3.1 Gen2	Preset0～1
TBT3	Preset0～15
USER	Preset0～15

5.2.2 Emphasis Functionの設定



図5.2.2-1 Emphasis タブ Function 設定部

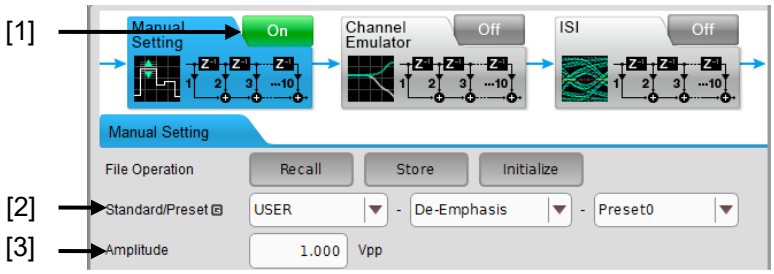


図5.2.2-2 Emphasis タブ 機能選択部 (MX190000A Version 2.0.0 以降)

[1] Emphasis Function のオン, オフを設定します。

OFF: Emphasis 波形を編集できますが, 正面パネルから出力される信号は Emphasis されません。

ON: 正面パネルから出力される信号源が Emphasis されます。

MX190000A Version 2.0.0 以降では Manual Setting の ON/OFF により設定を行います。

[2] Emphasis Function の種別を設定します。
Coefficient, Pre-Emphasis, および De-Emphasis から設定可能です。
ただし, Preset の規格により選択できる Function が制限されます。

表5.2.2-1 規格ごとの Emphasis Function

Preset 規格値	Emphasis Function
PCIe 3	De-Emphasis
PCIe 4	De-Emphasis
PCIe 5	De-Emphasis
USB3.0	De-Emphasis
USB3.1 Gen2	De-Emphasis
TBT3	Coefficient
USER	Coefficient, Pre-Emphasis, De-Emphasis

[3] Amplitude を設定します。
「図5.1.1-1 Outputタブ」の振幅設定と連動しており, どちらでも振幅を設定できます。

5.2.3　Cursor電圧の設定

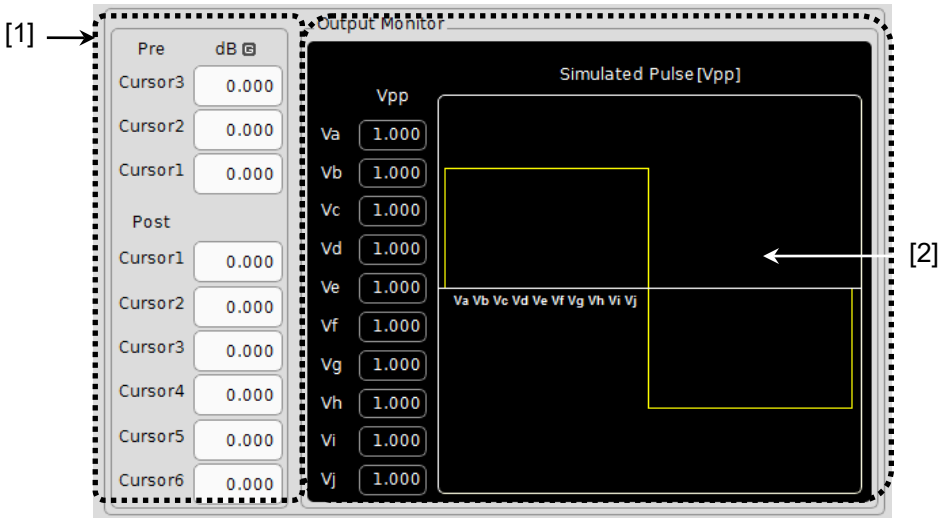


図5.2.3-1　Emphasis タブ Cursor 設定部

[1]　Cursor を設定します。
Pre-Emphasis または De-Emphasis の場合，3Pre-6Post Cursor が設定可能です。
Coefficient の場合，C3～C6 の Cursor 設定が可能です。

[2]　各 Cursor の電圧値モニタです。
[Channel Emulator] タブおよび [ISI] タブが On の場合，各タブ中設定値の合成値がモニタに表示されます。

注：

各 Cursor 係数は，次の設定によって Cursor 電圧値が 1.5 V を超えないまたは 0.1 V を下回らないよう設定範囲が制限されます。

- Amplitude
- ほかの Cursor の係数

5.2.4 Channel Emulatorの設定

MU195020A は DUT の S パラメータファイルを読み込み，S パラメータの逆特性からその DUT に対する最適な Emphasis 設定を算出する，あるいは S パラメータ特性から伝送 Channel の特性をエミュレートすることができます。次の機種で保存された S パラメータ（s2p, s4p ファイル）を読み込みできます。

- MICROWAVE NETWORK ANALYZER MS4640 シリーズ
- バートウェーブ MP2100A/B シリーズ

注:

- Channel Emulator は MU195020A-x40 または MU195020A-x41 が実装されている場合にのみ有効となります。
- 10Tap Emphasis による FIR フィルタでは鋭い減衰および増幅特性を実現することはできません。そのため，本機能では急峻なフィルタ特性を持つ S パラメータ正特性および逆特性を模擬することはできません。

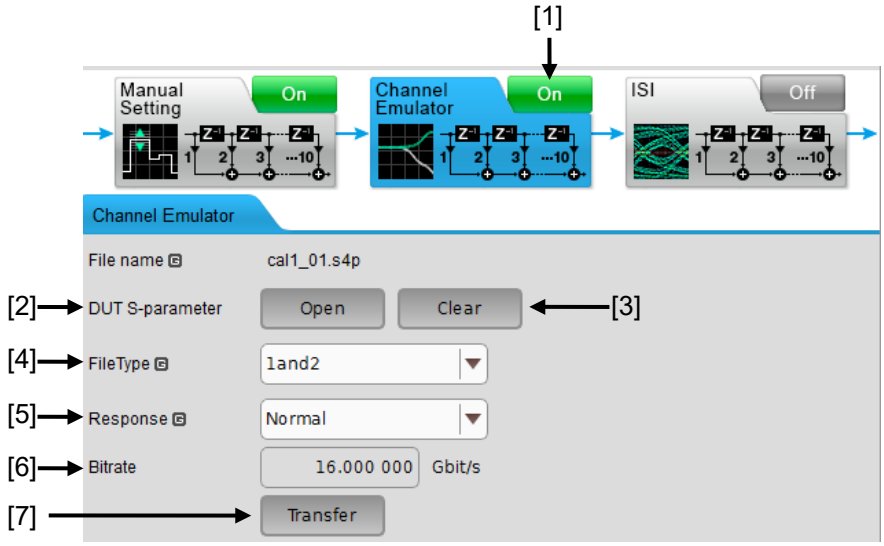


図5.2.4-1 Emphasis タブ Channel Emulator 設定部

[1] Channel Emulator のオン，オフを設定します。
本機能をオンにすると［Manual Setting］タブの Output Monitor に S パラメータ特性をエミュレートした結果をグラフ表示し，波形を出力します。
Off: エミュレータの機能をオフにします。
On: エミュレータの機能をオンにします。

[2] DUT の S パラメータファイルを読み込みます。[Open] をタッチするとファイルの読み込み画面の［Open S-Parameter File］が表示されます。このダイアログボックスで S パラメータファイルを選択することで［Response］設定に応じた Emphasis 設定をします。

[3] [Clear] をタッチすると現在読み込まれている S パラメータファイルをクリアします。

[4]　s4p ファイルのファイル形式を指定します。
[2] で読み込んだファイルが s4p ファイルのときに表示されます。

1and3:　以下のように入力ポートと出力ポートが割り当てられた s4p ファイルを読み込んでいる場合，本設定にします。
入力ポート:　Port 1, Port 3
出力ポート:　Port 2, Port 4

注:

MICROWAVE NETWORK ANALYZER MS4640 の s4p ファイルを開く場合は本設定にします。

1and2:　以下のように入力ポートと出力ポートが割り当てられた s4p ファイルを読み込んでいる場合，本設定にします。
入力ポート:　Port 1, Port 2
出力ポート:　Port 3, Port 4

[5]　S パラメータファイルから得られたインパルス応答のエミュレーション方法について設定します。

Normal:　正特性のインパルス応答をエミュレートします。
Channel 特性そのものをエミュレートするときに使用します。

Inverse:　逆特性のインパルス応答をエミュレートします。
Channel の損失を補償する目的で使用します。

注:

[Inverse] を選択すると Channel の逆特性がエミュレートされます。
Channel の逆特性は，Channel の周波数特性の逆数（Channel の伝達関数の逆数）を逆フーリエ変換することによって得られます。
したがって，S パラメータファイルによっては，Hardware Limit を超える Channel の逆応答がエミュレートされる可能性があります。
Channel Emulator では，Hardware Limit を回避するために，Amplitude 設定が 1.000 Vpp の場合，Output (Va-Vj) の最大値が 1.000 Vpp になるように正規化が行われます。
したがって，Channel Emulator を Channel の補償に使用する場合，正規化によって出力レベルを下げることなく，任意の S パラメータファイルのチャネル応答を補償することは保証されません。

[6]　MU195020A の Bitrate を表示します。

[7]　[Transfer] をタッチすると Channel Emulator のエミュレート結果が [Manual Setting] タブに転送されます。
転送されたエミュレート結果は Coefficient パラメータとして上書き設定されます。
また，転送が完了したら Channel Emulator はオフへと変更されます。

5.2.5 ISIの設定

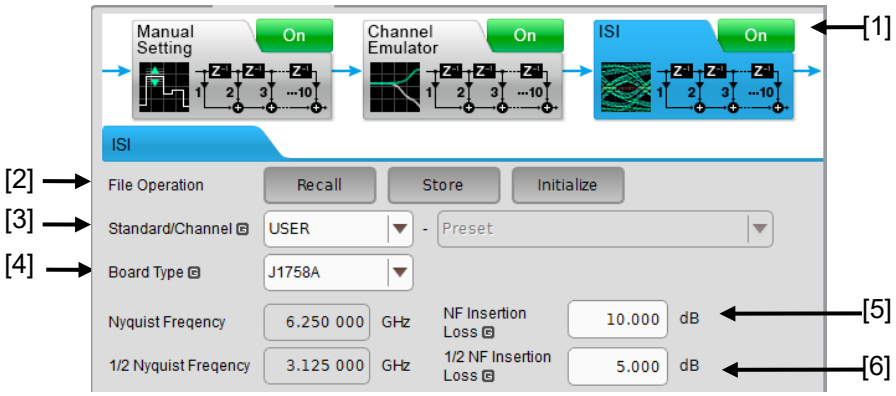


図5.2.5-1 Emphasis タブ ISI 設定部

注:

ISI は MU195020A-x40 または MU195020A-x41 が実装されている場合にのみ有効となります。

[1] ISI のオン, オフを設定します。

Off: ISI 設定を行えますが波形には反映されません。

On: 正面パネルから出力される波形に ISI が付加されます。

[2] Preset の設定を保存, 呼び出し, 初期化します。

表5.2.5-1 File Operation 項目

ボタン	機能
Recall	保存された Preset 設定を呼び出し設定します。
Store	Preset 設定を保存します。
Initialize	初期値を設定します。

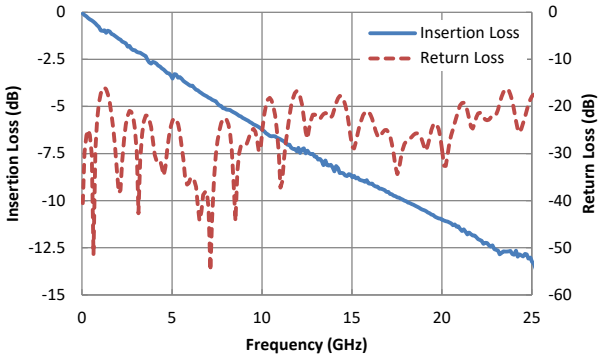
[3] 参照する規格および Calibration Channel を選択します。規格および Calibration Channel の設定で自動的に Insertion Loss を設定します。

表5.2.5-2 設定可能な規格と Calibration Channel

Preset 規格値	Calibration Channel
CEI-28G	Short Reach 300 mm
	Medium Reach
	Very Short Reach
CEI-25G	Long Reach 686 mm
USER	ユーザが任意の Insertion Loss を設定できます。

[4]　使用するISI Boardの選択を行います。リスト記載以外のISI Boardを使用し，そのISI Boardに損失を付加する場合は［Not Specified］を選択してください。
［J1758A］を選択した場合，［5］，［6］の設定は絶対値として扱われます。つまり，J1758A通過後の出力が［5］，［6］で設定したInsertion Loss相当の出力となり，ナイキスト周波数における出力は，Insertion Lossの範囲（1.5～25.0 dB）となります。
［Not Specified］を選択した場合，［5］，［6］の設定は相対値として扱われます。つまり，使用するISI Board通過後の出力はボード自身の損失量に加え［5］，［6］で設定したInsertion Lossの損失量が付加された出力となり，ナイキスト周波数における出力は，Insertion Lossの範囲（1.5～25.0 dB）+xx Db（ボード自身の損失）となります。

表5.2.5-3　Board Type 一覧

Board Type	周波数特性 (Typical)
J1758A	

[5]　ナイキスト周波数における Insertion Loss を設定します。Standard を［USER］とした場合は，ナイキスト周波数を Bit Rate から自動設定します。［USER］以外を選択した場合は，各種規格に応じた周波数が表示されます。

[6]　ナイキスト周波数の半分の周波数におけるInsertion Lossを設定します。本周波数の Insertion Loss はナイキスト周波数における Insertion Loss 値またはそれ以下の値を設定します。

5.3 Pattern の設定 (MU195020A)

PPG の Pattern を設定するには，MU195020A 操作画面の［Pattern］タブをタッチし，試験パターンの選択および設定をします。

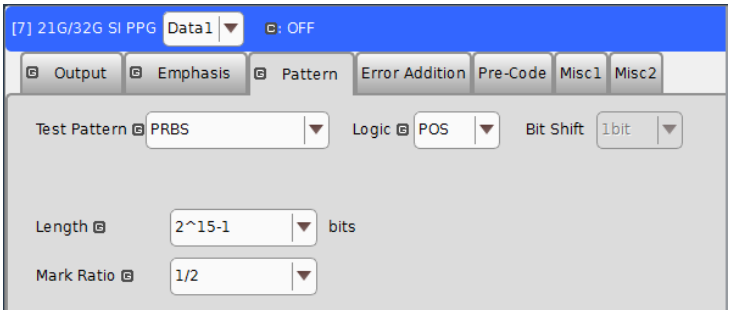


図5.3-1　Pattern タブ

5.3.1 Test Patternについて

試験パターンとして，下記の 6 種類のパターンを設定できます。

- PRBS
- ZeroSubstitution
- Data
- Mixed
- PAM4
- Sequence

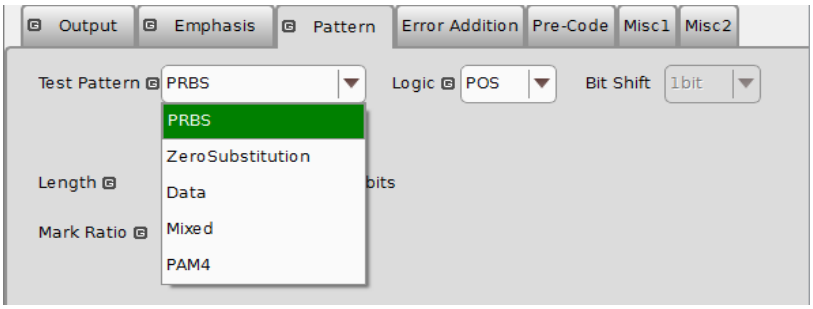


図5.3.1-1　Test Pattern の選択

以降に各パターンの設定方法について説明します。

5.3.2　PRBSの設定

Test Pattern に［PRBS］を選択したときの，各種パラメータを設定します。

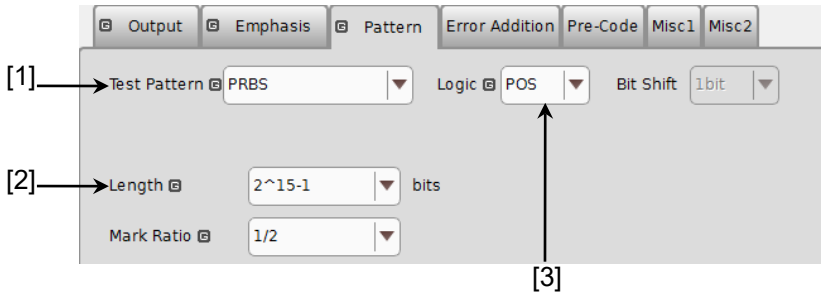


図5.3.2-1　Test Pattern (PRBS) 設定項目画面

[1]　［PRBS］を選択します。

[2]　PRBS パターンの段数を設定します。
PRBS パターンのパターン長を 2^n-1（n = 7, 9, 10, 11, 13, 15, 20, 23, 31）で設定します。

[3]　試験パターンの論理（Logic）を設定します。

表5.3.2-1　試験パターン論理の設定

設定	設定内容
POS（正論理）	信号の High Level を “0” と規定します。
NEG（負論理）	信号の High Level を “1” と規定します。

PRBS 発生原理に関しては，「付録 A 擬似ランダムパターン」を参照してください。

5.3.3 ZeroSubstitutionの設定

Test Pattern に［ZeroSubstitution］を選択したときの，各種パラメータを設定します。

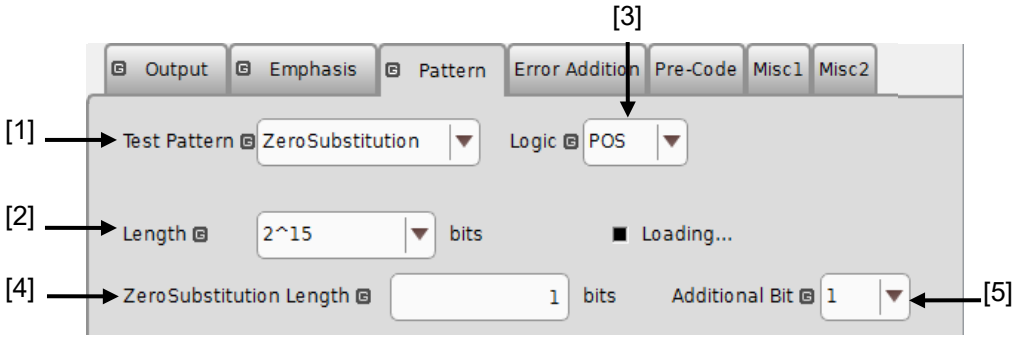


図5.3.3-1　Test Pattern (ZeroSubstitution) 設定項目画面

［1］　［ZeroSubstitution］を選択します。
パターンの Loading が開始され，Loading LED が点灯します。

［2］　“0” を挿入する対象となるパターン試験信号構成（段数）を設定します。
以下のいずれかのパターン試験信号を選択します。
2^n (n = 7, 9, 10, 11, 15, 20, 23) [MP1800A と互換],
2^n-1 (n = 7, 9, 10, 11, 15, 20, 23) [Pure PRBS 信号]

［3］　試験パターンの論理（Logic）を設定します。

表5.3.3-1　試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を “1” と規定します。
NEG (負論理)	信号の High Level を “0” と規定します。

［4］　“0” を挿入（置換）する ビット数を設定します。［2］で選択したパターン試験信号により，“0” を挿入可能なビット数が変わります。

(a) 2^n-1 が設定されている場合：　1～2^n-2 まで 1 bit ステップで設定できます。

(b) 2^n が設定されている場合：　1～2^n-1 まで 1 bit ステップで設定できます。

［5］　“0” を挿入するパターン最終ビットを設定します。
ただし，Length が 2^n-1 の場合は無効です。

表5.3.3-2　“0” を挿入するパターン最終ビットの設定

設定	設定内容
1	2^n ビット目を “1” とします（MP1800A と互換）。
0	M 系列信号とするため，最大で “0” が連続する位置の次に “0” を 1 ビット加えたパターンとします。

注:

MU195020A データ出力において，次のようなパターンでは出力振幅が約50%低下したり，オフセット電圧（V_{th}）が変動することがあります。

- 5 μs 以上 “0”（または “1”）が連続したあとの約 5 μs 区間のパターン
  このようなパターンは，連続した “0” または “1” の挿入によって生成される可能性があります。また，バーストパターンなどによっても生成される可能性があります。
- マーク率が 1/2 以外のパターン

このデータ信号を MU195040A で受信した場合，スレッショルド電圧の最適値が，MU195020A で設定しているオフセット電圧と一致しないことがあります。

これにより，ビットエラーが発生することがあります。そのような場合は，データ信号をオシロスコープなどで確認のうえ，スレッショルド電圧を調整してください。

5.3.4 Dataの設定

Test Pattern に［Data］を選択したときの，各種パラメータを設定します。

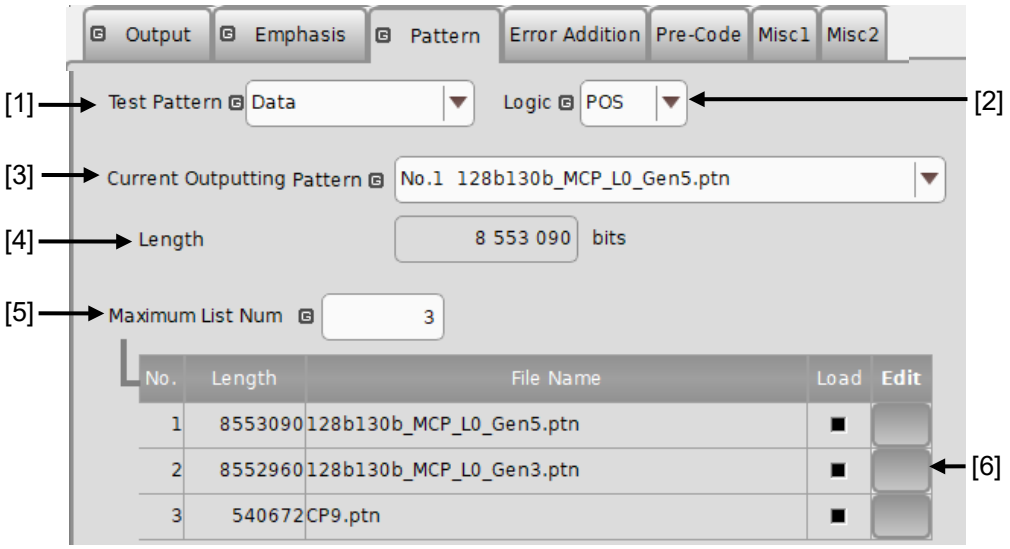


図5.3.4-1　Test Pattern (Data) 設定項目画面

［1］　［Data］を選択します。
試験パターンの Loading が開始され，Loading LED が点灯します。

［2］　試験パターンの論理（Logic）を設定します。

表5.3.4-1　試験パターン論理の設定

設定	設定内容
POS（正論理）	信号の High Level を “1” と規定します。
NEG（負論理）	信号の High Level を “0” と規定します。

［3］　出力する試験パターンを選択します。
［5］および［6］によって Load された試験パターンから，実際に出力する試験パターンを選択します。ここで試験パターン切り替えた場合，一度出力が OFF になることなく試験パターンが切り替えられます。

［4］　現在設定されている試験パターンデータのデータ長を表示します。

注：

- データ長が長い場合，試験パターンの Loading に時間がかかる場合があります。

  最大長を設定した場合の Loading 時間の参考値を以下に示します。この時間は目安であり，Loading 時間を保証するものではありません。

  1ch 最大:　　約 4 分
  2ch 最大:　　約 8 分

- MU195020A データ出力において，次のようなパターンでは出力振幅が約 50%低下したり，オフセット電圧（V_{th}）が変動することがあります。

- 5 μs 以上 “0” (または “1”) が連続したあとの約 5 μs 区間のパターン
  このようなパターンは，連続した “0” または “1” の挿入によって生成される可能性があります。また，バーストパターンなどによっても生成される可能性があります。
- マーク率が 1/2 以外のパターン

このデータ信号を MU195040A で受信した場合，スレッショルド電圧の最適値が，MU195020A で設定しているオフセット電圧と一致しないことがあります。

これにより，ビットエラーが発生することがあります。そのような場合は，データ信号をオシロスコープなどで確認のうえ，スレッショルド電圧を調整してください。

・ Data や Mixed パターンなどで1.と同様な “0” 連続後の PRBS パターンと，“1” 連続後の PRBS パターンを組み合わせた信号を MU195040A で受信した場合，“0” 連続後と “1” 連続後の PRBS パターンは，スレッショルド電圧の最適値が異なります。このことにより，全パターンのビット誤りを測定できないことがあります。

[5] MU195020A に Load する試験パターンの最大数を選択します。
アプリケーションを起動した後に，Test Pattern で [Data] を選択すると，ここで選択されている個数の試験パターンを Load します。一度 Load された試験パターンは [3] を切り替えることで，再び Load することなく試験パターンを切り替えることができます。
ただし，ここの個数を大きくするほど Loading 時間が長くなり，アプリケーションの起動に時間がかかります。

[6] 試験パターンを編集します。
[Edit] をタッチすると，Pattern Editor ダイアログボックスを表示し，試験パターンを編集できます。Pattern Editor ダイアログボックスにより，試験パターン編集後，[OK] をタッチして，Pattern Editor ダイアログボックスを閉じると，ハードウェアへの Loading を行います。Loading 中は，Loading LED が点灯します。Pattern Editor による試験パターン設定の説明に関しては，「5.3.7 Pattern Editorによる試験パターン編集」を参照してください。

5.3.5 Mixedの設定

Test Pattern に［Mixed］を選択すると，プログラム可能な試験パターンと PRBS をあわせた Block を設定できます。

プログラム可能な試験パターンに，PRBS パターンを加えたパターンを Row と定義します。複数 Row を収容したものを 1 Block と定義します。複数の Block を設定し，試験パターンを設定します。

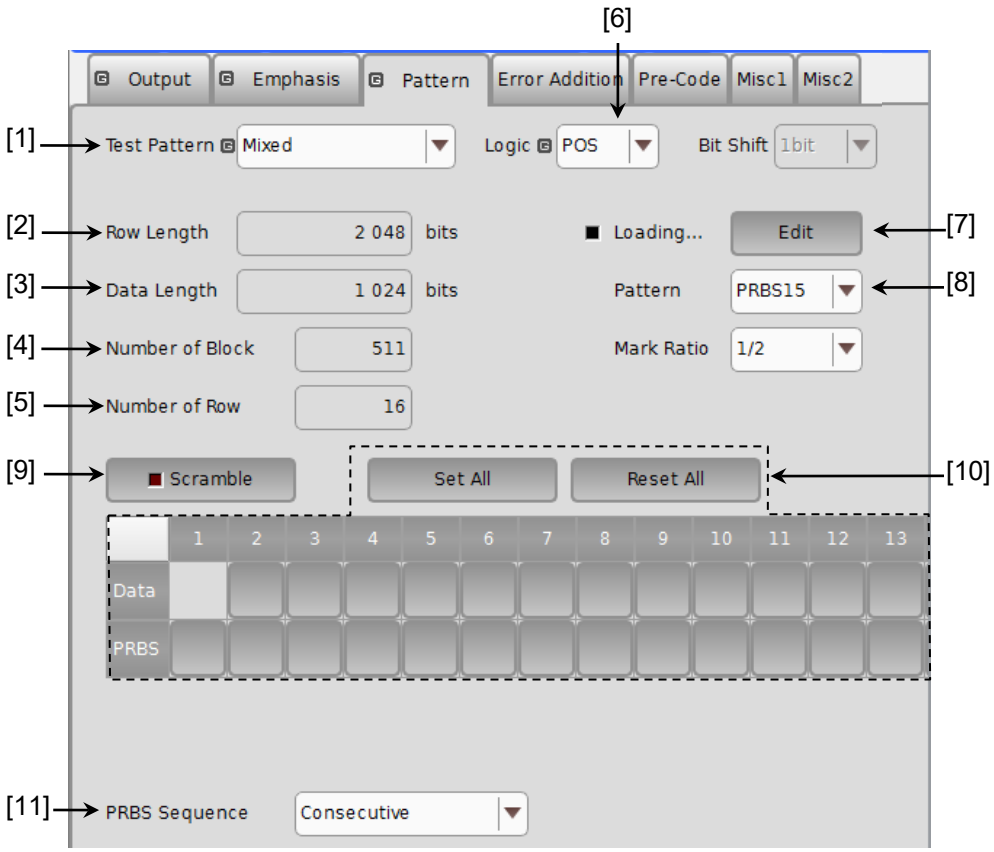


図5.3.5-1 Test Pattern (Mixed Data) 設定項目画面

[1] ［Mixed］を選択します。

[2] Pattern Editor ダイアログボックスで設定した Row Length が表示されます。

[3] Pattern Editor ダイアログボックスで設定した Data Length が表示されます。

[4] Pattern Editor ダイアログボックスで設定した全 Block 数が表示されます。最大 Block 数は 511 です。

[5] 1 ブロックあたりの Row 数が表示されます。
Pattern Editor ダイアログボックスで設定した Number of Row が表示されます。

[6] 試験パターンの論理（Logic）を設定します。

表5.3.5-1　試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を “1” と規定します。
NEG (負論理)	信号の High Level を “0” と規定します。

[7]　試験パターンを編集します。
[Edit] をタッチすると，Pattern Editor ダイアログボックスが表示され，試験パターンを編集できます。Pattern Editor ダイアログボックスにより，試験パターン編集後，[OK] をタッチして，Pattern Editor ダイアログボックスを閉じると，ハードウェアへ試験パターンが読み込まれます (Loading)。Loading 中は，Loading LED が点灯します。Pattern Editor による試験パターン設定の説明に関しては，「5.3.7 Pattern Editorによる試験パターン編集」を参照してください。

注:

- データ長が長い場合，試験パターンの Loading に時間がかかる場合があります。

  最大長を設定した場合の Loading 時間の参考値を以下に示します。この時間は目安であり，Loading 時間を保証するものではありません。

  1ch 最大:　　約 1 分
  2ch 最大:　　約 2 分

- MU195020A データ出力において，次のようなパターンでは出力振幅が約 50%低下したり，オフセット電圧 (V_{th}) が変動することがあります。

  - 5 μs 以上 “0” (または “1”) が連続したあとの約 5 μs 区間のパターン
    このようなパターンは，連続した “0” または “1” の挿入によって生成される可能性があります。また，バーストパターンなどによっても生成される可能性があります。
  - マーク率が 1/2 以外のパターン

  このデータ信号を MU195040A で受信した場合，スレッショルド電圧の最適値が，MU195020A で設定しているオフセット電圧と一致しないことがあります。

  これにより，ビットエラーが発生することがあります。そのような場合は，データ信号をオシロスコープなどで確認のうえ，スレッショルド電圧を調整してください。

- Data や Mixed パターンなどで “0” 連続後の PRBS パターンと，“1” 連続後の PRBS パターンを組み合わせた信号を MU195040A で受信した場合，“0” 連続後と “1” 連続後の PRBS パターンは，スレッショルド電圧の最適値が異なります。このことにより，全パターンのビット誤りを測定できないことがあります。

[8] PRBS パターンの段数を設定します。
PRBS パターンのパターン長を 2^n-1 (n = 7, 9, 10, 11, 15, 20, 23, 31) から設定できます。

[9] Scramble を設定します。

[10] の Setup で設定した部分に対して，PRBS7 段の Scramble をかけられます。

[Scramble] 上の LED が消灯中に [Scramble] をタッチすると [Scramble] 上の LED が点灯し，出力信号が Scramble されます。Scramble されている箇所が画面上のブロック構成表示エリアに赤色で表示されます。

[Scramble] 上の LED が点灯中に再度，[Scramble] をタッチすると [Scramble] 上の LED が消灯し，出力信号への Scramble を停止します。

[10] Scramble の設定をします。

[Set All] をタッチすると，全領域有効となり，[Reset All] をタッチすると全領域無効となります。
Scramble をかけたい部分を選択すると，個別に Scramble が有効となります。

注:

各 Block の Row の 1 番目の Data 領域は，Scramble をかけられません。

[11] PRBS 信号発生方式を設定します。
Mixed パターンにおける，PRBS 部分のパターン列の連続性有無について設定を行います。

表5.3.5-2　PRBS 信号発生方式の設定

設定	設定内容
Restart	設定した最終 Block の PRBS の最後尾と，次に繰り返される Block の PRBS の先頭が，不連続となります。
Consecutive	設定した最終 Block の PRBS の最後尾と，次に繰り返される Block の PRBS の先頭が，連続となります。

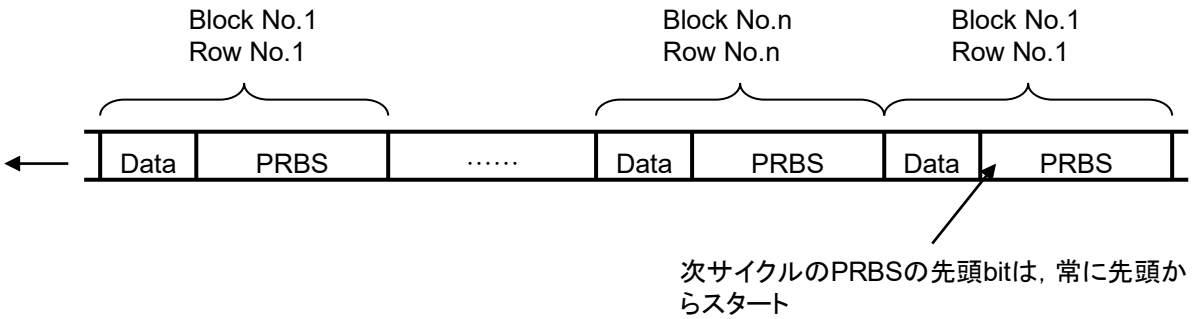


図5.3.5-2　PRBS パターン列の連続性（Restart 時）

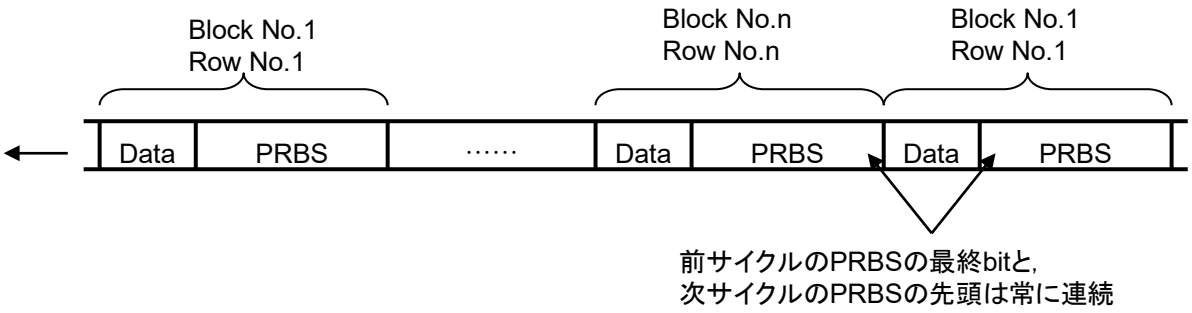


図5.3.5-3　PRBS パターン列の連続性（Consecutive 時）

5.3.6 PAM4の設定

Test Pattern に［PAM4］を選択したときの，各種パラメータを設定します。
［PAM4］は，モジュール間同期機能を使用して，［2ch Combination］または［64G × 2ch Combination］を設定にした場合のみ表示されます。
モジュール間同期機能の詳細は，「5.9 モジュール間同期機能」を参照してください。

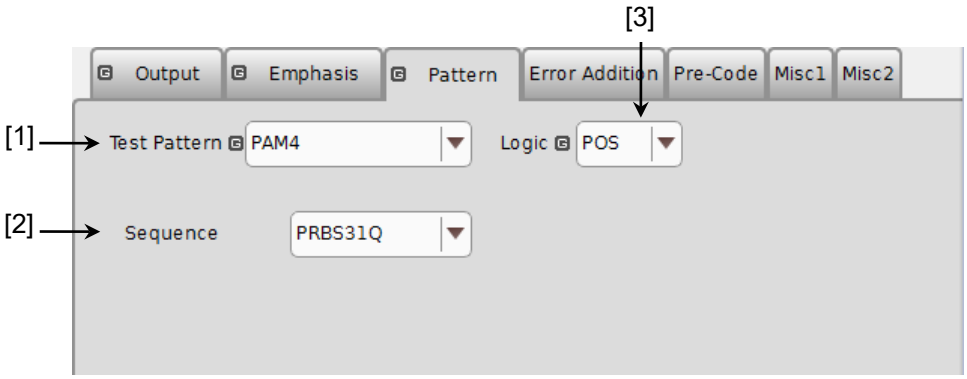


図5.3.6-1 Test Pattern (PAM4) 設定項目画面

［1］ ［PAM4］を選択します。

［2］ 試験パターン（Sequence）を設定します。

［3］ 試験パターンの論理（Logic）を設定します。

表5.3.6-1 試験パターン論理の設定

設定	設定内容
POS (正論理)	信号の High Level を “1” と規定します。
NEG (負論理)	信号の High Level を “0” と規定します。

Sequenceを［User Define］に選択した場合は任意のPRBS段数やユーザ定義のパターンを設定することができます。

Raw Data に [PRBS] を設定すると，PRBS パターンを基にした試験パターンを生成することができます。

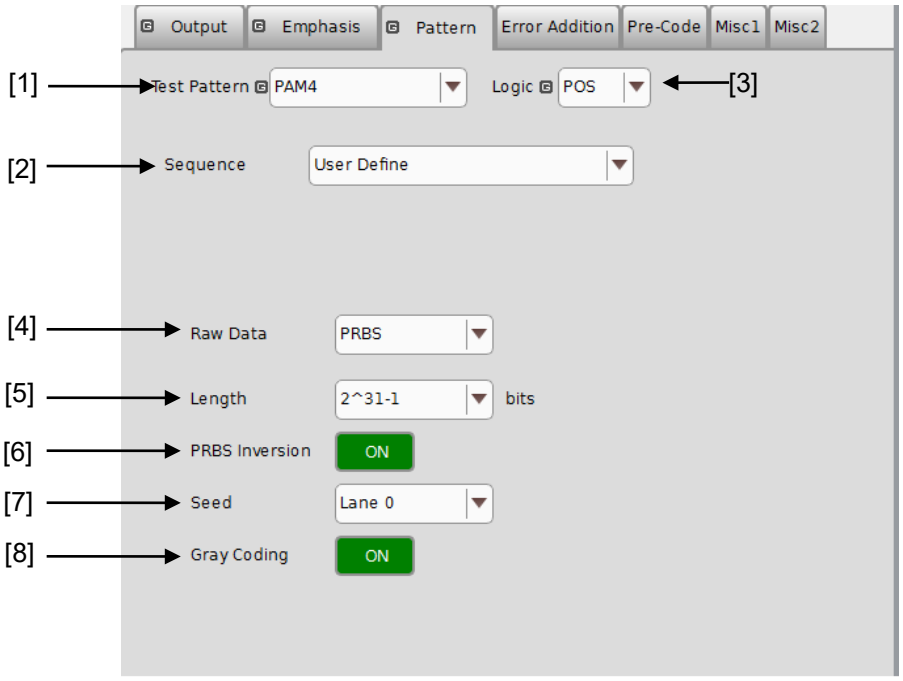


図5.3.6-2　Test Pattern (PAM4-PRBS) 設定項目画面

[1]　試験パターン [PAM4] を選択します。

[2]　試験パターン (Sequence) を設定します。

[3]　試験パターンの論理 (Logic) を設定します。

[4]　Raw Data [PRBS] を設定します。

[5]　PRBS パターンの段数 (Length) を設定します。
PRBS パターンのパターン長 (Length) を 2^n-1 (n = 7, 9, 10, 11, 13, 15, 20, 23, 31) で設定します。

[6]　PRBS パターンの論理反転 (PRBS Inversion) のオン，オフを設定します。
PRBS Inversion と試験パターンの論理 (Logic)，および Gray Coding の関係は下図のとおりです。

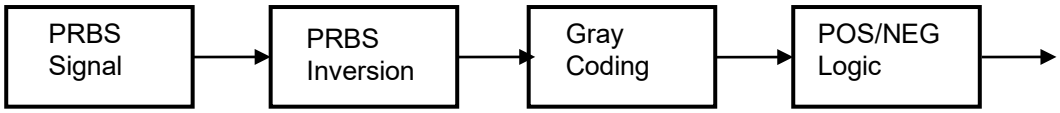


図5.3.6-3　パターン発生ブロック図

[7] PRBS パターンの初期値（Seed）を設定します。
PAM4 信号を複数（Lane0～3）で使用することを想定して，PRBS パターンの初期値（Seed）を変更することにより，各 Lane 間の位相をずらすことができます。

[8] Gray Coding のオン，オフを設定します。
Gray Coding への変換は下表のとおりです。また，PAM4 パターン波形のイメージ下図のとおりです。

表5.3.6-2 Gray Coding 変換表

Binary Code	Gray Code
00	00
01	01
10	11
11	10

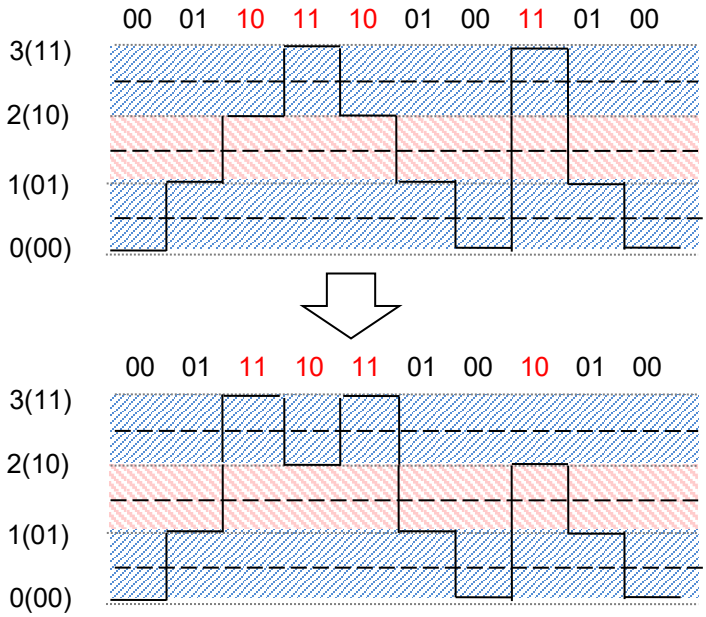


図5.3.6-4 Gray Coding PAM4 パターン波形

PRBS 発生原理に関しては，「付録 A 擬似ランダムパターン」を参照してください。

Raw Data に［Data］を設定すると，編集可能なパターンファイルを基にした試験パターンを生成することができます。

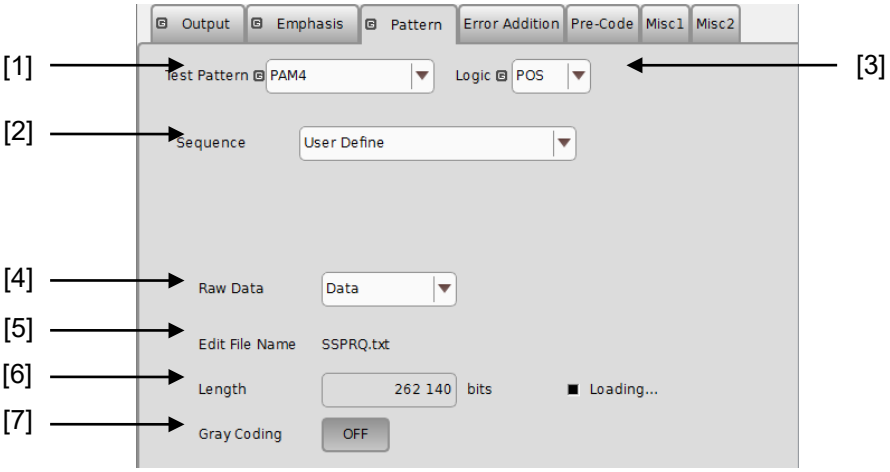


図5.3.6-5　Test Pattern (PAM4-Data) 設定項目画面

[1]　［PAM4］を選択します。

[2]　試験パターン（Sequence）を設定します。

[3]　試験パターンの論理（Logic）を設定します。

[4]　Raw Data に［Data］を設定します。
試験パターンの Loading が開始され，Loading LED が点灯します。

[5]　設定しているパターンファイルのファイル名を表示します。
ファイル名を設定していない場合は，“---” と表示されます。

[6]　現在設定されている試験パターンデータのデータ長を表示します。

[7]　Gray Coding のオン，オフを設定します。

注：

- データ長が長い場合，試験パターンの Loading に時間がかかる場合があります。

  最大長を設定した場合の Loading 時間の参考値を以下に示します。この時間は目安であり，Loading 時間を保証するものではありません。

  最大: 約 8 分

- MU195020A データ出力において，次のようなパターンでは出力振幅が約 50%低下したり，オフセット電圧（V_{th}）が変動することがあります。
  - 5 µs 以上 “0”（または “1”）が連続したあとの約 5 µs 区間のパターン
    このようなパターンは，連続した “0” または“1” の挿入によって生成される可能性があります。また，バーストパターンなどによっても生成される可能性があります。
  - マーク率が 1/2 以外のパターン

このデータ信号を MU195040A で受信した場合，スレッショルド電圧の最適値が，MU195020A で設定しているオフセット電圧と一致しないことがあります。

これにより，ビットエラーが発生することがあります。そのような場合は，データ信号をオシロスコープなどで確認のうえ，スレッショルド電圧を調整してください。

5.3.7　Pattern Editorによる試験パターン編集

[Pattern] タブで以下のパターンを選択した場合の，試験パターン編集について説明します。

- Data
- Mixed

5.3.7.1 共通項目

[Pattern] タブで [Edit] をタッチすると，Pattern Editor ダイアログボックスが表示されます。

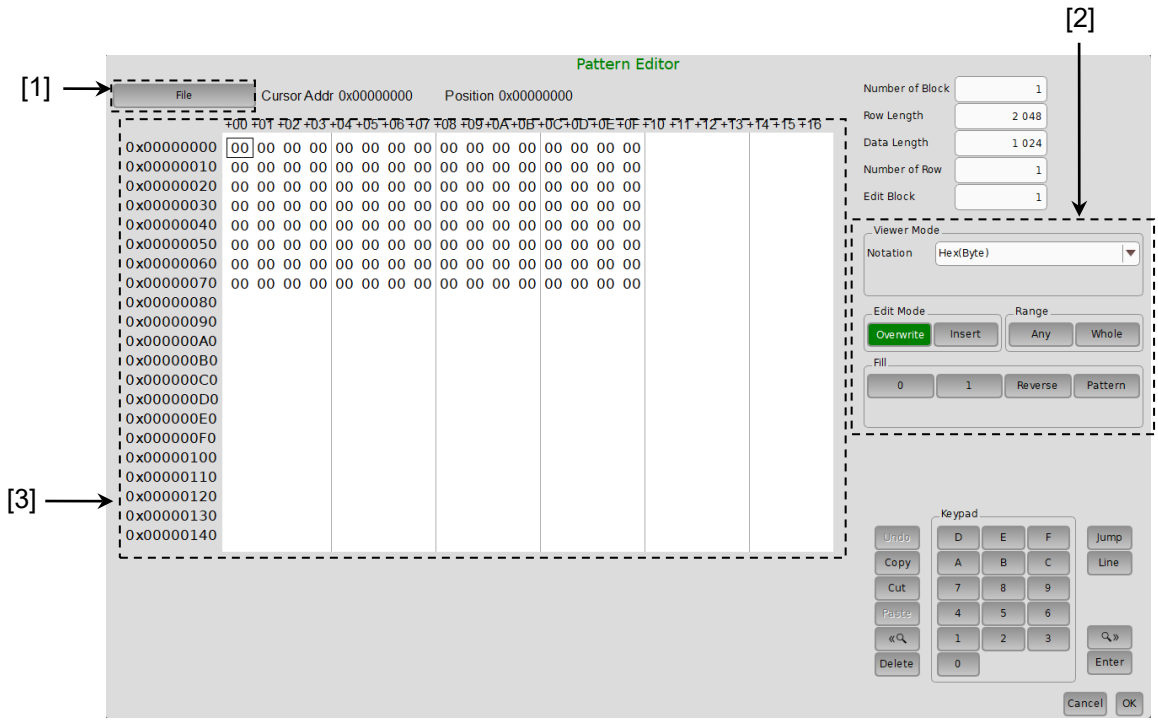


図5.3.7.1-1　Pattern Editor ダイアログボックス

[1]　編集ボタン

表5.3.7.1-1　メニューバー構成

ボタン	項目	説明
File	Open	バイナリパターン（Binary Pattern），バイナリテキストパターン（BIN Text Pattern），ヘキサテキストパターン（HEX Text Pattern）形式のいずれかで保存されている設定ファイルを開きます。 ファイル互換については，「5.3.7.7 既存機種パターンとの互換性」を参照してください。
	Save	バイナリパターン（Binary Pattern），バイナリテキストパターン（BIN Text Pattern），ヘキサテキストパターン（HEX Text Pattern）形式で設定ファイルを保存します。 *注：* 保存したファイル名を変更すると，設定を読み込むことができなくなります。

表5.3.7.1-1 メニューバー構成（続き）

ボタン	項目	説明
Undo		直前の 1 作業を取り消し，もとの状態に戻します。
Copy		Pattern View 上の選択されたパターンを内部メモリにコピーします。
Cut		Over write： Pattern View 上の選択されたパターンを切り取ります。切り取り後の領域は，“0” になります。 Insert： 選択されたパターンをアドレス領域ごと切り取ります。切り取り後は，パターン長の末尾に切り取った領域分に 0 パターンが追加されます。
Paste		内部メモリ上のパターンをカーソル位置に貼り付けます。
Jump		指定されたアドレスやパターンにカーソルを移動させます。
	Head	カーソルを編集パターンの先頭に移動させます。
	Tail	カーソルを編集パターンの最後尾に移動させます。
	Address	Input Address ダイアログボックスが表示されます。 指定したアドレス位置にカーソルを移動します。
	Pattern	Input Pattern ダイアログボックスが表示されます。 検索したいパターン列を 2 進数で指定します。 編集パターン上に一致したパターンがあれば，その位置にカーソルが移動します。前方検索，後方検索ができます。 検索パターンを指定するには，Input Pattern ダイアログボックスの次のボタンをタッチします。 [Set ALL] ビットをすべて “1” にします。 [Reset ALL] ビットをすべて “0” にします。 検索する方向を [Forward]，[Backward] で選択し，[OK] をタッチします。
	Forward Next	Input Pattern ダイアログボックスで設定したパターンに一致する前方方向の次の候補を検索し，一致すれば，その位置にカーソルを移動します。
	Backward Next	Input Pattern ダイアログボックスで設定したパターンに一致する後方方向の次の候補を検索し，一致すれば，その位置にカーソルを移動します。
Line		Pattern View に表示する，1 行あたりの表示数を指定します。パターン設定項目の Display が Table に設定されている場合に有効です。

[2]　パターン設定項目

表5.3.7.1-2　パターン設定項目

設定項目	説明
Notation	Pattern View でのパターン表示書式を指定します。 Bin：2 進数 Hex：16 進数
Edit Mode	パターンの編集方法を指定します。 [Paste] を実行する場合，あるいは Pattern View 領域で直接編集（Fill 設定エリアの操作は対象外です）する場合，あらかじめ Edit Mode を指定する必要があります。 Overwrite：選択したパターンを上書きします。 Insert：選択したパターン位置に編集したパターンを挿入します。Insert を実行した場合，Data Length は変更されません。このため，Insert した分のパターンが Data Length 値を超え，無効になってしまいます。
Range	Edit の範囲を設定します。 Whole：すべての編集パターンがフォーカスされます。 Any：図5.3.7.1-2のInput Rangeダイアログボックスを表示し，編集範囲をアドレスで指定できます。 Direct：アドレスを指定して任意の領域を選択領域にします。アドレスの指定はカーソルで行います。 詳細は，「5.3.7.5 領域の編集」を参照してください。
Fill	カーソルによりフォーカスされている部分のパターンを編集します。 0：Pattern View 領域で選択したフォーカス部分を “0” にします 1：Pattern View 領域で選択したフォーカス部分を “1” にします。 Reverse：Pattern View 領域で選択したフォーカス部分を論理反転します。 Pattern：Pattern View 領域で選択したフォーカス部分を編集する Input Pattern 設定を表示します。 Repeat：フォーカスしたアドレスを先頭に編集したパターンを Repeat で指定した回数だけ繰り返して設定します。 Length：フォーカスした先頭アドレスからの編集ビット数を指定します。 Set All：Length で選択されたすべてのビットを “1” に設定します。 Reset All：Length で選択されたすべてのビットを “0” に設定します。

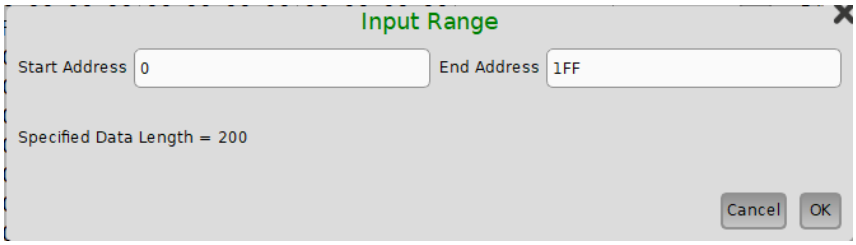


図5.3.7.1-2　Input Range ダイアログボックス

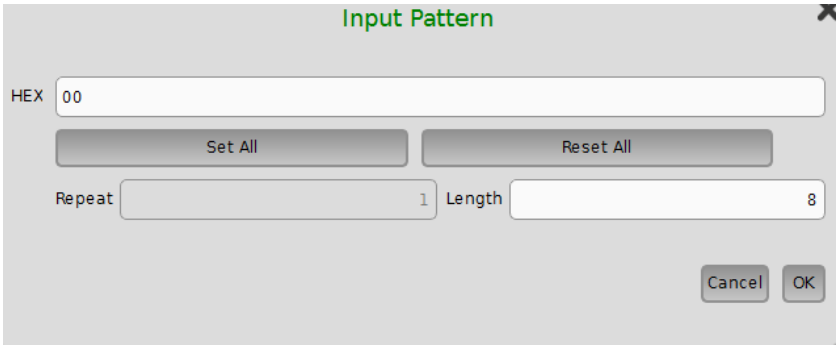


図5.3.7.1-3　Input Pattern ダイアログボックス

[3]　Pattern View 領域

編集されたパターンを表示する領域です。

パターン上の編集したい bit 値をタッチすると編集できます。

5.3.7.2 Data選択時のパターン設定

試験パターンとして［Data］を選択している場合，［Edit］をタッチすると次のダイアログボックスが表示されます。

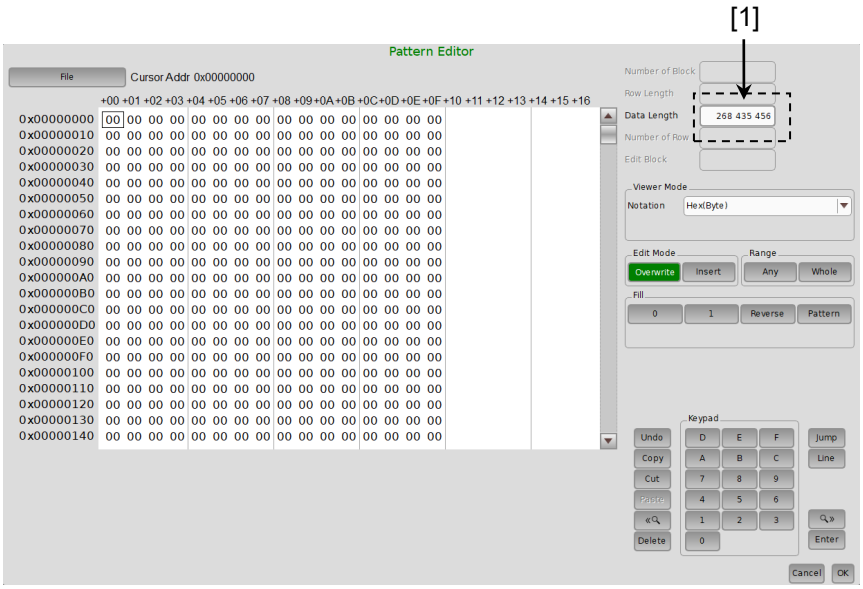


図5.3.7.2-1　Pattern Editor ダイアログボックス–Data

［1］　パターン設定項目

表5.3.7.2-1　パターン設定項目（Data 選択時）

設定項目	説明
Data Length	パターン長を設定します。設定単位は bit です。 2～268 435 456 bits までを 1 bit ステップで設定します。 2ch Combination 時: 4～536 870 912 bits までを 2 bit ステップで設定します。

5.3.7.3 Mixed選択時のパターン設定

試験パターンとして［Mixed］を選択している場合，［Edit］をタッチすると次のダイアログボックスが表示されます。

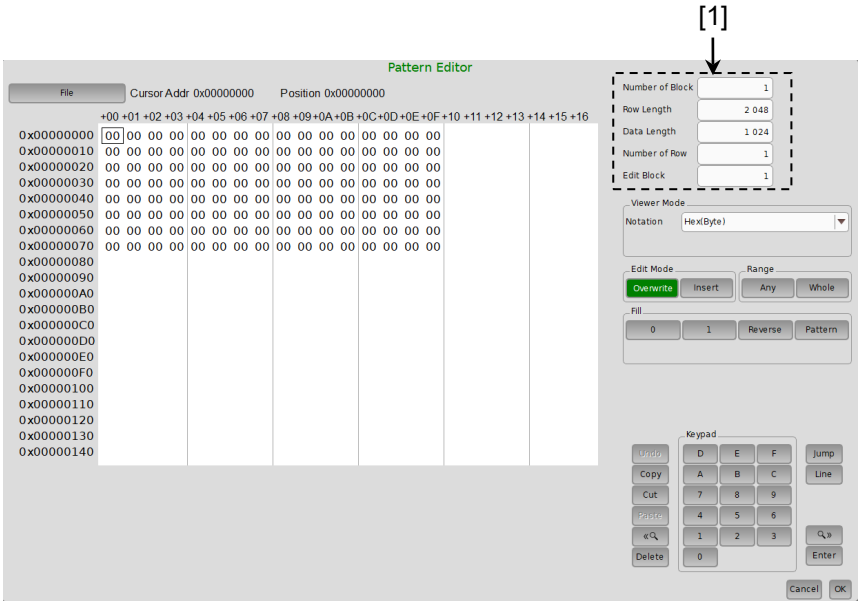


図5.3.7.3-1　Pattern Editor ダイアログボックス–Mixed

［1］　パターン設定項目

表5.3.7.3-1　パターン設定項目（Mixed 選択時）

設定項目	説明
Number of Block	Block 数を設定します。1～511 までを 1 Block ステップで設定できます。
Row Length	Row Length を設定します。 2 048～2415 919 104 bits まで 256 bit ステップで設定できます。 2ch Combination 時: 4 096～4 831 838 208 bits までを 512 bit ステップで設定できます。
Data Length	パターン長を設定します。 1 024～268435456 bits まで 1 bit ステップで設定できます。 2ch Combination 時: 2 048～536 870 912 bits までを 2 bit ステップで設定します。
Number of Row	Row 数を設定します。1～16 Row までを 1 Row ステップで設定します。
Edit Block	編集する Block の番号を指定します。

注:

Block 数, Row 数には以下の制約があります。

Block 数
1～以下 a), b), c), d) のいずれか小さい数, 1 Step

a) 511

b) INT ($\frac{256\,\text{Mbits}\times x}{\text{Row}\square\times\text{Data Length}'}$)

ここで, Data Length'は

・ $\frac{\text{Data Length}}{256\times x}$ に余りがある場合

= (INT ($\frac{\text{Data Length}}{256\times x}$) +1) × 256 × x

・ $\frac{\text{Data Length}}{256\times x}$ に余りがない場合

= Data Length

ただし, Data Length' × Row 数 × Block 数≦256 Mbits
となる最大 Block 数。

c) INT ($\frac{(256\,\text{Mbits}+2^{31})\times x}{\text{Row Length}\times\text{Row数}}$)

x は, 以下のとおりになります。
Independent 時, 1
2ch Combination 時, 2

d) (Row Length – Data Length) × Block 数≧2^31 (2 147 483 648)

Row 数
1～以下 a), b), c) のいずれか小さい数, 1 Step

a) 16

b) INT ($\frac{256\,\text{Mbits}\times x}{\text{Data Length}'}$)

ここで, Data Length'は

・ $\frac{\text{Data Length}}{256\times x}$ に余りがある場合

= (INT ($\frac{\text{Data Length}}{256\times x}$) + 1) × 256 × x

・ $\frac{\text{Data Length}}{256\times x}$ に余りがない場合

= Data Length

ただし, Data Length' × Row 数× Block 数≦256 Mbits
となる最大 Row 数。

c) INT ($\frac{(256\,\text{Mbits}+2^{31})\times x}{\text{Row Length}}$)

x は, 以下のとおりになります。
Independent 時, 1
2ch Combination 時, 2

5.3.7.4 試験パターンの作成・編集をするには

ここでは，Pattern Editor ダイアログボックスで試験パターンを作成および編集する方法を説明します。

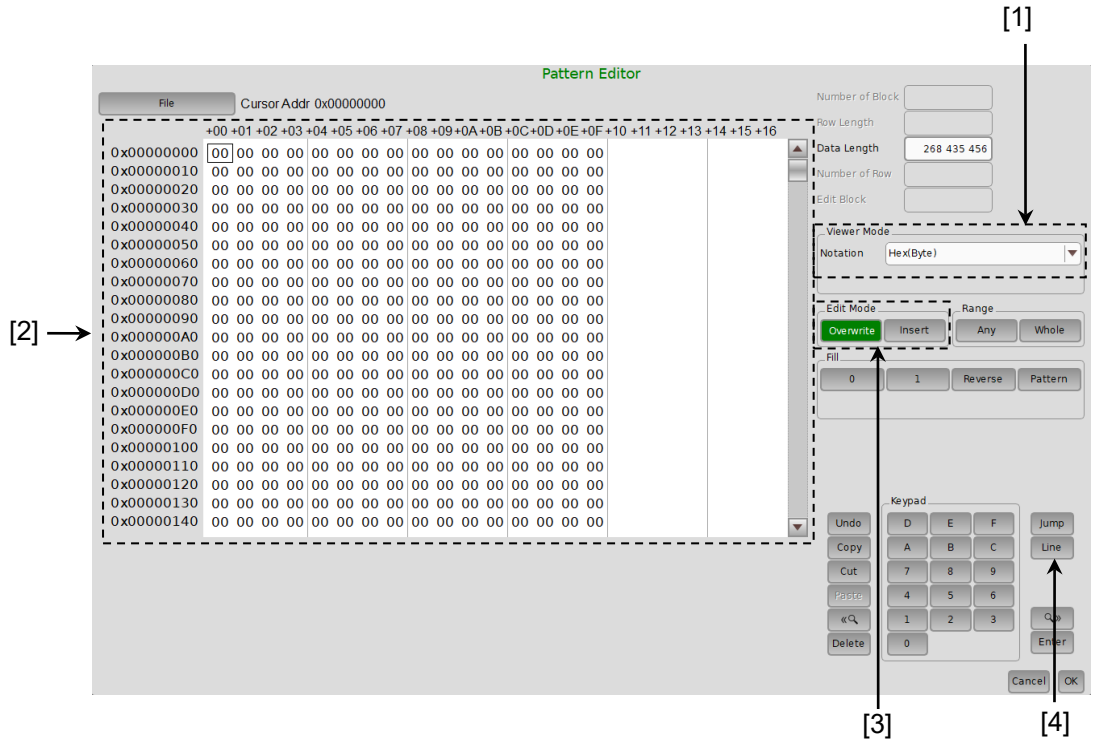


図5.3.7.4-1　Pattern Editor ダイアログボックス

[1]　表示形式を選択します。

表5.3.7.4-1　表示フォーマット設定

設定	説明
Bin	2 進数で表示，および編集します。
Hex	16 進数で表示，および編集します。

[2]　パターンの入力は 2 進数表示時には，ボタンの 0，1 を使います。
16 進数表示時には，ボタンの 0～9，A～F を使います。

[3]　編集モードを設定します。
[Insert] をタッチすると挿入モードで編集でき，[Overwrite] をタッチすると上書きモードで編集できます。

[4]　1 行に表示するデータ量を変更できます。
[Line] をタッチして，Line ダイアログボックスを開いてください。1 行あたりのバイト数を入力して，[OK] をタッチしてください。

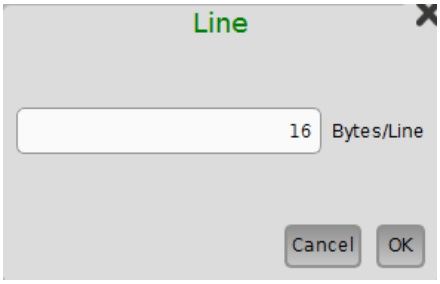


図5.3.7.4-2　Line ダイアログボックス

5.3.7.5 領域の編集

Pattern Editor ダイアログボックスでは，複数のビットからなる選択領域を指定し，この領域に対して一括して編集作業ができます。Fill フレーム内のボタンを使った置き換え入力をするとき，編集操作の Cut，Copy，Paste を使うときなどに使用します。
ここでは Range フレーム内の各ボタンを使って選択領域を設定する方法について説明します。

ボタンの機能は以下のとおりです。

表5.3.7.5-1　領域指定ボタン

ボタン	機能
Whole	パターン全体を選択領域に指定します。
Any	アドレスを指定して任意の領域を選択領域にします。 アドレスの指定は Input Range ダイアログボックスで入力します。
Direct	アドレスを指定して任意の領域を選択領域にします。 アドレスの指定はカーソルで行います。

[Any] による選択領域の指定方法を説明します。

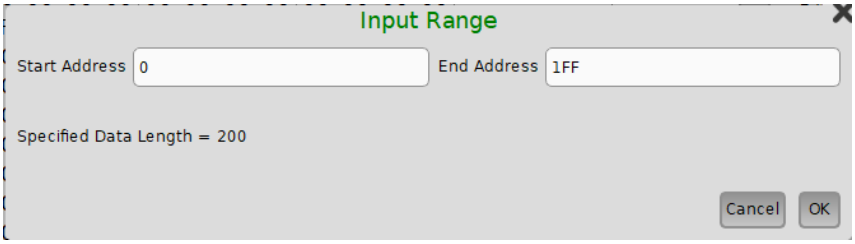


図5.3.7.5-1　Input Range ダイアログボックス

1. [Start Address] に，選択領域の始点アドレスを入力してください。
2. [End Address] に，選択領域の終点アドレスを入力してください。
3. [OK] をタッチすると指定した領域が選択領域となり，反転表示します。

[Direct] による選択領域の指定方法を説明します。

1. [Direct] をタッチしてください。
   ボタンの色が緑色になり，Direct モードになります。Direct モードではパターンの入力および編集はできません。
2. 選択領域の始点を指定します。
   選択領域の始点を 2 回タッチしてください。
3. 選択領域の終点を指定します。
   選択領域の終点をタッチしてください。
4. 選択領域を設定しました。

ドラッグによって選択領域を指定できます。

5.3.7.6 パターンの入力

ここでは Fill フレーム内のボタンを使ってパターンを入力する方法について説明します。Fill フレームの各ボタンの機能は以下のとおりです。

表5.3.7.6-1　Fill の機能

ボタン	機能
0	カーソル位置のビットまたは選択された領域のビットを “0” に置き換えます。
1	カーソル位置のビットまたは選択された領域のビットを “1” に置き換えます。
Reverse	カーソル位置のビットまたは選択された領域のビットを反転します。
Pattern	任意のパターンの繰り返しを入力します。

■　[Pattern] による, パターンの入力について説明します。

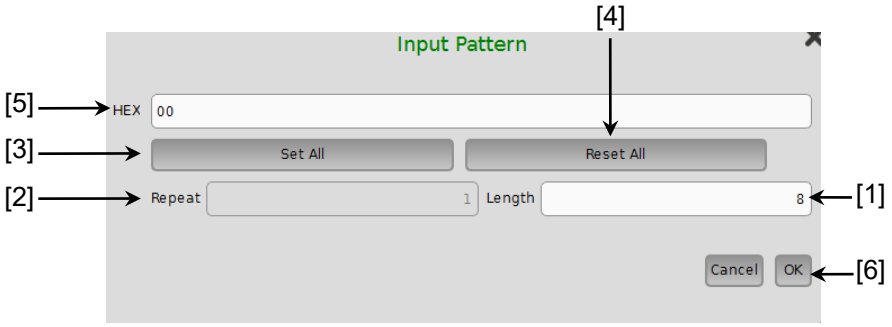


図5.3.7.6-1　Input Pattern ダイアログボックス

[1]　入力するビット数を入力してください。

[2]　指定したパターンを繰り返す回数を入力してください。

[3]　[Set All] をタッチすると, ビットをすべて “1” に設定します。

[4]　[Reset All] をタッチすると, ビットをすべて “0” に設定します。

[5]　BIN または HEX のパターンを入力してください。

[6]　[OK] をタッチすると, カーソルの位置にパターンを入力します。

注:

選択領域を指定した状態で Input Pattern ダイアログボックスを開くと, Repeat で指定した繰り返し数とは無関係に, 選択領域が指定パターンの繰り返しで置き換わります。

5.3.7.7 既存機種パターンとの互換性

MU195020A の Pattern Editor では既存機種のパターンファイル（.PTN）を読み込むことができます。ファイル互換対象機種は以下のとおりです。

MP1632C	ディジタルデータアナライザ
MP1761A/B/C	パルスパターン発生器
MP1762A/C/D	誤り検出器
MP1775A	パルスパターン発生器
MP1776A	誤り検出器
MU181020A/B	パルスパターン発生器
MU181040A/B	誤り検出器
MU183020A	パルスパターン発生器
MU183021A	パルスパターン発生器
MU183040A/B	誤り検出器
MU183041A/B	誤り検出器

5.3.8　Sequenceの設定

MU195020A-x50 Sequence Editor Function の使用方法について説明します。

セットアップ

MX190000A を起動した後，Module and Boxes 画面で MU195020A の FPGA と Firmware のチェックボックスを選択し，画面右上の［Program］をタッチします。

注:

初めて［Program］をタッチしたときは，FPGA をプログラムする処理が完了した後でも Program の FPGA に✔がついたままになります。この場合は，もう一度［Program］をタッチします。FPGA を 2 回プログラムする処理が終了するまで 20 分程度かかります。

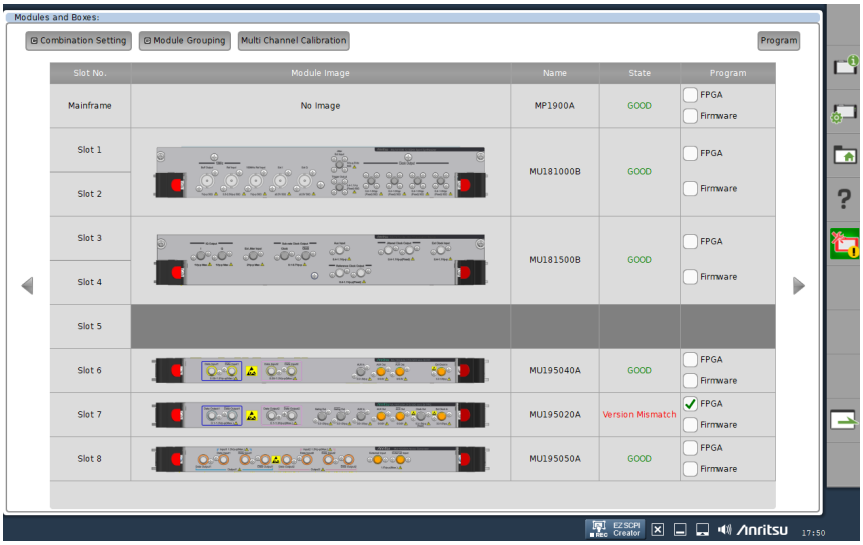


図5.3.8-1　1 回目のプログラム処理完了後の Module and Boxes 画面

Test Pattern に［Sequence］を選択したときの，各種パラメータを設定します。

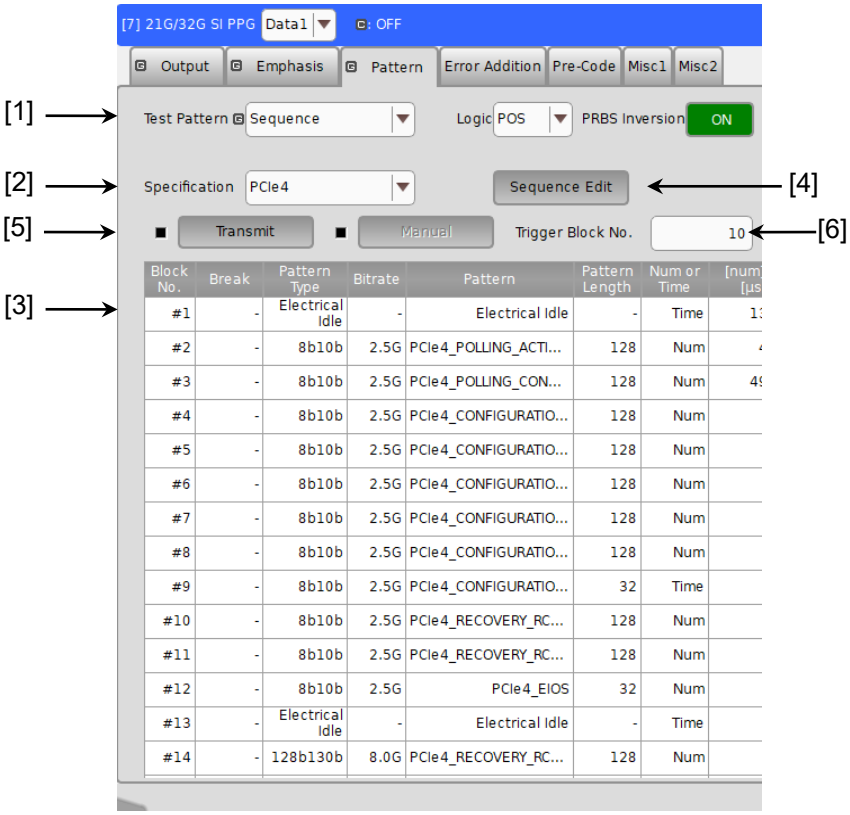


図5.3.8-2　Pattern タブ 設定項目 (Sequence 選択時)

[1]　MU195020A の［Pattern］タブの Test Pattern で［Sequence］を選択します。

[2]　テスト対象の Specification を選択します。
［Misc2］タブの Clock Source で MU181000A/B および MU181500B を設定している場合，自動で Bitrate が設定されます。
［Misc2］タブの Clock Source で［External］を設定している場合，選択した規格の Bitrate になるように Clock Source の周波数を設定します。選択した Specification 以外の Bitrate で Sequence Editor 機能を使用することはできません。

[3]　選択した Specification に応じて，あらかじめ用意されているシーケンス（以下，デフォルトのシーケンスという）が表示されます。デフォルトのシーケンスは DUT を Loopback.Active ステートに遷移させるための代表的なパターンを記載したものです。

[4]　［Sequence Edit］をタッチして Sequence Editor を表示します。Sequence Editor では Block のパラメータを設定します。

[5]　［Transmit］をタッチするとシーケンスパターンの出力を開始します。

[6]　Trigger Block No.には，AUX Output コネクタからトリガ信号を出力するブロック No.を設定します。AUX Output コネクタからトリガ信号を出力するには，［Misc1］タブの AUX Output で［LTSSM Trigger］を選択します。

5.3.9　Sequence Editorによる試験パターン編集

[Pattern] タブで Test Pattern に [Sequence] を選択した場合の，試験パターン編集について説明します。

5.3.9.1 共通項目

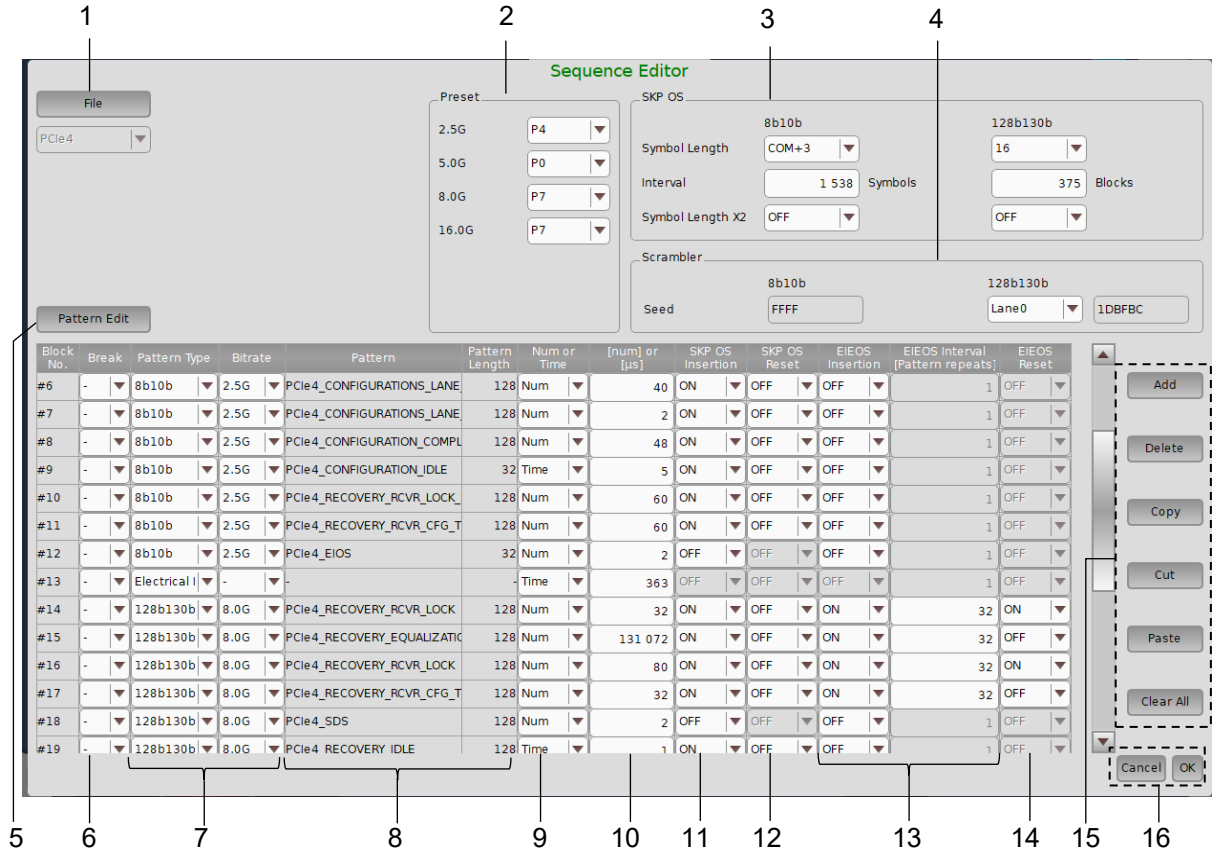


図5.3.9.1-1　Sequence Editor 設定項目

表5.3.9.1-1 Sequence Editor 設定項目

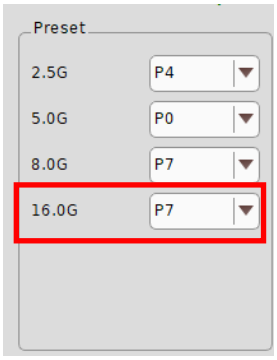
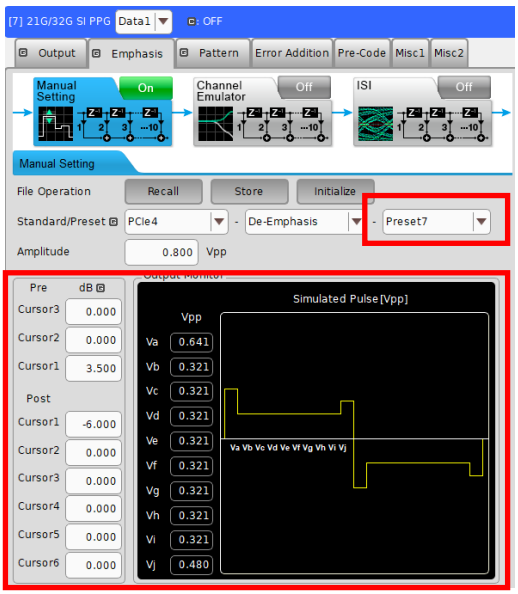
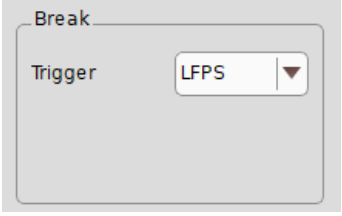
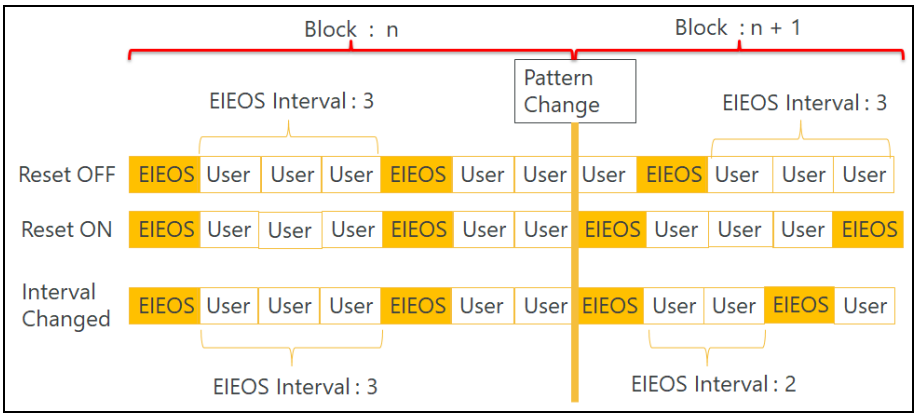
番号	名前	説明
1	File	Sequence Editor で編集した内容は，編集した Pattern を含めた全体を保存できます。[File] → [Save] をタッチして，任意のディレクトリに保存します。
2	Preset	Bitrate ごとに使用する Emphasis の Preset 値を設定できます。 P0～P10 は MU195020A [Emphasis] タブの Preset0～10 に対応しています。 以下の例では，16G の信号出力時に Preset7 で設定した Emphasis が使用されます。  
3	SKP OS	エンコード規則ごとに SKP の挿入間隔，長さの条件を設定します。
4	Scrambler	エンコード規則ごとに Scrambler のシード値を表示します。128b130b（PCIe3/4）では Lane ごとにシード値が異なります。エンコード規則ごとに異なり，それぞれの生成多項式を以下に示します。 ・ 8b10b (PCIe1, 2, USB3.0) $G(X) = X^{16} + X^5 + X^4 + X^3 + 1$ ・ 128b130b (PCIe3, 4) / 128b132b (USB3.1 Gen2) $G(X) = X^{23} + X^{21} + X^{16} + X^8 + X^5 + X^2 + 1$
5	Pattern Edit	Pattern Editor ダイアログボックスを表示します。
6	Break	パターン遷移の一時停止と再開の条件を設定することができます。Break を Manual に設定しているとき，[Pattern] タブの [Manual] をタッチすると，シーケンスを次の一時停止していた Block から次の Block へ遷移します。 External に設定しているときは，MU195020A の AUX Input コネクタでトリガ信号を検出した際に一時停止していた Block からシーケンスを次の Block へ遷移します。Specification で USB の規格を選択している場合，External の Trigger 条件を LFPS 信号の受信または Edge 検出から選択することができます。 

表5.3.9.1-1　Sequence Editor 設定項目 (続き)

番号	名前	説明
7	Pattern Type, Bitrate	Bitrate を変更する場合，間に Electrical Idle を挿入してください(図5.3.9.1-1 の Block No. 12～14 を参照してください)。 2 つの Bitrate が異なるブロック間に Electrical Idle を入れないと，Bitrate の切り替え時に予期せぬパターンを出力する場合があります。 Pattern Type で [General] は最終 Block にのみ設定できます。[General] を選択しているときは既存の PRBS パターン，Data パターンの設定が可能です。
8	Pattern / Pattern Length	任意のブロックを選択した状態で [Pattern Edit] をタッチすると，Pattern Type に応じた Pattern Editor が開きます。Pattern Editor の使用方法は「5.3.9.2 8b10b Pattern Editor 選択時のパターン設定」～「5.3.9.4 128b132b Pattern Editor 選択時のパターン設定」を参照してください。
9	Num or Time	対象の Block No.のパターン送信の繰り返し方法を，回数または時間で設定します。
10	[num] or [μs]	Num or Time で設定した値の回数または時間を設定します。
11	SKP OS Insertion	[ON] に設定した Block は，パターン中に Sequence Editor 画面右上の SKP OS で設定した Symbol Length, Interval で SKPOS を挿入します。
12	SKP Reset	SKP Reset を [ON] に設定した Block は，Block 遷移後の Block の先頭に SKP OS が挿入されます。
13	EIEOS Insertion / Interval*	[ON] に設定した Block は，パターンの途中に EIEOS Interval で設定した間隔で EIEOS を挿入します。128b/130b で EIEOS はパターン同期に必要なため，基本的には [ON] に設定します。
14	EIEOS Reset	[ON] に設定した Block は，Block が遷移した後，次の Block の先頭に EIEOS が挿入されます。EIEOS Reset が [OFF] に設定されていても，EIEOS Interval がブロック間で異なる場合，先頭に EIEOS が挿入されます。 
15	Add, Delete, Copy, Cut, Paste, Clear All	これらのボタンで各 Block を編集します。
16	OK, Cancel	[OK] をタッチすると，作成したシーケンスが設定されます。 [Cancel] をタッチすると，作成したシーケンスは破棄されます。

＊:　USB3.1 Gen2 選択時は SYNCOS

5.3.9.2 8b10b Pattern Editor選択時のパターン設定

8 bitのシンボルごとにパターンを設定します。Kコード，Dコードでパターンを設定します。画面右下のKeypadボタンまたはキーボードで設定します。

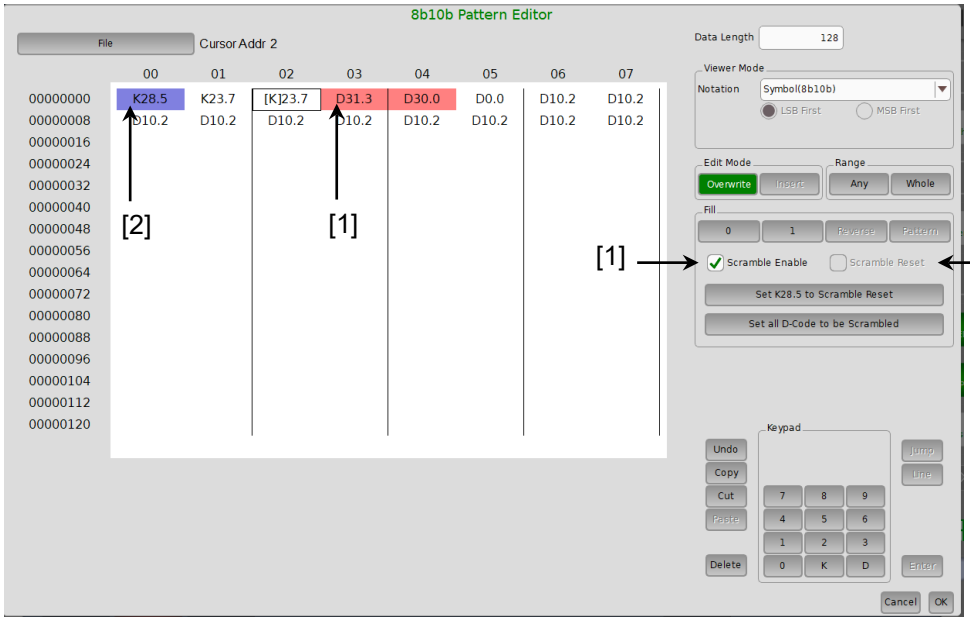


図5.3.9.2-1　8b10b Pattern Editor

[1]　Scrambler を使用する場合は，[Scrambler Enable] チェックボックスを選択し，パターン中で Scrambler を有効にする個所をマウスで選択し，Fill 画面の 1 ボタンをタッチします。赤色で表示されているシンボルが Scramble されます。Scramble は D コードにのみ有効です。

[2]　[Scrambler Reset] を設定したシンボルを送信する際に，LFSR を初期化します。LFSR の初期化は，COM シンボル（K28.5）送信時にも行われます。青色で表示されているシンボルで LFSR が初期化されます。

5.3.9.3 128b130b Pattern Editor選択時のパターン設定

128bit のパターン+ Sync Header ごとに設定します。

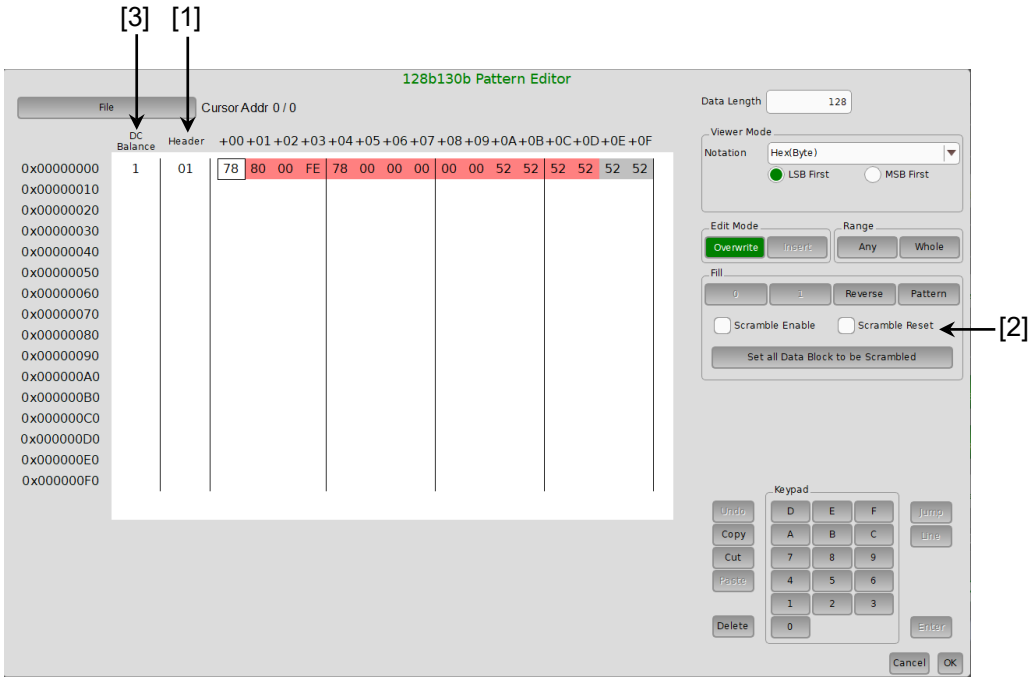


図5.3.9.3-1　128b130b0 Pattern Editor

[1]　Sync Header は Data, Ordered Set ごとにそれぞれ以下の表のように設定します。

表5.3.9.3-1　128b130b Pattern Editor の Sync Header

	Sync Header	
	10	01
LSB First	Data	Ordered set
MSB First	Ordered set	Data

[2]　Scrambler Enable, Reset は 8b10b と同じ方法で設定できます。

[3] DC Balanceを1に設定したとき，Symbol14，Symbol15の送信パターンは以下の法則で決定します。

表5.3.9.3-2 送信パターン決定方法

TS Ordered Set Symbol 11 の終わりにおける DC バランス	Symbol14, Symbol15 の送信パターン
> 31	パターン中の0の数を減らすためシンボル14をDFhに，Symbol 15をF7hに変更，またはパターン中の1の数を減らすため Symbol 14 を 20h に，Symbol 15 を 08h に変更して出力します。
≤31 かつ >15	パターン中の 0 の数を減らすためシンボル 15 を F7h に変更，またはパターン中の 1 の数を減らすため Symbol 15 を 08h に変更して出力します。Symbol 14 は設定されているパターンをそのまま出力します。
≤15	設定されているパターンをそのまま出力します。

5.3.9.4 128b132b Pattern Editor選択時のパターン設定

Sync Header が 4bit になることを除き，128b130b Pattern Editor と同じ使用方法です。

Sync Header は Data，Ordered Set ごとにそれぞれ以下の表のように設定します。

表5.3.9.4-1 128b132b Pattern Editor の Sync Header

	Sync Header	
	1100	0011
LSB First	Ordered set	Data
MSB First	Data	Ordered set

5.4　Error 付加機能

Error 付加をするには，MU195020A 操作画面の［Error Addition］タブにおいて，エラー発生の設定をすることにより，出力データにエラーの付加ができます。

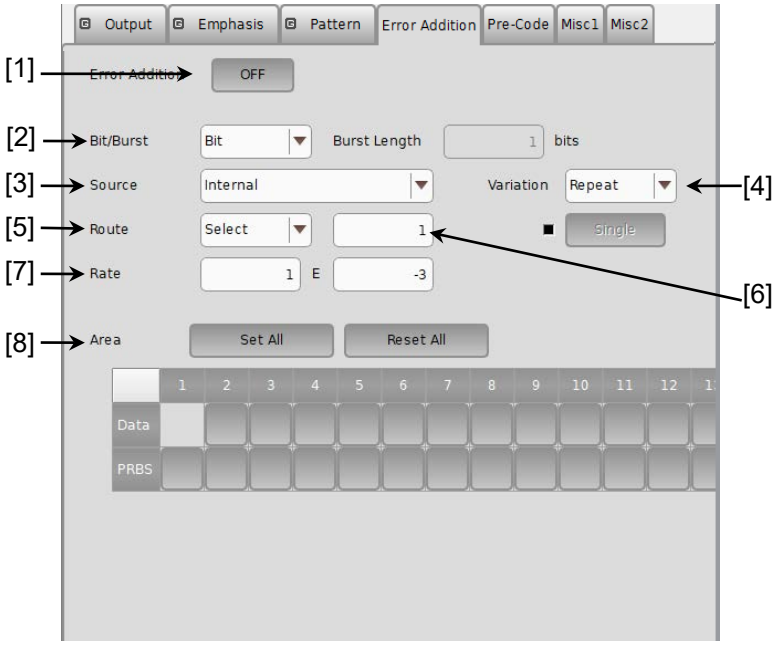


図5.4-1　Error Addition タブ

[1]　試験パターンに対して，Bit Error を発生させる機能です。

ON:　　Error 付加機能を，実行します。
OFF:　　Error 付加機能を，禁止します。

ただし，本設定はすべての Error 付加機能に影響し，[OFF] では外部 Error 信号に応じた Bit Error 付加も禁止します。

[2]　Error の挿入方法を［Bit］と［Burst］から選択します。[Burst] を選択した場合，最大 127 の連続したエラーを挿入できます。

[3] Error 付加 Source を選択します。
試験パターンに対して，所定の Bit Error を付加するタイミングを生成する方法を選択します。

[Misc1] タブの AUX Input 設定で Error Injection が設定されている場合に，Source の設定ができます。

表5.4-1 Error 付加 Source の設定

選択項目	説明
Internal	内部回路で Error 付加 Timing を生成します。
External-Trigger	Error 付加 Timing 生成を，外部信号（Auxiliary Input）の Trigger Edge に同期させます。
External-Disable	Error 付加 Timing は内部回路で発生させますが，外部信号（Auxiliary Input）が Low の区間はエラーを付加しません。

[4] Source に Internal，External-Disable を設定した場合，Error 付加 Variation を選択します。Error 付加（内部 Gating）時の挿入方法を選択します。

表5.4-2 Error 挿入方法の設定

選択項目	説明
Repeat	Error を継続的に挿入します。
Single	Error をボタン操作にて 1 shot 挿入します。 Combination 時は，ボタン操作により Combination 数のエラーが挿入されます。

[5] Error 付加 Route の挿入方法を選択します。

MU195020A はテストパターンをマルチプレクサで合成して出力します。

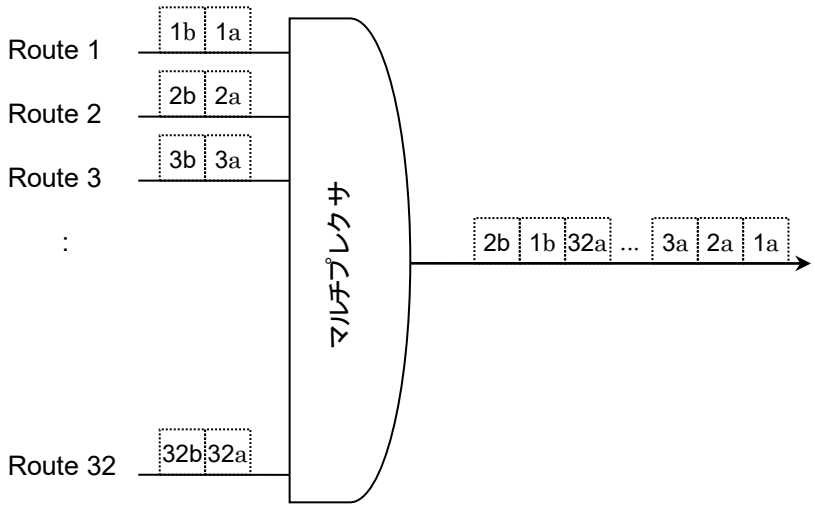


図5.4-2 試験パターンのパラレル-シリアル変換

マルチプレクサの入力信号をRouteと呼びます。MU195020Aでは32本のRouteがあります。

表5.4-3　Error 付加 Route の設定

選択項目	説明
Scan	Error を挿入する Route を順番に変えます。
Select	指定した 1 Route に Error を挿入します。

[6]　試験パターンに対して，1 bit 分の Bit Error を発生させる Route を指定します。設定範囲は 1～32 で，1 ステップで設定します。

ただし，以下の制限事項があります。

(a)　Error 付加機能が［OFF］の場合は，設定を有効とします。

(b)　Error 付加 Route 操作方法で Scan を選択している場合は，設定を無効とします。

[7]　試験パターンに対して，1 bit 分の Bit Error を発生させる Bit Error Rate を設定します。

xE–n:　x は，1～9 まで 1 ステップごとに設定できます。
n は，3～12 まで 1 ステップごとに設定できます。

ただし，以下の制限事項があります。

(a)　Error 付加機能が［OFF］でも，設定を有効とします。

(b)　Error 付加 Variation 設定が Single の場合は，Error Rate の設定は，無効とします。

(c)　Error 付加 Source が External-Trigger の場合は，Error Rate の設定は，無効とします。

(d)　n が 3 のときは，x は 1～5 を選択できます。

(e)　最大付加レートは 5E–3 です。

[8]　Mixed Pattern に関して，指定 Block (Data, PRBS および Block 番号) に Bit Error を挿入する Block の選択をします。

5.5 Pre-Code 設定機能

MU195020A-x20 で「5.8 Multi Channel機能」の Combination を設定している場合に，Pre-Code を設定できます。

本機能は DQPSK に対応させるために，DATA を下記の Pre-Code 論理図のように演算し，出力する機能です。

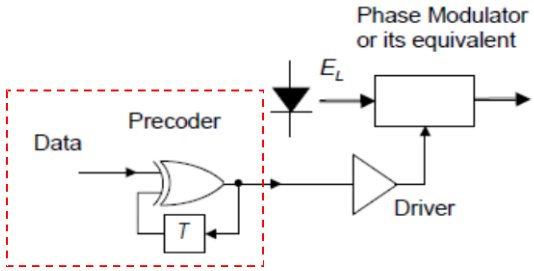


図5.5-1　Pre-Code 論理図 (DQPSK)

Pre-Code を設定する場合には，MU195020A 操作画面の［Pre-Code］タブをタッチします。

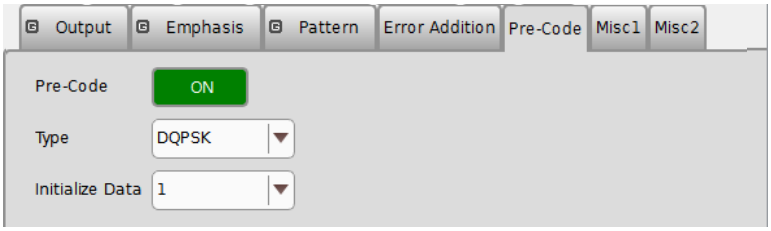


図5.5-2　Pre-Code タブ

注:

Pre-Code 機能の設定は，Combination 設定されているチャネルで共通の設定です。

5.5.1　Pre-Codeの設定

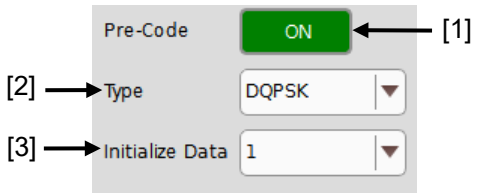


図5.5.1-1　Pre-Code 設定

表5.5.1-1　Pre-Code 設定項目

番号	項目	機能
[1]	Pre-Code	Pre-Code のオン, オフを設定します。
[2]	Type	Pre-Code の変調方式を設定します。 2ch Combination 選択時:　DQPSK が設定可能です。
[3]	Initialize Data	Pre-Code の初期値を設定します。 (初期値: 1)

5.6　Misc1 機能 (MU195020A)

信号の生成方式，同期出力の設定や，補助入出力を設定します。
Misc 機能を設定するには，MU195020A 操作画面の［Misc1］タブをタッチします。

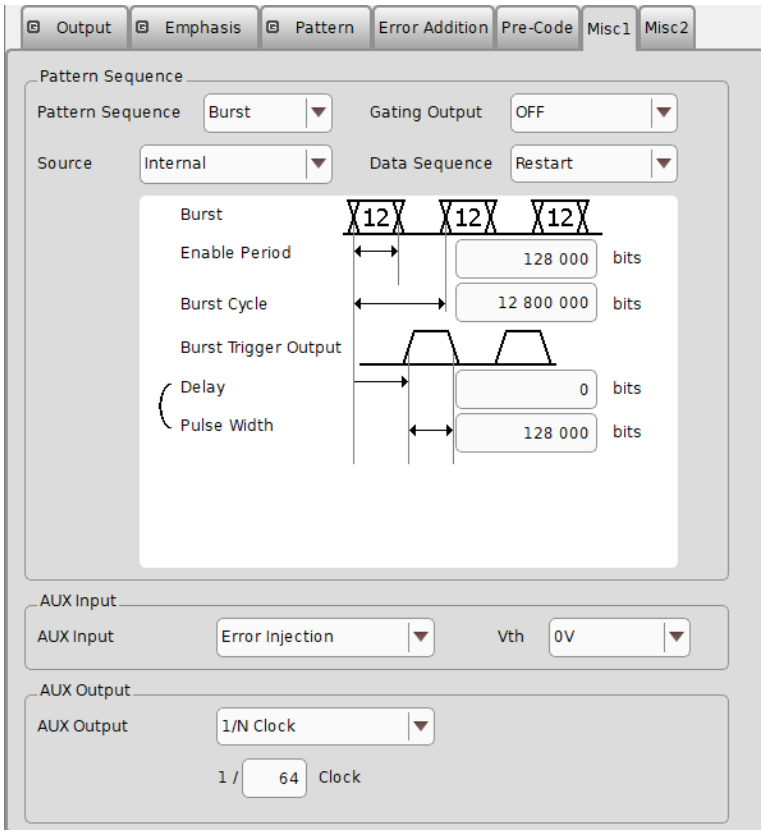


図5.6-1　Misc1 タブ

表5.6-1　設定項目

項目	説明
Pattern Sequence	試験パターンの生成方法を設定します。
AUX Input	補助入力機能を設定します。
AUX Output	補助出力機能を設定します。
Gating Output	タイミング信号出力を設定します。

［Misc1］タブの設定項目は，MU195020A の Data1～2 で共通の設定です。
パターン長に関わる設定は，Data1 の設定に依存します。

5.6.1　Pattern Sequenceの設定

試験パターンの生成方式を選択します。

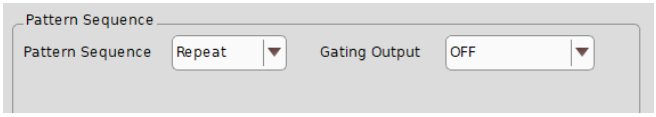


図5.6.1-1　Pattern Sequence の選択画面

表5.6.1-1　Pattern Sequence の設定

選択項目	内容
Repeat	試験パターンの Repeat データを送信する際に選択します。 主に電子デバイス評価のために使用します。
Burst	試験パターンの Burst データを送信する際に選択します。 主に光周回実験などの長距離光伝送試験や Packet 通信の評価のため使用します。 対象となる試験パターンは，PRBS，ZeroSubstitution，Data，Mixed (Data) です。

5.6.1.1 Repeatパターンの設定

試験パターンの Repeat データを送信する場合は，Pattern Sequence で [Repeat] を選択します。

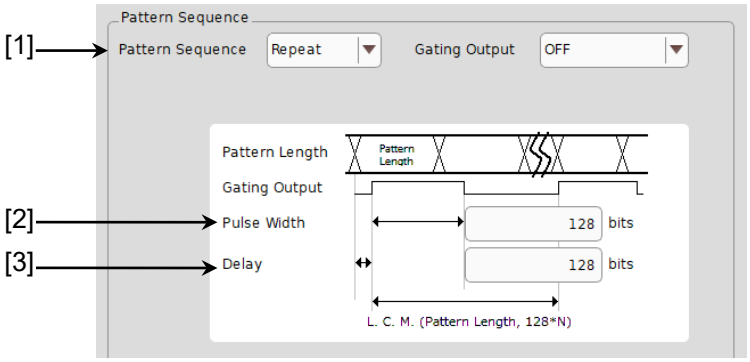


図5.6.1.1-1　Pattern Sequence (Repeat) 設定項目画面

[1]　[Repeat] を選択します。
連続した試験パターン，連続データ信号の生成を行います。

[2]　Pulse Width には，MU195020A 正面パネルの Gating Out コネクタから出力される同期信号の High レベルパルス幅を指定します。パルス幅は 8 の整数倍で，Pulse Width の設定は表5.6.1.1-1の式によって算出されます。

表5.6.1.1-1　Pulse Width の設定範囲

周期信号	設定範囲
PRBS, Data, ZeroSubstitution	128～Pattern Length と 128 の最小公倍数 – 128* (最大 34 359 738 240 まで設定可) 設定ステップ:　　8 bit 2ch Combination 時: (対象は PRBS, Data, ZeroSubstitution) は, 256～Pattern Length と 256 の最小公倍数 – 256 となり, 設定ステップは 16 bit となる。 (最大 68 719 476 480 まで設定可)
Mixed	128～Row Length × Row 数 × Block 数 – 128 (最大 2 415 918 976 まで設定可) 設定ステップ:　　8 bit 2ch Combination 時: 256～Row Length × Row 数 × Block 数 – 256 となり, 設定ステップは 16 bit となる。

＊:　ここでいう Pattern Length は,「図5.3-1　Patternタブ」の Length が 511 以下のとき, 512 以上になるように整数倍した値です。

2ch Combination のときは,「図5.3-1　Patternタブ」の Length が 1023 以下を 1024 以上になるように整数倍した値です。

[3]　Delay はデータパターンの先頭位置に対して, 何ビット遅らせて High レベルパルスを出力するかを設定します。
設定単位は 8 の整数倍で, 表5.6.1.1-2に示す式によって算出されます。

表5.6.1.1-2　Delay の設定範囲

周期信号	設定範囲
PRBS, Data, ZeroSubstitution	128～Pattern Length と 128 の最小公倍数 – 128* (最大 34 359 738 240 まで設定可) 設定ステップ:　　8 bit 2ch Combination 時: (対象は PRBS, Data, ZeroSubstitution) 256～Pattern Length と 256 の最小公倍数–256 となり, 設定ステップは 16 bit となる。 (最大 68 719 476 480 まで設定可)
Mixed	128～Row Length × Row 数× Block 数 – 128 最大 2 415 918 976 まで設定可 設定ステップ:　　8 bit 2ch Combination 時: 256～Row Length × Row 数 × Block 数 – 256 となり, 設定ステップは 16 bit となる。

＊:　ここでいう Pattern Length は,「図5.3-1　Patternタブ」の Length が 511 以下のとき, 512 以上になるように整数倍した値です。

2ch Combination のときは,「図5.3-1　Patternタブ」の Length が 1023 以下を 1024 以上になるように整数倍した値です。

5.6.1.2 Burstパターンの設定

試験パターンの Burst データを送信する場合は，Pattern Sequence で [Burst] を選択します。

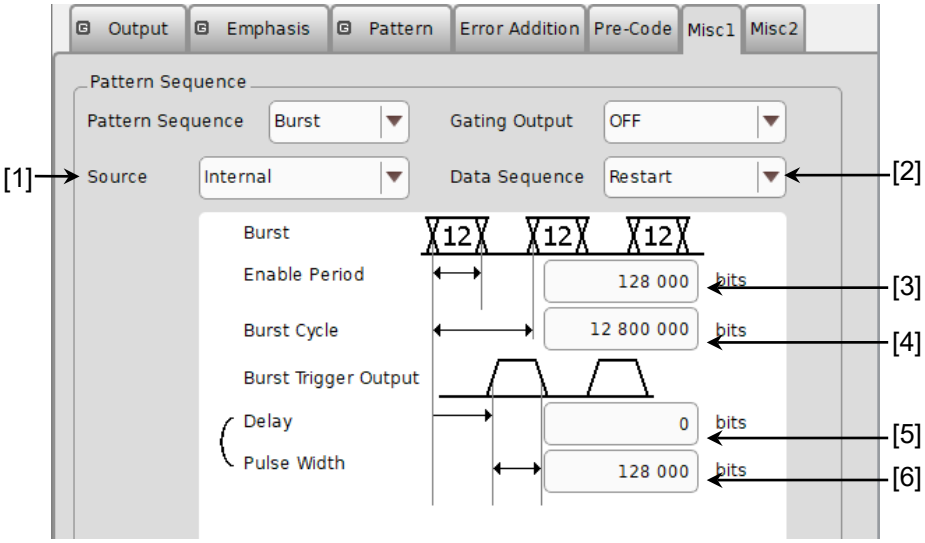


図5.6.1.2-1　Pattern Sequence (Burst) 設定項目画面

注:

Burst Trigger Output 信号は，Gating Out コネクタより出力されます。

[1]　試験パターンの Burst を発生させるタイミング源を設定します。

表5.6.1.2-1　Burst 設定項目

選択項目	説明
Internal	内部信号で Burst 信号発生タイミングを生成します。
External-Trigger	AUX In コネクタから入力されたゲート信号によって，発生周期を生成します。 立ち上がりエッジの検出で Burst Pattern の発生を開始します。
External-Enable	AUX In コネクタから入力されたゲート信号によって，Burst 信号タイミングを生成します。High レベル時は Burst データを発生し，Low レベル時は発生を停止します。

[2]　Burst Pattern の発生順序を指定します。

表5.6.1.2-2　Burst Pattern 発生順序の設定

選択項目	説明
Restart	指定されている試験パターンを，Burst データ信号発生ごとに先頭から再スタートさせます。
Consecutive	指定されている試験パターンを，Burst データ信号間で連続させて出力します。
Continuous	指定されている試験パターンを連続発生させ，Burst 発生タイミング以外は出力をマスクします。

[3] [1] の Source を [External-Trigger] または [Internal] に設定している場合, AUX Input コネクタに入力する試験パターンの Burst Cycle の連続信号発生区間を bit 数で設定します。
表5.6.1.2-3に Enable Period の設定範囲を示します。

[4] [1] の Source を [Internal] に設定している場合, Burst Cycle (入力される試験パターンの Burst 信号の 1 周期) を設定します。
表5.6.1.2-3に Burst Cycle の設定範囲を示します。

表5.6.1.2-3 Enable Period と Burst Cycle 設定範囲

Channel Combination 数	Enable Period (bit)	Burst Cycle (bit)	設定ステップ値 (bit)
1	[Internal] 時: 12800～2 147 483 392	25600～2147483648	256
	[External-Trigger] 時: 12800～2 147 483 648		
2	[Internal] 時: 25600～4 294 966 784	51200～4294966296	512
	[External-Trigger] 時: 25600～4 294 967 296		

注:

Burst Cycle と Enable Period の差は, 512 bit 以上の Disable 区間が必要です。
Disable 区間が 2ch Combination 時は 2 倍となります。

[5], [6]

Burst Trigger Output より出力する, Burst タイミング信号を設定します。

Delay: Burst Data Pattern の先頭位置に対して, 何ビット遅らせて出力するかの設定を行います。

Pulse Width: Burst Trigger Output より出力される同期信号の High レベルパルス幅を指定します。

表5.6.1.2-4に, Delay と Pulse Width の設定範囲を示します。

表5.6.1.2-4 Delay と Pulse Width 設定範囲

Channel Combination 数	Delay (bit)	Pulse Width (bit)	設定ステップ値 (bit)
1	0～(Burst cycle – 128)	0～(Burst cycle – 128)	8
2	0～(Burst cycle – 256)	0～(Burst cycle – 256)	16

5.6.2　AUX Inputの設定

外部で作成されたタイミング信号によりエラー挿入などを行う場合は，AUX Input コネクタを使用します。

AUX Input コネクタを使用する機能を以下の表に示します。

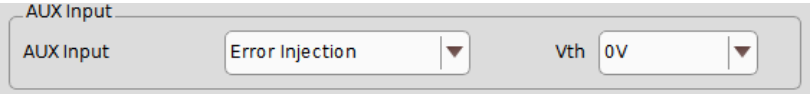


図5.6.2-1　AUX Input 設定項目

表5.6.2-1　AUX Input の設定

選択項目	説明
Error Injection	エラーを外部からのタイミングで挿入するときに使用します。 Error Addition の設定で，Source が［External-Trigger］，［External-Disable］を指定したときに使用します。 詳細は「5.4 Error付加機能」を参照してください。
Burst	Pattern Sequence で Burst が選択され，Source で［External-Trigger］または［External-Enable］を指定したときに使用します。 詳細は「5.6.1.2 Burstパターンの設定」を参照してください。
Vth	入力 Threshold の設定を 0V，–0.25V，–0.5V から選択可能です。

5.6.3 AUX Outputの設定

同期信号など，補助的な信号出力について設定します。

5.6.3.1 1/N Clockの設定

[1/N Clock] を設定すると，発生パターンに同期した分周クロックを Aux Output コネクタに出力します。

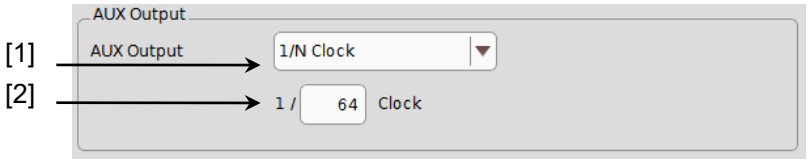


図5.6.3.1-1 AUX Output Clock 設定項目

[1] [1/N Clock] を選択すると，Aux Outputコネクタから試験パターンに同期したクロックが出力されます。

[2] 同期クロックの分周比（N）を設定します。
設定分周比は 4～512 の範囲で，ステップ 2 で設定できます。

5.6.3.2 Pattern Syncの設定

[Pattern Sync] を設定すると，試験パターン周期と同期しているタイミング信号を Aux Output コネクタに出力します。

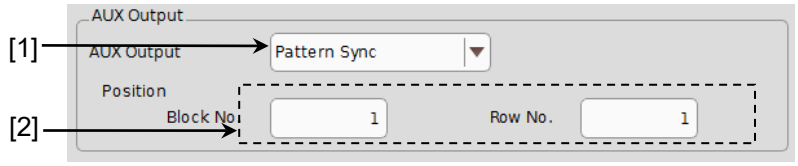


図5.6.3.2-1 AUX Output Pattern Sync 設定項目（Mixed）

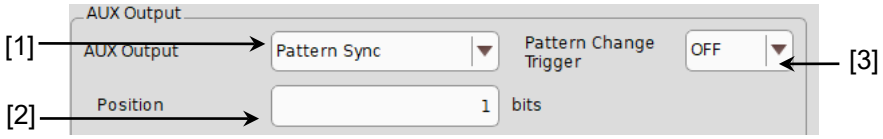


図5.6.3.2-2 AUX Output Pattern Sync 設定項目（Mixed 以外）

[1] [Pattern Sync] を選択すると，Aux Output コネクタから設定しているデータパターン周期に同期したパルス信号が出力されます。

[2] 同期信号パルスの発生位置を指定します。
試験パターンによって，設定内容が異なります。

[3] [ON] を選択すると，テストパターン変更時に AUX Output からトリガ信号を出力します。

表5.6.3.2-1　同期信号パルス発生位置の設定

試験パターン	設定内容
PRBS, Data, ZeroSubstitution	パターン周期に対して発生し，パルス位置はパターンの先頭位置に対して指定できます。指定範囲は，以下になります。 1～Pattern Length*と 128 の最小公倍数 – 135，8 bits Step， 最大 34359738105 まで設定可 2ch Combination 時: 1～Pattern Length*と 256 の最小公倍数 – 287，16 bits Step， 最大 68719476209 まで設定可
Mixed (Data)	全ブロック発生パターン周期に対して発生し，パルス位置は Block と Row の位置で指定できます。

＊:　ここでいう Pattern Length は，「図5.3-1　Patternタブ」の Length が 511 以下のとき，512 以上になるように整数倍した値です。

2ch Combination のときは，「図5.3-1　Patternタブ」の Length が 1023 以下を 1024 以上になるように整数倍した値です。

5.6.3.3 Burst Output2の設定

Burst Output2 を設定すると，Pattern Sequence で [Burst] を選択している場合，Burst Trigger Output と同様のタイミング信号を Aux Output コネクタに出力します。

表5.6.3.3-1　Burst Output2 の設定

設定項目	説明
Delay	Burst Data Pattern の先頭位置に対して，何ビット遅らせて出力するか設定します。 設定範囲は，「表5.6.1.2-4　DelayとPulse Width設定範囲」と同様です。
Pulse Width	Burst Trigger Output より出力される同期信号の High レベルパルス幅を設定します。 設定範囲は，「表5.6.1.2-4　DelayとPulse Width設定範囲」と同様です。

5.6.3.4 出力オフ

OFF を設定すると，Aux Output コネクタから信号を出力しません。

5.6.4 Gating Outputの設定

Gating Output コネクタからの出力を設定します。

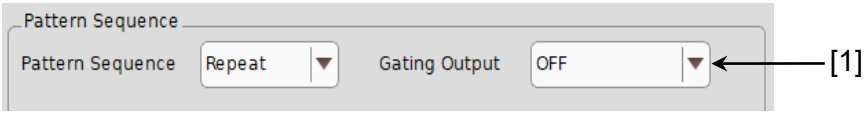


図5.6.4-1 Gating Output 設定項目

表5.6.4-1 Gating Output の設定

選択項目	説明
ON	Gating Output コネクタから, Pattern Sequence で設定した同期信号を出力します。
OFF	Gating Output コネクタから, 信号を出力しません。

5.7　Misc2 機能

Misc2 機能では，クロック，複数チャネルの連係動作を設定します。
Misc2 機能を設定するには，MU195020A 操作画面の［Misc2］タブをタッチします。

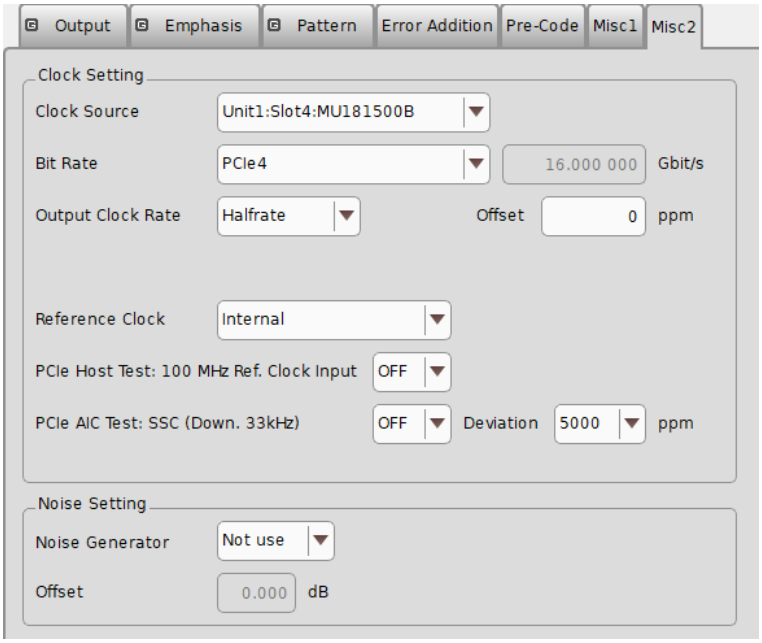


図5.7-1　Misc2 タブ

5.7.1 クロックの設定

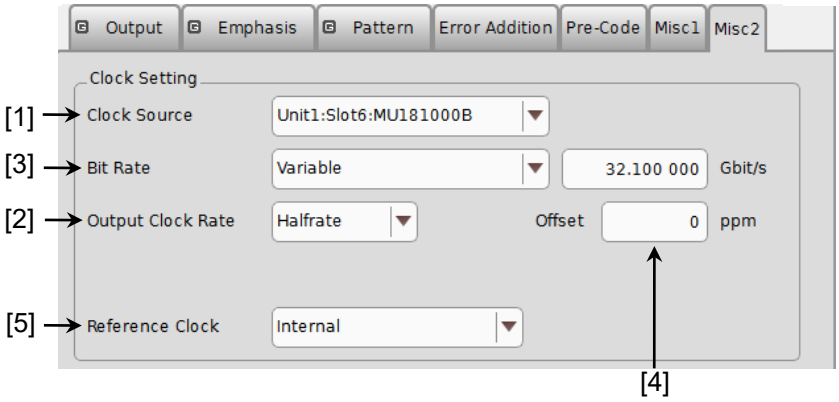


図5.7.1-1 クロック設定項目画面 (MU181000B の場合)

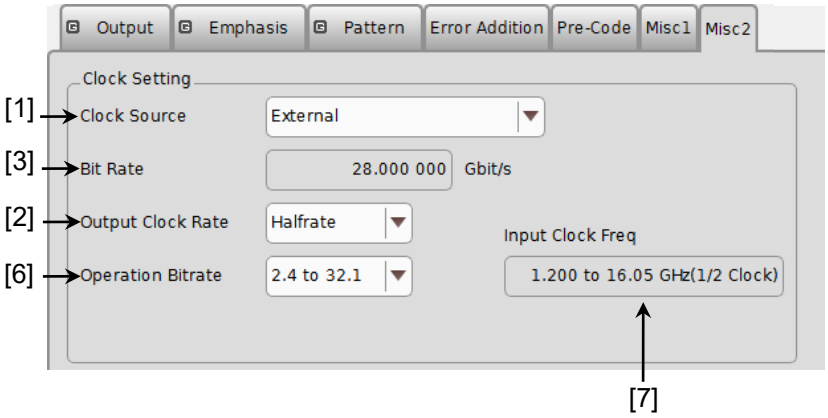


図5.7.1-2 クロック設定項目画面 (External の場合)

[1] クロック供給源を選択します。

表5.7.1-1 Clock Source の設定

選択項目	内容
External	MU195020A の Ext Clock Input コネクタに入力されるクロック
MU181000A	MP1900A に装着されている MU181000A のクロック
MU181000B	MP1900A に装着されている MU181000B のクロック
MU181500B	MP1900A に装着されている MU181500B のクロック

[2] Clock Out コネクタに出力されるクロックのレートを設定します。

Fullrate: クロック周波数と出力データレートは同じです。
Halfrate: 出力クロック周波数は出力データレートの半分です。

クロック供給源が MU181000A/B の場合

[3]　出力ビットレートを設定します。[Variable] または Preset の規格値から選択します。詳しくは「5.1.4 ビットレートの設定」を参照してください。

[4]　クロック周波数のオフセットを–1000～1000 ppm の範囲で設定します。
クロック供給源が [External] の場合は表示されません。

[5]　MU181000A/B の基準クロックを設定します。

クロック供給源が External の場合

[3]　データのビットレートが表示されます。

[6]　MU195020A の動作ビットレート帯が表示されます。

[7]　MU195020A のクロック Input コネクタに入力する周波数が表示されます。

[1] の設定で連動先に MU181500B を選択したときは，MU181500B に入力するクロック周波数の表示です。
[2] と [6] の設定による動作ビットレートと入力クロック周波数の関係を以下に示します。括弧書きは MU195020A-x01 がないとき（上限ビットレート 21G）の表示です。

表5.7.1-2　動作ビットレートと入力クロック周波数の関係（外部クロック使用時）

Output Clock Rate の設定	Operation Bitrate の範囲	Input Clock Freq の表示	ビットレートとクロック周波数の関係
Full Rate Clock	2.4～16.0 Gbit/s	2.4～16.0 GHz	1/1 クロックで動作
	16.0～20.0 Gbit/s	8.0～10.0 GHz	1/2 クロックで動作
	20.0～32.1 (21.0) Gbit/s	10.0～16.05 (10.5) GHz	1/2 クロックで動作
	25.0～32.1 Gbit/s	6.25～8.025 GHz	1/4 クロックで動作
Half Rate Clock	2.4～32.1 (21.0) Gbit/s	1.2～16.05 (10.5) GHz	1/2 クロックで動作
	25.0～32.1 Gbit/s	6.25～8.025 GHz	1/4 クロックで動作

表5.7.1-3　動作ビットレートと入力クロック周波数の関係（MU181500B + 外部クロック使用時）

Output Clock Rate の設定	Operation Bitrate の範囲	Input Clock Freq の表示	ビットレートとクロック周波数の関係
Full Rate Clock	2.4～15.0 Gbit/s	2.4～15.0 GHz	1/1 クロックで動作
	15.0～20.0 Gbit/s	7.5～10.0 GHz	1/2 クロックで動作
	20.0～30.0 (21.0) Gbit/s	10.0～15.0 (10.5) GHz	1/2 クロックで動作
	25.0～32.1 Gbit/s	6.25～8.025 GHz	1/4 クロックで動作
Half Rate Clock	2.4～30.0 (21.0) Gbit/s	1.2～15.0 (10.5) GHz	1/2 クロックで動作
	30.0～32.1 Gbit/s	7.5～8.025 GHz	1/4 クロックで動作

クロック接続と画面設定

MU195020A は，使用するクロック供給源によって MU195020A との接続，画面設定が異なります。ここでは MU195020A とクロック供給源，ジッタ源との接続，および画面設定について，使用するクロック供給源ごとに説明します。

注:

ここで説明する構成で MU181000A/B と MU181500B を使用する場合，これらのモジュールを MU195020A と同じ MP1900A に装着している必要があります。

MU195020A を以下の機器構成で使用した場合の接続および設定について説明します。

(1) MU195020A + MU181000A/B + MU181500B

(2) MU195020A + MU181000A/B

(3) MU195020A + MU181500B + 外部クロック供給源

(4) MU195020A + 外部クロック供給源

ここでは MP1900A の，Slot1-2 に MU181500B，Slot3 に MU195020A，Slot6-7 に MU181000B を装着した構成で説明をします。

また，MU195020A の Clock Source 設定，および MU181500B の Clock Source 設定がそれぞれ初期値（External）の状態から手順を説明します。

5.7.1.1 MU195020A + MU181000A/Bシンセサイザ + MU181500Bジッタ変調源

クロックの接続:

MU195020A, MU181000A/B, および MU181500B のクロック接続については,「3.2.3 ジッタを付加する場合」の接続図, 説明を参照してください。

画面設定手順:

1. MU181500B 画面の Clock Source 設定にて, [Unit1:Slot6:MU181000B] を選択すると MU181500B と MU181000B が連動します(図5.7.1.1-1参照)。
2. MU195020A 画面の [Misc2] タブの Clock Source にて, [Unit1:Slot2:MU181500B] を選択すると MU195020A と MU181500B が連動します(図5.7.1.1-2参照)。
3. MU195020A 画面の Bit Rate にて, 出力データのビットレートが設定できるようになります。図5.7.1.1-2の例では, 出力データを 32.1 Gbit/s に設定しています。

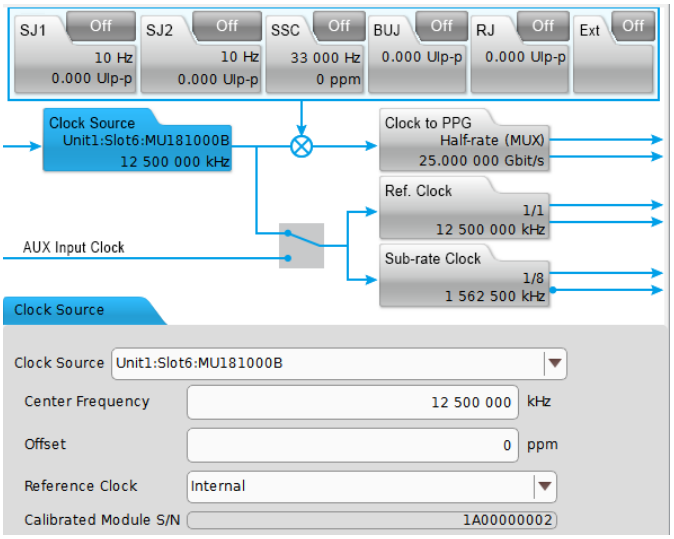


図5.7.1.1-1　MU181500B Clock Source 設定

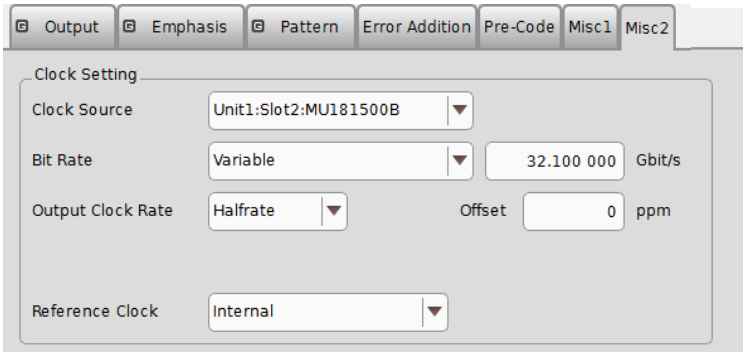


図5.7.1.1-2　Clock Source 設定 (ジッタ + シンセサイザ連動時)

注:

上記の手順どおり，先にMU181500BとMU181000Bの連動設定をしてください。連動設定の順番が前後すると，図5.7.1.1-3の警告ダイアログボックスが表示されます。

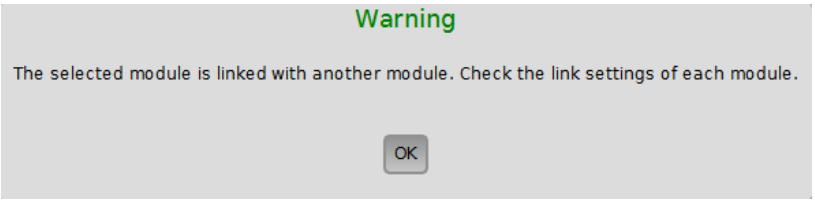


図5.7.1.1-3　モジュール連動の警告ダイアログボックス

5.7.1.2 MU195020A + MU181000A/Bシンセサイザ

クロックの接続:

MU195020AとMU181000A/Bのクロック接続については,「3.2.1 エラー測定をする場合」の接続図, 説明を参照してください。

画面設定手順:

1. MU195020A画面のClock Sourceにて, [Unit1:Slot6: MU181000B] を選択するとMU195020AとMU181000Bが連動します。
2. MU195020A画面のBit Rateにて, 出力データのビットレートが設定できるようになります。図5.7.1.2-1の例では, 出力データを32.1 Gbit/sに設定しています。

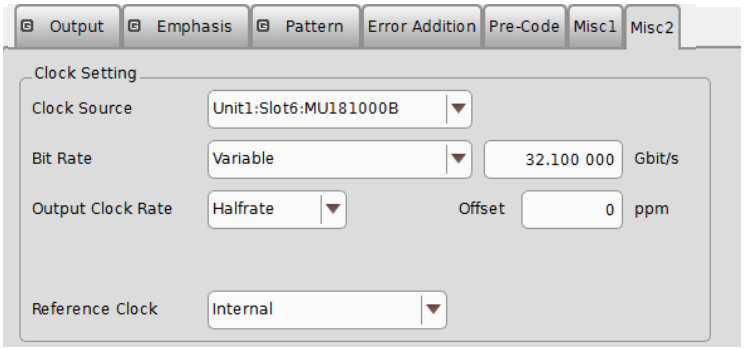


図5.7.1.2-1　Clock Source 設定 (シンセサイザ連動時)

5.7.1.3 MU195020A + MU181500Bジッタ変調源＋外部クロック供給源

クロックの接続:

MU195020A, MU181500B, および外部クロック供給源のクロック接続については,「3.2.3 ジッタを付加する場合」の接続図, 説明を参照し, 説明の中のMU181000Aを外部クロック供給源に置き換えてください。

画面設定手順:

1. MU195020A 画面の Clock Source にて, [Unit1:Slot2: MU181500B] を選択するとMU195020AとMU181500Bが連動します。
2. MU195020A 画面の Operation Bitrate にて, 出力したいデータのビットレートを選択します。28 Gbit/s のデータを出力する場合は, 図5.7.1.3-1の例のように [2.4 to 30.0] を選択します。
3. MU195020A画面の Input Clock Freq に表示されている周波数のクロックを, MU181500Bの Ext Clock Input コネクタに入力します。図5.7.1.3-1の例では, 28 Gbit/s のデータを出力するために, 14 GHz のクロックを入力します。
4. MU195020A画面の Bit Rate に出力データのビットレートが表示されます。手順 3 で入力しているクロックにより, 出力データのビットレートを変更できることを確認してください。

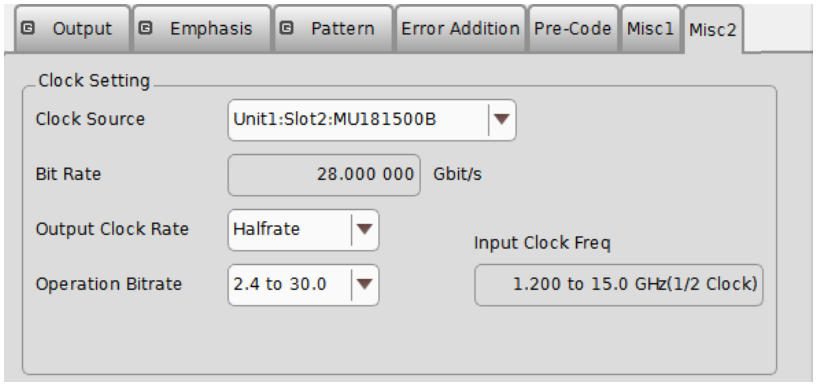


図5.7.1.3-1 Clock Source 設定 (ジッタ + 外部クロック供給源使用時)

5.7.1.4 MU195020A + 外部クロック供給源

クロックの接続:

MU195020A とクロック接続については,「3.2.1 エラー測定をする場合」を参照し説明の中の MU181000A を外部クロック供給源に置き換えてください。

画面設定手順:

1. MU195020A 画面の Clock Source にて, [External] を選択してください。
2. MU195020A 画面の Operation Bitrate にて, 出力したいデータのビットレート帯を選択します。図5.7.1.4-1の例では, 28 Gbit/s のデータを出力したいので, [2.4 to 32.1] を選択します。
3. MU195020A 画面の Input Clock Freq に表示されている周波数のクロックを, MU195020A の Ext Clock Input コネクタに入力してください。図5.7.1.4-1の例では, 28 Gbit/s のデータを出力するために, 14 GHz のクロックを入力します。
4. MU195020A 画面の Bit Rate に出力データのビットレートが表示されます。手順 3 で入力しているクロックにより, 出力データのビットレートを変更できることを確認してください。

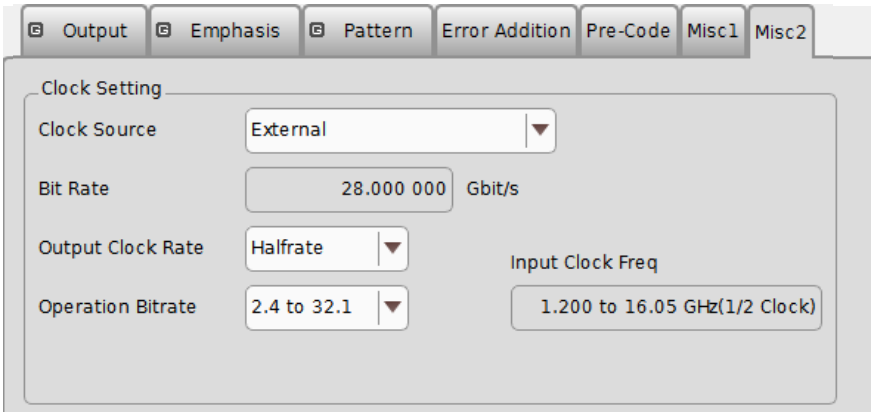


図5.7.1.4-1　Clock Source 設定（外部クロック供給源使用時）

5.7.2 Noiseの設定

MU195050A を使用するかを設定します。



図5.7.2-1 Noise Setting 設定項目

[1] ノイズ発生器を使用するか選択します。

表5.7.2-1 Noise Generator の設定

選択項目	説明
Not Use	ノイズ発生器を使用しません。
Use	ノイズ発生器を使用します。[Output] タブ, [Emphasis] タブの Amplitude の値がノイズ発生器による減衰を計算した値になります。

[2] オフセットを設定します。

5.8　Multi Channel 機能

MU195020A には，複数チャネルのデータを連係して発生する Multi Channel 機能があります。Multi Channel 機能は，大きく Combination と Channel Synchronization に分けられます。形名，オプションによって設定できる機能が異なります。

Multi Channel に関しての詳細の設定方法は『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書』を参照してください。

Combination 機能種類

(1)　2ch Combination:　MU195020A-x20

(2)　64G × 2ch Combination:　MU195020A-x20 × 2 モジュール

Channel Synchronization 機能種類

(1)　CH Synchronization:　MU195020A-x20

(2)　2ch CH Synchronization:　MU195020A-x20

(3)　モジュール間 CH Synchronization:　MU195020A

表5.8-1　Multi Channel の対象機種

形名，オプション	2ch Combination	Ch Synchronization	モジュール間 Ch Synchronization	64G × 2ch Combination
MU195020A	1 モジュール以上	1 モジュール以上	2 モジュール以上	2 モジュール以上
MU195020A-x10	×	×	×	×
MU195020A-x20	○	○	○	○
MU195020A-x30/x31	-x31	-x31	○	-x31

5.8.1 Combination機能

Combination 機能を使用すると，MU195020A や MU195040A でチャネル間のパターン発生同期または受信同期をとることにより，40 Gbit/s アプリケーションや 50 Gbit/s アプリケーションの評価ができます。

20 Gbit/s を 2 チャネル合成することにより，40GbE や OTU3 のビットレートである 40 Gbit/s のシリアルデータを発生できます。

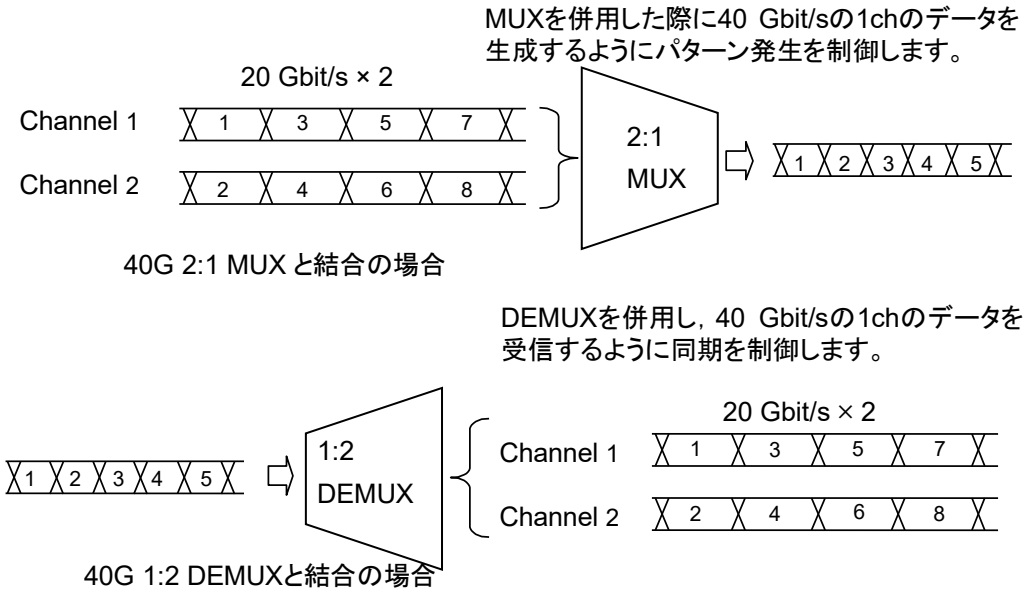


図5.8.1-1　2ch Combination パターン生成／受信

64G × 2ch Combination 機能を使用すると，最大 32G のデータを合成した 64 G のデータを 2 系統発生できます。この 2 系統のデータパターンは，さらに外部 MUX などで合成できるパターンです。

この機能は MU195020A-x20 + x31 を 2 モジュール装着している場合に設定可能です。

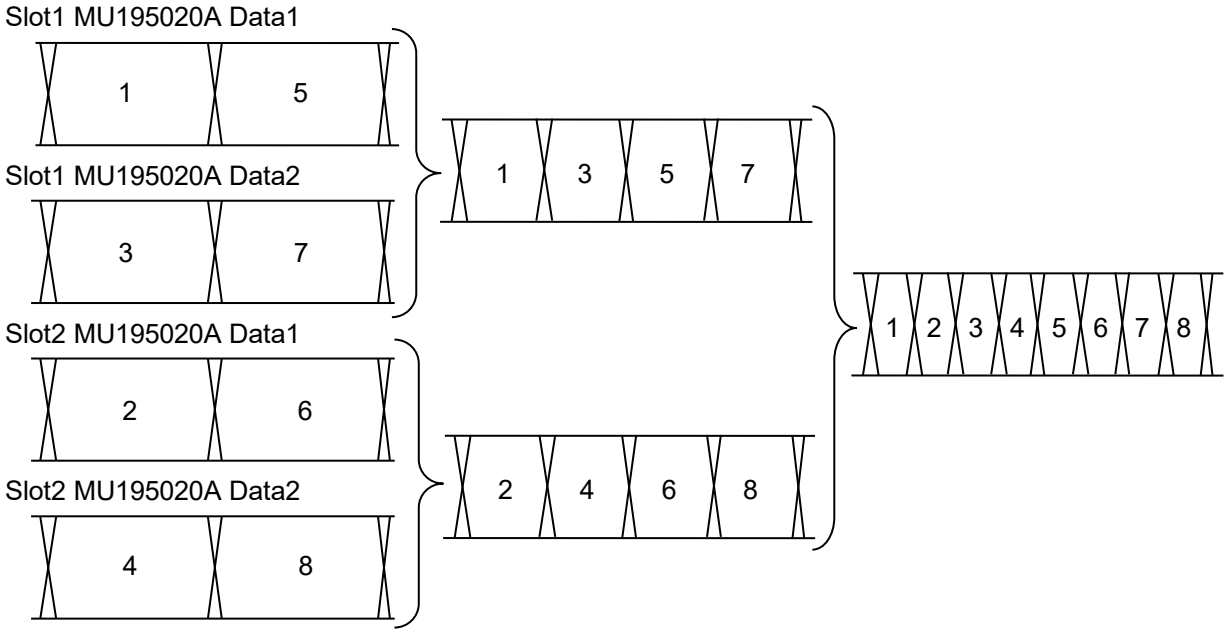


図5.8.1-2　64G x 2ch Combination パターン生成 (MU195020A 2 モジュール)

5.8.2 Synchronization機能

Channel Synchronization 機能では，複数チャネルのタイミングをそろえます。複数の MU195020A の間でもタイミング同期を取ることができます。また，Skew を設定して，チャネル間の時間差を調整できます。

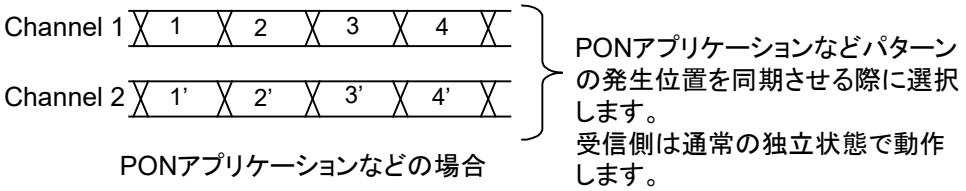


図5.8.2-1　Channel Synchronization パターン生成

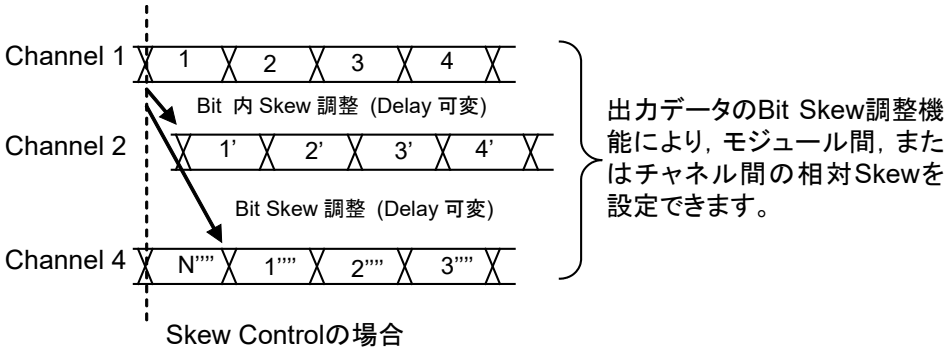


図5.8.2-2　Channel Synchronization 時の Skew 調整

MU195020A-x20 を 2 モジュール使用し，かつ 2ch Combination によって合成される Combination1-2 の 2 系統の信号を，さらに Ch Synchronization することが可能です。

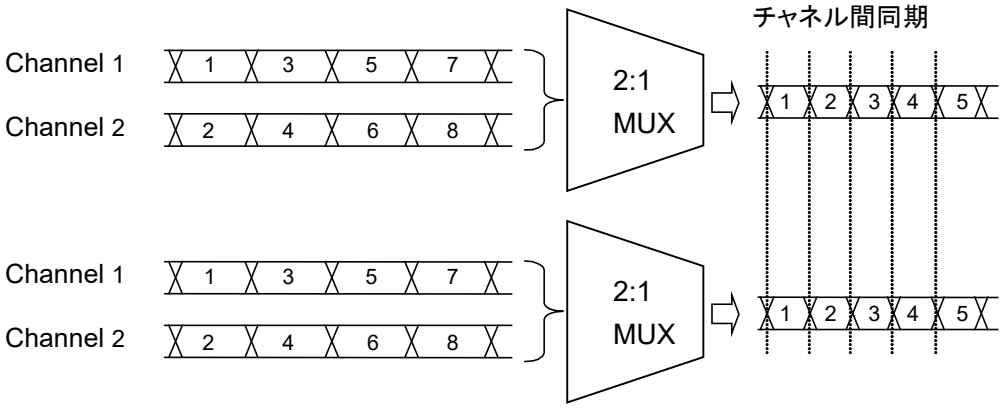


図5.8.2-3　2Ch Combination の CH Sync

5.9　モジュール間同期機能

モジュール間同期機能を使用する場合は，Menu の［Combination Setting］をタッチし，Combination Setting 画面で設定します。
詳細設定方法は『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア取扱説明書』を参照してください。

表5.9-1　Combination Setting 画面構成

Operation 設定項目		内容
Independent		MU195020A を独立して動作させるときに選択します。
Channel Synchronization	CH Sync*1, *2	対象モジュールのすべてのチャネルに Channel Synchronization を設定します。
	2ch Combination*1, *2	対象モジュールを 2ch Combination に設定し，かつモジュール間に Channel Synchronization を設定します。
	64G × 2ch Combination*1, *2	MU195020A を 2 モジュール装着したとき，対象モジュールを 2ch Combination に設定し，かつモジュール間のパターンを 1/4 周期ずらして発生します。 本設定使用時は 2 つの MU195020A それぞれに同一パターンを設定します。

＊1: MU195020A-x30/x31 が必要です。

＊2: MU195020A-x20 が必要です。

5.10 Multi Channel Calibration 機能

Multi Channel 機能，モジュール間同期機能を最適な状態で使用するために，校正を実行する必要があります。本機能は MP1900A に装着された MU195020A を組み替えるなどして構成が変更になったときに必要です。

詳細設定方法は『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア取扱説明書』を参照してください。

5.11 測定結果を見るには

測定結果を見るには，MU195040A 操作画面の［Result］タブをタッチします。
［Result］タブは，上部が項目設定領域，下部が結果表示領域となっています。
MU195040A の設定項目を変えながら，測定結果を見ることができます。

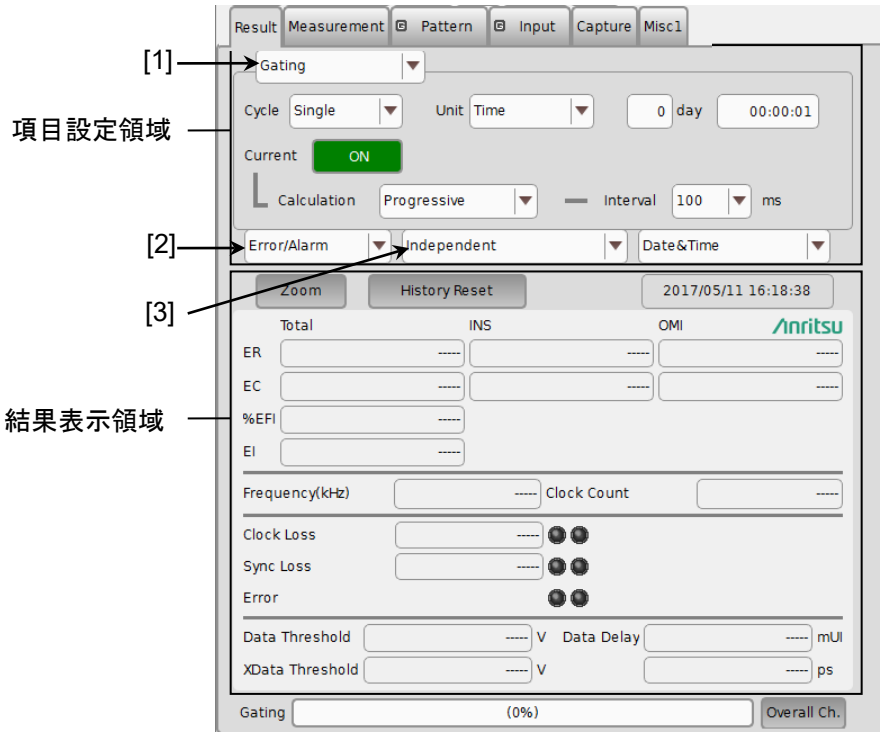


図5.11-1　Result タブ

項目設定領域内の［1］の項目を変更すると，設定項目を切り替えることができます。

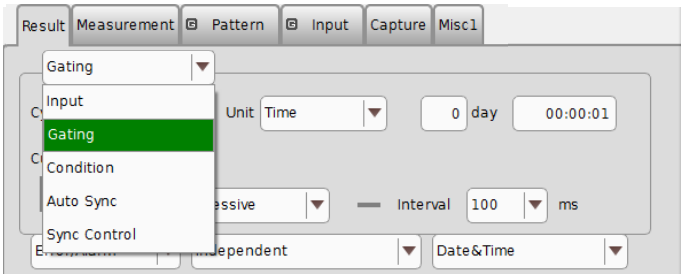


図5.11-2　項目設定領域画面

表5.11-1　項目設定領域の選択項目

選択項目	内容
Input	入力信号インタフェースに関する設定をします。
Gating	測定周期に関する設定をします。
Condition	測定条件に関する設定をします。
Auto Sync	自動同期確立機能に関する設定をします。
Sync Control	同期確立方式に関する設定をします。

図5.11-1の［2］で，表示項目を切り替えることができます。
現在のバージョンでは，[Error/Alarm] のみ表示されます。



図5.11-3　結果表示領域画面

表5.11-2　結果表示領域の選択項目

選択項目	内容
Error/Alarm	Error/Alarm 測定結果を表示します。

図5.11-1の［3］でチャネルの連携表示を切り替えることができます。

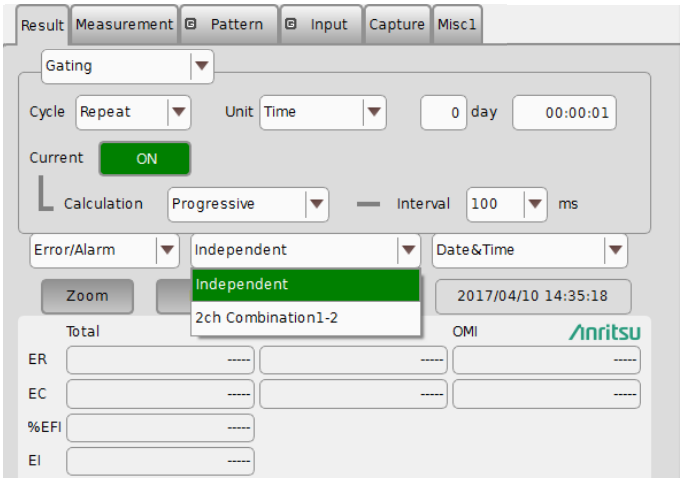


図5.11-4　結果表示領域画面

表5.11-3　結果表示領域の選択項目

選択項目	内容
Independent	1 つのチャネルの測定結果
2ch Combination1-2*	Data1/2 の 2ch Combination 結果

＊:　MU195040A-x20 で表示されます。

5.11.1 Input選択時の設定

図5.11-1 項目設定領域の［1］の項目を［Input］に設定します。

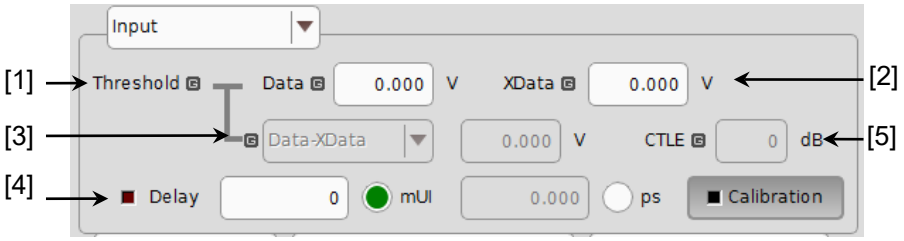


図5.11.1-1 Input 設定項目

［1］, ［2］ Data 入力または XData 入力のしきい値電圧を設定します。

Data 信号は MU195040A の Data Input コネクタから入力され，XData 信号は $\overline{\text{Data}}$ Input コネクタから入力されます。以降，$\overline{\text{Data}}$ Input コネクタの設定に関しては，XData の設定として，説明します。
–3.500～+3.300 V の範囲で 0.001 V ステップごとに設定できます。
ただし，「図5.14.1-1 Inputタブ」の［Input Condition］で［Differential 50Ohm］または［Differential 100Ohm］に設定している場合は，Data，XData 各設定値の差の絶対値が 3.000 V 以下となる値で制限されます。

［3］ Data，XData 入力電圧しきい値の差を設定します。

「図 5.14.1-1 Inputタブ」の［Input Condition］で［Differential 50Ohm］または［Differential 100Ohm］を設定し，かつ［Alternate］を選択している場合に有効です。

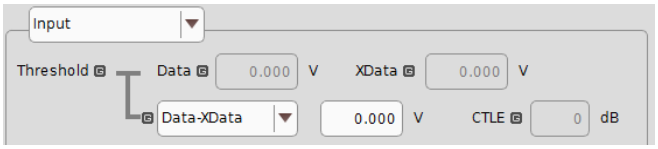


図5.11.1-2 入力電圧しきい値差の設定項目画面

［Data-XData］または［XData-Data］を選択します。設定値は–3.000～+3.000 V の範囲で 0.001 V ステップごとに設定できます。

［4］ Clock 位相単位と位相可変を設定します。



図5.11.1-3 Clock 位相の設定項目画面

mUI または ps の単位を選択します。

＜mUI 単位時＞
–1000～1000 mUI までを 2 mUI ステップごとに設定できます。

＜ps 単位時＞
2 mUI に相当する ps 単位ステップごとに設定できます。
設定範囲は，–1000～1000 mUI を ps 単位に換算した値になります。

表5.11.1-1　Clock 位相の設定 (ps 単位時)

周波数	設定範囲
32.1 GHz	–31.14～31.14
25 GHz	–40～40
2.4 GHz	–416～416

注:

- 周波数が変わった場合または温度条件が変わった場合は，Calibration 推奨アラームが点灯します。Calibration を実行しない場合，通常の位相設定より設定誤差が大きくなる場合があります。
- MU195040A の位相設定は mUI 単位を内部基準としているため ps 単位で表示されている値は，周波数を変えるたびに変わります。

[5]　MU195040A-x11/x21 を追加している場合，CTLE の Gain を設定します。設定値は 0～–12 dB の範囲で 0.1 dB ステップごとに設定できます。



図5.11.1-4　CTLE の設定項目画面

CTLE の Band は [Input] タブにて選択します。「5.14.1 入力設定項目」の説明を参照してください。

5.11.2 Gating選択時の設定

図5.11-1 項目設定領域の［1］の項目を［Gating］に設定します。

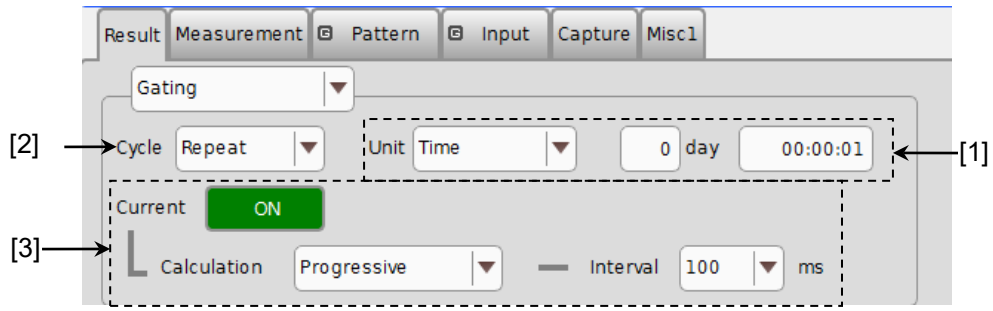


図5.11.2-1　Gating 設定項目

［1］　Unit 項目の中から測定周期の単位を選択し，その周期を設定します。また，Cycle で［Untimed］を選択すると，測定周期の設定値は無効になります。

表5.11.2-1　測定周期の設定

Unit	設定内容
Time	1 秒～99 日 23 時間 59 分 59 秒までを 1 秒単位で設定できます。
Clock Count	E+4～E+16 までを E+1 単位で設定できます。 なお，測定時間の最小分解能は 1 秒であり，ここで指定する値を超えた 1 秒区間終了時点で測定終了となります（図5.11.2-2参照）。
Error Count	E+4～E+16 までを E+1 単位で設定できます。 なお，測定時間の最小分解能は 1 秒であり，ここで指定する値を超えた 1 秒区間終了時点で測定終了となります（図5.11.2-2参照）。
Block Count	試験パターンが Mixed Pattern の場合に，実行する Block の数を Gating とする機能です。 E+2～E+14 までを E+1 単位で設定できます。なお，測定時間の最小分解能は 1 秒であり，ここで指定する値を超えた 1 秒区間終了時点で測定終了となります（図5.11.2-2参照）。

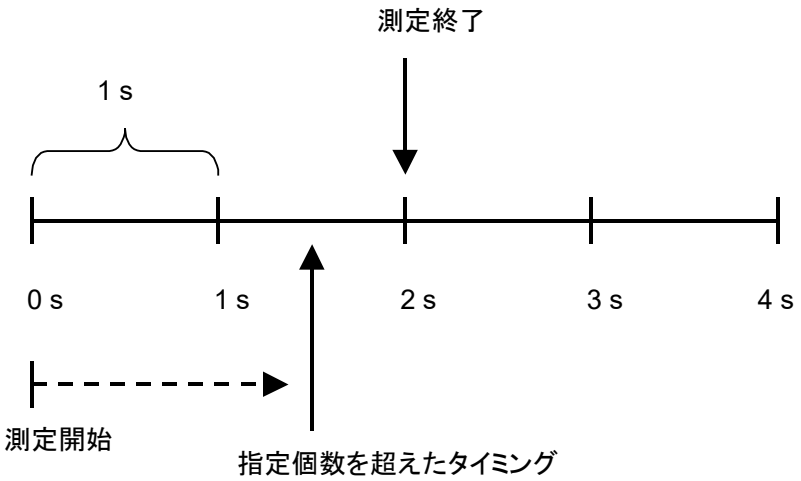


図5.11.2-2　測定終了タイミング

[2]　Cycle 項目の中から測定動作を選択できます。

表5.11.2-2　測定動作の設定

Cycle	設定内容
Repeat	測定区間の測定を繰り返します。
Single	1 測定区間のみで測定を終了します。
Untimed	測定開始指示から測定終了指示まで測定し続けます。

[3]　測定経過の表示形式を設定します。

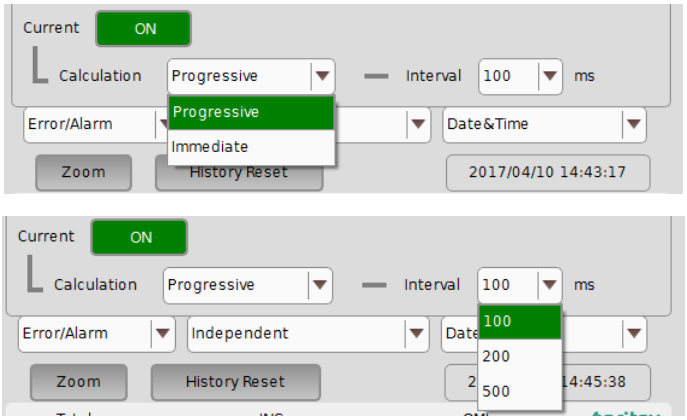


図5.11.2-3　測定経過表示の設定項目画面

表5.11.2-3　測定経過表示の設定

Current	設定内容
ON	現在までの測定データの累積結果を指定したサイクルタイムごとに表示します。サイクルタイムは［Interval］で 100 ms, 200 ms, または 500 ms*を選択してください。 また, 測定途中結果は Calculation で, 測定開始からの累積結果を表示する［Progressive］モードとサイクルタイムごとの即値結果を表示する［Immediate］モードを選択してください。
OFF	最後に終了した測定周期の結果を表示します。表示内容は次の測定周期が終了するまで更新されません。

＊:　500 ms は 2ch Combination 時のみ表示されます。

測定時間が 1 秒周期で，Interval = 200 ms の場合の Calculation と測定結果の関係は以下のようになります。

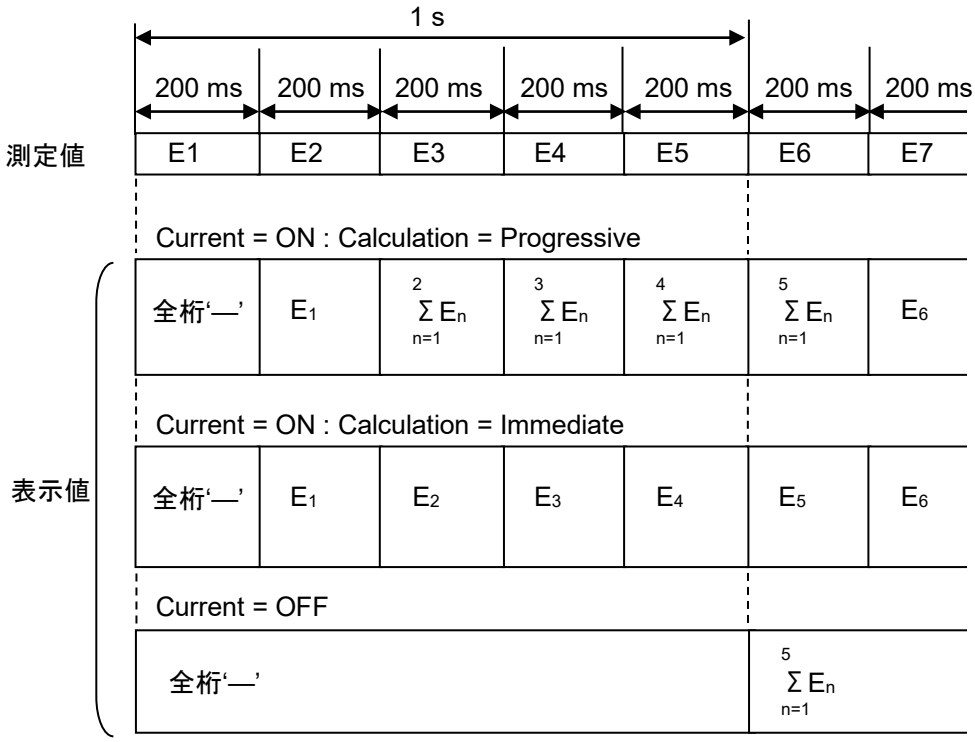


図5.11.2-4　測定結果表示の関係

5.11.3 Condition選択時の設定

図5.11-1 項目設定領域の［1］の項目を［Condition］に設定します。

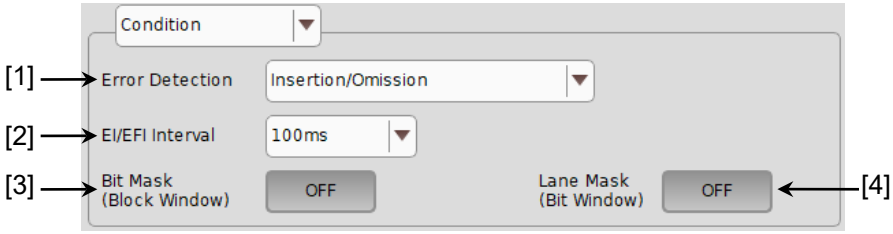


図5.11.3-1　Condition 設定項目

［1］　［Error Detection］項目の中からエラー検出方法を選択します。

表5.11.3-1　エラー検出方法の設定

Error Detection	設定内容
Insertion/Omission	ビットパターンが，“0”から“1”および“1”から“0”に変化したエラーをカウントします。 Insertion エラー：ビットパターンが“0”から“1”に変化したエラー Omission エラー：ビットパターンが“1”から“0”に変化したエラー
Transition/Non Transition	遷移ビットで発生したエラーおよび非遷移ビットで発生したエラーをカウントします。 Combination 時は選択できません。

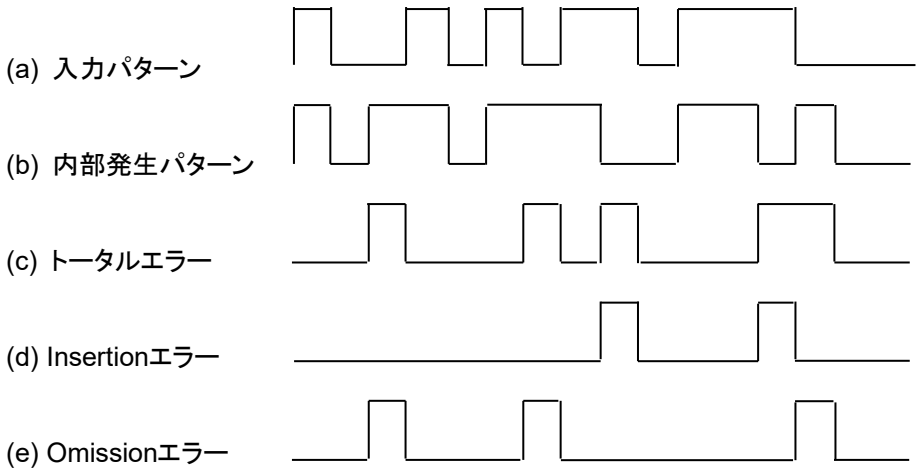


図5.11.3-2　Error Detection (トータルエラー，Insertion エラー，Omission エラー)

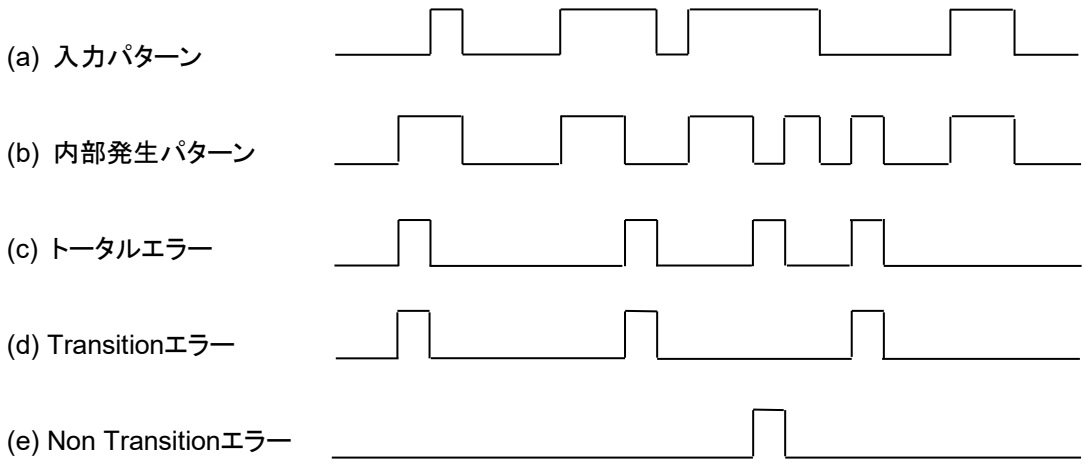


図5.11.3-3 Error Detection (トータルエラー, Transition エラー, Non Transition エラー)

[2] [EI/EFI Interval] 項目の中からエラーインターバルおよびエラーフリーインターバル測定におけるインターバル時間を選択します。

表5.11.3-2 インターバル時間の設定

EI/EFI Interval	設定内容
1ms	1 ms 単位をインターバルとします。 インターバルカウンタ値がインターバル数となります。
10ms	10 ms 単位をインターバルとします。 インターバルカウンタ値がインターバル数となります。
100ms	100 ms 単位をインターバルとします。 インターバルカウンタ値がインターバル数となります。
1s	1 s 間インターバルカウンタ累積結果が 0 以外なら, 1 とします。

[3] Block Window 機能の実行可否を選択します。
Block Window は, 内部発生パターンに対し, マスク領域を設定することで設定領域のエラーをマスクします。設定の詳細は「5.3.7 Pattern Editorによる試験パターン編集」を参照してください。

表5.11.3-3 Block Window 機能の設定

Block Window	設定内容
ON	Block Window 処理をします。 Block Window 設定が 1 になっている Bit は, Error 測定をマスクします。
OFF	Block Window 処理をしません。

ただし, 以下の場合は Block Window を設定できません。

- Test Pattern に [PRBS] または [Mixed] を選択したとき
- Capture 実行時

[4]　Bit Window 機能の実行可否を選択します。Bit Window は，試験パターンの 32 bits ごとに測定の有効・無効を指定する機能です。設定の詳細は「5.3.7 Pattern Editorによる試験パターン編集」を参照してください。

表5.11.3-4　Bit Window 機能の設定

Bit Window	設定内容
ON	Bit Window 処理をします。
OFF	Bit Window 処理をしません。

5.11.4 Auto Sync選択時の設定

図5.11-1 項目設定領域の［1］の項目を［Auto Sync］に設定します。

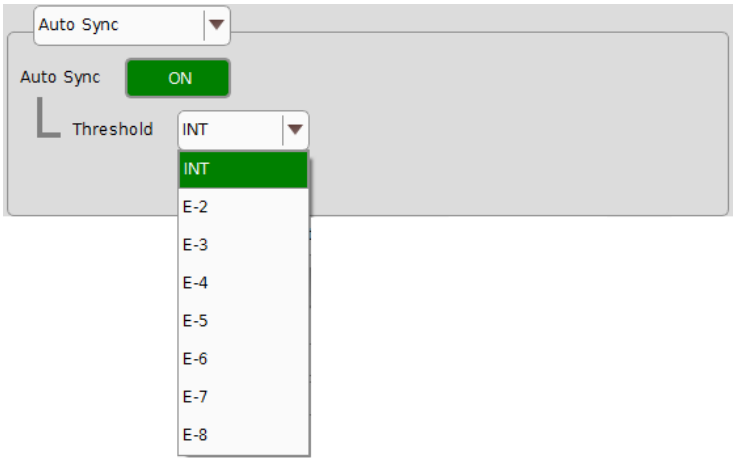


図5.11.4-1 Auto Sync 設定項目

［1］ Sync Gain から Sync Loss へ同期しきい値を超えた場合，自動的に再同期処理を実行するかどうかを選択します。

表5.11.4-1 Auto Sync の設定

Auto Sync	設定内容
ON	自動的に再同期処理を実行します。
OFF	再同期処理を実行しません。

［2］ Auto Sync が［ON］の状態で，再同期処理が実行される誤り率のしきい値を設定します。
Threshold を 10^{-N} (N = 2, 3, 4, 5, 6, 7, 8) または［INT］に設定できます。
［INT］のとき，同期引き込み状態（Sync Gain）が同期外れ状態（Sync Loss）かの判定は，同期しきい値により行います。Sync Gain のときに誤り率が同期しきい値を超えると，Sync Loss と判定されます。また，Sync Loss のときに誤り率が同期回復しきい値以下になると Sync Gain と判定されます。同期しきい値については，［INT］の場合は表5.11.4-2，10^{-N} (N = 2, 3, 4, 5, 6, 7, 8) の場合は表5.11.4-3を参照してください。

表5.11.4-2　Threshold 設定と同期しきい値 (INT の場合)

Sync Control	Test Pattern	Data Length	Threshold 誤り率 = [エラー数 / クロック数]	
			Sync Gain → Sync Loss	Sync Loss → Sync Gain
–	PRBS, Mixed Pattern, PRBS 設定部	2^n-1 (n = 7, 9, 10, 11, 15, 20, 23, 31)	$\frac{(128)\times 2{,}000}{(2{,}048)\times 5{,}000}$ $=\frac{1}{40}$ = 2.5 E– 2	$\frac{(128)}{(2{,}048)\times 4}$ $=\frac{1}{64}$ = 1.56 E – 2
Frame ON および Quick	Mixed Data 部, ZeroSubstitution , Data	128 ～ 5,120	$\frac{(128)\times 200}{(2{,}048)\times 64{,}000}$ $=\frac{1}{5{,}120}$ = 1.95 E – 4	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		5,121 ～ 10,240	$\frac{(128)\times 200}{(2{,}048)\times 128{,}000}$ $=\frac{1}{10{,}240}$ = 9.77 E – 5	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		10,241 ～ 51,200	$\frac{(128)\times 200}{(2{,}048)\times 640{,}000}$ $=\frac{1}{51{,}200}$ = 1.95 E – 5	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		51,201 ～ 102,400	$\frac{(128)\times 200}{(2{,}048)\times 1{,}280{,}000}$ $=\frac{1}{102{,}400}$ = 9.77 E – 6	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		102,401 ～ 204,800	$\frac{(128)\times 200}{(2{,}048)\times 2{,}560{,}000}$ $=\frac{1}{204{,}800}$ = 4.88 E – 6	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		204,801 ～ 307,200	$\frac{(128)\times 200}{(2{,}048)\times 3{,}840{,}000}$ $=\frac{(256)\times 200}{(4{,}096)\times 3{,}840{,}000}$ $=\frac{1}{307{,}200}$ = 3.26 E – 6	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$ $=\frac{(512)\times 1}{(8{,}192)\times \frac{\mathrm{DataLength}}{128\times 8}}$

表5.11.4-2 Threshold 設定と同期しきい値 (INT の場合) (続き)

Sync Control	Test Pattern	Data Length	Threshold 誤り率 = [エラー数 / クロック数]	
			Sync Gain → Sync Loss	Sync Loss → Sync Gain
Frame ON および Quick (続き)	Mixed Data 部, ZeroSubstitution, Data (続き)	307,201 ～ 409,600	$\frac{(128)\times 200}{(2{,}048)\times 5{,}120{,}000} = \frac{(256)\times 200}{(4{,}096)\times 5{,}120{,}000} = \frac{1}{409{,}600} = 2.44\ \mathrm{E}-6$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}} = \frac{(512)\times 1}{(8{,}192)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		409,601 ～ 524,288	$\frac{(128)\times 200}{(2{,}048)\times 6{,}553{,}600} = \frac{(256)\times 200}{(4{,}096)\times 6{,}553{,}600} = \frac{1}{524{,}288} = 1.91\ \mathrm{E}-6$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}} = \frac{(512)\times 1}{(8{,}192)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		524,289 ～ 1,048,576	$\frac{(128)\times 200}{(2{,}048)\times 13{,}107{,}200} = \frac{(256)\times 200}{(4{,}096)\times 13{,}107{,}200} = \frac{1}{1{,}048{,}576} = 9.54\ \mathrm{E}-7$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}} = \frac{(512)\times 1}{(8{,}192)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		1,048,577 ～ 2,097,152	$\frac{(128)\times 200}{(2{,}048)\times 26{,}214{,}400} = \frac{(256)\times 200}{(4{,}096)\times 26{,}214{,}400} = \frac{1}{2{,}097{,}152} = 4.77\ \mathrm{E}-7$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}} = \frac{(512)\times 1}{(8{,}192)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		2,097,153 ～ 4,194,304	$\frac{(128)\times 200}{(2{,}048)\times 52{,}428{,}800} = \frac{(256)\times 200}{(4{,}096)\times 52{,}428{,}800} = \frac{1}{4{,}194{,}304} = 2.38\ \mathrm{E}-7$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}} = \frac{(512)\times 1}{(8{,}192)\times \frac{\mathrm{DataLength}}{128\times 8}}$

表5.11.4-2　Threshold 設定と同期しきい値 (INT の場合) (続き)

Sync Control	Test Pattern	Data Length	Threshold 誤り率 = [エラー数 / クロック数]	
			Sync Gain → Sync Loss	Sync Loss → Sync Gain
Frame ON および Quick (続き)	Mixed Data 部, ZeroSubstitution, Data (続き)	4,194,305 ～ 8,388,608	$\frac{(128)\times 200}{(2{,}048)\times 104{,}857{,}600} = \frac{1}{8{,}388{,}608} = 1.19\ \mathrm{E}-7$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		8,388,609 ～ 16,777,216	$\frac{(128)\times 200}{(2{,}048)\times 209{,}715{,}200} = \frac{1}{16{,}777{,}216} = 5.96\ \mathrm{E}-8$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		16,777,217 ～ 33,554,432	$\frac{(128)\times 200}{(2{,}048)\times 419{,}430{,}400} = \frac{1}{33{,}554{,}432} = 2.98\ \mathrm{E}-8$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		33,554,433 ～ 67,108,864	$\frac{(128)\times 200}{(2{,}048)\times 838{,}860{,}800} = \frac{1}{67{,}108{,}864} = 1.49\ \mathrm{E}-8$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		67,108,865 ～ 134,217,728	$\frac{(128)\times 200}{(2{,}048)\times 1{,}677{,}721{,}600} = \frac{1}{134{,}217{,}728} = 7.45\ \mathrm{E}-9$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$
		134,217,729 ～ 268,435,456	$\frac{(128)\times 200}{(2{,}048)\times 3{,}355{,}443{,}200} = \frac{1}{268{,}435{,}456} = 3.73\ \mathrm{E}-9$	$\frac{(128)\times 1}{(2{,}048)\times \frac{\mathrm{DataLength}}{128\times 8}}$

表5.11.4-3　Threshold 設定と同期しきい値 (E–2～E–8 の場合)

Sync Control	Threshold 誤り率 = [エラー数 / クロック数]	
	Sync Gain → Sync Loss	Sync Loss → Sync Gain
E–2	$\frac{(128)\times 2{,}000}{(2{,}048)\times 5{,}000} = \frac{1}{40} = 2.5\ \mathrm{E}-2$	$\frac{(128)}{(2{,}048)\times 4} = \frac{1}{64} = 1.56\ \mathrm{E}-2$
E–3	$\frac{(128)\times 2{,}000}{(2{,}048)\times 50{,}000} = \frac{1}{400} = 2.5\ \mathrm{E}-3$	$\frac{(128)}{(2{,}048)\times 40} = \frac{1}{640} = 1.56\ \mathrm{E}-3$
E–4	$\frac{(128)\times 2{,}000}{(2{,}048)\times 500{,}000} = \frac{1}{4{,}000} = 2.5\ \mathrm{E}-4$	$\frac{(128)}{(2{,}048)\times 400} = \frac{1}{6{,}400} = 1.56\ \mathrm{E}-4$
E–5	$\frac{(128)\times 2{,}000}{(2{,}048)\times 5{,}000{,}000} = \frac{1}{40{,}000} = 2.5\ \mathrm{E}-5$	$\frac{(128)}{(2{,}048)\times 4{,}000} = \frac{1}{64{,}000} = 1.56\ \mathrm{E}-5$
E–6	$\frac{(128)\times 2{,}000}{(2{,}048)\times 50{,}000{,}000} = \frac{1}{400{,}000} = 2.5\ \mathrm{E}-6$	$\frac{(128)}{(2{,}048)\times 40{,}000} = \frac{1}{640{,}000} = 1.56\ \mathrm{E}-6$
E–7	$\frac{(128)\times 2{,}000}{(2{,}048)\times 500{,}000{,}000} = \frac{1}{4{,}000{,}000} = 2.5\ \mathrm{E}-7$	$\frac{(128)}{(2{,}048)\times 400{,}000} = \frac{1}{6{,}400{,}000} = 1.56\ \mathrm{E}-7$
E–8	$\frac{(128)\times 2{,}000}{(2{,}048)\times 5{,}000{,}000{,}000} = \frac{1}{40{,}000{,}000} = 2.5\ \mathrm{E}-8$	$\frac{(128)}{(2{,}048)\times 4{,}000{,}000} = \frac{1}{64{,}000{,}000} = 1.56\ \mathrm{E}-8$

5.11.5 Sync Control選択時の設定

図5.11-1 項目設定領域の［1］の項目を［Sync Control］に設定します。

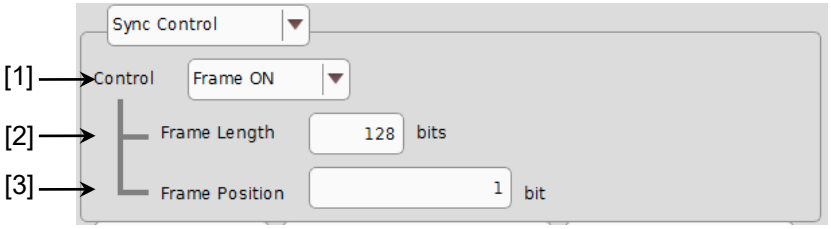


図5.11.5-1　Sync Control 設定項目

［1］　試験パターンの同期方式を選択します。

表5.11.5-1　Sync Control の設定

Control	設定内容
Frame ON	Frame 同期方式を選択します。パターンが ZeroSubstitution, Data, Mixed のときに選択できます。Frame パターンを検出することで同期をします。
Quick	Quick 同期方式を選択します。パターンが ZeroSubstitution, Data のときに選択できます。入力パターンを内部メモリに書き込んで，取り込んだパターンを基準パターンとしてエラー測定をします。

Control にて設定できる同期方式は，操作画面の［Pattern］タブで選択している試験パターンによって，以下のとおり異なります。

表5.11.5-2　同期方式の設定

Test Pattern	Control 設定	
	Frame ON	Quick
PRBS	–	–
ZeroSubstitution	○	○
Data	○	○
Mixed	○	–

［2］　［Frame ON］の状態で，Frame パターンのパターン長を設定します。
Frame Length を 4～64 まで 4 bit ステップごとに設定できます。

Combination 設定時はフレームビット数が N 倍（N ch Combination）になります。

注：

Combination 時で同期を取りづらい場合は，Frame パターン長を 64 bits にすると同期を取りやすくなります。

[3]　[Frame ON] の状態で，Frame 検出を開始する検出対象パターンの先頭位置を設定します。Frame Position の設定範囲は以下になります。

・ Independent の場合
1～(検出対象パターン長 – Frame Length + 1)，1 bit ステップ

・ 2ch Combination 時，
1～1+2n，2 bit ステップ
n の最大値 = INT(検出パターン長 - Frame Length / 2)

検出対象パターン長は，操作画面の [Pattern] タブで選択している試験パターンによって，以下のとおり異なります。

表5.11.5-3　検出対象パターン長の設定

Test Pattern	検出対象パターン長
ZeroSubstitution	パターン長
Data	パターン長
Mixed	Block1 の Row1 のパターン長

注：

[Frame ON] では，設定したフレームパターンと同じパターンがほかに存在する場合，同期に時間がかかることがあります。フレームパターンにはユニークなビット列のパターンを設定することが望ましいです。ここでいうパターン長は，「図5.3-1　Patternタブ」の Length が 511 以下のとき，512 以上になるように整数倍した値です。

5.11.6 Error/Alarm選択時の設定

図5.11-1 結果表示領域の［2］の項目を［Error/Alarm］に設定します。

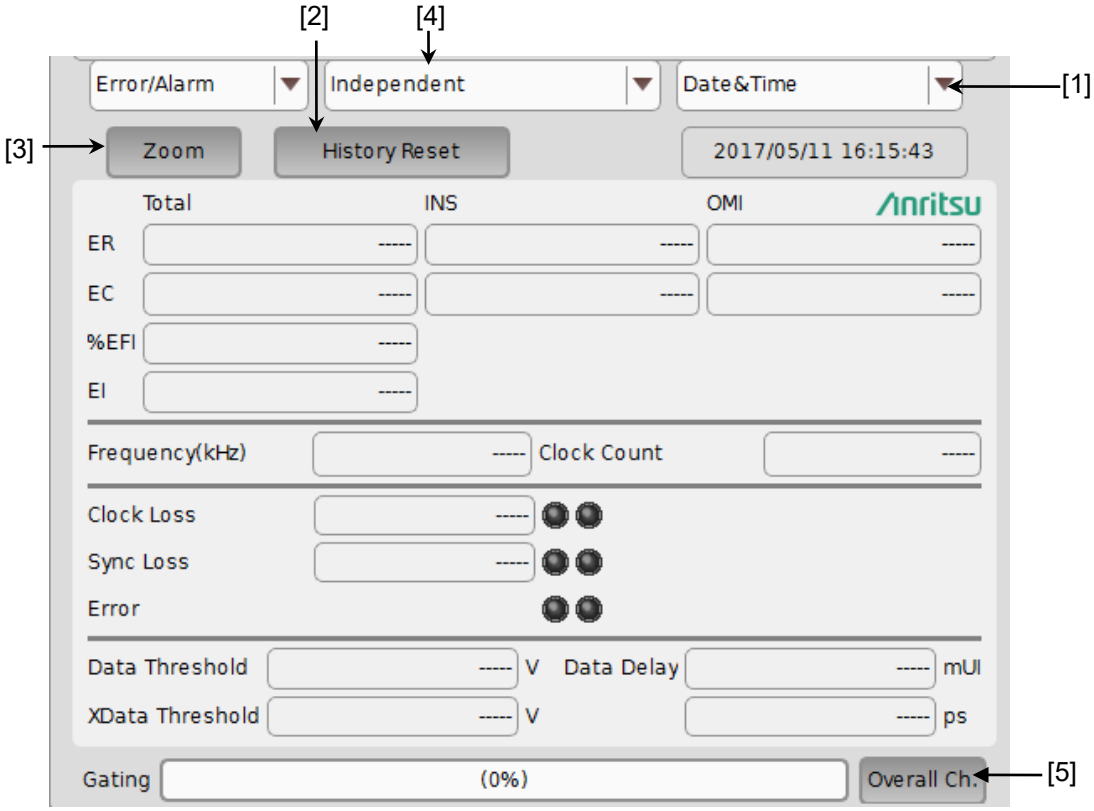


図5.11.6-1　Error/Alarm 設定項目

［1］　測定時間の表示タイプを選択します。

Date&Time:　現在時刻を表示します。
Start Time:　測定開始時刻を表示します。
Elapsed Time:　測定周期に対する経過時間を表示します。
Remaining Time:　測定周期に対する残り時間を表示します。

［2］　Error/Alarm のヒストリをリセットします。

History Reset:　エラー・アラーム表示のヒストリデータをリセットします。

［3］　Error/Alarm 測定結果拡大表示を選択します。

Zoom:　誤り数，誤り率，エラーインターバル数，Clock Loss インターバル数，Sync Loss インターバル数，Clock Loss 発生状態，Sync Loss 発生状態，およびエラー発生状態を拡大表示するかしないかを選択します。

拡大表示を非選択時の Error/Alarm の結果表示構成を表5.11.6-1に示します。

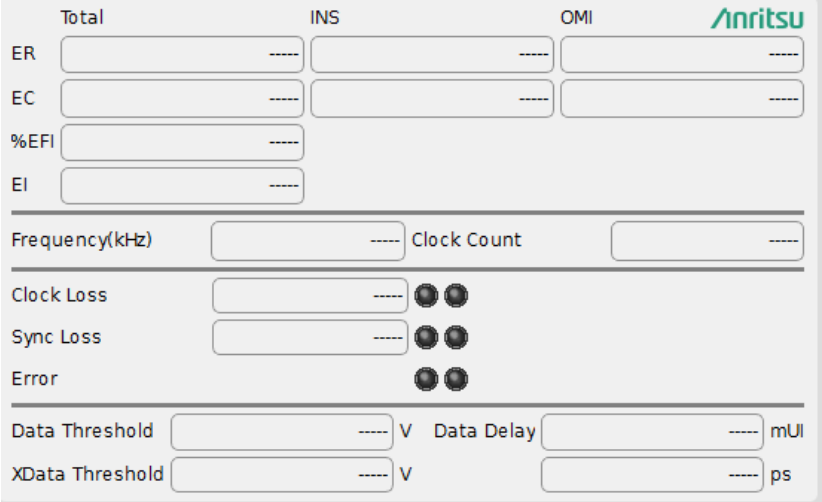


図5.11.6-2　拡大表示を非選択時のコントロール構成画面

5.11.3 項で設定したエラー検出方法により，Total/INS/OMI か Transition/Non Transition を表示します。

表5.11.6-1　拡大表示を非選択時のコントロール構成

項目		機能概要
ER	Total	誤り率を表示します。
	INS	誤り率（Insertion Error）を表示します。
	OMI	誤り率（Omission Error）を表示します。
	Transition	誤り率（Transition Bit Error）を表示します。
	Non Transition	誤り率（Non Transition Bit Error）を表示します。
EC	Total	誤り数を表示します。
	INS	誤り数（Insertion Error）を表示します。
	OMI	誤り数（Omission Error）を表示します。
	Transition	誤り数（Transition Bit Error）を表示します。
	Non Transition	誤り数（Non Transition Bit Error）を表示します。
%EFI		エラーフリーインターバル率を表示します。
EI		エラーが発生したインターバル数を表示します。
Frequency(kHz)		周波数を表示します。
Clock Count		クロックカウント数を表示します。
Clock Loss		クロックロスインターバル数，発生状況モニタを表示します。 赤色点灯：　カレントデータ 黄色点灯：　ヒストリデータ
Sync Loss		シンクロスインターバル数，発生状況モニタを表示します。 赤色点灯：　カレントデータ 黄色点灯：　ヒストリデータ
Error		エラー発生状況モニタを表示します。 赤色点灯：　カレントデータ 黄色点灯：　ヒストリデータ

表5.11.6-1　拡大表示を非選択時のコントロール構成 (続き)

項目	機能概要
Data Threshold	Auto Adjustment 実行時の Data しきい値電圧を表示します。
XData Threshold	Auto Adjustment 実行時の XData しきい値電圧を表示します。
Data Delay	Auto Adjustment 実行時の Delay 値を表示します。

拡大表示を選択時の Error/Alarm の結果表示を表5.11.6-2に示します。



図5.11.6-3　拡大表示を選択時のコントロール構成画面

表5.11.6-2　拡大表示を選択時のコントロール構成

項目	機能概要
ER	誤り率を表示します。
EC	誤り数を表示します。
Clock Loss	クロックロスインターバル数，発生状況モニタを表示します。 赤色点灯:　　カレントデータ 黄色点灯:　　ヒストリデータ
Sync Loss	シンクロス，発生状況モニタを表示します。 赤色点灯:　　カレントデータ 黄色点灯:　　ヒストリデータ
Error	エラー発生状況モニタを表示します。 赤色点灯:　　カレントデータ 黄色点灯:　　ヒストリデータ

[4]　Combination 表示

表示結果の Combination 状態を選択します。

[5]　Error/Alarm 測定結果 Overall Ch 画面の開閉

測定結果表示ダイアログボックスを開く，閉じるの制御をします。

表5.11.6-3に本機能実行時に開く Overall Ch 画面の構成を示します。

表5.11.6-3　Overall Ch 画面の構成

項目		機能概要
ER	Total	誤り率を表示します。
	INS	誤り率（Insertion Error）を表示します。
	OMI	誤り率（Omission Error）を表示します。
	Transition	誤り率（Transition Bit Error）を表示します。
	Non Transition	誤り率（Non Transition Bit Error）を表示します。
EC	Total	誤り数を表示します。
	INS	誤り数（Insertion Error）を表示します。
	OMI	誤り数（Omission Error）を表示します。
	Transition	誤り数（Transition Bit Error）を表示します。
	Non Transition	誤り数（Non Transition Bit Error）を表示します。
Clock Loss		クロックロスインターバル数，発生状況モニタを表示します。 赤色点灯：　カレントデータ 黄色点灯：　ヒストリデータ
Sync Loss		シンクロスインターバル数，発生状況モニタを表示します。 赤色点灯：　カレントデータ 黄色点灯：　ヒストリデータ
Error		エラー発生状況モニタを表示します。 赤色点灯：　カレントデータ 黄色点灯：　ヒストリデータ

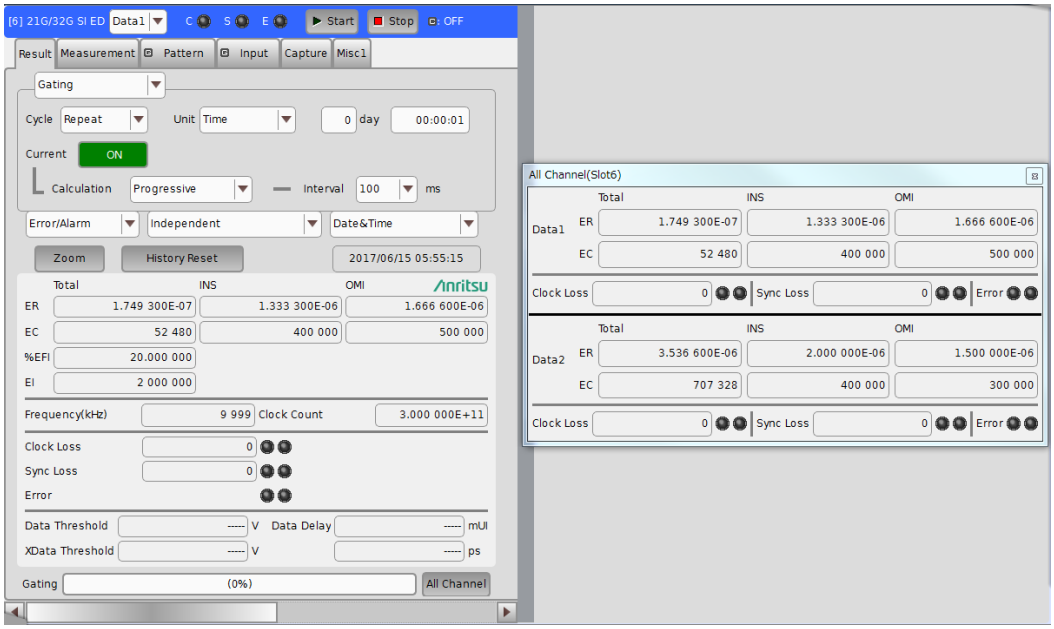


図5.11.6-4　測定結果 Sub 画面（2ch Combination）

5.11.7 ジッタ変調された信号を入力する場合の設定

- ジッタ変調されたクロックを入力し，ジッタ耐力試験などを行う場合は，過大なジッタ変調による Delay の誤動作を避けるために，以下の図で Delay の Jitter Input を［ON］にしてください。
  MU181000A/B (オプション 001 ジッタ変調付き) と MU181500B を使用する場合は，Delay の Jitter Input を［ON］に設定したあとに，MU181000A/B と MU181500B の［Jitter Modulation］を［ON］に設定してください。
- Delay の Calibration を実行する場合は，入力信号のジッタ変調を無変調にしてください。



図5.11.7-1　Clock Delay 操作画面

注:

- Delay の Jitter Input が［OFF］のまま，ジッタ変調されたクロックを入力すると，位相が不安定になる場合があります。
- ジッタ変調されたクロックを入力すると，Delay ランプが点灯したり，位相設定誤差が大きくなったりする場合があります。
- Delay 機能は，初期設定（Jitter Input が［OFF］）で Delay の設定確度を高めるために Feedback 処置をしていますが，Jitter Input を［ON］にすると，Feedback 処理を切るため Delay の設定確度が低下します。Jitter Input の設定は，以下のように用途に合わせて設定してください。

Jitter Input	用途
ON	ジッタ耐力測定 クロックに対するジッタ印加量が大きいときの BER 測定 (Jitter Input を［OFF］にすると Delay が不安定になるとき)
OFF	位相マージンの測定 Eye Margin 測定, Eye Diagram 測定, Bathtub 測定

5.12 測定条件の設定

測定条件は，MU195040A 操作画面の［Measurement］タブで設定します。

［Measurement］タブは，5 つの設定および表示項目で構成されています。
以下の図と表に構成を示します。

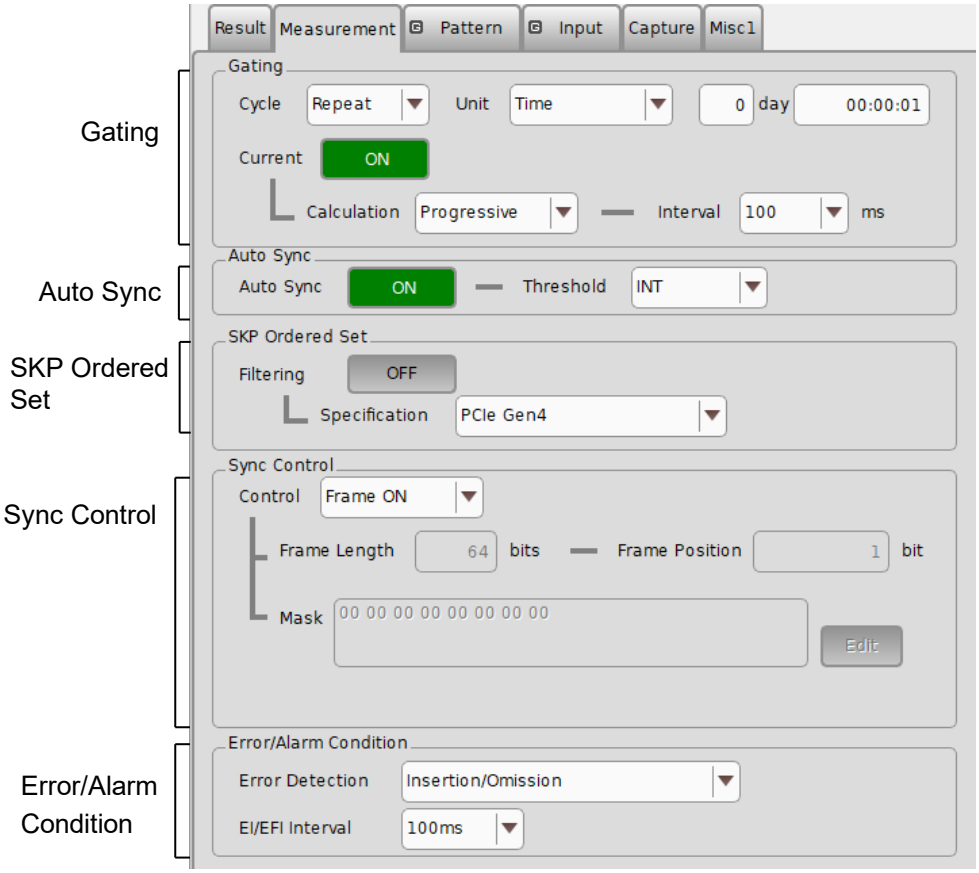


図5.12-1　Measurement タブ

表5.12-1　Measurement タブ設定･表示項目構成表

項目	機能概要
Gating	測定周期に関する設定をします。
Auto Sync	自動同期確立機能に関する設定をします。
SKP Ordered Set	SKP Ordered Set のフィルタに関する設定をします。
Sync Control	同期確立方式に関する設定をします。
Error/Alarm Condition	測定方法に関する設定をします。

これらの項目は［Result］タブで同じ設定ができます。ただし，Sync Control および Error/Alarm Condition については，本画面にて，より詳細な設定ができます。

5.12.1 Gatingについて

本項目に関する設定は，[Result] タブの [Gating] と同じです。設定内容の説明については「5.11.2 Gating選択時の設定」を参照してください。

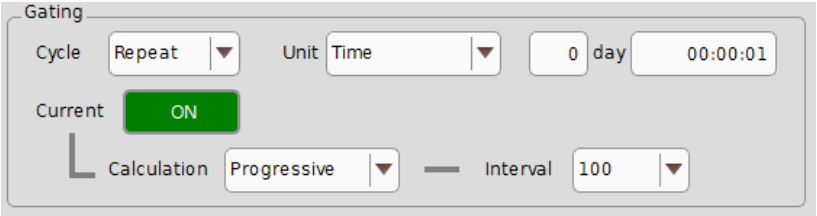


図5.12.1-1　測定周期設定項目

5.12.2 Auto Syncについて

本項目に関する設定は，[Result] タブの [Auto Sync] と同じです。設定内容の説明については「5.11.4 Auto Sync選択時の設定」を参照してください。

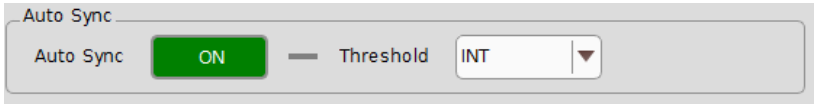


図5.12.2-1　自動同期確立機能設定項目

5.12.3 SKP Ordered Setについて

SKP Ordered Set のフィルタに関する設定をします。

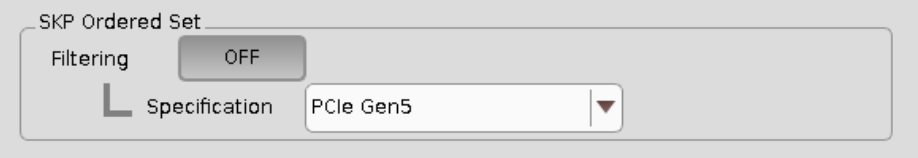


図5.12.3-1　SKP Ordered Set 設定項目

表5.12.3-1　SKP Ordered Set の設定内容

選択項目	設定内容
Filtering	SKP Ordered Set をフィルタリングするかを設定します。フィルタリングされた Ordered Set はエラーカウントには含まれません。 ON:　SKP Ordered Set をフィルタリングします。 OFF:　SKP Ordered Set をフィルタリングしません。
Specification	PCIe Gen1 から PCIe Gen5 までの規格を設定します。 Filtering を［ON］に設定しているときは変更できません。

SKP Filtering 機能を使用するときの制限事項を以下に示します。

- MU195040A のインタフェースは，Data1 を使用している。
- MU195040A に MU195040A-x22 がインストールされている。
- ［Input］タブの Clock を［Clock and Data Recovery］に設定している。
- Combination Setting ダイアログボックスで，MU195040A を［Independent］に設定している。
- Test Pattern の種別を［Data］に設定している，かつ，規格のエンコード規則に従った，SKP Orderd Set を含むパターンを設定している。
  PRBS，ZeroSubstitution，Mixed パターンでは，SKP OS Filtering を［ON］に設定できません。

設定するテストパターンの例を以下に示します。

表5.12.3-2　SKP Ordered Set Filtering 時の推奨テストパターン

規格	MU195020A に設定するテストパターン	MU195040A に設定するテストパターン
PCIe1	8b10b_CP_L0_SKP.ptn	8b10b_CP_L0.ptn
PCIe2	8b10b_CP_L0_SKP.ptn	8b10b_CP_L0.ptn
PCIe3	128b130b_MCP_L0_Gen3.ptn	128b130b_MCP_L0_Gen3_SRIS_NOSKP.ptn
PCIe4	128b130b_MCP_L0_Gen4.ptn	128b130b_MCP_L0_Gen4_SRIS_NOSKP.ptn
PCIe5	128b130b_MCP_L0_Gen5.ptn	128b130b_MCP_L0_Gen5_SRIS_NOSKP.ptn

5.12.4 Sync Controlについて

本項目に関する設定で，試験パターンの同期方式，フレーム長，および検出対象パターンの先頭位置に関する設定は，[Result] タブの [Sync Control] と同じです。

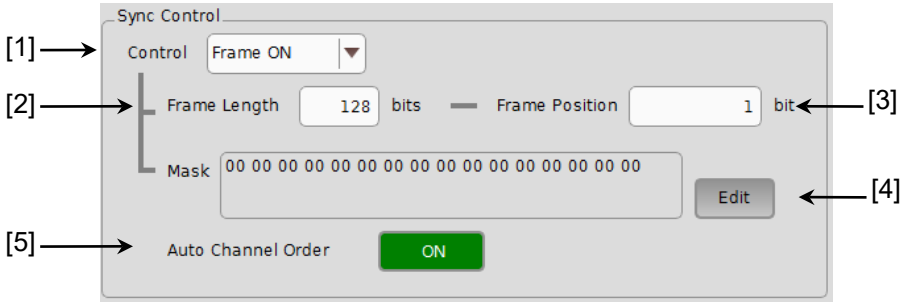


図5.12.4-1　同期方式の設定

[1]　試験パターンの同期方式を選択します。

[2]　Frame パターンのパターン長を設定します。
Control が [Frame ON] 時に有効となります。

[3]　フレーム検出の検出対象パターンの先頭位置を設定します。
Control が [Frame ON] 時に有効となります。詳細は，「5.11.5 Sync Control選択時の設定」を参照してください。

[4]　マスクパターンを編集します。
Control が [Frame ON] 時に有効となります。

[5]　2ch Combination 時，2ch の入力順列自動制御を制御します。
ON のときには，分離された 2ch Combination データの入力順列を自動的に検出して同期させます。
OFF のときには，2ch のデータを正しい順列で接続しないと正常に測定ができません。

5.12.5 Error/Alarm Conditionについて

本項目に関する設定で，エラー検出方法およびエラーまたはエラーフリーインターバルの設定は，[Result] タブの [Condition] と同じです。



図5.12.5-1　エラー/アラーム測定条件設定

[1]　エラー検出方法は「5.11.3 Condition選択時の設定」を参照してください。

[2]　エラーおよびエラーフリーインターバルの設定は，「5.11.3 Condition選択時の設定」を参照してください。

5.13 Pattern の設定 (MU195040A)

ED の Pattern の設定をするには，MU195040A 操作画面の［Pattern］タブをタッチし，試験パターンの選択および設定をします。

Pattern の設定は，MU195020A と同様に設定できますので「5.3 Patternの設定(MU195020A)」を参照してください。

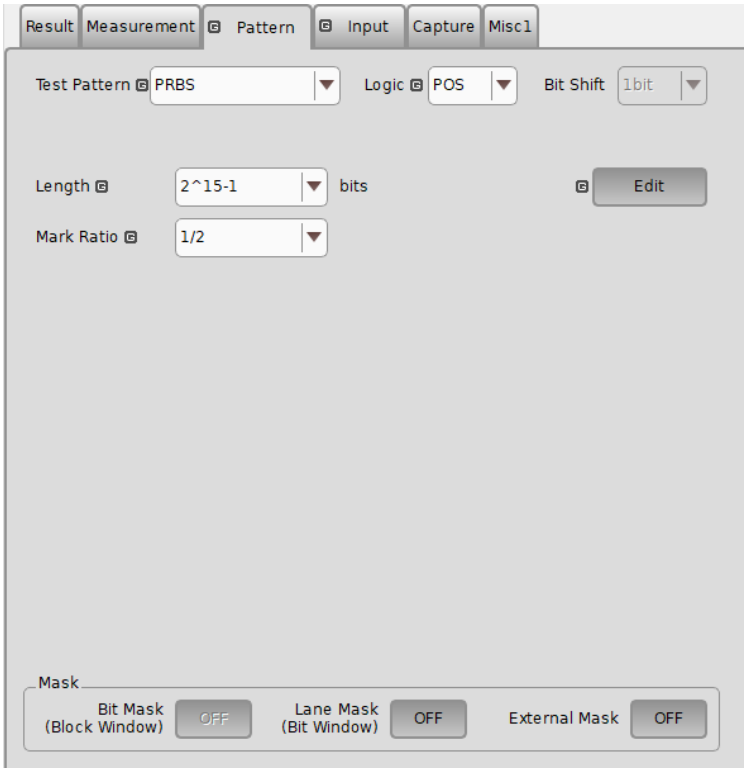


図5.13-1　Pattern タブ

表5.13-1　Pattern タブ設定・表示項目

項目	説明
Test Pattern	試験パターンを選択します。 選択したパターンによって設定項目が異なります。 PRBS, ZeroSubstitution, Data, Mixed, PAM4 に関して「5.3.1 Test Patternについて」と同一の内容です。
Mask	Bit Mask, Lane Mask, および External Mask をそれぞれ設定します。

5.13.1 マスク設定

試験パターンにおいて，ルートおよび各ビットに対するマスクの実行を選択します。
マスクの位置の設定は Pattern Editor ダイアログボックス上で設定します。

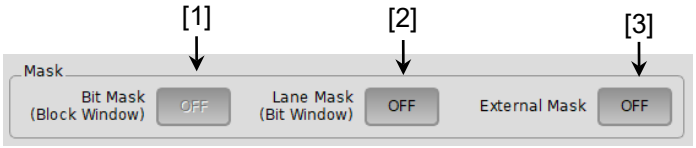


図5.13.1-1　マスク設定項目画面

[1]　Block Window 機能の実行可否を選択します。
Block Window は，受信する試験パターンの各ビットに対する測定の有効または無効を指定（測定マスク）する機能です。
マスクの位置の設定は Pattern Editor ダイアログボックス上で設定します。

表5.13.1-1　Block Window の設定

Block Window	設定内容
ON	Block Window 処理をします。
OFF	Block Window 処理をしません。

ただし，以下の制限事項があります。

- Test Pattern に [PRBS] または [Mixed] を選択したときには，Block Windows 処理を実施できません。

Block Window 機能は，パターン長により Block Window の 1 ビットが受け持つビットは以下のように変化します。
N は Combination 数で，Combination 時は，Pattern Length，Step が N 倍になります。

測定パターン長		Block Window ステップ
2*N ～	2,097,152*N bits	1*N bits
2,097,153*N ～	4,194,304*N bits	2*N bits
4,194,305*N ～	8,388,608*N bits	4*N bits
8,388,609*N ～	16,777,216*N bits	8*N bits
16,777,217*N ～	33,554,432*N bits	16*N bits
33,554,433*N ～	67,108,864*N bits	32*N bits
67,108,864*N ～	134,217,728*N bits	64*N bits
134,217,729*N ～	268,435,456*N bits	128*N bits

例)
2ch Combination で，パターン長 = 4,194,300 bits のとき，
Block Window 設定は 2 ビットステップになります。

[2] Bit Window 機能の実行可否を選択します。試験パターンを 32 個のエラーカウンタで測定しますが，Bit Window 機能を使用することにより，指定したカウンタ（ルート）の測定をマスクできます。たとえば，試験パターンが 32 bit 長の Data パターンで，エラーカウンタ 2，4 をマスクした場合は以下のようになります。

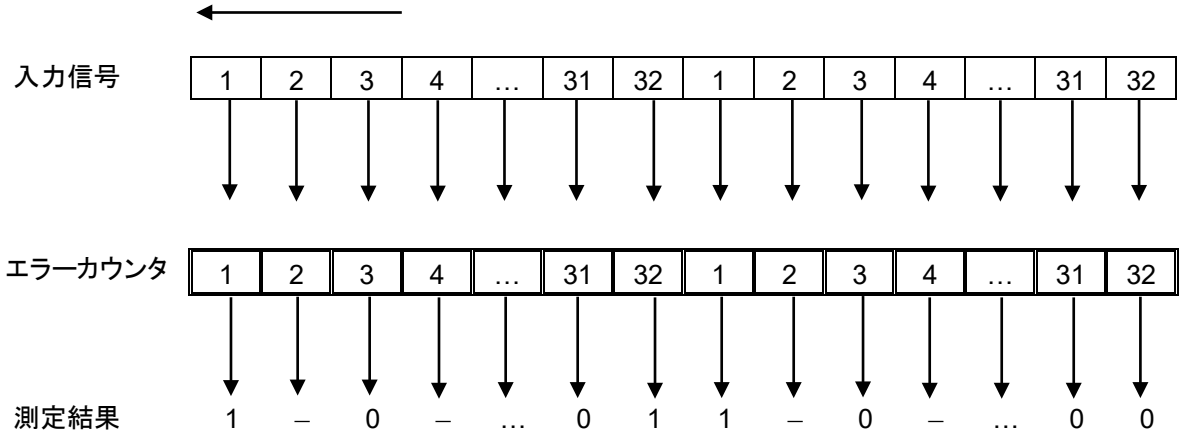


図5.13.1-2 Bit Window 機能

マスクされたカウンタ 2，4 でエラーを検出しても，測定結果に計上しません。

マスクの位置の設定は，Pattern Editor ダイアログボックス上で設定します。

表5.13.1-2 Bit Window の設定

Bit Window	設定内容
ON	Bit Window 処理をします。
OFF	Bit Window 処理をしません。

[3] External Mask 信号のオン，オフを選択します。
MU195040A の［Misc1］タブの AUX Input 設定で External Mask を選択しているときに設定できます。

表5.13.1-3 External Mask の設定

External Mask	設定内容
ON	External Mask 信号を有効にします。
OFF	External Mask 信号を無効にします。

5.13.2 HSSB Dataの設定

SI PPG Sequence Editor で設定した 8b10b, 128b130b, 128b132b のパターンを MU195040A で読み込んで BER 測定をすることができます。

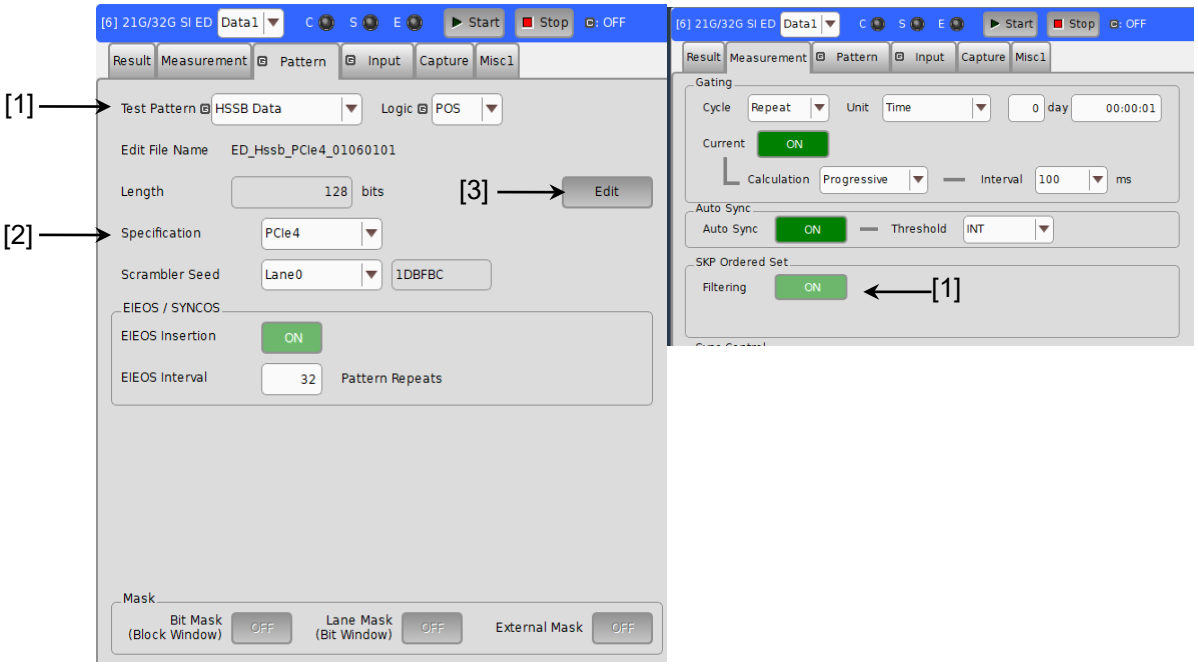


図5.13.2-1　HSSB Data の設定

[1]　MU195040A [Pattern] タブの Test Pattern で [HSSB Data] を選択します。HSSB Data 選択時は常に SKP Ordered Set Filter が [ON] になります。

[2]　テスト対象の Specification を選択します。

[3]　[Edit] をタッチすると, Specification に応じた Editor 画面が表示されます。Specification とエンコード規則の対応はそれぞれ以下の表のとおりです。

表5.13.2-1　Specification とエンコード規則の対応

Specification	エンコード規則
PCIe1	8b10b
PCIe2	8b10b
PCIe3	128b130b
PCIe4	128b130b
USB3.0	8b10b
USB3.1 Gen2	128b132b

5.13.3 Sequence Editor Pattern BER測定 設定例

実際に DUT を使用して BER を測定する手順を説明します。例として，PCIe4 で PCIe4.0 Recovery EQ Phase1 ステートの TS パターンと，MCP パターンで BER 測定を行う手順を説明します。

5.13.3.1 例1：PCIe4.0 Recovery EQ Phase1 - TS1

1. MU195020A の［Pattern］タブの Test Pattern で［Sequence］を選択します。
2. Specification で［PCIe4］を選択します。
3. デフォルトのシーケンスの最終ブロックに 128b130b を設定するために［Sequence Edit］をタッチします。［File］→［Open］で以下のファイルを読み込みます。

   C:\Anritsu\MP1900A\AppServers\bin\Pattern Files\Sequence_Default\PCIe4

   PCIe4_RECOVERY_EQUALIZATION_PHASE1.ptn128b130b
4. 追加した Block の Break に［Manual］を設定します。
5. 追加した Block の EIEOS Interval を 32 に設定します。
6. ［OK］をタッチします。
7. ［Transmit］をタッチし，DUT を Loopback.Active ステートに遷移させます。DUT は MU195020A が出力する，PCIe4.0 Recovery EQ Phase1 ステートの TS パターンを折り返して出力する状態になります。
8. MU195040A の［Pattern］タブの Test Pattern で［HSSB Data］を選択します。
9. Specification で［PCIe4］を選択します。
10. ［Edit］をタッチして，［File］→［Open］から MU195020A で読み込んだものと同一のパターンを読み込みます。

    C:\Anritsu\MP1900A\AppServers\bin\Pattern Files\Sequence_Default\PCIe4
    PCIe4_RECOVERY_EQUALIZATION_PHASE1.ptn128b130b
11. EIEOS Interval を 32 に設定します。
12. ［Start］をタッチして，BER 測定を開始します。

5.13.3.2　例2：PCIe4.0 MCP

1～2 は 5.12.3.1 の例 1 と同じ手順です。

3. デフォルトのシーケンスから特に変更は必要ありません。なお，デフォルトのシーケンスは以下のいずれかの手順で復元できます。
   - [Menu] → [Initialize] をタッチする。
   - Sequence Editor 画面の [File] → [Open] から，以下のファイルを読み込む。

     C:\Anritsu\MP1900A\AppServers\bin\Pattern Files\Sequence_Default\PCIe4

     dB-PCIe4_Default.seqpcie4

4. [Transmit] をタッチして DUT を Loopback.Active ステートに遷移させます。DUT は MU195020A が出力する，MCP パターンを折り返し出力する状態になります。
5. MU195040A の [Pattern] タブの Test Pattern で [Data] を選択します。
6. [Edit] をタッチします。[File] → [Open] をタッチして以下のパターンを読み込みます。

   C:\Anritsu\MP1900A\AppServers\bin\Pattern Files\PCIe 128b130b_MCP_L0_Gen4_SRIS_NOSKP.ptn

7. [Measurement] タブの SKP Ordered Set の Specification を PCIe4 に設定し，Filtering を [ON] にします。
8. [Start] をタッチして，BER 測定を開始します。

5.13.4 SI PPG Sequence Editor, SI ED HSSB Dataの制約

SI PPG Sequence Editor, SI ED HSSB Data の新規の制約を説明します。

・ PCIe1, PCIe2 で BER 測定するとき, MU195020A の SKPOS Symbol Length x2 は［ON］に設定してください。これは PCIe で SKP が奇数回挿入されていた場合, パターンの Running Disparity が SKP の挿入位置によって変化することを避けるためです。

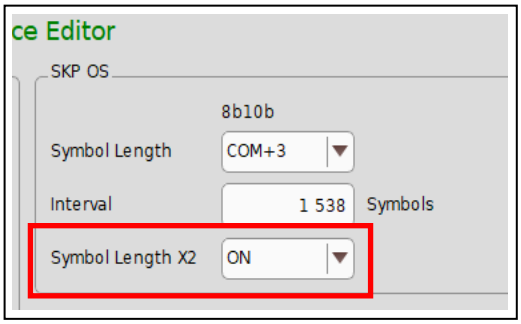


図5.13.4-1　Symbol Length x2 の設定

・ MU195020A の［Pattern］タブで Test Pattern に［Sequence］を選択しているとき, Combination, Channel Sync, Grouping をすることはできません。
・ MU195020A の［Pattern］タブで Specification に［PCIe2］, ［PCIe3］, または［PCIe4］を選択しているとき, 基準の Bitrate より低い Bitrate のブロックで Error Addition 機能を使用することはできません。基準の Bitrate は以下の表のとおりです。

表5.13.4-1　Specification と基準の Bitrate

Specification	Bitrate
PCIe2	5.0 Gbit/s
PCIe3	8.0 Gbit/s
PCIe4	16.0 Gbit/s

・ BER 測定をするとき, 挿入される EIEOS/SYNCOS の EIEOS Interval を, MU195020A の Sequence Editor 画面の EIEOS Interval と同じ値にしてください。以下の例では EIEOS Interval を 32 に設定します。

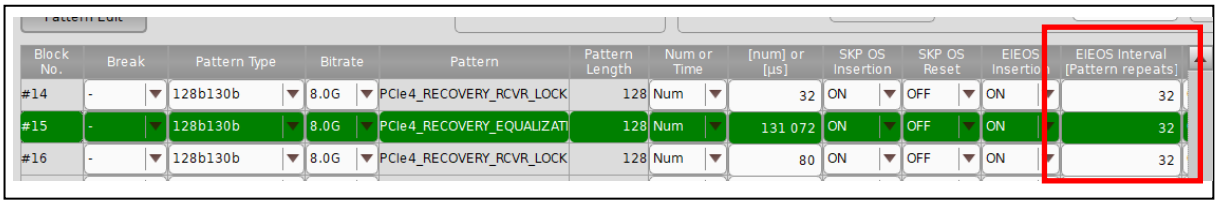


図5.13.4-2　Sequence Editor 画面の EIEOS Interval

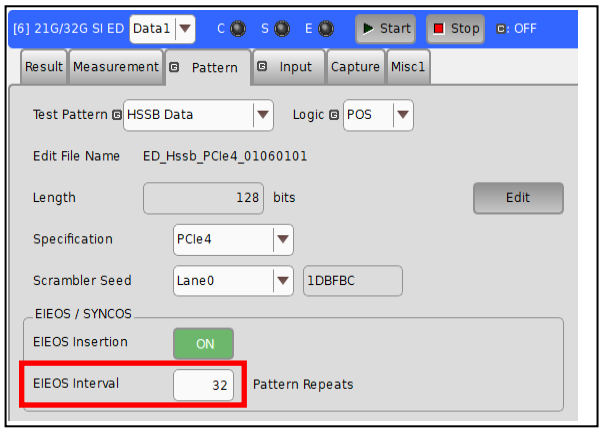


図5.13.4-3　MU195040A の EIEOS Interval 設定

- 8b10b パターンでは Auto Search, Auto Adjust が正しく動作しないことがあります。8b10b パターンで BER 測定をする場合，以下を行ってください。
  - MU195040A の［Input］タブで Delay の値を調整してください。
- HSSB Data は Data1 でのみ使用可能です。Data2 では使用できません。
- 以下の Bitrate でのみ，HSSB Data の BER 測定が可能です。

表5.13.4-2　HSSB Data で BER 測定ができる Bitrate

Specification	Bitrate
PCIe1	2.5 Gbit/s
PCIe2	5.0 Gbit/s
PCIe3	8.0 Gbit/s
PCIe4	16.0 Gbit/s
USB3.0	5.0 Gbit/s
USB3.1 Gen2	10.0 Gbit/s

- MU195040A の［Pattern］タブで Test Pattern に［HSSB Data］を選択しているとき，[Combination] を選択することはできません。また，Grouping ダイアログボックスで Pattern を［ON］にしている場合でも，Data2 で［HSSB Data］を選択することはできません。
- MU195040A の［Pattern］タブで Test Pattern に［HSSB Data］を選択しているとき，[Eye Contour], [Bathtub], [Eye Margin] を使用することはできません。

5.14 入力インタフェースの設定

入力インタフェースを設定するには，MU195040A 操作画面の［Input］タブをタッチします。

5.14.1 入力設定項目

［Input］タブには，Data 設定，Clock 設定，および Measurement Restart 設定の 3 つの領域があります。

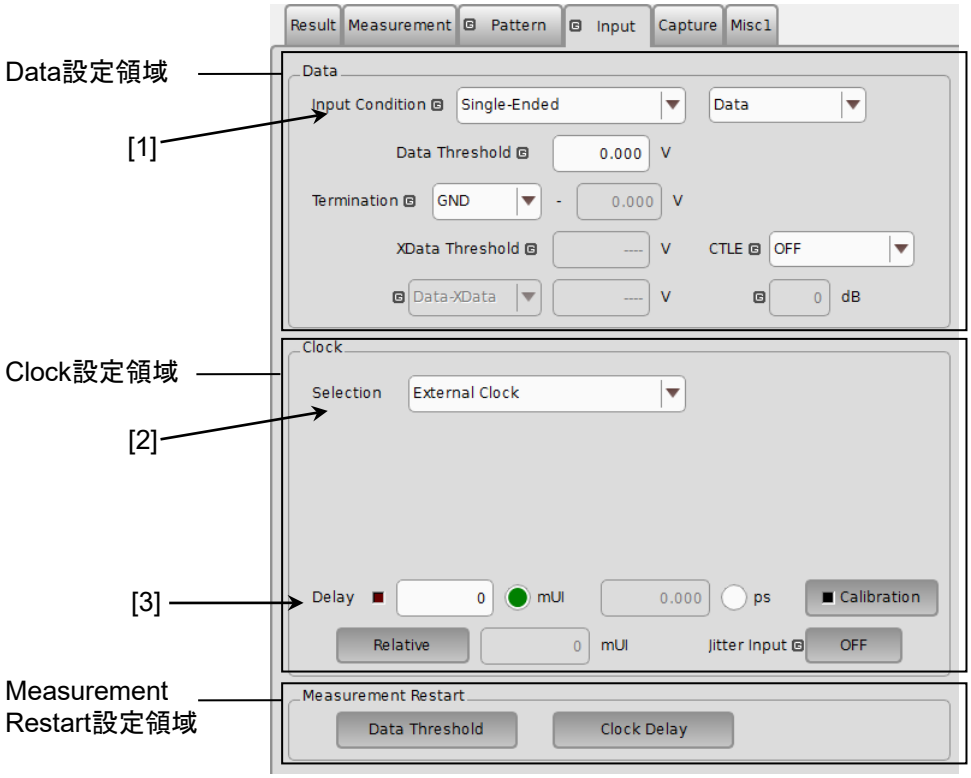


図5.14.1-1　Input タブ

1.　Data 入力条件を設定します。

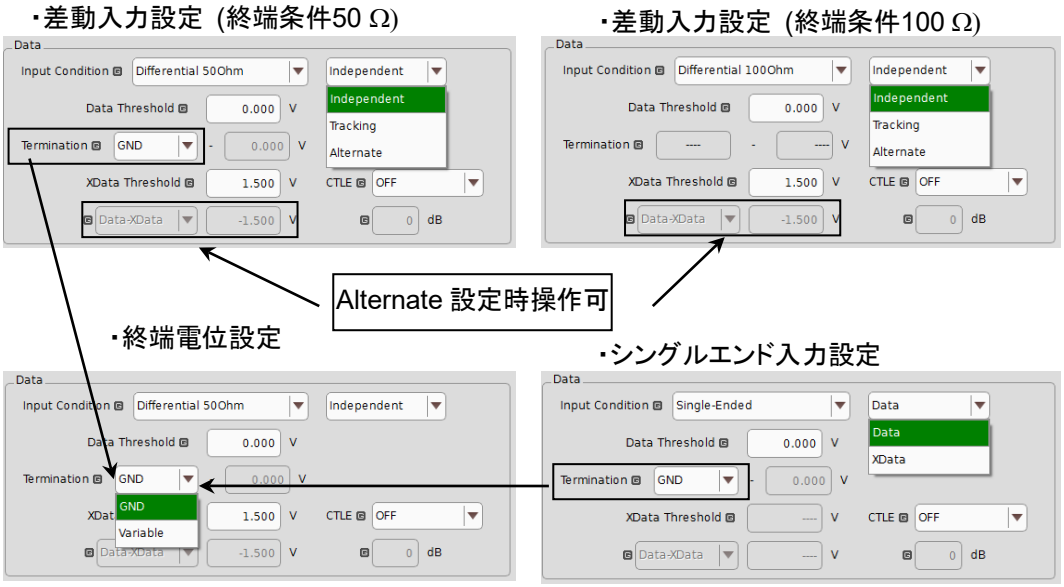


図5.14.1-2　Data 入力条件設定

表5.14.1-1　Data 入力設定領域画面構成 (Input Condition)

Data Input Condition 選択項目			内容
Differential 100Ohm, Differential 50Ohm	Independent		Data, XData を差動入力として使用します。 Data, XData の Threshold が独立して可変できます。
	Tracking		Data, XData を差動入力として使用します。 Data, XData の Threshold が連動して可変できます。
	Alternate	Data-XData	Data, XData を差動入力として使用します。 Data, XData の Threshold が Data-XData の差分値に連動して可変できます。
		XData-Data	Data, XData を差動入力として使用します。 Data, XData の Threshold が XData-Data の差分値に連動して可変できます。
Single-Ended	Data		Data 側をシングルエンド入力として使用します。
	XData		XData 側をシングルエンド入力として使用します。

⚠ 注意

Single-Ended で使用する場合，使用しないほうのデータ入力コネクタには，必ず添付されているオープン (J1341A) を取り付けてください。

未使用側コネクタに信号を入力したまま使用すると，誤動作の原因となります。

表5.14.1-2 Data 入力設定領域画面構成 (Data Termination)

Data Termination 設定項目		内容
Differential 100Ohm	設定なし	Data 側と XData 側それぞれの 50 Ωを GND から解放し，Data-XData 間が 100 Ωとなるように 50 Ωが接続されます。機器の安全のため，入力コネクタ開放時は Data 側終端 50 Ωと XData 側終端 50 Ωの中心は高抵抗を経由して GND 電位に固定されています。
Differential 50Ohm Single-Ended	GND	Data 側と XData 側それぞれの 50 Ωが GND に終端されます。
	Variable	50 Ω, –2.5～+3.5 V の任意の設定電圧で終端されます。 10 mV ステップで設定できます。

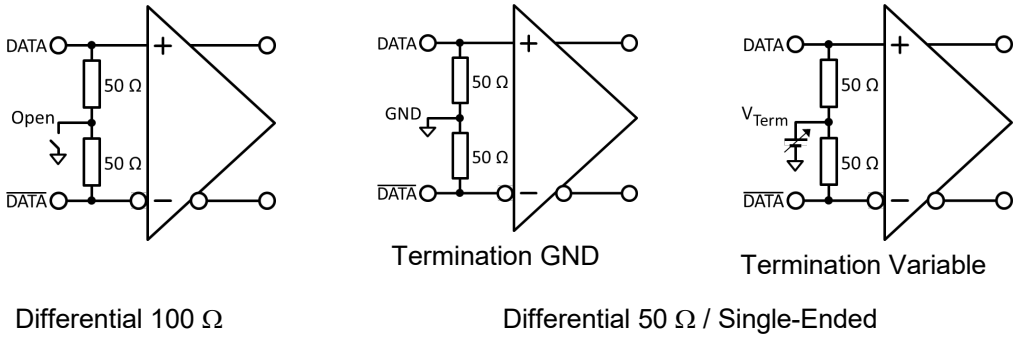


図5.14.1-3 Data Termination 設定による終端方法の違い

⚠ 注意

- MU195040A 内蔵の終端抵抗に過大な電流を流さないように注意してください。性能劣化や故障の原因となるおそれがあります。
- Single-Ended 入力を選択時に Data, XData のコネクタに差動信号を入力した場合，スレッショルドマージンが倍になります。

MU195040A-x11/x21 を追加している場合，CTLE (Continuous Time Linear Equalizer) の Band を設定できます。設定範囲は下記のとおりです。

OFF, 8-10Gbit/s, 16-20Gbit/s, 25-28Gbit/s, PCIe3, PCIe4, PCIe5

Band の設定が [OFF] 以外のときは，Gain 0～–12 dB の範囲で 0.1 dB ステップごとに設定できます。

2. MU195040A は，MU195040A-x22 を実装することで使用するクロック源を外部クロックと再生クロック（Recovered Clock または Clock and Data Recovery）から選択できます。オプション未実装時は外部クロックのみ選択できます。

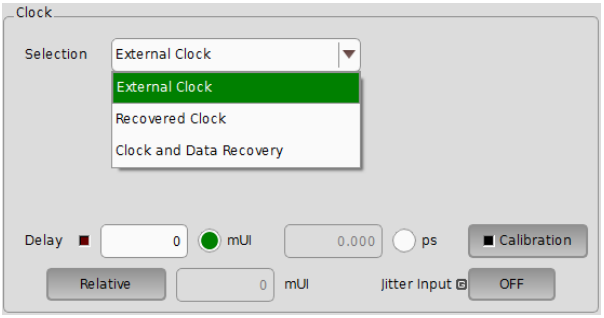


図5.14.1-4　クロック操作画面

MU195040A-x22 実装時の再生クロック（Recovered Clock または Clock and Data Recovery）は，内蔵されるクロック再生回路で Data1 から再生されたクロックをシステムクロックとして使用します。Recovered Clock（図5.14.1-5）では，再生したクロックを使って，Bathtub，Eye Margin，Eye Contour などの Eye 解析が可能です。Clock and Data Recovery（図5.14.1-6）は，再生したデータの BER 測定を行います。ジッタやノイズ耐力試験が可能で，SSC など各種ストレスを加えた信号の BER 測定にお使いください。

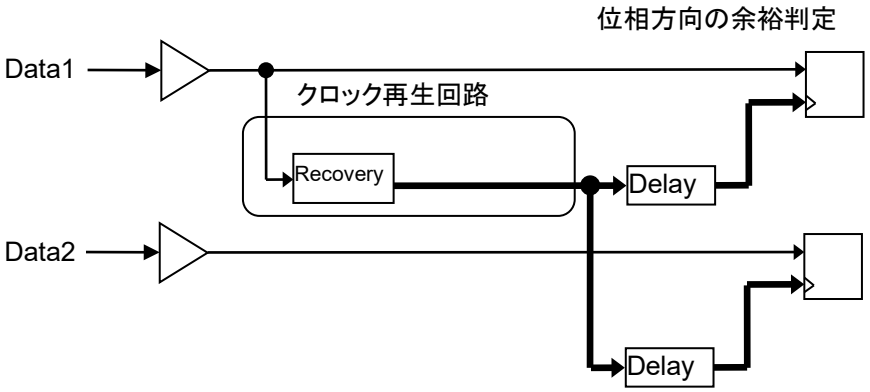


図5.14.1-5　Recovered Clock 回路

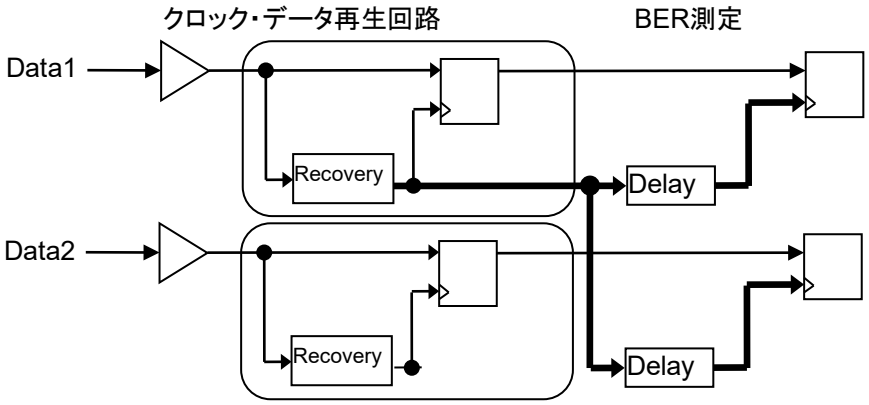


図5.14.1-6　Clock and Data Recovery 回路

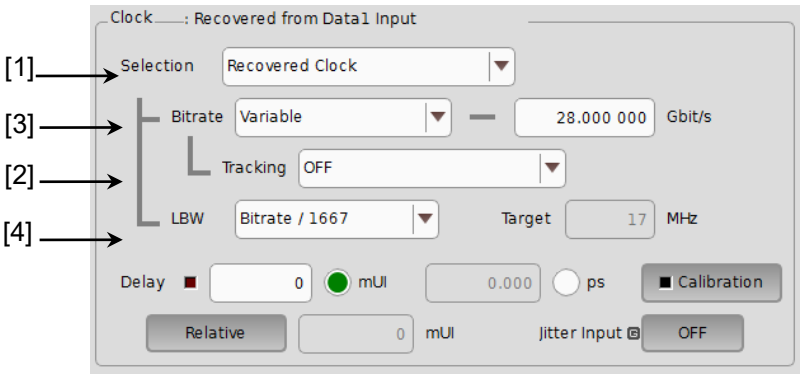


図5.14.1-7　再生クロック操作画面 (MU195040A-x22 実装時)

[1]　外部クロックまたは再生クロックを選択します。MU195040A-x22 を実装することで再生クロックを使用できます。再生クロックを選択すると，オプションに応じた設定項目が表示されます。

注:

Data Input1 に入力したデータ信号からクロックが再生されますので，Data Input1 に信号が入力されていることを確認してください。

外部クロックと再生クロックでは波形品質に差がありますので，以下の測定結果に違いが出ることがあります。

- 感度測定
- 位相余裕測定
- Eye Margin 測定
- Bathtub 測定
- PAM BER 測定
- Eye Contour 測定

MU195020A の出力クロックを外部クロックとして使用する場合は，再生クロックを外部クロックとして使用する場合に比べ残留ジッタが小さくなります。このため，クロック品質の影響による測定結果の減少は最小限になります。

[Recovered Clock] を選択すると，SSC 変調されたデータを正しく測定できないことがあります。PCI Express，USB3.1，Thunderbolt レシーバのストレス入力試験の場合など，SSC 変調されたデータを MU195040A に入力する場合は，[External Clock] または [Clock and Data Recovery] を選択してください。

[2]　同一筐体内にある MU195020A を選択すると，再生クロックの動作ビットレートは MU195020A の動作ビットレート設定に追従します。

注:

MU195020A のビットレート設定がクロックリカバリーオプションの動作範囲外の場合は，再生クロックのビットレート設定は上限値または下限値となります。

[3]　動作ビットレートを Preset 規格リストの中から選択するか，または［Variable］を選択して入力信号に応じた数値を入力します。

表5.14.1-3　MU195040A-x22 実装時

Preset 規格値	Bit rate [Gbit/s]
OC-48/STM-16	2.488320
PCIe 1	2.500000
InfiniBand SDR	2.500000
OTU1	2.666060
SATA 3Gb/s	3.000000
XAUI	3.125000
4G FC	4.250000
USB3.0	5.000000
InfiniBand DDR	5.000000
PCIe 2	5.000000
SATA 6Gb/s	6.000000
HSBI	6.250000
PCIe 3	8.000000
8G FC	8.500000
OC-192/STM-64	9.953280
USB3.1 Gen2	10.000000
InfiniBand QDR	10.000000
Thunderbolt1	10.312500
10GbE	10.312500
10G FC	10.518750
G975 FEC	10.664228
OTU2	10.709225
10GbE over FEC	11.095700
10GFC over FEC	11.316800
16G FC	14.025000
InfiniBand FDR	14.062500
PCIe 4	16.000000
Thunderbolt2	20.625000

表5.14.1-3 MU195040A-x22 実装時 (続き)

Preset 規格値	Bit rate [Gbit/s]
SAS	24.000000*
InfiniBand EDR	25.781250*
100GbE(25.78x4)	25.781250*
100G OTU4	27.952496*
32G FC	28.050000*
PCIe 5	32.000000*
100G ULH	32.100000*
Variable	2.400000～21.000000 Gbit/s 2.400000～32.100000 Gbit/s*

＊: MU195040A-x01 実装時のみ

[4] ループ帯域 (Loop band width) を設定できます。
LBW 設定で [Variable] を選択するとビットレートに応じた範囲でループ帯域を設定できます。

Operation Bitrate [Gbit/s]	設定範囲 [MHz] 1 MHz Step
2.400000～5.500000	3 MHz 固定
5.500001～7.500000	3～4 MHz
7.500001～9.500000	3～5 MHz
9.500001～10.500000	3～6 MHz
10.500001～12.500000	3～7 MHz
12.500001～14.500000	3～8 MHz
14.500001～15.500000	3～9 MHz
15.500001～17.500000	3～10 MHz
17.500001～19.500000	3～11 MHz
19.500001～20.500000	3～12 MHz
20.500001～22.500000	3～13 MHz
22.500001～24.500000	3～14 MHz
24.500001～25.500000	3～15 MHz
25.500001～27.500000	3～16 MHz
27.500001～29.500000	3～17 MHz
29.500001～31.500 000	11～18 MHz
31.500001～32.100000	11～19 MHz

[Bitrate/1667] または [Bitrate/2578] を選択すると (ビットレート/1667 または 2578) MHz で計算した値を設定します。
[Jitter Tolerance] を選択すると, ジッタトレランス測定用にループ帯域を最大に設定します。

3. MU195040A はクロックの遅延量を変化させることができます。

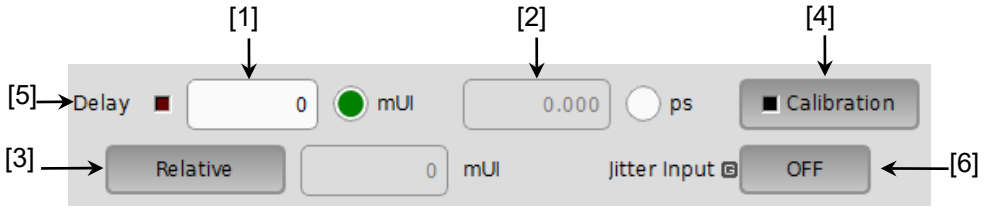


図5.14.1-8　Clock 遅延操作画面

[1] 2 mUI 単位で遅延量が設定できます。MU195040A では UI 単位を基準に動作します。数値を増加させると，遅延量が増加します。

[2] ps 単位で遅延量が設定できます。2 mUI 単位を基準として，周波数カウンタの数値から ps 単位に換算しています。読み取った周波数カウンタの値の範囲が正しくない場合，“---- ps” と表示します。

[3] [Relative] をタッチすると，現在の遅延量を，0 mUI を基準として相対的に 2 mUI 単位で設定できます。[Relative] を解除すると，相対値から現在の遅延量に換算し設定します。

[4] [Calibration] をタッチすると，自己校正を短時間実行します。ボタン上の LED 表示が赤色の場合，校正の実行を推奨します。LED 表示が緑色の場合，校正は良好です。校正実行中は遅延量が大きく変化するので，測定中に実行する場合には注意してください。

[5] Delay の遅延量を変化させているときに赤色の LED が点灯します。

[6] ジッタ入力の設定をします。
ジッタ変調されたクロックを入力し，ジッタ耐力試験を行う場合は， Delay の Jitter Input を [ON] にしてください。詳細は「5.11.7 ジッタ変調された信号を入力する場合の設定」を参照してください。

注:

- 周波数が変わった場合，または温度条件が変わった場合は，Calibration 推奨アラームが点灯します。Calibration を実行しない場合，通常の位相設定より誤差が大きくなります。
- MU195040A の位相設定は，mUI 単位を内部基準としているため，ビットレートを変えると ps 単位で表示されている値が変わります。
- [Misc1] タブの [Pattern Sequence] を [Burst] に設定すると，[Repeat] を設定したときより位相設定確度が悪くなります。
- Auto Adjust 実行中は，クロックの位相を最適点に追い込むために，常に Delay の遅延量が変化します。そのため Delay の LED，および [Calibration] の LED が赤く点灯し続けますが異常ではありません。

Combination 設定する場合，およびジッタ変調された信号を入力する場合の操作方法や注意事項については「5.11.7 ジッタ変調された信号を入力する場合の設定」を確認してください。

5.14.2 Measurement Restartについて

設定変更時に測定リスタートする項目を選択します。

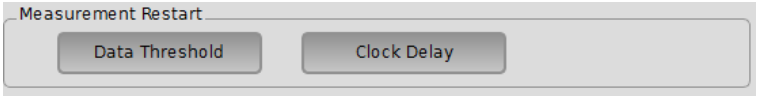


図5.14.2-1　Measurement Restart 選択

表5.14.2-1　Measurement Restart の選択項目

選択項目	内容
Data Threshold	[Input] タブ内の Data/XData Threshold 変更時に，測定をリスタートします。
Clock Delay	[Input] タブ内の Delay 変更時に，測定をリスタートします。

5.15 Capture 機能

入力された試験パターンデータをキャプチャするには，MU195040A 操作画面の [Capture] タブをタッチします。

5.15.1 設定画面

ここでは，試験パターンを取り込み解析するための設定方法について説明します。

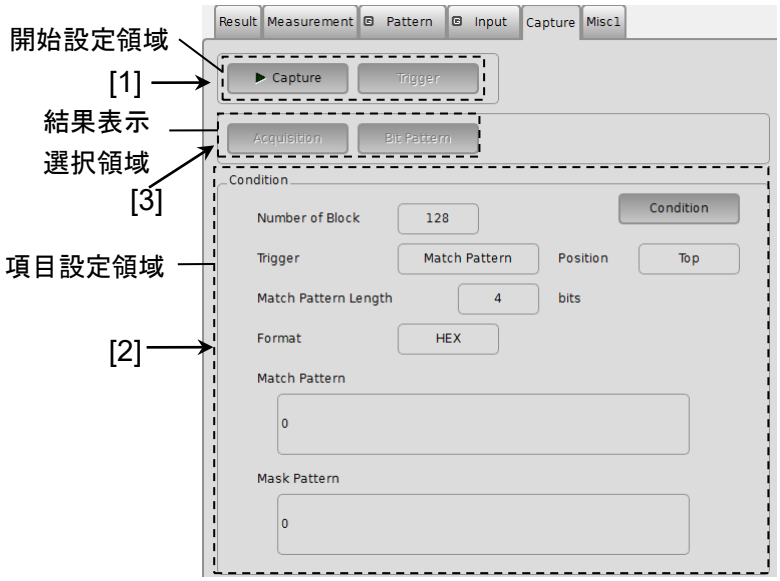


図5.15.1-1　Capture タブ

1. 試験パターンのキャプチャを実行します。また，Condition Settingの [Trigger] を [Manual] に選択した場合に，Manualトリガをかけることができます。

注:

以下の設定の場合，キャプチャを実行できません。

- [Misc1] タブの [Pattern Sequence] が [Burst] の場合，[Sync Control] が [Quick] の場合
- BER 測定で Sync Loss が発生しているとき
- ほかの Data Interface ですでにキャプチャを実行しているとき



図5.15.1-2　開始設定領域画面

表5.15.1-1 Capture・Trigger

選択項目	内容
Capture	試験パターンの取り込みを開始します。 開始すると，[Capture] 上の LED が緑色になります。Trigger 条件が成立するまでは，待ち状態になります。 Trigger 条件が成立し，内部メモリへ試験パターンの取り込みが完了すると，取り込みを停止し，[Capture] 上の LED が黒色になります。
Trigger	Condition Setting ダイアログボックスの [Trigger] で，[Manual] を選択した場合に本ボタンをタッチすると，試験パターンの取り込みを開始します。

2. 項目設定領域内の [Condition] をタッチすると，Condition Setting ダイアログボックスが開きます。Capture を実行する前に，設定します。
設定後，[OK] で設定が更新されます。[Cancel] をタッチすると，設定を破棄し，画面を閉じます。

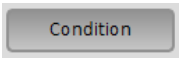


図5.15.1-3 項目設定領域 [Condition]

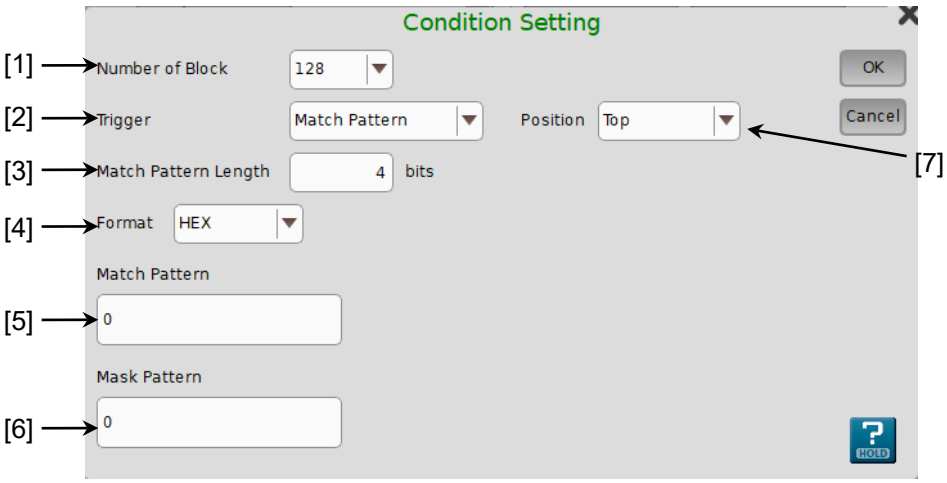


図5.15.1-4 Condition Setting ダイアログボックス

[1] キャプチャする試験パターンの Block 数を選択します。
設定できる Block 数は，1，2，4，8，16，32，64，128 です。
キャプチャする各 Block の大きさは，下式で表されます。

Block Size = 8 Mbits / Number of Block

[2] キャプチャを開始する Trigger 種別を選択します。

表5.15.1-2　Trigger の設定

項目	設定内容
Error Detect	誤り検出時にキャプチャを開始します。
Match Pattern	設定した特定 Pattern の一致検出時に Capture を開始します。
Manual	図5.15.1-2の [Trigger] をタッチしたときに，1 Block 分の Capture を開始します。Condition Setting ダイアログボックスの Number of Block 設定エリアで設定した Block 分，[Trigger] をタッチすると，すべての Block の Capture を実行します。
External	AUX Input コネクタに入力している信号の立ち下がりエッジでキャプチャを開始します。

[3] [Trigger] にて，[Match Pattern] を選択したときに一致検出する Pattern の長さを 4～64 bit まで 4 bit 単位で設定します。

[4] [Trigger] にて，[Match Pattern] を選択したときに一致検出する Pattern の表示 Format を選択します。

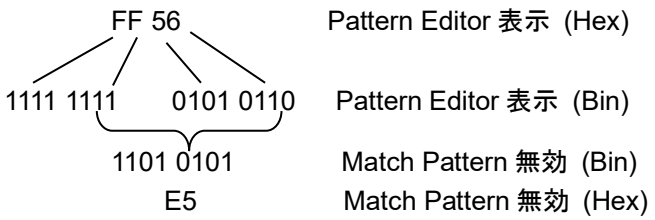
表5.15.1-3　Format の設定

項目	設定内容
BIN	2 進数で表示します。
HEX	16 進数で表示します。

[5] [Trigger] にて，[Match Pattern] を選択したときに一致検出する Pattern を設定します。

注:

2 Ch Combination 設定時の Match Pattern は，MU195040A の Pattern Editor で 16 進数表示される 4 ビット単位で設定してください。16 進数表示のビットをまたいだ Match Pattern は無効となり，キャプチャを開始できません。



[6] [Trigger] にて，[Match Pattern] を選択したときに一致検出する Pattern のうち，マスクする bit を設定します。
一致検出をマスクする bit は，1 に設定してください。

[7] Trigger 発生からキャプチャを開始する位置を設定します。

表5.15.1-4 キャプチャ開始位置の設定

項目	設定内容
Top	Trigger 発生位置以降の試験パターンをキャプチャします。
Middle	Trigger 発生位置の前後の試験パターンをキャプチャします。
Bottom	Trigger 発生位置以前の試験パターンをキャプチャします。

3. キャプチャ結果の表示形式を選択します。



図5.15.1-5 結果取り込みと表示項目

表5.15.1-5 キャプチャ結果表示形式選択

項目	設定内容
Acquisition	MU195040A にキャプチャした結果を取得するための設定画面を開きます。 キャプチャした結果の表示方法は，[Bit Pattern]，[Bitmap]，[Block] があります。[Acquisition] をタッチしてキャプチャ結果を取得後，表示方法を切り替えることができます。
Bit Pattern	キャプチャした試験パターンを Insertion Error，Omission Error がわかるように Bit Pattern 列で表示します。

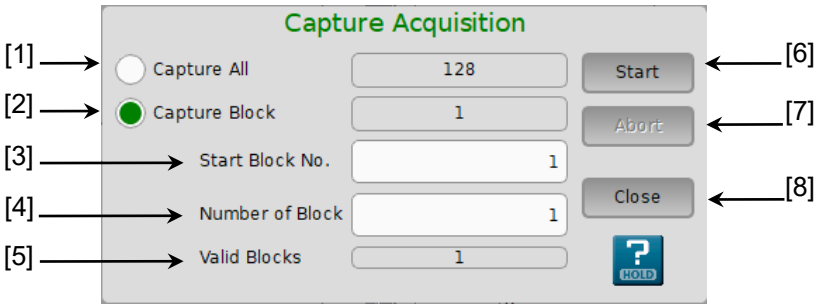


図5.15.1-6　キャプチャ表示データ取り込みの設定

[1] キャプチャしたすべての Block を表示する場合に選択します。

[2] キャプチャした Block の中で，指定した Block を表示する場合に選択します。

[3] 表示開始する Block の番号を指定します。

[4] [3] で指定した Block 番号以降で，表示する Block の数を指定します。

[5] 取り込み済みの Block 数を表示します。

[6] [Start] をタッチすると，[1]～[4] で指定した Block 分のキャプチャデータの取り込みを開始します。取り込み時間は Block 数により異なります。

[7] [Abort] をタッチすると，キャプチャデータの取り込みを中断します。中断した場合，取り込み済みの Block の結果は表示可能です。

[8] [Close] をタッチすると，画面を閉じます。

5.15.2 表示画面 (Bit Pattern)

[Acquisition] により，キャプチャデータを取得した後 [Bit Pattern] をタッチすると，Bit Pattern 画面を表示します。キャプチャした試験パターンを Insertion Error，Omission Error がわかるように Bit Pattern 列で表示します。

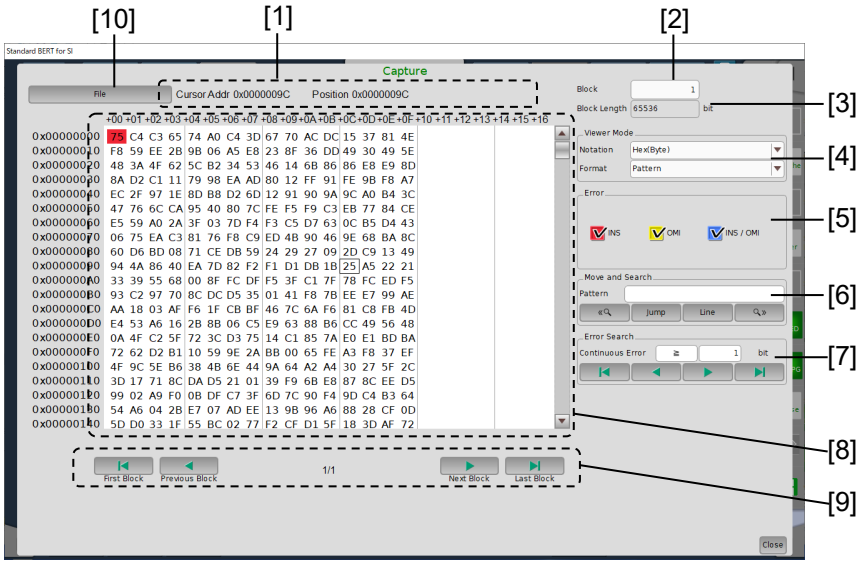


図5.15.2-1　Bit Pattern 画面

注:

ビットパターン表示は H = “1”，L = “0” の正論理として表示しています。

表5.15.2-1　設定項目詳細

番号	項目	機能詳細
[1]	Cursor Addr/ Position	Cursor Addr:　現在のブロック内のカーソルの位置が表示されます。 Position:　キャプチャしたデータ全体（全ブロック）の中での位置が表示されます。
[2]	Block	表示する Block の番号を設定します。
[3]	Block Length	Block Length が表示されます。 Block Length = 8M bits/ Number of Block
[4]	Viewer Mode	Notation: Bin Hex(Byte) Format: Capture Data 表示エリアの表示方法を切り替えます。 Pattern: 2 進数（0, 1）または 16 進数（0～9, A～F）の文字列 Pattern + Waveform:　2 進数（0, 1）表示と NRZ 信号イメージ表示

表5.15.2-1　設定項目詳細 (続き)

番号	項目	機能詳細
[5]	Error	Error bit の凡例（色見本）が表示されます。 INS:　Insertion Error (0 → 1)　赤色 OMI:　Omission Error (1 → 0)　黄色 INS / OMI:　Insertion and Omission Error　青色 *注:* キャプチャ結果をビットパターンで表示します。 MU195040A のリファレンスパターンを 0, 1, または 16 進数で表示し, エラーの種類により, 背景色で表示します。 エラーが発生していないビットは背景色がありません。また, 各エラーはチェックを ON/OFF することにより Capture Data 表示エリアの色表示の ON/OFF ができます。
[6]	Move and Search	キャプチャしたデータの中から 2 進数（0, 1）または 16 進数（0～9, A~F）で指定した文字列を検索します。 Pattern:　任意のパターンを«, »で検索できます。 Jump:　指定されたアドレスやパターンにカーソルを移動します。 Head:　キャプチャしたデータパターンの先頭にカーソルを移動します。 Tail:　キャプチャしたデータパターンの最後尾にカーソルを移動します。 Address:　指定したアドレス位置にカーソルを移動します。 Forward Next:　[Pattern] で設定したパターンに一致するパターンを前方に検索し, 見つかった場合はその位置にカーソルを移動します。 Backward Next:　[Pattern] で設定したパターンに一致するパターンを後方に検索し, 見つかった場合はその位置にカーソルを移動します。 Line:　Capture Data 表示エリアの 1 行あたりの表示数を指定します。

表5.15.2-1 設定項目詳細 (続き)

番号	項目	機能詳細
[7]	Error Search	連続するエラーの数とエラーの種類を指定して検索します。 Continuous Error：検索するエラーの連続数を指定します。 1～256 bits, 1 bit ステップ 条件を一致 (=) または以上 (≧) で指定します。
[8]	Capture Data 表示エリア	キャプチャ結果 (エラー情報を含んだ結果) が 2 進数 (0, 1) または 16 進数 (0～9, A~F) で表示され, エラーが発生したビットはエラーの種類が背景色で表示されます。 2 進数表示のときに, Viewer Mode の Format を [Pattern + Waveform] に設定するとパターンイメージが表示されます。
[9]	Block 移動	表示する Block を変更します。
[10]	File	キャプチャ結果とパターンデータをファイルに保存します。また, 保存したパターンデータのファイルを開きます。 Save: キャプチャ結果データとキャプチャしたパターンをファイルに保存できます。保存ファイルの種類は以下のとおりです。 Binary, BIN Text, HEX Text: Bit Pattern 画面での結果の再表示に使用します。 Binary(export), BIN Text(export), HEX Text(export): エラー情報を含んだパターンファイルを保存できます。保存したファイルは PPG および ED の Pattern Editor にて読み込むことができます。 Open: 保存したキャプチャ結果データ (Binary, BIN Text, HEX Text) を読み込み, 結果を表示します。

5.16 Misc1 機能 (MU195040A)

Misc1 機能では，パターンシーケンス，補助入出力を設定します。
Misc1 機能を設定するには，MU195040A 操作画面の［Misc1］タブをタッチします。

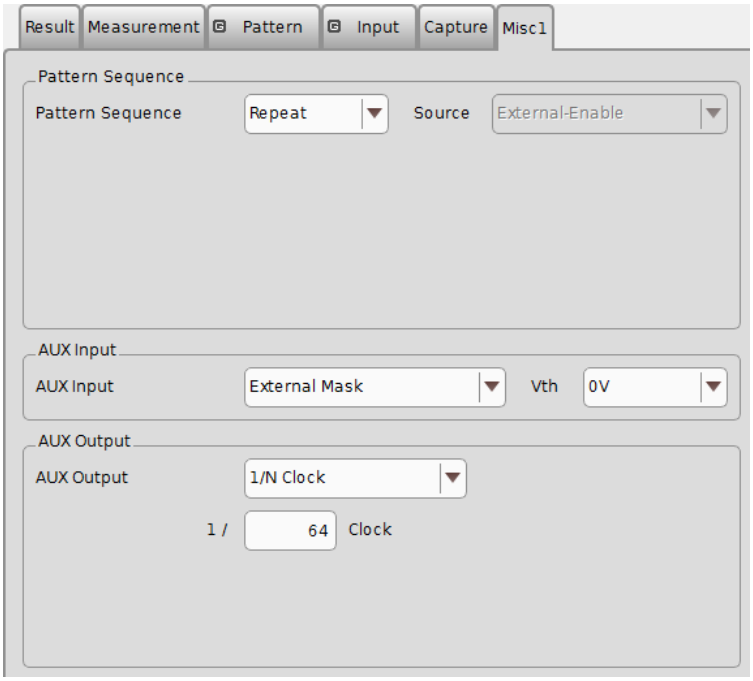


図5.16-1　Misc1 タブ

表5.16-1　Misc1 設定項目

項目	説明
Pattern Sequence	試験パターンの受信方法を設定します。
AUX Input	補助入力機能を設定します。
AUX Output	補助出力機能を設定します。

注:
MU195040A-x20 では AUX Input の設定は，Data1，Data2 で共通です。

5.16.1 Pattern Sequenceの設定

測定する試験パターンの生成方式を選択します。

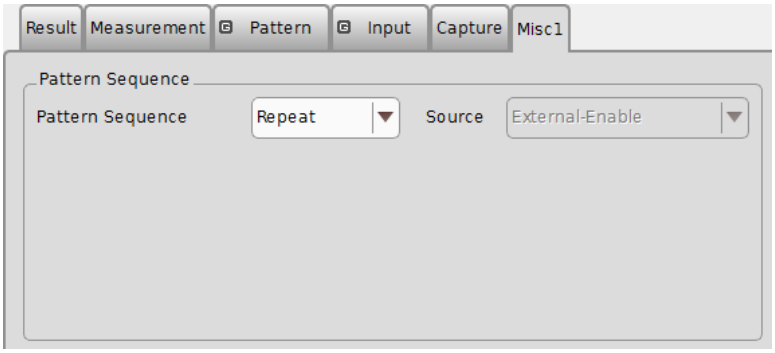


図5.16.1-1　Pattern Sequence の設定

表5.16.1-1　Pattern Sequence の設定

設定項目	内容
Repeat	試験パターンの Repeat データを受信する際に選択します。 主に電子デバイス評価のために使用します。
Burst	試験パターンの Burst データを受信する際に選択します。 主に光周回実験などの長距離光伝送試験や Packet 通信の評価のため使用します。 対象となる試験パターンは，PRBS，ZeroSubstitution，Data，Mixed です。

5.16.1.1 Repeatパターンの設定

試験パターンの Repeat データを受信する場合は，Pattern Sequence で [Repeat] を選択します。特に設定する項目はありません。

5.16.1.2 Burstパターンの設定

試験パターンの Burst データを受信する場合は Pattern Sequence で [Burst] を選択します。

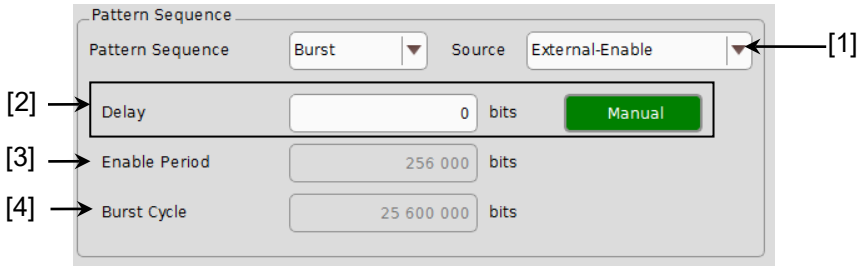


図5.16.1.2-1　Pattern Sequence (Burst) の設定

[1]　入力される試験パターンの有効，無効期間の切り替えタイミングの規定方法を選択します。

表5.16.1.2-1　Burst 設定項目

項目	設定内容
Internal*	断続的に入力される試験パターンの測定期間を規定するためのゲート信号を，MU195040A 外部から入力せず，MU195040A 内部で設定します。 入力信号の有効期間，繰り返し周期が既知の場合に使用します。
External-Trigger*	入力される試験パターンの有効期間が始まるタイミングを規定する場合に使用します。 有効期間の長さは，[3] の Enable Period で設定します。
External-Enable	入力される試験パターンの有効期間が始まるタイミングと長さを規定する場合に使用します。

＊：　試験パターンの Burst Cycle と Enable Period が一定でない場合は [External-Enable] を設定してください。

[2]　入力される試験パターンと，[1] の Source 信号の Delay を設定します。
[Auto] を選択時に Delay 値を MU195040A 内部で自動的に調整します。
Auto を選択しているとき，[3] の Enable Period を変更した場合は，一度 [Manual] → [Auto] の操作を行ってください。
[Manual] 選択時には MU195040A 内部での相対遅延 bit 数を設定します。このとき，Aux Input から入力する信号は，試験パターンが有効な期間を意味します。
設定範囲は，以下になります。

Combination が Independent の場合
0～2 147 483 640 bits，8 bit step
2ch Combination の場合
0～4 294 967 280 bits，16 bit step

[3]　[1] の Source を [External-Trigger] または [Internal] に設定している場合，AUX Input に入力する試験パターンの Burst Cycle の連続信号発生区間を bit 数で設定します。
表5.16.1.2-2に Enable Period の設定範囲を示します。

[4]　[1] の Source を [Internal] に設定している場合，Burst Cycle（入力される試験パターンの Burst 信号の 1 周期）を設定します。
表5.16.1.2-2に Burst Cycle の設定範囲を示します。

表5.16.1.2-2 Enable Period と Burst Cycle 設定範囲

Slot Combination 数	Enable Period (bit)	Burst Cycle (bit)	設定ステップ値 (bit)
1	Internal 時は 12800～2147482624	25600～2147483648	256
	External-Trigger 時は 12800～2147483392		
2	Internal 時は 25600～4294965248	51200～4294967296	512
	External-Trigger 時は 25600～4294966784		

注:

- Burst Cycle と Enable Period の差は，512 bit 以上の Disable 区間が必要です。
  2ch Combination 時は Disable 区間が 2 倍となります。
- Delay 設定で［Auto］を選択時は［Sync Control］の設定を［Frame ON］にしてください。
  Delay 設定で［Auto］を選択時に下記の項目を変更した場合は，Delay 設定を一度［Manual］に設定し，再び［Auto］に設定してください。
  - 試験パターンの［Burst Cycle］または［Enable Period］
  - ［External-Trigger］選択時の［Burst Cycle］
  - ［External-Enable］選択時の［Burst Cycle］または［Enable Period］

5.16.2 AUX Inputの設定

AUX Input コネクタに入力するタイミング信号の用途を設定します。
AUX Input コネクタに入力する信号を，Burst 信号受信のタイミング合わせとして使用できます。
AUX Input の設定項目を以下に示します。



図5.16.2-1　AUX Input 設定項目画面

表5.16.2-1　AUX Input の設定項目

設定項目	説明
Burst	[Pattern Sequence] で [Burst] が選択され，[Source] で [External-Trigger] または [External-Enable] を指定したときに使用します。 External-Trigger:　立ち上がりエッジを検出してから設定した Enable ピリオドの区間データが有効となります。 External-Enable:　High レベルの間，データが有効となります。
External Mask	Low レベル入力時に，測定をマスクします。
Capture External Trigger	Capture の Trigger を [External] に設定した場合，Capture の開始トリガを入力します。
Vth	入力 Threshold の設定を 0V，–0.25V，–0.5V から選択可能です。

5.16.3 AUX Outputの設定

同期信号など補助的な信号出力について設定します。

5.16.3.1 1/N Clockの設定

[1/N Clock] に設定すると，発生パターンに同期した分周クロックを発生します。

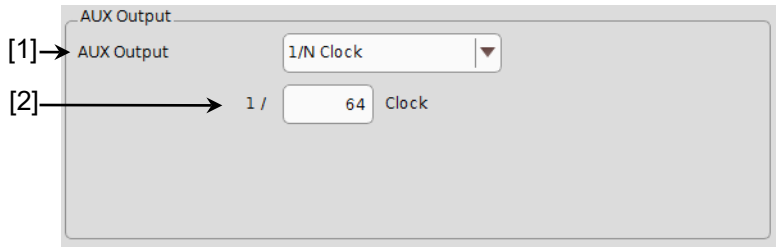


図5.16.3.1-1　AUX Output Clock 設定項目画面

[1]　AUX Output を［1/N Clock］に設定します。

[2]　同期クロックの分周比を設定します。
設定分周比（N）は 4～512 の範囲を 2 ステップで設定できます。

5.16.3.2 Pattern Syncの設定

[Pattern Sync] に設定すると，試験パターン周期と同期しているタイミング信号を AUX Output コネクタに発生します。

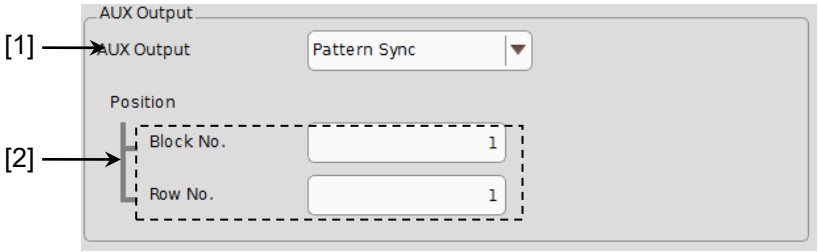


図5.16.3.2-1　AUX Output Pattern Sync 設定項目画面

[1]　AUX Output を［Pattern Sync］に設定します。

[2]　同期信号パルスの発生位置を指定します。試験パターンによって設定内容が異なります。

表5.16.3.2-1　同期信号パルス発生位置の設定

試験パターン	設定内容
PRBS, Data, ZeroSubstitution	パターン周期に対して発生し，パルス位置はパターンの先頭位置に対して指定します。指定範囲は，以下になります。 1～(Pattern Length*と 128 の最小公倍数 – 135)，8 bits Step 最大 34359738105 まで設定可 2ch Combination 時: 1～(Pattern Length*と 128 の最小公倍数 – 271)，16 bits Step 最大 68719476209 まで設定可
Mixed	全ブロック発生パターン周期に対して発生し，パルス位置は Block と Row の位置で指定します。

＊:　ここでいう Pattern Length は，「図5.13-1　Patternタブ」の Length が 511 以下のとき，512 以上になるように整数倍した値です。

2ch Combination のときは「図5.13-1　Patternタブ」の Length が 1023 以下を 1024 以上，になるように整数倍した値です。

5.16.3.3 Sync Gainの設定

同期が確立したことを示す信号を AUX Output コネクタに出力します。
同期が確立すると，AUX Output コネクタの電圧が High レベルになります。

5.16.3.4 Error Outputの設定

MU195040A が Error を検出したことを示す信号を AUX Output コネクタに出力します。設定項目はありません。
Error が検出されると，AUX Output コネクタの電圧が High レベルになります。

5.17 Auto Search 機能

Auto Search 機能は，入力データに対してスレッショルド電圧と位相を最適に合わせる機能です。

Auto Search 設定項目を表示するには，画面右上にある [Auto Search] をタッチします。

Auto Search 機能は Data，XData 入力信号の Threshold，Phase Delay を最適点に設定します。



図5.17-1　Auto Search

注:

[Input] タブをグルーピングしている場合は，Auto Search を実行できません。

5.17.1 Auto Search入力設定項目

上部（[1]，[2]，[4]，[5]，[7]）が Auto Search 動作設定領域，下部（[3]，[6]）が動作対象スロット設定領域および結果の表示領域となっています。

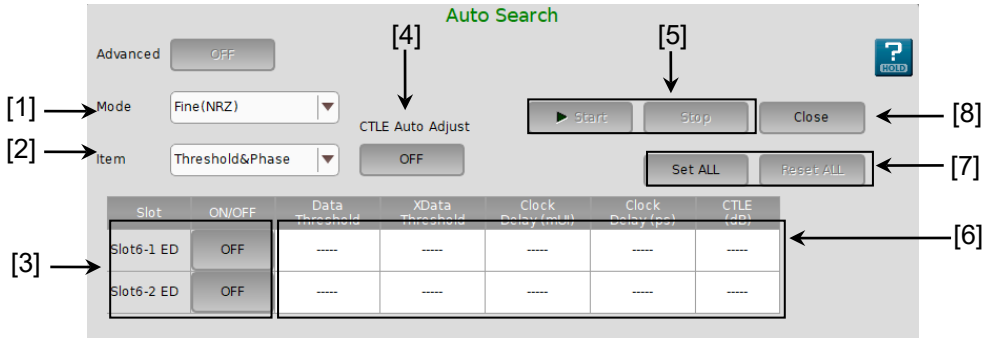


図5.17.1-1　Auto Search ダイアログボックス

MU195040A では Advanced は使用できません。

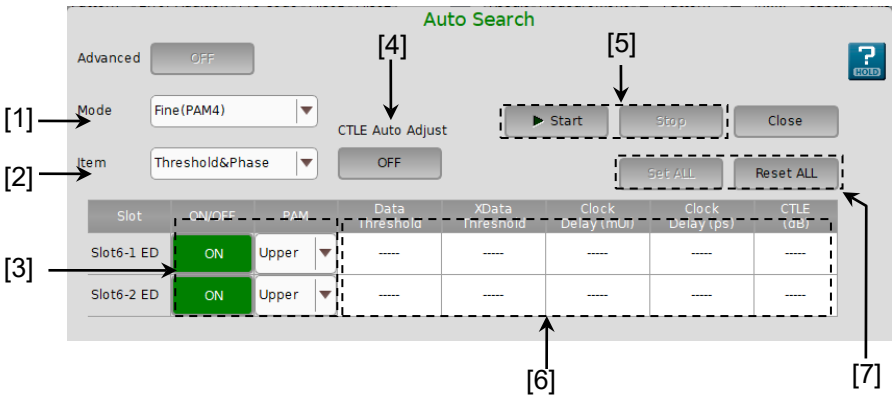


図5.17.1-2　Auto Search ダイアログボックス（PAM モード）

[1]　[Mode] 項目の中から Auto Search の実行方法を選択します。

表5.17.1-1　実行方法の設定

Mode	設定内容
Coarse (NRZ)	ハードウェアによる粗調整を実行します。Fine（NRZ）よりも短時間で調整は終了します。 Auto Adjust 機能を実行して終了させた場合とほぼ同等の結果になります。
Fine (NRZ)	ハードウェアによる粗調整およびソフトウェア・アルゴリズムによる微調整を実行します。Coarse (NRZ) よりも調整完了までに時間がかかります。
Coarse (PAM4)	PAM4 波形の各レベル（Top, Middle, Bottom）のスレッショルド最適点を探します。入力波形の High, Low レベルを検出し最適値を探します。
Fine (PAM4)	Coarse (PAM4) 実行後，ソフトウェア・アルゴリズムによる微調整を実行します。 Coarse (PAM4) よりも調整完了までに時間がかかります。

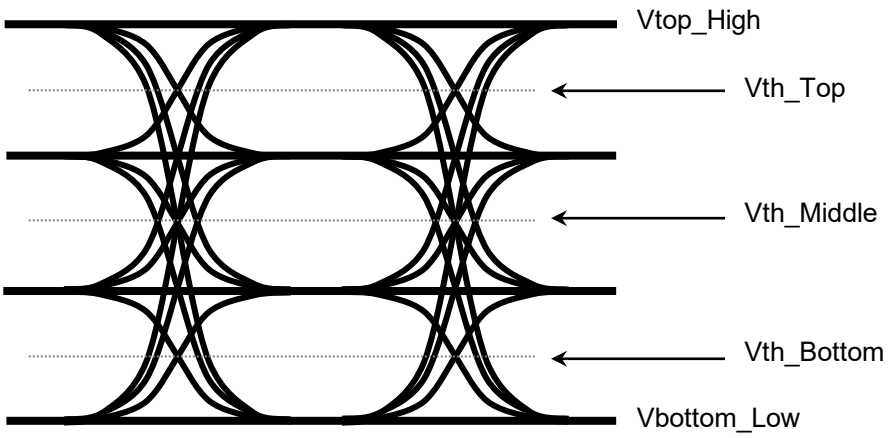


図5.17.1-3　PAM4 波形の Vth イメージ

[2] [Item] 項目の中から Auto Search の実行対象を選択します。

表5.17.1-2 実行対象の設定

Item	設定内容
Threshold&Phase	Threshold と Phase の Auto Search を実行します。
Threshold	Threshold の Auto Search を実行します。
Phase	Phase の Auto Search を実行します。

[3] Auto Search 実行対象とするインタフェースのボタンを [ON] にします。
[Mode] で [PAM Coarse], [PAM Fine] を選択したときは, サーチする PAM 波形のレベルを [Top], [Middle], [Bottom] から選択します。

[4] [Input] タブで CTLE を [OFF] 以外に設定しているときに操作できます。
[ON] にすると, CTLE のゲインをサーチします。

[5] [Start] をタッチすると, ボタンが [ON] にしているスロットの Auto Search を開始します。ボタンを 1 つ以上 [ON] にすると, Auto Search を開始することができます。[Stop] をタッチすると, Auto Search を中断します。

[6] Auto Search 実行結果を表示します。

表5.17.1-3 結果表示項目

結果表示	内容
- - - -	Auto Search が未実行の項目を表示します。
Failed	Auto Search に失敗した項目を表示します。
XXXX mV	Data/XData Threshold Auto Search 実行結果を mV 単位で表示します。
XXXX mUI	Phase Auto Search 実行結果を mUI 単位で表示します。
XXXX ps	Phase Auto Search 実行結果を ps 単位で表示します。 ps 単位は mUI 単位から周波数カウンタの値で換算して表示します。

[7] [Set All] をタッチすると, すべてのスロットのボタンを [ON] にします。
[Reset All] をタッチすると, すべてのスロットのボタンを [OFF] にします。

[8] [Close] をタッチすると, Auto Search ダイアログボックスを閉じます。
Auto Search の実行中はボタンを操作できません。

5.18 Auto Adjust 機能

Auto Adjust 機能は，MU195040A に入力する信号のインタフェース条件の変化に対し，自動的に最適な位相とスレッショルド電圧に追い込み設定し続ける機能です。Auto Adjust 設定項目を表示するには，モジュールファンクションの［Auto Adjust］をタッチします。このボタンを操作して，Auto Adjust 機能を開始および停止します。

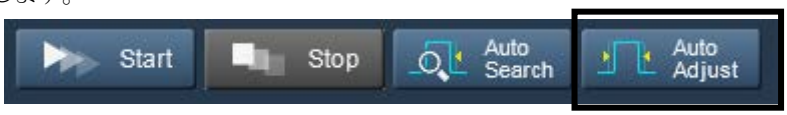


図5.18-1　Auto Adjust

注：

［Input］タブをグルーピングしている場合は，Auto Adjust を実行できません。

5.18.1 Auto Adjust入力設定項目

上部（[1]，[3]，[4]）が Auto Adjust 動作設定領域，下部（[2]）が動作対象インタフェース設定領域となっています。

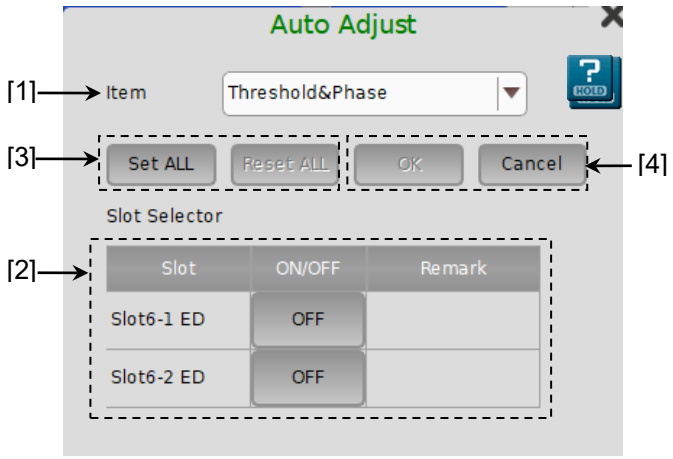


図5.18.1-1　Auto Adjust ダイアログボックス

［1］　［Item］項目の中から Auto Adjust の実行対象を選択します。

表5.18.1-1　実行対象の設定

Item	設定内容
Threshold&Phase	スレッショルド電圧と位相の自動調整を実行します。 実行中は「図5.14.1-1　Inputタブ」の Threshold と Delay を操作できません。
Threshold	スレッショルド電圧の自動調整を実行します。 実行中は「図5.14.1-1　Inputタブ」の Threshold を操作できません。
Phase	位相の自動調整を実行します。 実行中は「図5.14.1-1　Inputタブ」の Delay を操作できません。

[2] [Slot] リストの中から Auto Adjust を実行するスロット番号のボタンを [ON] にします。MU195040A-x20 では，チャネル番号のボタンを [ON] にします。

[3] [Set ALL] をタッチすると，すべてのスロットのボタンを [ON] にします。
[Reset ALL] をタッチすると，すべてのスロットのボタンを [OFF] にします。

[4] [OK] をタッチすると，ボタンを [ON] にしているスロットの Auto Adjust を開始します。有効なスロットのボタンを 1 つ以上 [ON] にすると，Auto Adjust を開始できます。[Cancel] をタッチすると Auto Adjust ダイアログボックスを閉じます。

[Result] タブ内の下部に Auto Adjust 実行状態のモニタが表示されます。
Auto Adjust 停止中や Auto Adjust 対象外の項目は “- - - -” を表示します。
Threshold は XXXX V 単位，Data Delay は XXXX mUI および XXXX ps 単位を表示します。ps 単位は mUI 単位から周波数カウンタの値で換算して表示します。

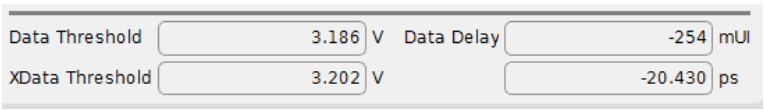


図5.18.1-2 Auto Adjust 実行状態モニタ画面 (Result タブ内)

注:

Auto Adjust 機能を使用する場合は，クロスポイント 50%の信号を入力してください。クロスポイントが 50%でない信号を入力すると，Auto Adjust 機能が正しく動作しない場合があります。

5.19 自動測定

MU195040A は，クロック位相方向の余裕（位相マージン）およびスレッショルド電圧方向の余裕（スレッショルドマージン）を測定を自動的に判定してマージンなどの測定を自動的に検出する以下の自動測定機能があります。

- Eye Margin 測定
- Bathtub 測定
- PAM BER 測定
- Eye Contour 測定

自動測定に関しての詳細の設定方法は『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書』を参照してください。

5.20 Noise 発生機能

Noise を印加する場合は，MU195050A 操作画面で設定します。

5.20.1 MU195050Aの操作画面

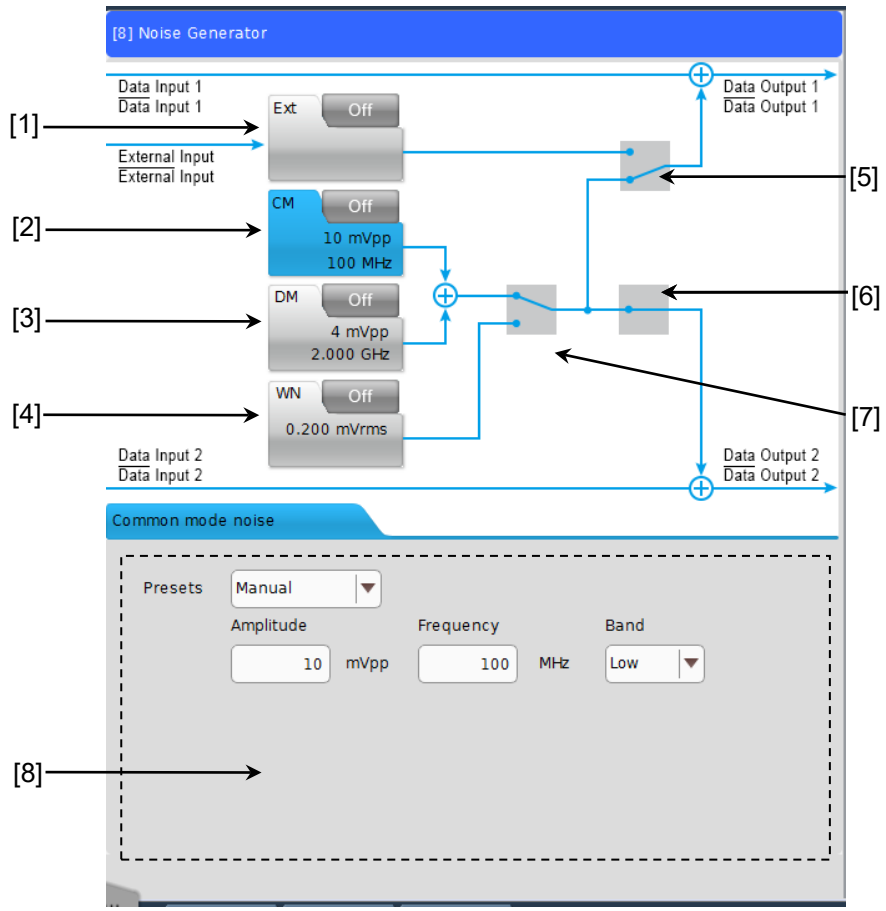


図5.20.1-1　MU195050A 操作画面

表5.20.1-1　MU195050A 操作画面一覧

番号	名称	機能	
[1]	Ext ボタン	External Input のオン，オフを設定します。	
[2]	CM ボタン	Common Mode Noise のオン，オフと [8] に詳細設定項目を表示させます。	
		Presets	Common Mode Noise の Preset 規格リストの中から選択するか，または [Manual] を選択して数値を入力します。 Manual: Amplitude，Frequency の数値入力が可能です。 TBT3: Amplitude 100 mV Frequency 400 MHz PCIe 4: Amplitude 150 mV Frequency 120 MHz PCIe 5: Amplitude 150 mV Frequency 120 MHz
		Amplitude	Presets が [Manual] のときに設定できます。 設定範囲: 10～250 mV, 2 mV step
		Frequency	Presets が [Manual] のときに設定できます。 設定範囲: 100～1000 MHz，1 MHz step @Low Band 時 1～6 GHz，10 MHz step @High Band 時
[3]	DM ボタン	Differential Mode Noise のオン，オフと [8] に詳細設定項目を表示させます。	
		Presets	Differential Mode Noise の Preset 規格リストの中から選択するか，または [Manual] を選択して数値を入力します。 Manual: Amplitude，Frequency の数値入力が可能です。 PCIe 3: Amplitude 16 mV Frequency 2.1 GHz PCIe 4: Amplitude 16 mV Frequency 2.1 GHz PCIe 5: Amplitude 10 mV Frequency 2.1 GHz
		Amplitude	Presets が [Manual] のときに設定できます。 設定範囲: 10～250 mV, 2 mV step
		Frequency	Presets が [Manual] のときに設定できます。 設定範囲: 100～1000 MHz，1 MHz step @Low Band 時 1～6 GHz，10 MHz step @High Band 時
[4]	WN ボタン*	White Noise のオン，オフと [8] に詳細設定項目を表示させます。	
		Amplitude	設定範囲: 0.2～25 mVrms, 0.2 mVrms step
[5] [6]	CH 別 Noise 選択スイッチ	Data1, Data2 に印加する Noise の選択を制御します。 これらは連動して動作します。	
[7]	Noise 選択スイッチ	Data1 または Data2 に印加する Noise 種別を CM/DM か WN かいずれか選択します。	
[8]	詳細設定エリア	[1]～[4] を選択することで詳細設定が可能となります。	

＊:　MU195050A-x01 有り

第6章　使用例

この章では，MP1900A モジュールの使用例について説明します。

6.1　光トランシーバモジュールの測定 6-2
6.2　56 Gbit/s DQPSK 信号の発生.....6-4

6.1　光トランシーバモジュールの測定

MU195020A と MU195040A を使用して，CFP2 光トランシーバモジュールの電気インタフェース入力感度試験の方法について説明します。

本測定では，参考として MP1900A に MU195020A，MU195040A が装着されている構成での試験例を記載します。オプション構成は次のとおりです。

MP1900A

MU181000B

MU195020A-x20

MU195040A-x20

測定系

1. MP1900A と被測定物を GND に接続します。
2. MU181000B の Clock Output と，MU195020A の Ext. Clock In を同軸ケーブルで接続します。
3. MU195020A の Clock Out と，MU195040A の Ext. Clock In を同軸ケーブルで接続します。

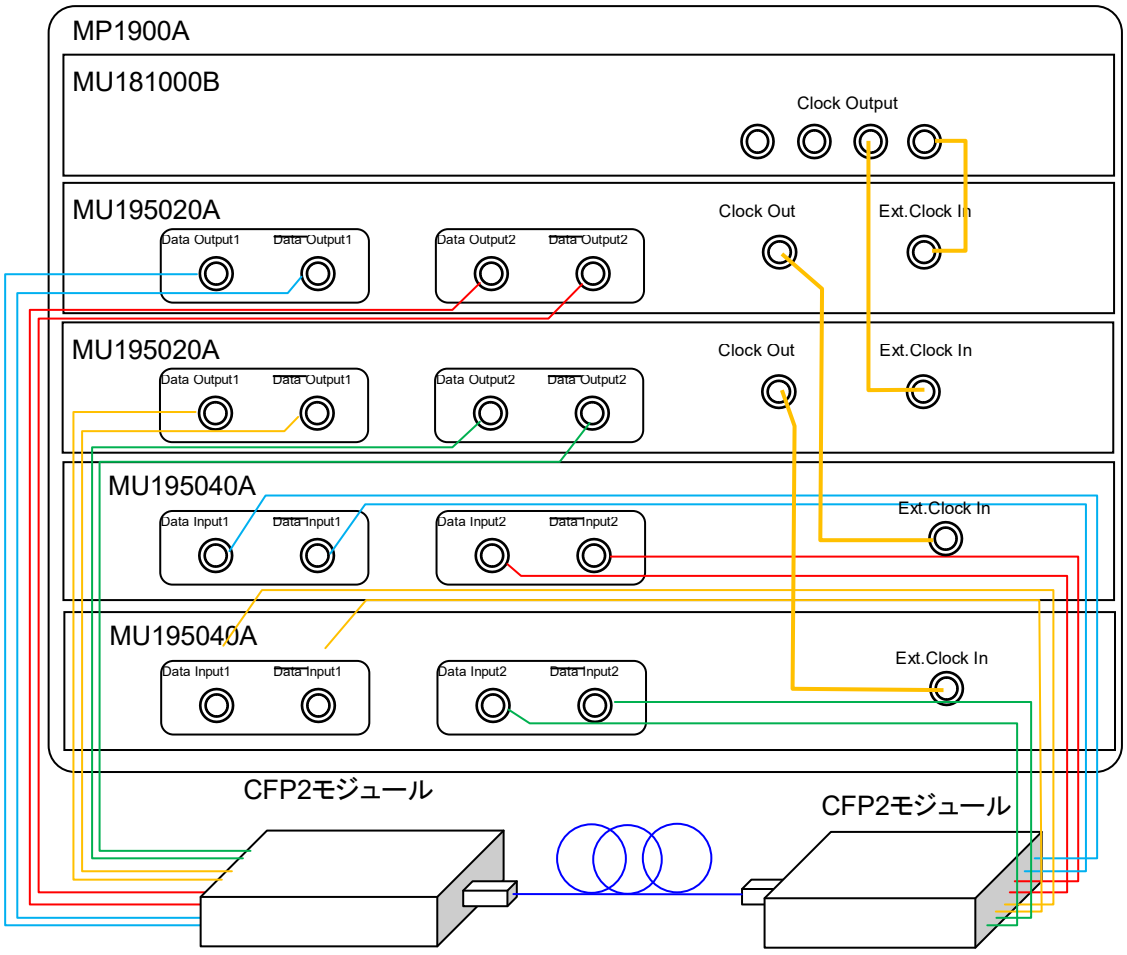


図6.1-1　CFP2 モジュール評価接続図

4. MU195020AのData Output1～2，$\overline{\text{Data}}$ Output1～2とCFP2モジュールのData Inputを同軸ケーブルで接続します（8か所）。

5. MU195040Aの Data Input1～2，$\overline{\text{Data}}$ Input1～2とCFP2モジュールの Data Outputを同軸ケーブルで接続します（8か所）。

試験方法

1. MP1900Aの電源コードを接続します。

2. MP1900Aの電源をオンにします。

3. MU195020A のデータ出力インタフェースを被測定物の入力に合わせます。MU195020A の［Output］タブから，振幅，オフセットを設定します。このときにOutputはあらかじめ［OFF］にしておきます。

4. パターンを設定します。MU195020A，MU195040A の［Pattern］タブで試験パターンを選択します。

5. MU195020A の［Output］タブのビットレートで動作ビットレートを設定します。

6. MU195040A のデータ入力インタフェースを，被測定物の出力に合わせます。
   MU195040A の［Input］タブの Input Condition で終端条件を選択します。CFP2 モジュールは差動インタフェースで接続するため，［Differential 100 Ohm］を選択し，Trackingを選択します。

7. CFP2モジュールの電源をオンにします。
   電源をオンにする際は，MP1900A，CFP2モジュールの順にオンにしてください。

⚠ 注意

電源がオンの状態で信号線を挿抜すると，被測定物が損傷するおそれがあります。ケーブル接続を変更する場合には，MP1900A の電源をオフにしてから作業を行ってください。

8. MU195020Aの［Output］タブの Data/XData Outputを［ON］に設定します。その後，画面上部の Output を 

にします。

9. MU195040Aのスレッショルドを設定します。
   モジュールファンクションボタンの［Auto Adjust］をタッチします。

10. MU195040Aの［Result］タブから測定を開始し，BER測定の結果を確認します。

11. 正常に被測定物が動作していることを確認後，MU195020A からの出力レベルを絞ることで，CFP2 モジュールのデータ入力（TD+，TD–）感度を測定できます。

6.2　56 Gbit/s DQPSK 信号の発生

MU195020A-x20 と DQPSK 変調器を使用した，56G 帯 DQPSK 信号の発生方法について説明します。

本測定では，参考として MP1900A に MU195020A が装着されている構成での試験例を記載します。オプション構成は次のとおりです。

MU181000A

MU195020A-x20

測定系

1. MP1900A と被測定物を GND に接続します。
2. MU181000A の Clock Output と，MU195020A の Ext. Clock In を同軸ケーブルで接続します。
3. MU195020A の Data Output1～2，$\overline{\text{Data}}$ Output1～2 と DQPSK 変調器を同軸ケーブルで接続します（4 か所）。

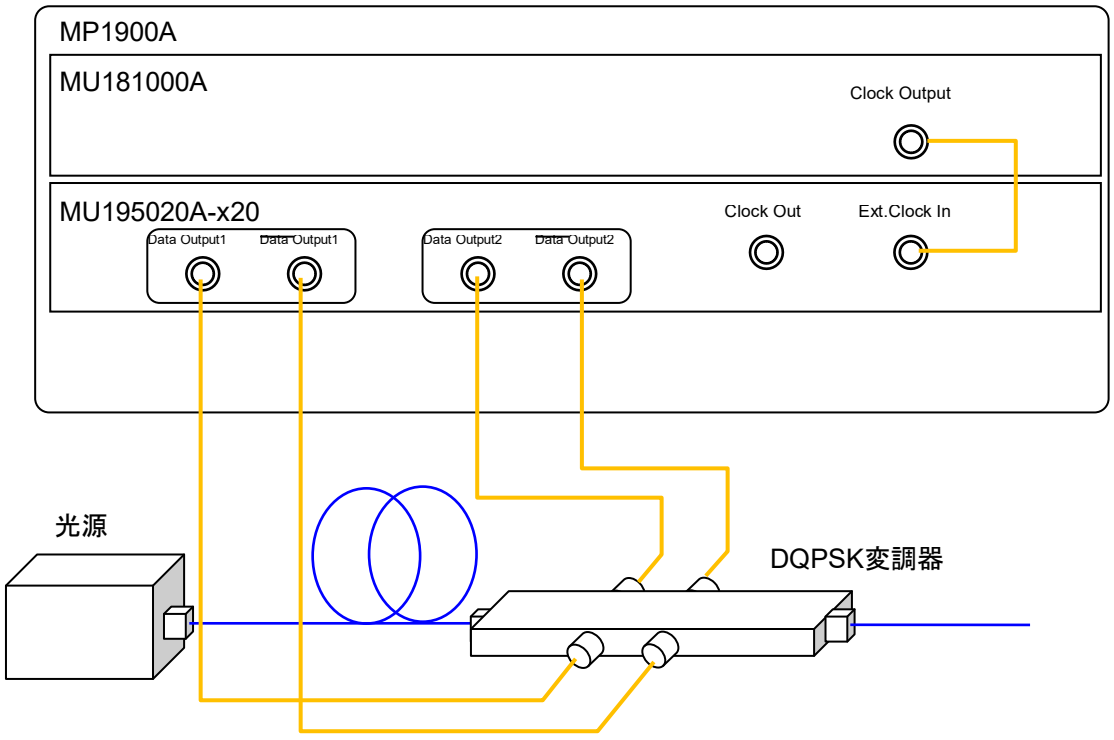
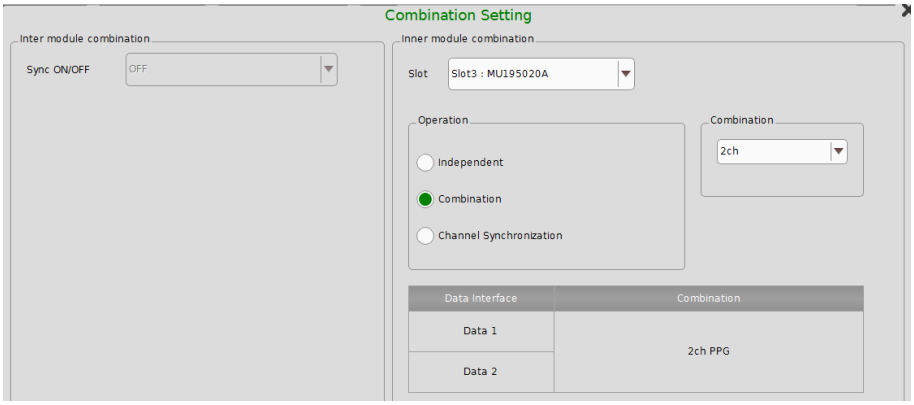


図6.2-1　56 Gbit/s DQPSK 信号発生の接続図

試験方法

1. MP1900A の電源コードを接続します。
2. MP1900A の電源をオンにします。
3. MU195020A のデータ出力インタフェースを被測定物の入力に合わせます。MU195020A の [Output] タブから，振幅，オフセットを設定します。このときに Output はあらかじめ [OFF] にしておきます。
4. MU195020A の [Output] タブのビットレートで動作ビットレートを [28 Gbit/s] に設定します。
5. MU195020A の [Pattern] タブで試験パターンを選択します。
6. 

の [Combination Setting] から，コンビネーションを [Combination], [2ch] に設定します。



7. MU195020A の [Pre-Code] タブのボタンを [ON], Type を [DQPSK] に設定します。
8. MU195020A の [Output] タブの Data Output を [ON] に設定します。その後，画面上部の Output を 

にします。

DQPSK 変調器に MU195020A の信号が加えられ，56 Gbit/s に変調された光信号が出力されます。

SCPI のフォーマットおよびステータスの説明については,『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書』を参照してください。

第8章　性能試験

この章では，MP1900A モジュールの性能試験について説明します。

8.1　性能試験 8-2
8.2　性能試験用機器 8-2
8.3　性能試験項目 8-3
8.3.1　動作周波数範囲 8-3
8.3.2　波形評価試験 8-5
8.3.3　入力レベル 8-8
8.3.4　パターン 8-9
8.3.5　エラー検出 8-10
8.3.6　Noise 評価試験 8-11

8.1　性能試験

MP1900A モジュールの主要性能が規格を満足していることを確認するため，性能試験を行います。
性能試験は，MP1900A モジュールの受け入れ検査時，修理後の動作確認時および定期試験時（6 か月ごと）に行ってください。

8.2　性能試験用機器

性能試験を始める前に，MP1900A と各測定器のウォーミングアップを 30 分以上行ってください。性能試験に必要な機器を次の表に示します。

表8.2-1　性能試験に必要な機器

機器名	形名	要求される性能
誤り検出器	MP1900A + MU195040A-x01	動作周波数:　2.4～32.1 GHz データ入力感度:　300 mVp-p 以上
サンプリングオシロスコープ		Electrical interface: 帯域 70 GHz 以上
信号発生器	MP1900A + MU195020A + MU181000A/B, または MG3690 シリーズ	Ext Clock を使用する場合 動作周波数:　1.2～16.05 GHz 出力レベル:　300～1000 mVp-p 波形:　矩形波または正弦波
同軸ケーブル (80 cm K コネクタ)	J1439A	帯域:　40 GHz
同軸減衰器	J0541E	減衰量: 6 dB
パワーメータ	ML2437A または ML2438A	
パワーセンサ+ケーブル	MA2444D	

注:

被測定装置と測定機器類は，特に指示する場合を除き少なくとも 30 分間は予熱を行い，十分に安定してから性能試験を行ってください。

最高の測定確度を発揮するには，上記のほかに室温下での実施，AC 電源電圧の変動が少ないこと，騒音・振動・ほこり・湿度などについても問題がないことが必要です。

8.3　性能試験項目

以下の試験項目について説明します。

(1)　動作ビットレート範囲

(2)　波形

8.3.1　動作周波数範囲

(1)　規格

表8.3.1-1　規格

オプション	規格
MU195020A	2.4～21.0 Gbit/s
MU195020A-x01	2.4～32.1 Gbit/s
MU195040A	2.4～21.0 Gbit/s
MU195040A-x01	2.4～32.1 Gbit/s

(2)　接続

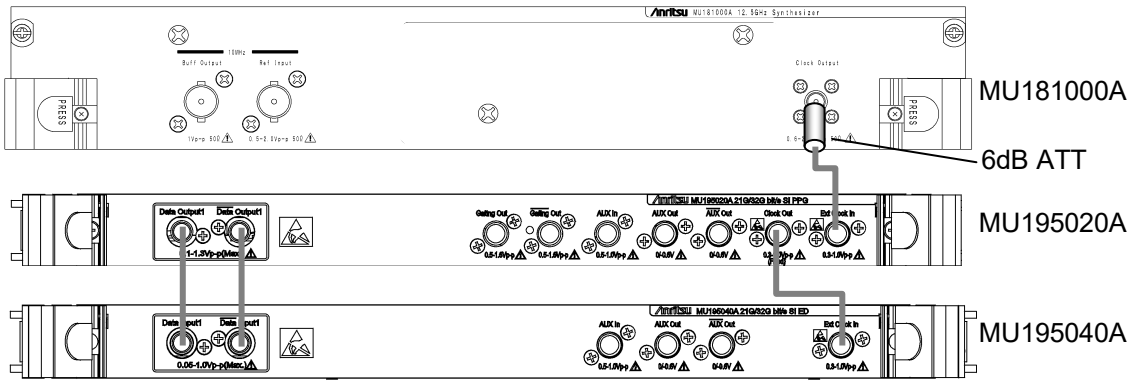


図8.3.1-1　動作周波数範囲試験の接続図

MU181000A を使用する場合は，MU181000A の Clock Output に 6 dB 同軸減衰器を接続してください。

(3)　手順

1. MP1900A に MU195020A を装着し，ケーブルを接続しない状態で電源をオンにします。
2. MU195020A の Data 信号出力振幅を 500 mVp-p，オフセット（Vth）を 0 V，試験パターンを PRBS31，マーク率を 1/2 に設定します。
3. 設定完了後，MP1900A の電源をオフにします。
4. 図 8.3.1-1に従って，測定器のケーブルを接続します。
5. MP1900A と測定器の電源をオンにして，ウォーミングアップします。
6. ウォーミングアップ後，MP1900A 信号出力をオンにして，MU195020A の信号を出力させます。
7. MU195040A の位相，スレッショルド値を最適値に調整します。
8. MU195040A でエラーが検出されないことを確認します。
9. 動作周波数を可変させ，動作周波数規格範囲内でエラーが生じていないことを確認します。

8.3.2　波形評価試験

(1)　規格

表8.3.2-1　MU195020A 規格

項目	規格
	MU195020A-x10/x20
振幅	0.1～1.3 Vp-p
オフセット（Vth）	$-2.0-\frac{振幅}{2}$ ～ $+3.3-\frac{振幅}{2}$ V
クロスポイント	振幅 1.0 Vp-p：　50%
Tr/Tf	14 ps (20～80%)*1,*2
Jitter	8 ps p-p*1,*2,*3

＊1: MU195020A-x01 無しの場合，21.0 Gbit/s にて
MU195020A-x01 有りの場合，32.1 Gbit/s にて

＊2: 代表値

＊3: ジッタ規格値は，残留ジッタ ＜200 fs（RMS）のオシロスコープを使用したときの値です。

(2)　接続

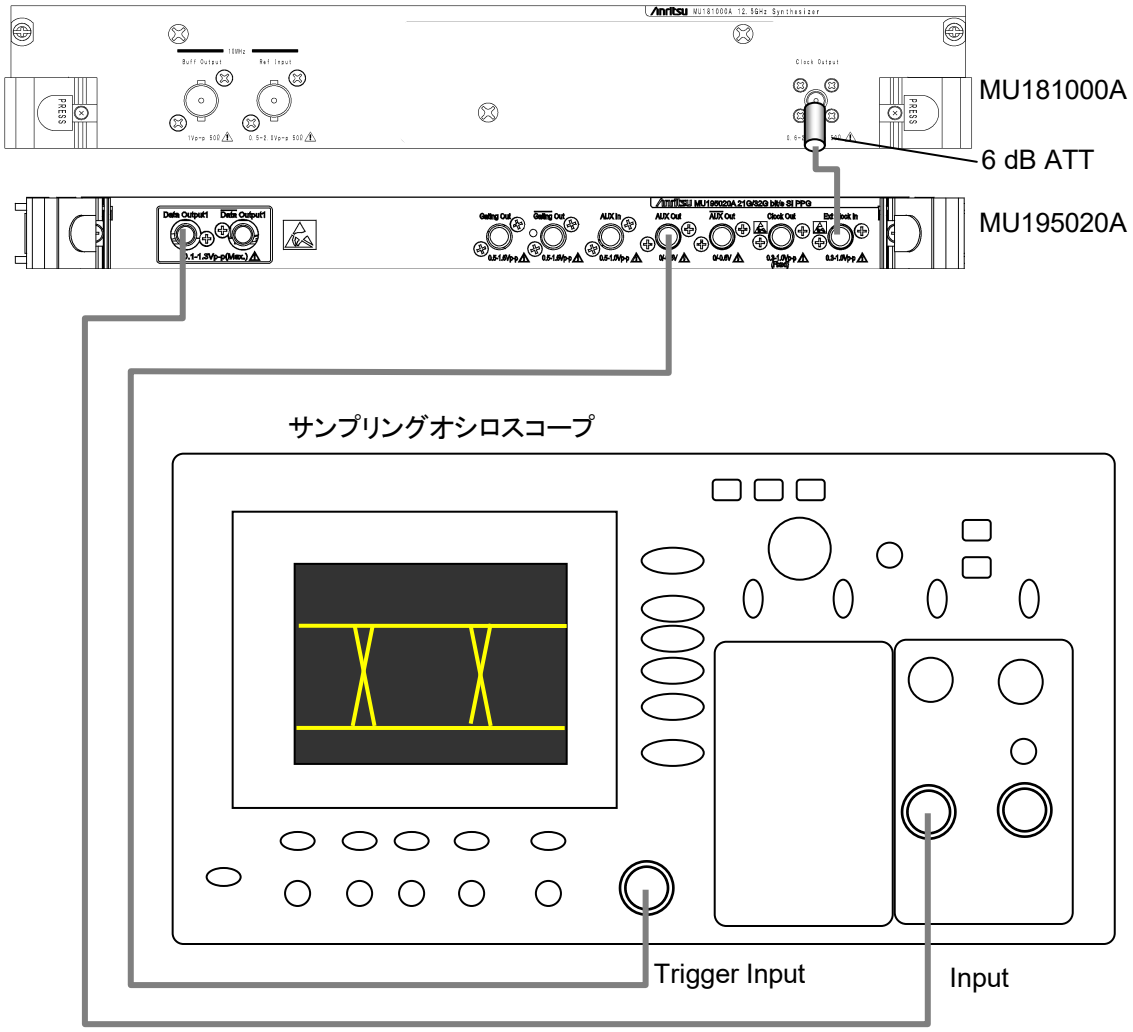


図8.3.2-1　波形試験の接続図

MU181000A を使用する場合は，MU181000A の Clock Output に 6 dB 同軸減衰器を接続してください。

(3)　手順

1. MP1900A に MU195020A を装着し，ケーブルを接続しない状態で電源をオンにします。
2. MU195020A の［Output］タブから試験する Data 出力の振幅，オフセット，クロスポイントを設定します。
3. MU195020A の［Pattern］タブで試験パターンを設定します。

   規格パラメータは，アイパターンによる観測評価となりますので，試験パターンには PRBS31，マーク率 1/2 を選択します。
4. オシロスコープに入力するトリガ信号を設定します。MU195020A の［Misc1］タブの AUX Output から［1/N Clock］を選択し，使用するサンプリングオシロスコープにあわせて分周比を設定します。

5. 設定完了後，MP1900A の電源をオフにします。
6. 図 8.3.2-1に従って，測定器のケーブルを接続します。
7. MP1900A と測定器の電源をオンにして，ウォーミングアップします。
8. ウォーミングアップ後，MP1900A の信号出力をオンにして，信号を出力させます。
9. サンプリングオシロスコープで出力波形を観測し，すべての規格項目について規格を満たしていることを確認します。
10. MU195020A の XData Output とサンプリングオシロスコープの Input を同軸ケーブルで接続します。手順 9 の測定を繰り返します。
11. 出力チャネルが複数ある場合は，すべての Data Output，XData Output について手順 9 の測定を繰り返します。

8.3.3　入力レベル

(1)　規格

表8.3.3-1　規格

オプション	規格
MU195040A-x10/x20	入力振幅:　0.05～1.0 Vp-p スレッショルド電圧:　–3.5～+3.3 V

(2)　接続

機器の接続方法は図 8.3.1-1を参考にしてください。

(3)　手順

1. 8.3.1項の手順 (3) の 1～5 と同様に機器を接続し, 設定します。
2. MU195020A, および MU195040A を表 8.3.3-2のとおりに設定します。
   MU195020Aの出力をオン, MU195040Aの [Start] をタッチします。
   必要に応じて位相を調整し, エラーが発生しないことを確認します。

表8.3.3-2　入力レベル試験設定内容 (MU195040A)

	MU195020A			MU195040A	
No.	終端	振幅 [Vp-p]	オフセット (Vth) [V]	終端	スレッショルド電圧 [V]
1	GND	1.0	–2.5	GND	–2.500
2		0.05*	–2.25		–2.250
3		1.0	+2.8		+2.800
4		0.05*	+3.05		+3.050
5	NECL	0.8	–1.3	Variable: – 2.0 V	–1.300
6	LVPECL	0.8	+2.0	Variable: + 1.3 V	+2.000
7	PCML	0.5	+3.05	Variable: + 3.3 V	+3.050

＊:　振幅 0.05 Vp-p の信号は, MU195020A の設定を 0.5 Vp-p にし, 精密固定減衰器 (20 dB, 応用部品 41KC-20) を使用してください。

注:

終端条件を変更する場合は, 必ず以下の順番で MU195020A および MU195040A を設定してください。設定順, 終端条件の違いによっては, 両器に損傷を与える場合があります。

(1)　MU195020A の出力をオフにします。

(2)　MU195040A の終端条件を GND に設定します。

(3)　MU195020A の終端条件を変更します。

(4)　MU195040A の終端条件を MU195020A と同じ条件に設定します。

3. Data Input のケーブルを外し，XData Input のケーブルだけを接続します。MU195040A の Input の画面で Input Condition を [Single-Ended]，[XData] に設定して，手順 2.と同様に MU195020A と MU195040A のレベルを設定し，エラーが発生しないことを確認します。

8.3.4 パターン

(1) 規格

・ PRBS パターン
・ Zero Substitution パターン

(2) 接続

機器の接続方法は図 8.3.1-1を参考にしてください。

(3) 手順

1. 8.3.1項の手順 (3) の 1～5 と同様に機器を接続し，設定します。
2. MU195020Aの出力をオン，MU195040Aの [Start] をタッチします。必要に応じて位相を調整し，エラーが発生しないことを確認します。
3. MU195040A と MU195020A の双方について，PRBS パターン長を 2^n–1, n = 7, 9, 10, 11, 15, 20, 23, 31 と変え，エラーが発生しないことを確認します。MU195040A は [Pattern] タブにて設定します。
4. PRBS パターン長を 2^{31}–1 に設定し，Logic を POS と NEG に変えて設定します。手順 3.と同様にエラーが発生しないことを確認します。
5. MU195040A と MU195020A の双方の試験パターンを Zero Substitution に変更します。Length を 2^n–1, n = 7, 9, 10, 11, 15, 20, 23 および 2^n, n = 7, 9, 10, 11, 15, 20, 23と変え，エラーが発生しないことを確認します。

8.3.5　エラー検出

(1)　規格

誤り率:	0.0000 × 10^{-16}～1.0000
誤り個数:	0～1 × 10^{16}
エラー・フリー・インターバル（EFI):	0.0000～100.0000%
エラー・インターバル（EI):	0～1 × 10^{16}

クロック周波数:

MU195040A-x01 無し　1.2～10.5 GHz, 確度:　±(10 ppm + 1 kHz)

MU195040A-x01 有り　1.2～16.05 GHz, 確度:　±(10 ppm + 1 kHz)

(2)　接続

機器の接続方法は, 図 8.3.1-1を参考にしてください。

(3)　手順

1. 8.3.1項の手順（3）の 1～5 と同様に機器を接続し, 設定します。
2. MU181000A の周波数を 10 GHz に設定し, MU195020A の出力をオン, MU195040A の［Start］をタッチします。
   必要に応じて位相を調整し, エラーが発生しないことを確認します。
3. MU195020A のエラー挿入機能をオンにし, MU195040A の［Result］タブの ER 測定結果が, MU195020A の［Error Addition］タブで設定している値になっていることを確認します。
4. MU195020A の［Error Addition］タブでは, Variation を［Single］に設定します。また, MU195040A の［Measurement］タブの Gating で, Cycle を［Single］, 測定時間を 10 秒に設定します。
5. MU195040A の［Start］をタッチし, 10 秒間の測定が行われている間に, MU195020A の［Error Addition］タブの［Single］を 1 回タッチします。
   10 秒間の測定終了後に次の結果となっていることを確認します。

誤り率（ER):	5.0000E–12
誤り個数（EC):	1.0000E–00
エラー・フリー・インターバル（%EFI):	99.9900%
エラー・インターバル（EI):	1

8.3.6　Noise評価試験

(1)　規格

表8.3.6-1　MU195050A 規格

項目	規格
Common Mode Noise (CMI)	10～250 mVp-p
Differential Mode Noise (DMI)	4～200 mVp-p (Differential)
White Noise*	0.2～25 mVrms

＊:　MU195050A-x01 有りの場合

(2)　CMI/DMI 評価の接続

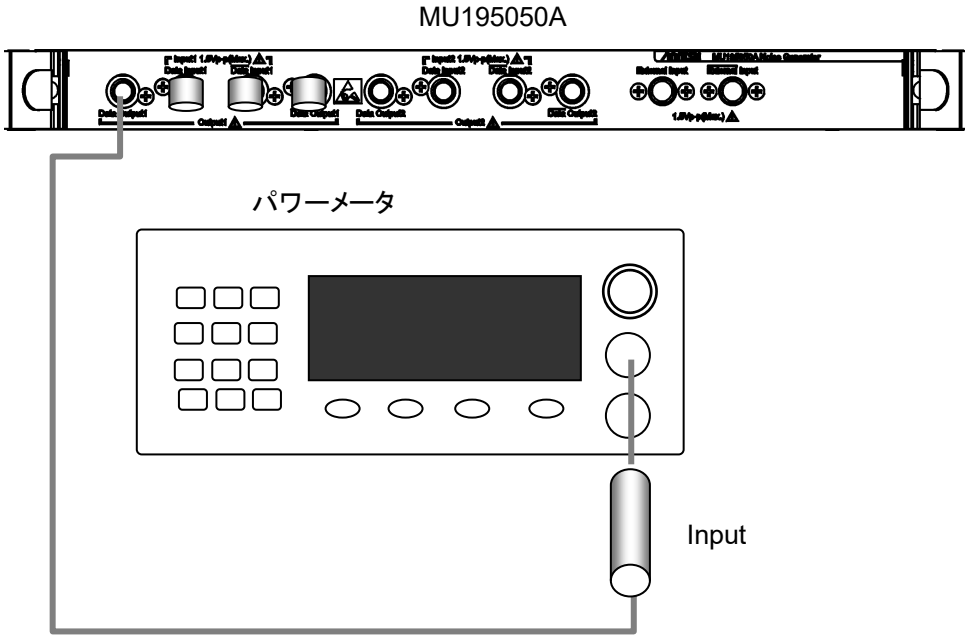


図8.3.6-1　CMI/DMI 試験の接続図

(3)　White Noise 評価の接続

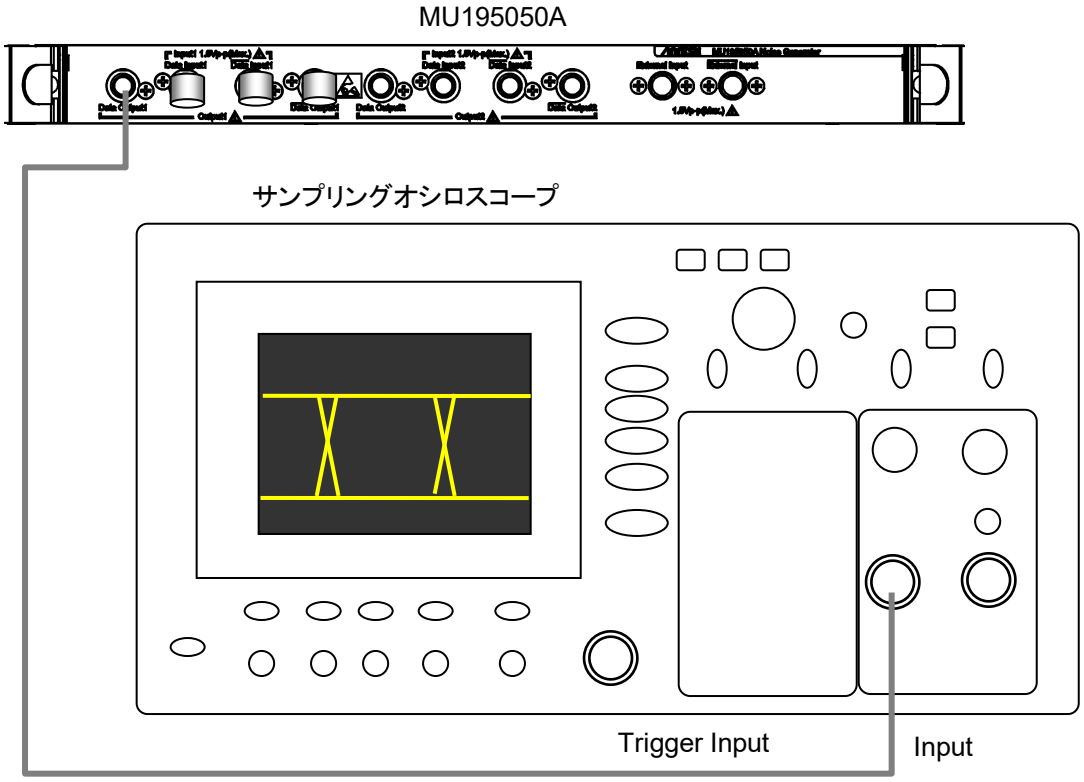


図8.3.6-2　White Noise 試験の接続図

(4)　手順

CMI/DMI 評価手順

1. MP1900A に MU195050A を装着し，測定するチャネルの測定に使用しないコネクタは同軸終端器で終端します。測定に使用するコネクタにはケーブルを接続しない状態で，MP1900A の電源をオンにします。
2. MU195050A モジュールアプリケーションで試験する CMI または DMI の出力振幅，周波数を設定します。
3. 設定が完了した後，MP1900A の電源をオフにします。
4. 「図 8.3.6-1　CMI/DMI 試験の接続図」に従って，MU195050A とパワーメータを同軸ケーブルで接続します。
5. MP1900A とパワーメータの電源をオンにして，ウォーミングアップします。
6. ウォーミングアップした後，MU195050A の測定対象コネクタの出力をオンにして，信号を出力します。試験対象でないコネクタの出力はオフにしておきます。
7. パワーメータで出力振幅のパワーを測定し，すべての規格項目について規格を満たしていることを確認します。
8. すべての Data Output，XData Output について手順 7 の測定を繰り返します。

White Noise 評価手順

1. MP1900A にMU195050Aを装着し，測定するOutputコネクタ以外のOutput コネクタは同軸終端器で終端します。測定に使用するコネクタにはケーブルを接続しない状態で，MP1900A の電源をオンにします。
2. MU195050A モジュールアプリケーションで White Noise の出力振幅を設定します。
3. 設定が完了した後，MP1900A の電源をオフにします。
4. 図 8.3.6-2　White Noise 試験の接続図に従って，MU195050A とサンプリングオシロスコープを同軸ケーブルで接続します。
5. MP1900A とサンプリングオシロスコープの電源をオンにして，ウォーミングアップします。
6. ウォーミングアップした後，MU195050A の White Noise 出力をオンにして，信号を出力します。試験対象でないコネクタの出力はオフにしておきます。
7. サンプリングオシロスコープを 50 GHz の帯域，フリーランに設定して，MU195050A の出力波形を観測します。すべての規格項目について規格を満たしていることを確認します。White Noise の出力レベルはヒストグラム（1σ=rms）で測定します。
8. すべての Data Output，XData Output について手順 7 の測定を繰り返します。

この章では，MP1900A モジュールの保守について説明します。

9.1 日常の手入れ 9-2
9.2 保管上の注意 9-2
9.3 輸送方法 9-3
9.4 校正 9-3
9.5 廃棄 9-4

9.1　日常の手入れ

- 外観のよごれは，薄めた中性洗剤を含ませた布で拭き取ってください。
- ほこりやちりが付着した場合は，掃除機で吸い取ってください。
- ネジなどの取り付け部品のゆるみは，規定の工具で締めてください。

9.2　保管上の注意

MP1900A モジュールに付着したほこり，手あか，その他のよごれ，しみなどを拭き取って保管してください。

パネルのコネクタには，添付品のオープンおよび同軸終端器を取り付けてください。

また，以下の場所での保管は避けてください。

- 直射日光が当たる場所
- 粉じんが多い場所
- 屋外
- 結露する場所
- 水，油，有機溶剤または薬液などの液中，またはこれらの液体が付着する場所
- 潮風，腐食性ガス（亜硫酸ガス，硫化水素，塩素，アンモニア，二酸化窒素，塩化水素など）がある場所
- 落下，または転倒のおそれがある場所
- 潤滑油からのオイルミストが発生する場所
- 高度 2000 m を超える場所
- 車両，船舶または航空機内など振動または衝撃が多く発生する環境
- 次の温度と湿度の場所

  温度:　　–20°C 以下，または 60°C 以上

  湿度:　　85%以上

推奨保管条件

長期保管するときは，上記の保管前の注意条件を満たすほかに，以下の環境条件の範囲内で保管することをお勧めします。

- 温度:　　5～30°C の範囲
- 湿度:　　40～75%の範囲
- 1 日の温度，湿度の変化が少ないところ

9.3　輸送方法

MP1900A モジュールを輸送する場合，開梱時の梱包材料を保管している場合はその材料を使用して梱包してください。保管していない場合は以下の手順で梱包してください。
なお，MP1900A モジュールを取り扱う際は必ず清潔な手袋を着用し，傷などを付けないように静かに行ってください。

<手順>

1. 乾いた布で MP1900A モジュール外面のよごれやちり，ほこりを清掃してください。
2. ネジのゆるみや脱落がないかを点検してください。
3. 構造上の突起部や変形しやすいと考えられる部分には保護を行い，MP1900A モジュールをポリエチレンシートで包み，さらに防湿紙などで包装してください。
4. 包装した MP1900A モジュールを段ボール箱に入れ，合わせ目を粘着テープでとめてください。さらに輸送距離や輸送手段などの必要に応じて木箱などに収納してください。
5. 輸送時は「9.2 保管上の注意」の注意条件を満たす環境下においてください。

9.4　校正

長期間安定した性能でシグナルクオリティアナライザ-R シリーズを使用する場合には，定期点検および校正などの日常のメンテナンスが欠かせません。常に最適の状態で使用していただくため，定期的な点検および校正を推奨します。
納入後の推奨校正周期は 12 か月です。

納入後のサポートなどについては，本書（紙版説明書では巻末，電子版説明書では別ファイル）に記載の「本製品についてのお問い合わせ窓口」へご連絡ください。

次の事項に該当する場合は，校正および修理を辞退させていただくことがあります。

- 製造後，7 年以上を経過した測定器で部品入手が困難な場合，または摩耗が著しく，校正および修理後の信頼性が維持できないと判断される場合
- 当社の承認なしに回路変更，修理または改造などが行われている場合
- 修理価格が新品価格に対し，高額になると判断される場合

9.5　廃棄

廃棄する場合は,『MP1900A シグナルクオリティアナライザ-R 取扱説明書』に記載の事項, 各国の条例, および各地方の条例に従って処理するように注意してください。

第10章　トラブルシューティング

この章では，MP1900A モジュールの動作時に異常が発生した場合，故障かどうかを判断するためのチェック方法について説明します。

10.1　モジュール交換時の問題 10-2
10.2　出力波形観測時の問題 10-3
10.3　エラーレート測定時の問題 10-4
10.4　同期が確立しない問題 10-5

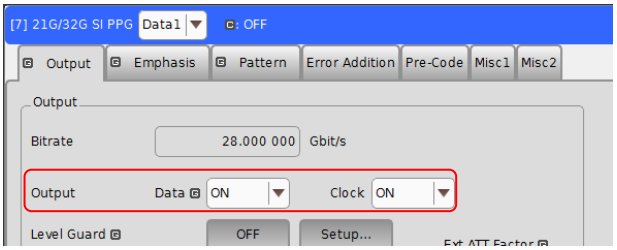
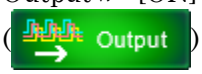
10.1 モジュール交換時の問題

表10.1-1　MP1900A モジュール交換時の問題対処方法一覧

現象	チェックする個所	対処方法
モジュールを認識しない。	モジュールは，確実に装着されていますか。	『MP1900A シグナルクオリティアナライザ-R 取扱説明書』の「3.3 モジュールの装着と取り外し」に従って，再度装着してください。
	適切なモジュールが装着されていますか。	インターネットのアンリツホームページ(https://www.anritsu.com) の MP1900A Series Signal Quality Analyzers-R の製品情報ページにアクセスして，サポート対象モジュールと，本器のソフトウェアバージョンを確認してください。 対象モジュールが装着されているのにモジュールが認識されない場合，故障の可能性がありますので，本書（紙版説明書では巻末，電子版説明書では別ファイル）に記載の「本製品についてのお問い合わせ窓口」へご連絡ください。

10.2 出力波形観測時の問題

表10.2-1 出力波形観測時の問題対処方法一覧

現象	チェックする個所	対処方法
出力波形が正しく観測できない。	[Output] タブの Data, または Clock が [ON] になっていますか。	信号を出力したいチャネルの [Output] タブで, Data または Clock を [ON] に設定します。  Output が [OFF] の場合, リストボックスをタッチして [ON] にしてください。
	Output が [ON] () になっていますか。	画面左上にある  をタッチし, [ON] に設定してください。
	動作クロックは正しく供給されていますか。	内蔵クロックを使用している場合は, 設定ビットレートを確認してください。 外部から供給している場合, 接続インタフェースを確認してください。インタフェースについては「3.1 パネルの説明」を参照してください。
	トリガクロックは正しく設定されていますか。	サンプリングオシロスコープのトリガ用クロックは, MU195020A の AUX Output から出力される信号を使用してください。 AUX Output コネクタの設定と測定するサンプリングオシロスコープとのインタフェースが正しいことを確認してください。
	電気インタフェースケーブルがゆるんでいませんか。	コネクタ部分を締め直してください。
	ケーブルやコネクタは高周波特性の良い物を使用していますか。	40 GHz 以上の周波数帯域があるケーブルやコネクタを使用してください。

10.3 エラーレート測定時の問題

表10.3-1　エラーレート測定時の問題対処法一覧

現象	チェックする個所	対処方法
エラーが入る。	被測定物との接続インタフェースは正しいですか。	データレート，レベル，オフセット，終端条件が一致しているか確認してください。
	MU195020A と誤り検出器 (ED) の論理パターンは正しく設定されていますか。	MU195020A の発生するパターンは被測定物が受信可能なパターンに設定されているか，被測定物が発生するパターンと ED の検出パターンの設定は一致しているか確認してください。 被測定物が MU195020A のパターンを変更せずに出力するような場合，MU195020A と ED を直接接続してエラーが検出されるか確認してください。
	エラー付加機能は OFF に設定されていますか。	[Error Addition] タブで Error Addition Switch が [OFF] になっていることを確認してください。
	電気インタフェースケーブルが緩んでいませんか。	コネクタ部分を締め直してください。
	ケーブルやコネクタは高周波特性の良い物を使用していますか。	40 GHz 以上の周波数帯域があるケーブルやコネクタを使用してください。
	位相マージンとスレッショルドマージンは十分に確保されていますか。	MU195020A と被測定物間，被測定物と ED 間の位相とオフセットがそれぞれ最適になるように調整します。

10.4 同期が確立しない問題

表10.4-1 同期が確立しない問題対処方法一覧

項目	チェックする箇所	対処方法
入力条件	接続ケーブルの品質，状態，または長さなどは大丈夫ですか。	以下の場合は，適切なケーブルに交換してください。 ・ 周波数特性が十分でない ・ 損失が大きい ・ ケーブルやコネクタに破損がある ・ コネクタが汚れている
	ケーブルは正しく確実に接続されていますか。	接続先やコネクタの締め付けなどを確認してください。
	シングルや差動（50/100 Ω）入力の設定は合っていますか。	正しく設定してください。
	入力レベルは適正ですか。	オシロスコープなどでレベルを確認してください。
	入力ビットレートやクロック周波数は適正ですか。	適切なビットレートやクロック周波数にしてください。 *注：* 周波数カウンタで現在のクロック周波数を確認できます。
	クロックリカバリ使用時は周波数設定をビットレートの近くにあわせていますか。	使用するビットレートの近くに設定してください。
	クロックロス表示は消えていますか。	入力する Data/Clock 信号やクロックリカバリ設定を確認してください。
終端条件	終端電圧はあわせていますか。	終端電圧を正しく設定してください。 *注：* 正しく設定されていないと故障の原因となる場合があります。

表10.4-1　同期が確立しない問題対処方法一覧 (続き)

項目	チェックする箇所	対処方法
スレッショルド	差動入力時に Data と XData スレッショルド電圧の差分値が 3 V を超えていませんか。	差分値が 3 V を超えないようにしてください。
	Auto Adjust や Auto Search の動作制限を超えていませんか。	マニュアル操作で調整してください。
位相	Auto Adjust や Auto Search の動作制限を超えていませんか。	マニュアル操作で調整してください。
パターン	パターンは一致していますか。	MU195020A と MU195040A でパターンを一致させてください。
同期	Auto Sync は [ON] になっていますか。	[ON] に設定してください。 自動的に再同期動作が行われます。
	Sync Control の設定を変えてみましたか。	パターンの種類によって，最適な同期方法が異なることがあります。 *注:* パターンが PRBS 以外の場合に設定できます。
その他	Bit/Block Window は [OFF] になっていますか。	[OFF] に設定してください。
	MU195040A の External Mask は [OFF] になっていますか。	[OFF] に設定してください。
	Pattern Sequence を [Repeat] に設定していますか。	[Repeat] に設定してください。

上記の項目で解決できない場合は，初期化を行い，上記項目を再確認してください。それでも問題が解決できない場合は，本書（紙版説明書では巻末，電子版説明書では別ファイル）に記載の「本製品についてのお問い合わせ窓口」へご連絡ください。

付録 A　擬似ランダムパターン

A.1　擬似ランダムパターン A-2
A.2　ゼロ置換パターン (Zero-Substitution Pattern)..... A-3

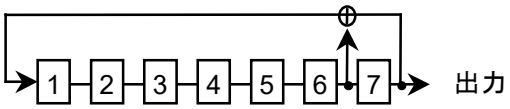
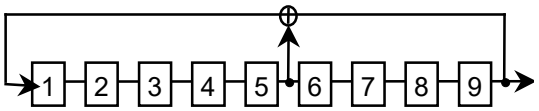
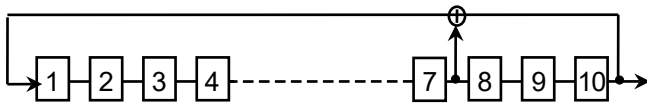
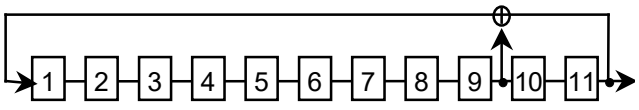
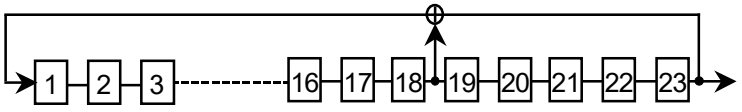
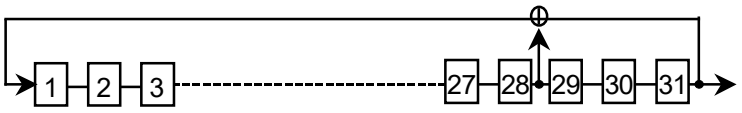
A.1　擬似ランダムパターン

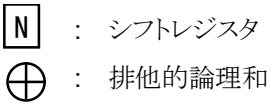
擬似ランダムパターン発生原理を表 A.1-1に示します。
擬似ランダムパターンは，表 A.1-1に示す N 次の生成多項式で表され，その 1 周期は 2^n-1 となります。2^n-1 の周期をもつ PRBS パターンは 1 周期中に N ビット連続“1”のパターンが 1 回だけ出現します。

PRBS のパターンの出力レベルは，LOGIC を POS（正論理）に設定した場合，“1”が low level，“0”が High level に対応します。

PRBS パターンのマーク率は 1/2 で，表 A.1-1に示すブロックで発生します。

表A.1-1　擬似ランダムパターン発生原理

周期	生成多項式	パターン生成ブロック図
2^7-1	$1+X^6+X^7$	
2^9-1	$1+X^5+X^9$	
$2^{10}-1$	$1+X^7+X^{10}$	
$2^{11}-1$	$1+X^9+X^{11}$	
$2^{13}-1$	$1+X+X^2+X^{12}+X^{13}$	
$2^{15}-1$	$1+X^{14}+X^{15}$	
$2^{20}-1$	$1+X^3+X^{20}$	
$2^{23}-1$	$1+X^{18}+X^{23}$	
$2^{31}-1$	$1+X^{28}+X^{31}$	

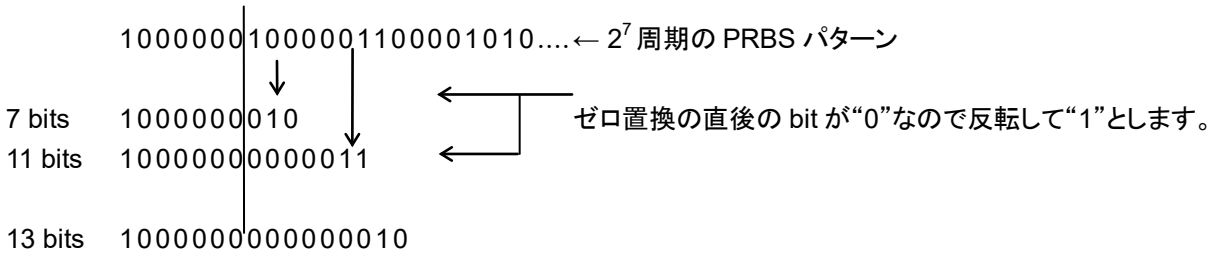


A.2　ゼロ置換パターン (Zero-Substitution Pattern)

PRBS パターンの最長ゼロ連続ビットの直後からのパターンを論理“0”で置き換えることで設定ビット数だけ“0”が連続するようにします。
ただし，“0”に置き換えたビットの直後のビットが“0”のときは，そのビットを反転して“1”にします。

例：2^7 周期の PRBS パターンのとき

最長のゼロ連続数は 7–1 = 6 bits なのでゼロ置換は下記の位置から始まります。



図A.2-1　ゼロ置換パターン

B.1 初期設定項目一覧

ここでは，MP1900A モジュールに関係する出荷時の設定項目初期値を示します。

なお，[Menu] → [Initialize] を選択すると全設定項目を初期設定値にすることができます。

表B.1-1 MU195020A 初期設定一覧表

設定機能	大項目	中項目	小項目	初期設定値
Output	Bitrate			Variable
		Bitrate		10.000 000 Gbit/s
	Data, XData Output			ON
	Clock Output			ON
	Data, Xdata の選択			
		Level Guard		OFF
		Level Guard Setup	Amplitude 上限	1.000 Vp-p
			Offset limit	–4.000～3.300 V
	Defined Interface			Variable
			Amplitude	1.000 Vp-p
			Offset の切り替え	AC OFF
			Offset	0.000 V
			External ATT Factor	0 dB
	Half Period Jitter			0
	Delay			0 mUI
			Calibration	–
		Jitter Input		OFF

表B.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Emphasis	Manual Setting	Emphasis Function		OFF
		Standard/Preset		USER
				De-Emphasis
				Preset0
		Amplitude		1.000 Vp-p
		Cursor 設定		0 dB
	ISI	ISI Function		OFF
		Standard/Channel		USER
				–
		Board Type		Not Use
		NF Insertion Loss		10.00 dB
		1/2 NF Insertion Loss		5.00 dB
	Channel Emulator	Channel Emulator Function		OFF
		Response		Inverse

表B.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern	PRBS	Length		2^15–1
		Logic		POS
		Mark Ratio		1/2
	ZeroSubstitution	Length		2^15
		Zero-Substitution Length		1 bit
		Additional Bit		1
	Data	Logic		POS
		Current Outputting Pattern		No.1
		Length		2 bits 2ch Combination 時: 4 bits
		Maximum List Num		1
	Mixed Data	Logic		POS
		Row Length		2048 bits 2ch Combination 時: 4096 bits
		Data Length		1024 bits 2ch Combination 時: 2048 bits
		Number of Block		1
		Number of Row		1
		PRBS	Pattern	PRBS15
			Mark Ratio	1/2
		Scramble		OFF
		Scramble Setup		All OFF
		PRBS Sequence		Consecutive
	PAM4*1	Logic		POS
		Sequence		PRBS31Q
	Sequence*2	Logic		POS
		PRBS Inversion		ON
		Specification		PCIe1
		Trigger Block No.		1

＊1: 2ch コンビネーションまたは 64G × 2ch コンビネーション設定時のみ設定可能

＊2: Independent 設定時のみ設定可能, MU195020A-x50 で設定できます。

表B.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern (続き)	Pattern Editor	Zoom		× 1
		Row Length		2048 bits 2ch Combination 時: 4096 bits
		Data Length の表示	Data	2 bits 2ch Combination 時: 4 bits
			Mixed	1024 bits 2ch Combination 時: 2048 bits (Mixed-Data 時)
		Number of Block		1
		Number of Row		1
		Format		Hex
		Edit Mode		Overwrite
	Sequence Editor	Preset	2.5G	P4
			5.0G	P0
			8.0G	P7
			16.0G	P7
		8b10b SKP OS	Symbol Length	COM+3
			Interval	1538
			Symbol Length x2	OFF
		128b130b SKP OS	Symbol Length	16
			Interval	20
			Symbol Length x2	OFF
		Scrambler Seed	8b10b	FFFF
			128b130b	Lane0: 1DBFBC

表B.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern (続き)	8b10b Pattern Editor	Data Length		32 bits
		Notation		Symbol(8b10b)
		Edit Mode		Overwrite
	128b130b Pattern Editor	Data Length		128 bits
		Notation		Hex(Byte)
		Edit Mode		Overwrite
	128b132b Pattern Editor	Data Length		128 bits
		Notation		Hex(Byte)
		Edit Mode		Overwrite
Error Addition	Error Addition			OFF
		Source		Internal
		Variation		Repeat
		Route		Select, 1
		Error Rate		1E–3
		Test Pattern が Mixed の場合 Row 1		Data: チェックなし PRBS: チェックなし
Pre-Code*3	Pre-Code			
		Pre-Code		OFF
		Type		DQPSK
		Initial Data		1

＊3: MU195020A-x20 で設定できます。

表B.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Misc1	Pattern Sequence			Repeat
		Repeat 時	Pulse Width	128 bits
			Delay	128
		Burst 時	Source	Internal
			Data Sequence	Restart
			Enable Period	128 000 bits 2ch Combination 時: 初期値 ×2
			Burst Cycle	12 800 000 bits 2ch Combination 時: 初期値 ×2
			Delay	0 bits
			Pulse Width	128 000 bits 2ch Combination 時: 初期値 ×2
	Aux Input			Error Injection
			Vth	0 V
	Aux Output			1/N Clock
		1/N Clock 時	(分周比)	1/64 clock
		Pattern Sync 時	PRBS, Zero-Substitution, Data の場合 Position	1 bits
			Mixed Data の場合 Block No. Row No.	1 1
		Burst Output 2 時	Delay	0
			Pulse Width	128 000 bits 2ch Combination 時: 初期値 ×2
		Pattern change Trigger		OFF
Misc2	Clock Setting			
		Clock Source		External
		Bit Rate		12.500 000 Gbit/s
		Offset		0 ppm
		Output Clock Rate		Half rate
		Reference Clock		Internal
		Operation Bit Rate		2.4～32.1

表B.1-2　MU195040A 初期設定一覧表

設定機能	大項目	中項目	小項目	初期設定値
Result	設定項目 切り替え	設定表示の選択		Gating
		結果表示の選択		Error/Alarm
		時間表示の選択		Date&Time
		Error/Alarm 表示	Zoom	OFF
			Overall Ch.	OFF
	Error/Alarm 測定開始			–
	Error/Alarm 測定停止			–
Measurement	測定周期の選択 (Gating)	測定周期単位の選択（Unit）		Time
		測定周期の時間設定		00 00:00:01
		測定周期のクロック数設定		>E+10
		測定周期のエラー数設定		>E+10
		測定周期のブロック数設定		>E+2
		測定処理方法の選択（Cycle）		Repeat
		測定結果データ表示処理の選択（Current）		ON
		既値データ処理方法の選択（Calculation）		Progressive
		既値データ表示更新周期の選択		100 ms
	再同期処理実行の選択 (Auto Sync)	再同期処理実行の選択		ON
		自動同期機能しきい値の選択		INT
	SKP Ordered Set フィルタの選択 (SKP Ordered Set)	フィルタリングの選択（Filtering）		OFF
		規格の選択（Specification）		PCIe4
	同期方式の設定 (Sync Control)	同期方式の選択		無効
		Frame 同期のユニークパターン長の設定		64 bits
		PRGM パターンの先頭位置の設定		1 bit
		同期マスクパターンの編集		All 0
	測定条件の設定 (Error/Alarm Condition)	ビットエラー，アラーム測定処理方式の選択		Insertion/Omission
		EI，EFI 測定における，インターバル時間の設定		100 ms

表B.1-2　MU195040A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目
Pattern*	マスクの選択	Block Window 実行の選択	OFF
		Block Window の設定	All 0
		Bit Window 実行の選択	OFF
		Bit Window ビット列の設定	All 0
		External Mask の選択	OFF
	HSSB Data	Logic	POS
		Length	32
		Specification	PCIe1
		Scrambler Seed	FFFF
		EIEOS Insertion	OFF
		EIEOS Interval	32

＊:　PPG と共通部分は省略します。
詳細は,「表B.1-1　MU195020A初期設定一覧表」を参照してください。

表B.1-2　MU195040A 初期設定一覧表（続き）

設定機能	大項目	中項目	小項目	初期設定値
Input	Data	Input Condition の選択		Single-Ended
		差動種別の選択		Independent
		Data/XData の選択		Data
		データ入力しきい値の設定		–0.500 V
		XData 入力しきい値の設定		–0.500 V
		データ入力しきい値の差動選択		Data-XData
		データ入力しきい値の差動設定		0.000 V
		データ入力終端条件設定画面の表示		–
		データ入力終端条件の選択		GND
		データ入力終端電圧の設定		0.00 V
		CTLE		OFF
	Clock	Selection		External Clock
		Recovered Clock 規定ビットレートの選択		Variable (MU195040A-x22)
		Recovered Clock ビットレートの選定		28.000 000 Gbit/s (MU195040A-x22)
		ループ帯域		17 MHz (MU195040A-x22)
		ループ帯域算出の除算定数		1667 (MU195040A-x22)
		Clock 位相単位の選択		mUI
		Clock 位相可変（mUI 単位）の設定		0 mUI
		Clock 位相可変（ps 単位）の設定		0.00 ps
		Clock 位相の校正		–
			Clock 位相のリファレンス設定の選択	OFF
			Clock 位相可変（リファレンス mUI 単位）の設定	0 mUI
			Clock 位相可変（リファレンス ps 単位）の設定	0.00 ps
			Clock 位相可変（Jitter Input）の設定	OFF
	Measurement Restart	Data Threshold		OFF
		Clock Delay		OFF

表B.1-2　MU195040A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Capture	Condition	Number of Block		128
		Trigger		Match Pattern
			Position	Top
		Match Pattern Length		4 bits
		Format		Hex
		Match Pattern		0
		Mask Pattern		0
	Capture Acquisition	Start Block No.		1
		Number of Block		1
	Capture	Block		1
		Viewer Mode	Notation	Hex(Byte)
			Format	Pattern
		Error Search	Continuous Error	≧1 bit
Misc1	Pattern Sequence			Repeat
		Burst 時	Source	External-Enable
			Delay	0 bits
			Auto/Manual	Manual
			Enable Period	128 000 bits*
			Burst Cycle	12 800 000 bits*
	Aux Input			External Mask
			Vth	0 V
	Aux Output			1/N Clock
		1/N Clock 時	(分周比)	1/64 clock
		Pattern Sync 時	PRBS, Zero-Substitution, Data の場合 Position	1 bits
			Mixed Data の場合 Block No. Row No.	1 1

＊:　2ch Combination 時: 初期値 × 2

表B.1-3　MU195050A 初期設定一覧表

設定機能	項目	初期設定値
Common Mode Noise	Presets	Manual
	Output	OFF
	Amplitude	10 mVp-p
	Frequency	100 MHz
	Band	Low
Differential Mode Noise	Presets	Manual
	Output	OFF
	Amplitude	4 mVp-p
	Frequency	2 GHz
White Noise	Output	OFF
	Amplitude	0.2 mVrms
External Input	Output	OFF