MP1900A シグナルクオリティアナライザ-R 用
プラグインモジュール
取扱説明書

第 23 版

・製品を適切・安全にご使用いただくために、製品をご使用になる前に、本書を必ずお読みください。
・本書に記載以外の各種注意事項は、MP1900A シグナルクオリティアナライザ-R 取扱説明書に記載の事項に準じますので、そちらをお読みください。
・本書は製品とともに保管してください。

アンリツ株式会社

管理番号：M-W3976AW-23.0

安全情報の表示について

当社では人身事故や財産の損害を避けるために、危険の程度に応じて下記のようなシグナルワードを用いて安全に関する情報を提供しています。記述内容を十分に理解した上で機器を操作してください。
下記の表示およびシンボルは、そのすべてが本器に使用されているとは限りません。また、外観図などが本書に含まれるとき、製品に貼り付けたラベルなどがその図に記入されていない場合があります。

本書中の表示について

⚠ 危険	回避しなければ、死亡または重傷に至る切迫した危険があることを示します。
⚠ 警告	回避しなければ、死亡または重傷に至るおそれがある潜在的な危険があることを示します。
⚠ 注意	回避しなければ、軽度または中程度の人体の傷害に至るおそれがある潜在的危険、または、物的損害の発生のみが予測されるような危険があることを示します。

機器に表示または本書に使用されるシンボルについて

機器の内部や操作箇所の近くに、または本書に、安全上および操作上の注意を喚起するための表示があります。
これらの表示に使用しているシンボルの意味についても十分に理解して、注意に従ってください。



禁止行為を示します。丸の中や近くに禁止内容が描かれています。



守るべき義務的行為を示します。丸の中や近くに守るべき内容が描かれています。



警告や注意を喚起することを示します。三角の中や近くにその内容が描かれています。



注意すべきことを示します。四角の中にその内容が書かれています。



このマークを付けた部品がリサイクル可能であることを示しています。

MP1900A シグナルクオリティアナライザ-R 用
プラグインモジュール
取扱説明書

2018年（平成30年）11月１日（初　版）
2026年（令和８年）８月12日（第23版）

• 予告なしに本書の製品操作・取り扱いに関する内容を変更することがあります。
• 許可なしに本書の一部または全部を転載・複製することを禁じます。
Copyright © 2018-2026, ANRITSU CORPORATION
Printed in Japan

品質証明

アンリツ株式会社は、本製品が出荷時の検査により公表規格を満足していること、ならびにそれらの検査には、産業技術総合研究所（National Institute of Advanced Industrial Science and Technology）および情報通信研究機構（National Institute of Information and Communications Technology）などの国立研究所によって認められた公的校正機関にトレーサブルな標準器を基準として校正した測定器を使用したことを証明します。

保証

アンリツ株式会社は、納入後 1 年以内に製造上の原因に基づく故障が発生した場合は、本製品を無償で修復することを保証します。
ソフトウェアの保証内容は別途「ソフトウェア使用許諾」に基づきます。
ただし、次のような場合は上記保証の対象外とさせていただきます。

- この取扱説明書に別途記載されている保証対象外に該当する故障の場合。
- お客様の誤操作、誤使用または無断の改造もしくは修理による故障の場合。
- 通常の使用を明らかに超える過酷な使用による故障の場合。
- お客様の不適当または不十分な保守による故障の場合。
- 火災、風水害、地震、落雷、降灰またはそのほかの天災地変による故障の場合。
- 戦争、暴動または騒乱など破壊行為による故障の場合。
- 本製品以外の機械、施設または工場設備の故障、事故または爆発などによる故障の場合。
- 指定外の接続機器もしくは応用機器、接続部品もしくは応用部品または消耗品の使用による故障の場合。
- 指定外の電源または設置場所での使用による故障の場合。
- 特殊環境における使用 (注) による故障の場合。
- 昆虫、くも、かび、花粉、種子またはそのほかの生物の活動または侵入による故障の場合。

また、この保証は、原契約者のみ有効で、お客様から再販売されたものについては保証しかねます。

なお、本製品の使用、あるいは使用不能によって生じた損害およびお客様の取引上の損失については、責任を負いかねます。ただし、その損害または損失が、当社の故意または重大な過失により生じた場合はこの限りではありません。

注:
「特殊環境における使用」には、以下のような環境での使用が該当します。

- 直射日光が当たる場所
- 粉じんが多い環境
- 屋外
- 水、油、有機溶剤もしくは薬液などの液中、またはこれらの液体が付着する場所

- 潮風、腐食性ガス（亜硫酸ガス、硫化水素、塩素、アンモニア、二酸化窒素、塩化水素など）がある場所
- 静電気または電磁波の強い環境
- 電源の瞬断または異常電圧が発生する環境
- 部品が結露するような環境
- 潤滑油からのオイルミストが発生する環境
- 高度 2000 m を超える環境
- 車両、船舶または航空機内など振動または衝撃が多く発生する環境

当社へのお問い合わせ

本製品の故障については、「お問い合わせ窓口」へすみやかにご連絡ください。「お問い合わせ窓口」は、当社ホームページのお問い合わせページで確認できます。

国外持出しに関する注意

- 本製品は、特定の外国の安全規格などに準拠していない場合がありますので、当社の承諾なく日本国外へ持ち出して使用された場合、当社は一切の責任を負いかねます。
- 本製品および添付マニュアル類は、輸出および国外持ち出しの際には、「外国為替及び外国貿易法」により、日本国政府の輸出許可や役務取引許可を必要とする場合があります。また、米国の「輸出管理規則」により、日本からの再輸出には米国政府の再輸出許可を必要とする場合があります。詳細は当社ホームページを参照してください。
  https://www.anritsu.com/support/export-procedures
  本製品や添付マニュアル類を輸出または国外持ち出しする場合は、事前に必ず当社の営業担当までご連絡ください。
  輸出規制を受ける製品やマニュアル類を廃棄処分する場合は、軍事用途等に不正使用されないよう、破砕または裁断処理していただきますようお願い致します。

ソフトウェア使用許諾

お客様は、ご購入いただいたソフトウェア（プログラム、データベース、電子機器の動作・設定などを定めるシナリオ等を含み、以下「本ソフトウェア」と総称します）を使用（実行、インストール、複製、記録等を含み、以下「使用」と総称します）する前に、本「ソフトウェア使用許諾」（以下「本使用許諾」といいます）をお読みください。お客様から本使用許諾の規定にご同意いただいた場合のみ、お客様は、本使用許諾に定められた範囲において本ソフトウェアをアンリツが推奨または指定する装置（以下、「本装置」といいます）に使用することができます。お客様が本ソフトウェアを使用したとき、当該ご同意をいただいたものとします。

第 1 条 （許諾、禁止内容）

1. お客様は、本ソフトウェアを有償・無償にかかわらず第三者へ販売、開示、移転、譲渡、賃貸、リース、頒布し、または再使用させる目的で複製、開示、使用許諾することはできません。
2. お客様は、本ソフトウェアをバックアップの目的で、1 部のみ複製を作成できます。
3. 本ソフトウェアのリバースエンジニアリング、逆アセンブルもしくは逆コンパイル、または改変もしくは派生物（二次的著作物）の作成は禁止させていただきます。
4. お客様は、本ソフトウェアを本装置 1 台で使用できます。

第 2 条 （免責）

アンリツは、お客様による本ソフトウェアの使用または使用不能から生ずる損害、第三者からお客様に請求された損害を含め、一切の損害について責任を負わないものとします。ただし、当該損害がアンリツの故意または重大な過失により生じた場合はこの限りではありません。

第 3 条 （修補）

1. お客様が、取扱説明書に書かれた内容に基づき本ソフトウェアを使用していたにもかかわらず、本ソフトウェアが取扱説明書もしくは仕様書に書かれた内容どおりに動作しない場合（以下「不具合」といいます）には、アンリツは、アンリツの判断に基づいて、本ソフトウェアを無償で修補、交換し、または不具合回避方法のご案内をするものとします。ただし、以下の事項による本ソフトウェアの不具合および破損、消失したお客様のいかなるデータの復旧を除きます。
   a) 取扱説明書・仕様書に記載されていない使用目的での使用
   b) アンリツが指定した以外のソフトウェアとの相互干渉
   c) アンリツの承諾なく、本ソフトウェアまたは本装置の修理、改造がされた場合
   d) 他の装置による影響、ウイルスによる影響、災害、その他の外部要因などアンリツの責めとみなすことができない要因があった場合
2. 前項に規定する不具合において、アンリツが、お客様ご指定の場所で作業する場合の移動費、宿泊費および日当に係る現地作業費については有償とさせていただきます。
3. 本条第 1 項に規定する不具合に係る保証責任期間は本ソフトウェア購入後 6 か月または修補後 30 日いずれか遅い方の期間とさせていただきます。

第 4 条 （法令の遵守）

お客様は、本ソフトウェアを、直接、間接を問わず、核、化学・生物兵器およびミサイルなど大量破壊兵器および通常兵器、ならびにこれらの製造設備等・関連資機材等の拡散防止の観点から、日本国の「外国為替及び外国貿易法」およびアメリカ合衆国「輸出管理法」その他国内外の関係する法律、規則、規格等に違反して、いかなる仕向け地、自然人もしくは法人に対しても輸出しないものとし、また輸出させないものとします。

第 5 条 （規定の変更）

アンリツは、本使用許諾の規定の変更が、お客様の一般の利益に適う場合、または本使用許諾の目的および変更に係る諸事情に照らして合理的な場合に、お客様の承諾を得ることなく変更を実施することができます。変更にあたりアンリツは、原則として 45 日前までに、その旨（変更後の内容および実施日）を自己のホームページに掲載し、またはお客様に書面もしくは電子メールで通知します。

第 6 条 （解除）

1. アンリツは、お客様が、本使用許諾のいずれかの条項に違反したとき、アンリツの著作権およびその他の権利を侵害したとき、暴力団等反社会的な団体に属しもしくは当該団体に属する者と社会的に非難されるべき関係があることが判明したとき、または法令に違反したとき等、本使用許諾を継続できないと認められる相当の事由があるときは、直ちに

本使用許諾を解除することができます。

2. お客様またはアンリツは、30 日前までに書面で相手方へ通知することにより、本使用許諾を終了させることができます。

第 7 条 （損害賠償）

お客様が本使用許諾の規定に違反した事に起因してアンリツが損害を被った場合、アンリツはお客様に対して当該損害の賠償を請求することができます。

第 8 条 （解除後の義務）

お客様は、第 6 条により、本使用許諾が解除されまたは終了したときは直ちに本ソフトウェアの使用を中止し、アンリツの求めに応じ、本ソフトウェアおよびそれらに関する複製物を含めアンリツに返却または廃棄するものとします。

第 9 条 （協議）

本使用許諾の条項における個々の解釈について生じた疑義、または本使用許諾に定めのない事項について、お客様およびアンリツは誠意をもって協議のうえ解決するものとします。

第 10 条（準拠法）

本使用許諾は、日本法に準拠し、日本法に従って解釈されるものとします。本使用許諾に関する紛争の第一審の専属的合意管轄裁判所は、東京地方裁判所とします。

(改定履歴)

2020 年 2 月 29 日

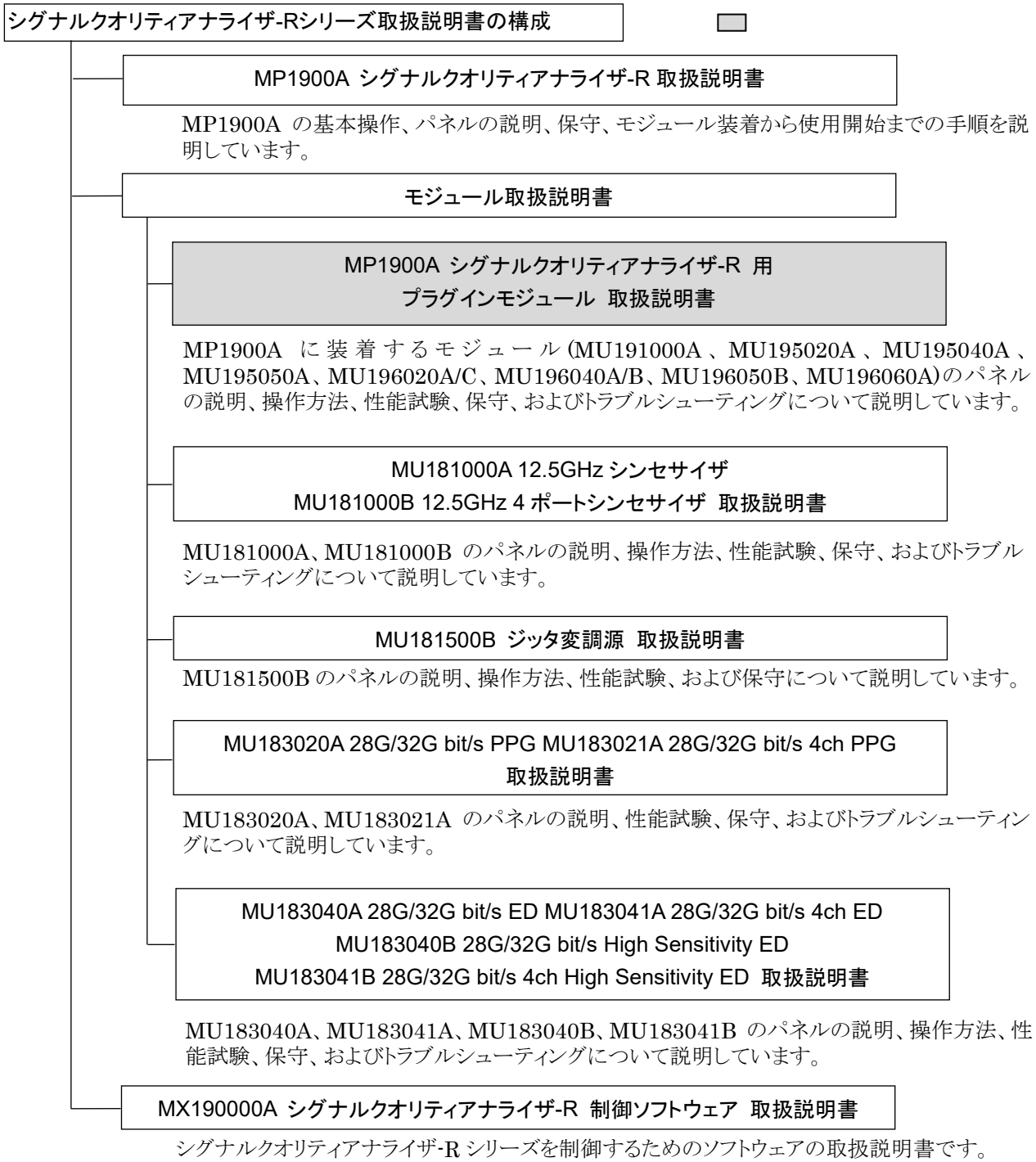
2022 年 2 月 22 日

はじめに

本取扱説明書は、以下のプラグインモジュールを対象としています。

- MU191000A Synthesizer
- MU195020A 21G/32G bit/s SI PPG
- MU195040A 21G/32G bit/s SI ED
- MU195050A Noise Generator
- MU196020A PAM4 PPG
- MU196020C PAM4 PPG
- MU196040A PAM4 ED
- MU196040B PAM4 ED
- MU196050B Noise Generator
- MU196060A 32G baud NRZ/PAM4 Re-Driver

MP1900A シグナルクオリティアナライザ-R、モジュール、および制御ソフトウェアを組み合わせた試験システムをシグナルクオリティアナライザ-R シリーズといいます。シグナルクオリティアナライザ-R シリーズの取扱説明書は、以下のように、MP1900A、モジュール、および制御ソフトウェアに分かれて構成されています。


シグナルクオリティアナライザ-Rシリーズ取扱説明書の構成
MP1900A シグナルクオリティアナライザ-R 取扱説明書
MP1900A の基本操作、パネルの説明、保守、モジュール装着から使用開始までの手順を説明しています。
モジュール取扱説明書
MP1900A シグナルクオリティアナライザ-R 用
プラグインモジュール 取扱説明書
MP1900A に装着するモジュール(MU191000A、MU195020A、MU195040A、MU195050A、MU196020A/C、MU196040A/B、MU196050B、MU196060A)のパネルの説明、操作方法、性能試験、保守、およびトラブルシューティングについて説明しています。
MU181000A 12.5GHz シンセサイザ
MU181000B 12.5GHz 4 ポートシンセサイザ 取扱説明書
MU181000A、MU181000B のパネルの説明、操作方法、性能試験、保守、およびトラブルシューティングについて説明しています。
MU181500B ジッタ変調源 取扱説明書
MU181500B のパネルの説明、操作方法、性能試験、および保守について説明しています。
MU183020A 28G/32G bit/s PPG MU183021A 28G/32G bit/s 4ch PPG
取扱説明書
MU183020A、MU183021A のパネルの説明、性能試験、保守、およびトラブルシューティングについて説明しています。
MU183040A 28G/32G bit/s ED MU183041A 28G/32G bit/s 4ch ED
MU183040B 28G/32G bit/s High Sensitivity ED
MU183041B 28G/32G bit/s 4ch High Sensitivity ED 取扱説明書
MU183040A、MU183041A、MU183040B、MU183041B のパネルの説明、操作方法、性能試験、保守、およびトラブルシューティングについて説明しています。
MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書
シグナルクオリティアナライザ-R シリーズを制御するためのソフトウェアの取扱説明書です。

シグナルクオリティアナライザ-Rシリーズ取扱説明書の構成 (続き)

は、本書を示します。

拡張アプリケーション取扱説明書

シグナルクオリティアナライザ-R シリーズの拡張アプリケーションソフトウェアの取扱説明書です。

MX183000A ハイスピード シリアルデータ テスト ソフトウェア取扱説明書

ハイスピード シリアルデータ テスト ソフトウェアの設定と操作方法を説明します。

目次

はじめに I

第 1 章　概要 1-1

1.1　製品の概要 1-2
1.2　機器の構成 1-6
1.3　規格 1-21

第 2 章　使用前の準備 2-1

2.1　MP1900A への装着 2-2
2.2　アプリケーションの操作方法 2-2
2.3　破損防止処理 2-3

第 3 章　パネルおよびコネクタの説明 3-1

3.1　パネルの説明 3-2
3.2　モジュール間の接続 3-12

第 4 章　使用例 4-1

4.1　光トランシーバモジュールの測定 4-2
4.2　56 Gbit/s DQPSK 信号の発生 4-4
4.3　400GbE トランシーバ用の光コンポーネント評価 4-6
4.4　400GbE トランシーバ用 SERDES などのデバイス評価 .. 4-9
4.5　PCIe 6 のデバイス評価 4-12

第 5 章　性能試験 5-1

5.1　性能試験の実施時期 5-2
5.2　性能試験用機器 5-3
5.3　性能試験項目 5-8

第 6 章 保守 6-1

6.1 日常の手入れ 6-2
6.2 保管上の注意 6-2
6.3 輸送方法 6-3
6.4 校正 6-3

第 7 章 トラブルシューティング 7-1

7.1 モジュール交換時の問題 7-2
7.2 出力波形観測時の問題 7-3
7.3 エラーレート測定時の問題 7-4
7.4 同期が確立しない問題 7-5

付録 A 擬似ランダムパターン A-1

付録 B 初期設定項目一覧 B-1

付録 C 性能試験結果記入表 C-1

VI.

この章では、次のモジュールの概要について説明します。

- MU191000A Synthesizer (以下、MU191000A と呼びます)
- MU195020A 21G/32G bit/s SI PPG (以下、MU195020A と呼びます)
- MU195040A 21G/32G bit/s SI ED (以下、MU195040A と呼びます)
- MU195050A Noise Generator (以下、MU195050A と呼びます)
- MU196020A PAM4 PPG (以下、MU196020A と呼びます)
- MU196020C PAM4 PPG (以下、MU196020C と呼びます)
- MU196040A PAM4 ED (以下、MU196040A と呼びます)
- MU196040B PAM4 ED (以下、MU196040B と呼びます)
- MU196050B Noise Generator (以下、MU196050B と呼びます)
- MU196060A 32G baud NRZ/PAM4 Re-Driver (以下、MU196060A と呼びます)

1.1　製品の概要 1-2
1.2　機器の構成 1-6
1.2.1　標準構成 1-6
1.2.2　オプション 1-12
1.2.3　応用部品 1-18
1.3　規格 1-21
1.3.1　Synthesizer 1-21
1.3.2　PPG 1-23
1.3.3　ED 1-161
1.3.4　Noise Generator 1-245
1.3.5　Re-Driver 1-251

1.1　製品の概要

MU191000A、MU195020A、MU195040A、MU195050A、MU196020A/C、MU196040A/B、MU196050B、および MU196060A（以下、MP1900A モジュールと呼びます）は、MP1900A シグナルクオリティアナライザ-R に内蔵可能なプラグインモジュールです。

MU196020A/C、MU196040A/B、および MU196060A は、以下のビットレートまたはボーレートで PRBS パターン、DATA パターン、および PAM4 測定用の各種パターンでのエラー測定に対応します。

- MU196020A/C：64.2 Gbit/s、64.2 Gbaud まで
- MU196040A：32.1 Gbit/s、32.1 Gbaud まで
- MU196040B：64.2 Gbit/s、64.2 Gbaud まで

MU196020A/C と MU195050A/MU196050B を組み合わせ、64.2 Gbaud までのシグナルインテグリティ評価に最適なコモンモードノイズ、ディファレンシャルモードノイズ、ホワイトノイズを印加したデータ生成に対応します。

MU195020A、MU195040A、および MU195050A は、動作周波数範囲内で PRBS パターン、DATA パターン、Zero-Substitution パターン、および Mixed パターンの各種パターンのエラー測定に対応します。
MU195020A、MU195050A を組み合わせ、シグナルインテグリティ評価に最適なコモンモードノイズ、ディファレンシャルモードノイズ、ホワイトノイズを印加したデータ生成に対応します。

MP1900A モジュールはさまざまなオプション構成が可能であり、各種ディジタル通信機器、ディジタル通信用モジュール、およびデバイスの研究開発や製造用に適しています。
MP1900A モジュールの特長は下記のとおりです。

MU191000A の特長

- 1 スロット構成の 4 ポートシンセサイザモジュール
- Center Frequency（中心周波数）を 100MHz～16.05GHz の範囲で設定可能（1kHz ステップ）
- PCIe Gen3/4/5/6/7 (8GHz) に対応した SSC (Spread Spectrum Clocking) 出力が可能
- Spread Method（Center/Down）、Deviation（1500/3000/5000ppm）を設定可能
- PLL Unlock 時のブザー設定やシステムアラーム表示に対応

MU195020A の特長

- PRBS パターン、DATA パターン、Zero-Substitution パターン、Mixed パターン、PAM4 パターン、Sequence パターンの発生が可能
- MU195020A-x20 によりモジュール内の 2 チャネル間での連携動作が可能 (Channel Combination)

この機能により、Multiplexer (MUX) を使用した多重用信号を発生可能
- MP1900A に装着されている複数の MU195020A を使用してチャネル間での連携動作が可能 (Channel Combination)
  この機能により、Multi Channel を必要とするアプリケーションに対応した同期データを発生可能
- 10TAP Emphasis を使用したシグナルインテグリティ評価が可能 (MU195020A-x11/x21)
- 10TAP Emphasis を使用した可変 ISI 機能を実現可能 (MU195020A-x40/x41)

MU195040A の特長
- PRBS パターン、DATA パターン、Zero-Substitution パターン、Mixed パターン、PAM4 パターン、HSSB Data パターンの測定が可能
- 大容量のユーザプログラマブルパターン (256 Mbits)
- MU195040A-x20 の追加により 32 Gbit/s データ入力を最大 2ch 持ち、64 Gbit/s シリアル通信の評価が可能
- 代表値で 25 mVp-p の入力感度を持ち、信号評価に最適
- MU195040A-x22 の追加により、クロックリカバリまたはクロックアンドデータリカバリが可能
- MU195040A-x11/x21 の追加により、CTLE (Continues Time Linear Equalizer) を使用して Loss 信号の評価が可能

MU195050A の特長
- 入力データに、コモンモードノイズ、ディファレンシャルモードノイズを印加して出力可能
- MU195050A-x01 の追加により 10 MHz から 10 GHz の帯域を持ったホワイトノイズを印加可能

MU196020A の特長
- 1 チャネルの NRZ、PAM4 信号を 64.2 Gbit/s、64.2 Gbaud まで発生可能 (MU196020A-003)
- PAM4 信号の各アイを独立して振幅調整可能
- PRBS パターン、DATA パターン、および各種 PAM4 パターンでの発生可能
- 4TAP Emphasis を使用したシグナルインテグリティ評価が可能 (MU196020A-x11)
- 4TAP Emphasis を使用した Intersymbol interference (ISI) 付加が可能 (MU196020A-x40)
- RS-FEC (544、514) と RS-FEC (528、514) に対応したパターン発生とエラー挿入が可能 (MU196020A-z42)
- MP1900A に装着されている複数の MU196020A を使用してチャネル間での連動動作が可能
  この機能により、Multi Channel を必要とするアプリケーションに対応した同期データを発生可能 (MU196020A-x50)
- PCIe6 規格に対応した FEC パターン発生と FEC エラー挿入が可能 (MU196020A-w43)
- PAM3 信号の各アイを独立して振幅調整可能

- PRBS パターン、PRTS パターン、DATA パターン、および各種 PAM3 パターンでの発生可能
- USB4 Gen4 規格に対応したパターン発生が可能（MU196020A-z45）
- PCIe 規格（8b10b および 128b130b,1b1b パターン）に対応した任意のパターンを、ユーザが編集して出力可能（MU196020A-z51）
- Sequence Editor 機能において、MP1900A に装着されている複数の MU196020A を使用して（最大 4CH）同期出力が可能（MU196020A-z52）
- Sequence Editor 機能において、PCIe6 および CXL3 規格に準拠した Flit 生成および SKP 挿入が可能（MU196020A-z56）

MU196020C の特長

- 1 チャネルの NRZ、PAM4 信号を 64.2 Gbit/s、64.2 Gbaud まで発生可能（MU196020C-003）
- 4Tap Emphasis を使用したシグナルインテグリティ評価が可能（MU196020C-x11）
- Emphasis 高速切り替え回路方式を採用し、より柔軟な ISI 付加や信号調整が可能（MU196020C-x11/z40）
- PAM4 信号の各アイを独立して振幅調整可能
- PRBS パターン、DATA パターン、および各種 PAM4 パターン、PCIe7 用パターン（CP/MCP/JMP/HSTP/LSTP/SHSTP 等）での発生が可能
- RS-FEC（544,514）と RS-FEC（528,514）に対応したパターン発生とエラー挿入が可能（MU196020C-z42/z43）
- MP1900A に装着されている複数の MU196020C を使用してチャネル間での連動動作が可能
  この機能により、Multi Channel を必要とするアプリケーションに対応した同期データを発生可能（MU196020C-x50）
- USB4 Gen4 規格に対応したパターン発生が可能（MU196020C-z45）

MU196040A の特長

- PAM4 Decoder 回路を搭載し、1 チャネル PAM4 32.1 Gbaud までのシンボル測定に対応
- PRBS パターン、DATA パターン、および各種 PAM4 パターンでの測定が可能
- 大容量のユーザプログラマブルパターン（256 Mbit、256 Msymbol）
- MU196040A-001 を選択することにより 1 チャネルの NRZ 32.1 Gbit/s、PAM4 32.1 Gbaud データ入力を持ち、シリアル通信の評価が可能
- 代表値で NRZ 23 mV（32.1 Gbit/s、Eye Height）、PAM4 23 mV（32.1 Gbaud、Eye Height、1 つのアイあたり）の入力感度を持ち、信号評価に最適
- MU196040A-x22 の追加により、25.5～32.1 Gbaud までのクロックリカバリが可能
- MU196040A-x41 の追加により、Symbol Error Rate（SER）による PAM4 信号評価が可能

MU196040B の特長

- PAM4 Decoder 回路を搭載し、1 チャネル PAM4 64.2 Gbaud までのシンボル測定に対応
- PRBS パターン、DATA パターン、および各種 PAM4 パターンでの測定が可能
- 大容量のユーザプログラマブルパターン（256 Mbit、256 Msymbol）
- 8 Mbits または 4 Msymbols までのデータパターンをキャプチャ可能
- RS-FEC Symbol Error が発生したデータパターンをキャプチャ、および FEC Symbol エラーカウントが可能
- MU196040B-002 または y12 を選択することにより 1 チャネルの NRZ 64.2 Gbit/s、PAM4 58.2 Gbaud データ入力を持ち、シリアル通信の評価が可能
- MU196040B-005 または 115、125 が有効な場合、PAM4 が 64.2 Gbaud まで可能
- 代表値で NRZ 23 mV（32.1 Gbit/s、Eye Height）、PAM4 23 mV（32.1 Gbaud、Eye Height、1 つのアイあたり）の入力感度を持ち、信号評価に最適
- MU196040B-x11 の追加により、Equalizer 機能を使用可能
- MU196040B-x21 の追加により、2.4～29.0 Gbaud までのクロックリカバリが可能
- MU196040B-x22 の追加により、2.4～32.1 Gbaud までのクロックリカバリが可能
- MU196040B-x23 の追加により、51.0～58.2 Gbaud までのクロックリカバリが可能
- MU196040B-z41 の追加により、Symbol Error Rate（SER）による PAM4 信号評価が可能
- MU196040B-w42 の追加により、RS-FEC Scrambled Idle パターンの Uncorrectable Codeword および FEC シンボルエラー測定が可能
- MU196040B-w43 の追加により、PCIe6 規格に対応した FEC パターンの Flit Error および FEC シンボルエラー測定が可能
- MU196040B-z51 の追加により、PCIe/CXL 規格（8b10b および 128b130b,1b1b パターン）に対応した Sequence Editor パターンの評価が可能

MU196050B の特長

- コモンモードノイズ、ディファレンシャルモードノイズを出力可能

MU196060A の特長

- Equalizer（CTLE）回路を搭載し、32G baud NRZ/PAM4 の損失を補償。MU196040B との組み合わせで PCIe5/6 CEM 規格のリターンパス Loss 補償に対応。 MU195040A SI ED（以下、MU195040A と呼びます）との組み合わせで PCIe5 CEM 規格に対応。
- MU196060A-x01 の追加により、以下の条件でのクロックリカバリが可能。
  - 2.5 Gbit/s、5 Gbit/s、8 Gbit/s for NRZ（MX183000A PCIe Link Training のみ）
  - 16 Gbaud、19.0～32.1 Gbaud for NRZ and PAM4

  MU196040B との組み合わせで PCIe4～6 の SRIS（SSC 付加クロック）測定に対応。

1.2　機器の構成

1.2.1　標準構成

MP1900A モジュールの標準構成を表 1.2.1-1、表 1.2.1-2、表 1.2.1-3、表 1.2.1-4、表 1.2.1-5、表 1.2.1-6、表 1.2.1-7、表 1.2.1-8、表 1.2.1-9、および表 1.2.1-10 に示します。

表 1.2.1-1　MU191000A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU191000A	Synthesizer	1	
添付品	J1341A	オープン	3	10MHz Input/Output 100MHz Input SMA コネクタ保護用
	J1632A	同軸終端器（SMA）	5	Clock/AUX Output SMA コネクタ終端用
	J1717A	同軸アダプタ（SMA-P、SMA-J）	5	Clock/AUX Output SMA コネクタ保護用
	J1624A	同軸ケーブル 0.3 m（SMA コネクタ）	4	Clock Output 接続用

表 1.2.1-2　MU195020A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU195020A	21G/32G bit/s SI PPG	1	
添付品	J1632A	同軸終端器（SMA）	5	Clock Output、 Aux Output × 2、 Gating Output × 2
	J1341A	オープン	2	Ext Clock Input、 AUX Input
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	1	Clock Output
	J1717A	同軸アダプタ（SMA-P、SMA-J）	6	Ext Clock Input、 Aux Output × 2、 Gating Output × 2、 AUX Input
	MU195020A-x10 実装時			
	J1632A	同軸終端器（SMA）	2	Data Output × 2
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	2	Data Output × 2
	MU195020A-x20 実装時			
	J1632A	同軸終端器（SMA）	4	Data Output × 4
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	4	Data Output × 4

表 1.2.1-3 MU195040A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU195040A	21G/32G bit/s SI ED	1	
添付品	J1632A	同軸終端器（SMA）	2	Aux Output × 2
	J1341A	オープン	2	Ext Clock Input、 AUX Input
	J1717A	同軸アダプタ（SMA-P、SMA-J）	4	Ext Clock Input、 Aux Output × 2、 AUX Input
	MU195040A-x10 実装時			
	J1341A	オープン	2	Data Input × 2
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	2	Data Input × 2 (出荷時に本体とは別に添付)
	J1887A	固定減衰器（6 dB、K コネクタ）	2	Data Input × 2 (出荷時に本体へ取り付け)
	MU195040A-x20 実装時			
	J1341A	オープン	4	Data Input × 4
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	4	Data Input × 4 (出荷時に本体とは別に添付)
	J1887A	固定減衰器（6 dB、K コネクタ）	4	Data Input × 4 (出荷時に本体へ取り付け)

表 1.2.1-4　MU195050A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU195050A	Noise Generator	1	
添付品	J1632A	同軸終端器（SMA）	4	Data Output × 4*1
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	4	Data Output × 4*2
	J1717A	同軸アダプタ（SMA-P、SMA-J）	2	External Input × 2*2
	J1341A	オープン	6	Data Input × 4*1 External Input × 2*1
	J1746A	スキューマッチペアセミリジットケーブル（K コネクタ、Data Input1）	1 式	Data Input1 × 2*3
	J1747A	スキューマッチペアセミリジットケーブル（K コネクタ、Data Input2）	1 式	Data Input2 × 2*4
	J1792A	スキューマッチペアセミリジットケーブル（V-K コネクタ、Data Input1）	1 式	Data Input1 × 2*5

＊1: 出荷時には製品に取り付けられています。

＊2: MU195050A のコネクタに常時接続することを推奨します。

＊3: MU195020A の Data Output1 と MU195050A の Data Input1 を最短で接続するためのセミリジットケーブル

＊4: MU195020A の Data Output2 と MU195050A の Data Input2 を最短で接続するためのセミリジットケーブル

＊5: MU196020A PAM4 PPG の Data Output と MU195050A の Data Input1 を最短で接続するためのセミリジットケーブル

表 1.2.1-5 MU196020A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU196020A	PAM4 PPG	1	
添付品	J1632A	同軸終端器（SMA）	4	Clock Output、 AUX Output × 2、 Gating Output
	J1889A	同軸終端器	2	Data Output × 2
	J1341A	オープン	2	Ext Clock Input、 AUX Input
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	1	Clock Output
	J1717A	同軸アダプタ（SMA-P、SMA-J）	5	Ext Clock Input、 AUX Output × 2、 Gating Output、 AUX Input

表 1.2.1-6 MU196020C 標準構成

項目	形名・記号	品名	数量	備考
本体	MU196020C	PAM4 PPG	1	
添付品	J1632A	同軸終端器（SMA）	4	Clock Output、 AUX Output × 2、 Gating Output
	J1889A	同軸終端器	2	Data Output × 2
	J1341A	オープン	2	Ext Clock Input、 AUX Input
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	1	Clock Output
	J1717A	同軸アダプタ（SMA-P、SMA-J）	5	Ext Clock Input、 AUX Output × 2、 Gating Output、 AUX Input

表 1.2.1-7　MU196040A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU196040A	PAM4 ED	1	
添付品	J1632A	同軸終端器（SMA）	2	AUX Output × 2、
	J1341A	オープン	2	Ext Clock Input、 AUX Input
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	1	Ext Clock Input
	J1717A	同軸アダプタ（SMA-P、SMA-J）	3	AUX Output × 2、 AUX Input
	MU196040A-001 実装時			
	J1341A	オープン	2	Data Input × 2
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	2	Data Input × 2

表 1.2.1-8　MU196040B 標準構成

項目	形名・記号	品名	数量	備考
本体	MU196040B	PAM4 ED	1	
添付品	J1889A	同軸終端器	2	Data Input × 2
	J1341A	オープン	2	Ext Clock Input、 AUX Input
	J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	1	Ext Clock Input
	J1632A	同軸終端器（SMA）	2	AUX Output × 2
	J1717A	同軸アダプタ（SMA-P、SMA-J）	3	AUX Output × 2、 AUX Input
	J1888A	精密固定減衰器 6 dB	2	Data Input × 2

表 1.2.1-9　MU196050B 標準構成

項目	形名・記号	品名	数量	備考
本体	MU196050B	Noise Generator	1	
添付品	J1717A	同軸アダプタ（SMA-P、SMA-J）	4	Noise Output × 2*1、*2 External Input × 2*1、*2
	J1632A	同軸終端器（SMA）	2	Noise Output × 2*1
	J1341A	オープン	2	External Input × 2*1
	J1948A	同軸スキューマッチケーブル (0.4m、SMA コネクタ)	1 式	Noise Output × 2*3
	J1793A	Pick OFF Tee	2	V Connector*4

＊1: 出荷時には製品に取り付けられています。

＊2: MU196050B のコネクタに常時接続することを推奨します。

＊3: MU196050B の Noise Output と J1793A の接続に使用

＊4: MU196020A/C の Data Output に接続して使用

表 1.2.1-10 MU196060A 標準構成

項目	形名・記号	品名	数量	備考
本体	MU196060A	32G baud NRZ/PAM4 Re-Driver	1	
添付品	J1916A	オープン (V)	4	Data/XData Input × 2、 Data/XData Output × 2
	J1341A	オープン	1	Clock Output
	J1898A	同軸ケーブルセット for MU196060A	1	MU196040B との接続用 Ext Clock In: J1917A × 1、 Data/XData Input: J1932A × 1

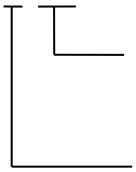
1.2.2　オプション

MP1900A モジュールのオプションを表 1.2.2-1、表 1.2.2-2、表 1.2.2-3、表 1.2.2-4、表 1.2.2-5、表 1.2.2-6、表 1.2.2-7、および表 1.2.2-8 に示します。これらはすべて別売りです。

注:

オプション形名について

MU195020A-x x x



機能を表す番号です。
MP1900A で認識されている値です。

当社管理番号です。
MP1900A で認識されていない値です。
0: 出荷時に取り付け
1: 後付けオプションです。オプションの取り付けには、当社への引き取りが必要です。
2: 後付けオプションです。オプションの取り付けには、サービスセンターへの引き取りが必要です。
3: 後付けオプションです。ユーザがオプションを取り付けることができます。

- ソフトウェアオプションの取り付け方法については、『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア取扱説明書』の「2.4 プラグインモジュールオプション追加手順」を参照してください。

表 1.2.2-1　MU195020A オプション

形名	品名	備考
MU195020A-y01	32Gbit/s Extension	*1
MU195020A-x10	1ch Data Output	*2、*3
MU195020A-x20	2ch Data Output	*2、*3
MU195020A-y11	1ch 10Tap Emphasis	*1、*4
MU195020A-y21	2ch 10Tap Emphasis	*1、*5
MU195020A-y30	1ch Data Delay	*1、*4
MU195020A-y31	2ch Data Delay	*1、*5
MU195020A-w40	1ch Variable ISI	*4、*6、*9、*10
MU195020A-w41	2ch Variable ISI	*5、*7、*9、*10
MU195020A-z50	Sequence Editor Function	*8、*11、*14
MU195020A-z51	Sequence Editor Function PCIe5 Extension	*8、*12、*13、*14

＊1: 形名の y は 0、1、または 2 を表します。

＊2: 形名の x は 0 または 1 を表します。

＊3: どちらか 1 つを選択します。

＊4: MU195020A-x10 が必要です。

＊5: MU195020A-x20 が必要です。

＊6: MU195020A-y11 が必要です。

＊7: MU195020A-y21 が必要です。

＊8: 形名の z は 0 または 3 を表します。

＊9: 形名の w は 0、1、2、または 3 を表します。

＊10: MU195020A-340 、MU195020A-341 は MX190000A バージョン 5.00.90 以降で動作します。

＊11: MX190000A バージョン 5.00.90 以降で動作します。

＊12: MX190000A バージョン 7.02.00 以降で動作します。

＊13: MU195020A-y01 および MU195020A-z50 が必要です。

＊14: ソフトウェアオプションです。

表 1.2.2-2 MU195040A オプション

形名	品名	備考
MU195040A-y01	32Gbit/s Extension	*1
MU195040A-x10	1ch ED	*2、*3
MU195040A-x20	2ch ED	*2、*3
MU195040A-y11	1ch CTLE	*1、*4
MU195040A-y21	2ch CTLE	*1、*5
MU195040A-y22	Clock Recovery	*1

＊1: 形名の y は 0、1、または 2 を表します。

＊2: 形名の x は 0 または 1 を表します。

＊3: どちらか 1 つを選択します。

＊4: MU195040A-x10 が必要です。

＊5: MU195040A-x20 が必要です。

表 1.2.2-3 MU195050A オプション

形名	品名	備考
MU195050A-x01	White Noise	*

＊: 形名の x は 0 または 1 を表します。

表 1.2.2-4　MU196020A オプション

形名	品名	備考
MU196020A-001	32G baud	*1
MU196020A-002	58G baud	*1
MU196020A-003	64G baud	*1
MU196020A-y12	32G to 58G baud Extension 後付	*2、*3
MU196020A-y13	32G to 64G baud Extension 後付	*2、*3
MU196020A-y23	58G to 64G baud Extension 後付	*2、*4
MU196020A-x11	4Tap Emphasis	*5
MU196020A-x30	Data Delay	*5
MU196020A-z40	Adjustable ISI	*6、*7、*8、*14
MU196020A-z42	FEC Pattern Generation	*6、*8、*14
MU196020A-w43	FEC Error Insertion for PCIe6	*12、*13、*14
MU196020A-z45	USB4 Gen4 Pattern Generation	*6、*14、*15
MU196020A-x50	Inter-Module Synchronization	*5、*9、*10
MU196020A-z51	Sequence Editor Function	*6、*14、*16
MU196020A-z52	Sequence Editor Function for Multi-Channel	*6、*14、*16、*17
MU196020A-z56	Sequence Editor Function PCIe6 and CXL3 Flits Extension	*6、*14、*17、*18
MU196020A-z60	PCIe6 LEQ	*6、*7、*11

＊1: 工場出荷時選択、ソフトウェアオプションです。どれか 1 つを選択します。

＊2: 工場出荷後選択、ソフトウェアオプションです。(y = 1 または 2)

＊3: オプション 001 搭載時に追加できます。

＊4: オプション 002 または y12 搭載時に追加できます。

＊5: x = 0、1、または 2

＊6: z = 0、1、2、または 3

＊7: オプション x11 搭載時に追加できます。

＊8: オプション 040、042、140、142、240、および 242 は MX190000A バージョン 3.01.07 以降で動作します。オプション 340、342 は MX190000A バージョン 5.00.90 以降で動作します。

＊9: オプション x30 搭載時に追加できます。

＊10: MX190000A バージョン 3.01.07 以降で動作します。

＊11: MX190000A バージョン 9.00.00 以降で動作します。

＊12: w = 0 または 3

＊13: MX190000A バージョン 10.00.00 以降で動作します。

＊14: ソフトウェアオプション

＊15: MX190000A バージョン 10.03.00 以降で動作します。

＊16: MX190000A バージョン 10.05.00 以降で動作します。

＊17: オプション z51 搭載時に追加できます。

＊18: MX190000A バージョン 10.08.00 以降で動作します。

表 1.2.2-5 MU196020C オプション

形名	品名	備考
MU196020C-001	32G baud	*1
MU196020C-002	58G baud	*1
MU196020C-003	64G baud	*1
MU196020C-y12	32G to 58G baud Extension 後付	*2、*3
MU196020C-y13	32G to 64G baud Extension 後付	*2、*3
MU196020C-y23	58G to 64G baud Extension 後付	*2、*4
MU196020C-x11	4Tap Emphasis	*5、*9
MU196020C-x30	Data Delay	*5、*9
MU196020C-z40	Adjustable ISI	*6、*8、*9
MU196020C-z42	FEC Pattern Generation	*8、*9
MU196020C-z43	FEC Error Insertion for PCIe6	*8、*9
MU196020C-z45	USB4 Gen4 Pattern Generation	*8、*9
MU196020C-x50	Inter-Module Synchronization	*5、*7、*9

＊1: 工場出荷時選択、ソフトウェアオプションです。どれか 1 つを選択します。

＊2: 工場出荷後選択、ソフトウェアオプションです。(y = 1、または 2)

＊3: オプション 001 搭載時に追加できます。

＊4: オプション 002 または y12 搭載時に追加できます。

＊5: x = 0、1、または 2

＊6: オプション x11 搭載時に追加できます。

＊7: オプション x30 搭載時に追加できます。

＊8: z = 0、1、2、または 3

＊9: ソフトウェアオプション

表 1.2.2-6 MU196040A オプション

形名	品名	備考
MU196040A-001	32.1G baud Decoder	*1
MU196040A-x22	25.5G to 32.1G baud Clock Recovery	*2、*3
MU196040A-x41	SER Measurement	*2、*4

＊1: 工場出荷時選択、ハードウェアオプションです。

＊2: x = 0、1、または 2

＊3: ハードウェアオプション

＊4: ソフトウェアオプション

表 1.2.2-7　MU196040B オプション

形名	品名	備考
MU196040B-001	32G baud	*1、*14
MU196040B-002	58G baud	*1、*14
MU196040B-005	64G baud	*5*18
MU196040B-x11	Equalizer	*2、*14
MU196040B-y12	32G to 58G baud Extension	*3、*4、*14
MU196040B-115	32G to 64G baud Extension	*3、*4、*5、*18
MU196040B-125	58G to 64G baud Extension	*3、*5、*17、*18
MU196040B-x21	29G baud Clock Recovery	*2、*5、*6、*7
MU196040B-x22	32G baud Clock Recovery	*2、*5、*6、*7
MU196040B-x23	58G baud Clock Recovery Extension	*2、*8、*14
MU196040B-y24	32G baud Clock Recovery Extension	*3、*5、*9
MU196040B-z41	SER Measurement	*10、*14
MU196040B-w42	FEC Analysis	*11、*14
MU196040B-w43	FEC Analysis for PCIe6	*11、*12、*13、*14
MU196040B-z51	PCIe Sequence Editor Pattern Analysis	*10、*14、*15、*16

＊1: 工場出荷時選択

＊2: x = 0、1、または 2

＊3: y = 1 または 2

＊4: MU196040B-001 が必要です。

＊5: ハードウェアオプション

＊6: MU196040B-x23 と同時に実装できます。

＊7: MU196040B-x21 と MU196040B-x22 は、どちらか 1 つを実装できます。

＊8: MU196040B-002 または MU196040B-y12 が必要、MU196040B-x21 または MU196040B-x22 が必要です。

＊9: MU196040B-x21 が必要です。

＊10: z = 0、1、2、または 3

＊11: w = 0 または 3

＊12: MX190000A バージョン 10.00.00 以降で動作します。

＊13: MU196040B-z41 が必要です。

＊14: ソフトウェアオプション

＊15: MX190000A バージョン 10.05.00 以降で動作します。

＊16: PAM4 信号（PCIe6）の解析には MU196040B-z41 が必要です。

＊17: MU196040B-002 が必要です。

＊18: MX190000A バージョン 11 のみで動作します。

表 1.2.2-8 MU196060A オプション

形名	品名	備考
MU196060A-x01	Clock Recovery for SSC	*1、*2

＊1: x = 0 または 3

＊2: ソフトウェアオプション

1.2.3　応用部品

MP1900A モジュールの応用部品を表 1.2.3-1 に示します。これらはすべて別売りです。

表 1.2.3-1　応用部品

形名	品名	備考
J1449A	メジャメントキット（K コネクタ）	同軸ケーブル (K コネクタ) 0.8 m × 2 同軸ケーブル 0.8 m × 2 同軸ケーブル 1.0 m × 1
34VFK50A	精密アダプタ	変換コネクタ（V-F K-M）
34VKF50A	精密アダプタ	変換コネクタ（V-M K-F）
41KC-3	精密固定減衰器 3 dB	K コネクタ
41KC-6	精密固定減衰器 6 dB	K コネクタ
41KC-10	精密固定減衰器 10 dB	K コネクタ
41KC-20	精密固定減衰器 20 dB	K コネクタ
41VA-3	精密固定減衰器 3 dB	V コネクタ
J1888A	精密固定減衰器 6 dB	V コネクタ
41VA-10	精密固定減衰器 10 dB	V コネクタ
41VA-20	精密固定減衰器 20 dB	V コネクタ
J1342A	同軸ケーブル 0.8 m	APC3.5 コネクタ
J1359A	同軸アダプタ（K-P、K-J、SMA 互換）	
J1439A	同軸ケーブル（0.8 m、K コネクタ）	
J1510A	Pick OFF Tee	K コネクタ
J1624A	同軸ケーブル 0.3 m (SMA コネクタ)	
J1625A	同軸ケーブル 1 m (SMA コネクタ)	
J1550A	同軸スキューマッチケーブル（0.8 m、APC3.5 コネクタ）	APC3.5 mm コネクタ、2 本セット 1 組
J1551A	同軸スキューマッチケーブル（0.8 m、K コネクタ）	K コネクタ、2 本セット 1 組
J1887A	固定減衰器（6 dB、K コネクタ）	
J1632A	同軸終端器（SMA）	SMA コネクタ
J1678A	ESD プロテクションアダプタ-K	K コネクタ
J1679A	ESD プロテクションアダプタ-V	V コネクタ
J1728A	同軸電気長規定ケーブル（0.4 m、K コネクタ）	
J1741A	同軸電気長規定ケーブル（0.8 m、K コネクタ）	
J1742A	同軸電気長規定ケーブル（0.84 m、K コネクタ）	
J1735A	コンバイナ	
G0375A	32Gbaud Power PAM4 Converter	

表 1.2.3-1 応用部品 (続き)

形名	品名	備考
G0376A	32Gbaud PAM4 Decoder with CTLE	
G0374A	64Gbaud PAM4 DAC	
G0361A	64Gbaud 2-bit DAC with MUX	
J1748A	Power Splitter (1.5G-18GHz)	
J1758A	ISI Board	
J1789A	同軸電気長規定ケーブル (0.4 m、V コネクタ)	
J1790A	同軸電気長規定ケーブル (0.8 m、V コネクタ)	
J1792A	スキューマッチペアセミリジットケーブル (V-K コネクタ、Data Input1)	MU195050A Data Input1 との接続用
J1793A	Pick OFF Tee	V コネクタ
J1800A	ISI Board V	V コネクタ
J1900A	パッシブ低域周波数イコライザ	
J1917A	同軸セミリジッドケーブル	MU196040B Ext Clock In と MU196060A Clock Output の接続用
J1932A	同軸スキューマッチケーブルペア (0.8m、V コネクタ)	
K240C	精密パワーデバイダ	
J1889A	同軸終端器	V コネクタ
V240C	精密パワーデバイダ	V コネクタ
W3976AW	MP1900A シグナルクオリティアナライザ-R 用プラグインモジュール取扱説明書	冊子、和文
Z0306A	リストストラップ	
MZ1834A/B	4PAM コンバータ	
MZ1838A	8PAM コンバータ	
Z1964A	トルクレンチ (ライトアングル)	
J1943A	MP1900A USB4v2 測定コンポーネントセット	*
J1821A	同軸スキューマッチケーブルペア (0.8m、K コネクタ)	
J1759A	BNC-SMA コネクタケーブル (1m)	
G0447A	PCIe6 外部リドライバ	

＊: MP1900A USB4v2 測定コンポーネントセットの構成は、「表 1.2.3-2」を参照してください。

表 1.2.3-2　J1943A MP1900A USB4v2 測定コンポーネントセット構成

形名	品名	数量
J1888A	精密固定減衰器（6 dB、V コネクタ）	2
K261	DC ブロック	2
J1789A	同軸電気長規定ケーブル（0.4 m、V コネクタ）	2
J1821A	同軸スキューマッチケーブルペア（0.8m、K コネクタ）	4
J1748A	Power Splitter (1.5G-18GHz)	2
J1632A	同軸終端器（SMA）	2
J1792A	スキューマッチペアセミリジットケーブル (V-K コネクタ、Data Input1)	1
J1808A	KJ-KJ Adaptor	2
J1820A	同軸電気長規定ケーブル（0.4m, K コネクタ）	4
J1949A	同軸スキューマッチケーブルペア(0.6m K コネクタ)	1

1.3 規格

1.3.1 Synthesizer

1.3.1.1 MU191000A規格

表 1.3.1.1-1 規格

項目		規格
電気的性能 クロック出力 (Clock Output)	出力数	4
	周波数範囲	0.1～16.05 GHz*1
	設定分解能	1 kHz オフセット機能: –1000～+1000 ppm 1 ppm step 分解能
	振幅	0.7±0.3 Vp-p (0.4～1.0 Vp-p)
	Duty	50±10 % (40～60 %)
	出力 skew	≦10 ps (16.05 GHz)
	位相雑音	10 kHz Offset のとき: ≦–110 dBc/Hz*2
		100 kHz Offset のとき: ≦–111 dBc/Hz*2
		1 MHz Offset のとき: ≦–110 dBc/Hz*2
	内部 SSC 変調	SSC 33kHz Center / Down Spread OFF / 1500 ppm / 3000 ppm / 5000 ppm
	インピーダンス	50 Ω / AC Coupling
	コネクタ	SMA-Jack

＊1: AUX Output と共通設定

＊2: 非高調波スプリアスを除く

表 1.3.1.1-1　規格 (続き)

項目		規格
10 MHz 基準信号基準入力 (Ref. Input)	周波数	10 MHz±2 ppm
	レベル	0.5～2.0 Vp-p
	インピーダンス	50 Ω / AC Coupling
	コネクタ	SMA-Jack
10 MHz 基準信号基準出力 (Ref. Output)	レベル	1.0±0.3 Vp-p (0.7～1.3 Vp-p)
	インピーダンス	50 Ω / AC Coupling
	波形	正弦波
	コネクタ	SMA-Jack
100 MHz 基準信号基準入力 (Ref. Input)*3	周波数	100MHz with SSC 30～33kHz Center/Down Spread 0～5000 ppm
	レベル	0.15～1.45 Vp-p
	インピーダンス	50 Ω / AC Coupling
	コネクタ	SMA-Jack
基準周波数源		Internal/External 10MHz/External 100MHz
AUX 出力 (AUX Output)*4	出力数	1
	レベル	0.5±0.25 Vp-p (0.25～0.75 Vp-p)
	Duty	50±10 % (40～60 %)
	インピーダンス	50 Ω / AC Coupling (常時 50 Ω終端すること)
	コネクタ	SMA-Jack
環境性能	使用温度範囲	+15～+35 °C (MP1900A 機器周囲温度。組み込み時に本モジュールが動作すること)
	保存温度範囲	–20～+60 °C (機器に組み込んだ状態で MIL-T-28800E クラス 5 に適合すること)
機械的性能	質量	1.1 kg 以下
	寸法	21 mm(H) x 234 mm(W) x 175 mm(D) ただし、突起物含まず

＊3: 100 MHz Ref. Input への信号入力が検出されると、自動的に PLL は再同期します。ただし、1 秒以下の瞬断や、規定範囲外の周波数で信号入力した場合、PLL がアンロックしたままになることがあります。その場合、下記のいずれかの方法で PLL は再同期します。

- 正しい信号を入力し、Spectrum Spread-SSC を一度 ON (Ext Ref 100MHz) 以外に設定してから元の設定に戻す。
- 1 秒以上入力信号を切断し、再度信号を入力する。

＊4: 周波数はクロック出力 (Clock Output) と同じ値に設定されます。

1.3.2 PPG

1.3.2.1 MU195020A規格

表 1.3.2.1-1 動作ビットレート

項目	規格
動作ビットレート	2.4～21.0 Gbit/s*1 2.4～32.1 Gbit/s*2
設定範囲	動作ビットレートの設定範囲は連動モジュール*2、「表 1.3.2.1-13 クロック出力」により決まります。
MU181000A/B 連動オン*5	MU181000A/B が同じユニットに装着されている場合に設定可能
設定範囲	2.400 000～21.000 000 Gbit/s、0.000 002 Gbit/s step*1 2.400 000～25.000 000 Gbit/s、0.000 002 Gbit/s step*2 25.000 004～32.100 000 Gbit/s、0.000 004 Gbit/s step*2
オフセット	–1000～+1000 ppm、1 ppm step*3
MU181500B 連動オン*5	MU181000A/B、MU181500B が同じユニットに装着されている場合に設定可能
設定範囲	2.400 000～3.125 000 Gbit/s、0.000 002 Gbit/s step 3.200 002～6.250 000 Gbit/s、0.000 002 Gbit/s step 6.400 002～12.500 000 Gbit/s、0.000 002 Gbit/s step 12.800 002～21.000 000 Gbit/s、0.000 002 Gbit/s step*1 12.800 002～25.000 000 Gbit/s、0.000 002 Gbit/s step*2 25.600 004～32.100 000 Gbit/s、0.000 004 Gbit/s step*2
オフセット	–1000～+1000 ppm、1 ppm step*4

＊1: オプション x01 無し

＊2: オプション x01 有り

＊3: MU195020A と同一の筐体実装時のみ有効

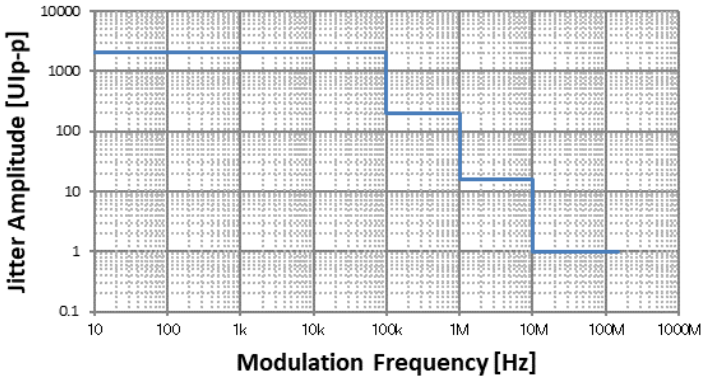
＊4: ビットレート設定により、オフセットの設定範囲が異なります。以下のビットレート設定では、設定範囲が–1000～0 ppm になります。
フルレート: 12.500000 Gbit/s、25.000000 Gbit/s
ハーフレート: 25.000000 Gbit/s

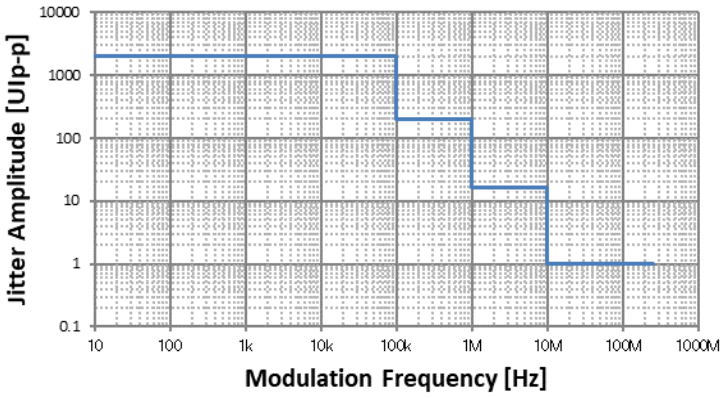
＊5: Unit Sync ON 時は MU181000A/B との連動、MU181000A/B + MU181500B Jitter の連動はできません。

表 1.3.2.1-1　動作ビットレート (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>外部クロック
出力クロックレートをフルレート設定としたとき</td><td>
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～16.0 Gbit/s</td><td>2.4～16.0 GHz</td><td>1/1 クロックで動作</td></tr>
<tr><td>16.0～20.0 Gbit/s*1</td><td>8.0～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～21.0 Gbit/s*1</td><td>10.0～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>16.0～20.0 Gbit/s*2</td><td>8.0～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～32.1 Gbit/s*2</td><td>10.0～16.05 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
出力クロックレートをハーフレート設定としたとき
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～21.0 Gbit/s*1</td><td>1.2～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>2.4～32.1 Gbit/s*2</td><td>1.2～16.05 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
</td></tr>
<tr><td>外部クロック連動 MU181500B
出力クロックレートをフルレート設定としたとき</td><td>
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～15.0 Gbit/s</td><td>2.4～15.0 GHz</td><td>1/1 クロックで動作</td></tr>
<tr><td>15.0～20.0 Gbit/s*1</td><td>7.5～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～21.0 Gbit/s*1</td><td>10.0～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>15.0～20.0 Gbit/s*2</td><td>7.5～10.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>20.0～30.0 Gbit/s*2</td><td>10.0～15.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
出力クロックレートをハーフレート設定としたとき
<table>
<tr><th>動作ビットレートの設定範囲</th><th>入力するクロック周波数</th><th>ビットレートとクロック周波数の関係</th></tr>
<tr><td>2.4～21.0 Gbit/s*1</td><td>1.2～10.5 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>2.4～30.0Gbit/s*2</td><td>1.2～15.0 GHz</td><td>1/2 クロックで動作</td></tr>
<tr><td>25.0～32.1 Gbit/s*2</td><td>6.25～8.025 GHz</td><td>1/4 クロックで動作</td></tr>
</table>
</td></tr>
</table>

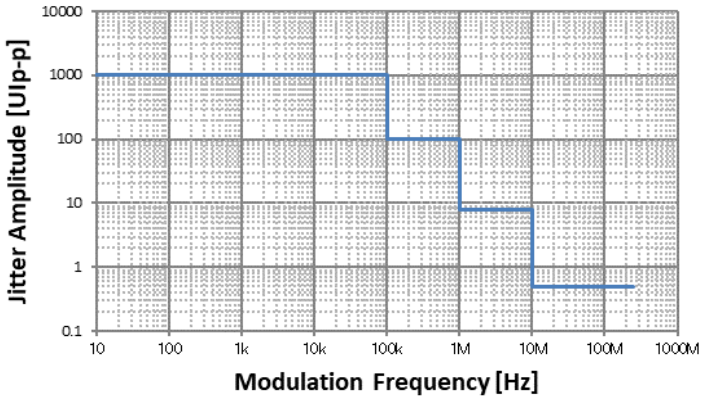
表 1.3.2.1-2 ジッタ設定範囲

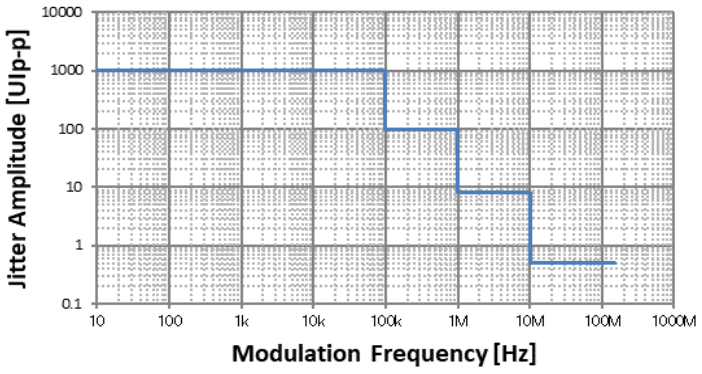
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate</td><td>MU181000A/B + MU181500B 連動時
SJ2 選択を Built-in SJ2 にした場合、Jitter Amplitude 設定範囲が半分になります。</td></tr>
<tr><td>SJ1 Clock Output Rate Full Rate 設定時</td><td>30 < Bit rate ≤ 32.1 Gbit/s、15 < Bit rate ≤ 17 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
17 < Bit rate ≤ 30 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M</td><td>0～1</td></tr>
</table></td></tr>
</table>

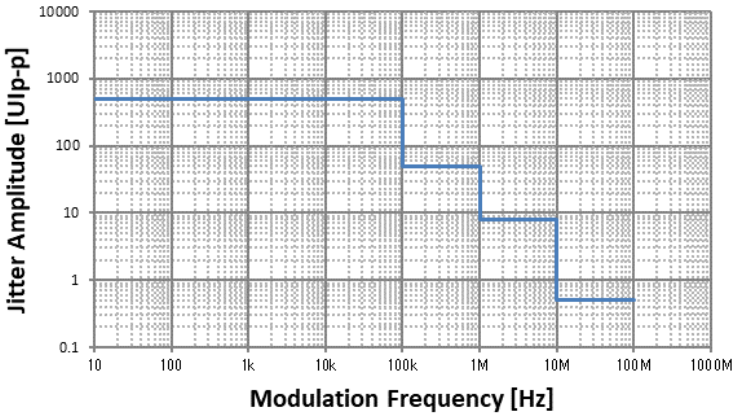
表 1.3.2.1-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Full Rate 設定時 (続き)</td><td>8.5 < Bit rate ≤ 15 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～250M</td><td>0～0.5</td></tr>
</table>
4 < Bit rate ≤ 8.5 Gbit/s
 

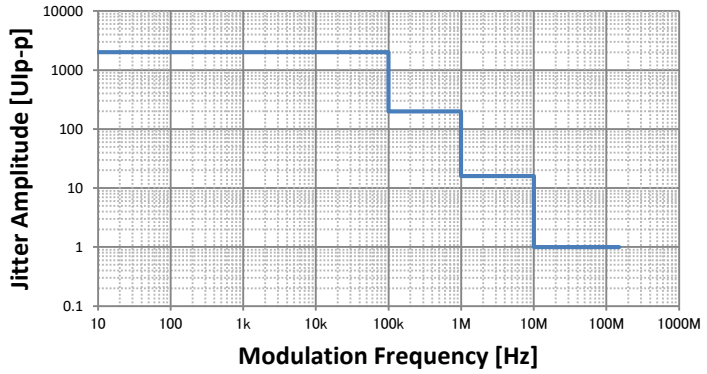
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～150M</td><td>0～0.5</td></tr>
</table></td></tr>
</table>

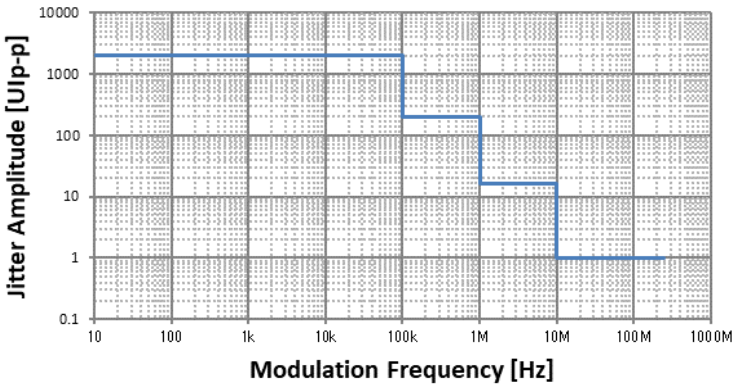
表 1.3.2.1-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Full Rate 設定時 (続き)</td><td>2.4 < Bit rate ≤ 4 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～500</td></tr>
<tr><td>100.1k～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～100M</td><td>0～0.5</td></tr>
</table></td></tr>
</table>

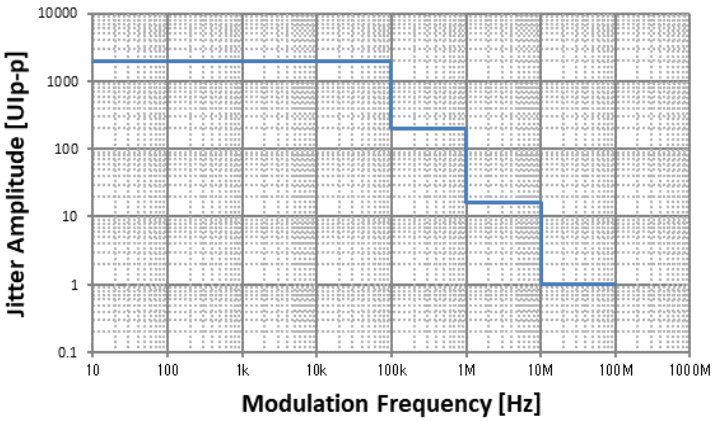
表 1.3.2.1-2　ジッタ設定範囲 (続き)

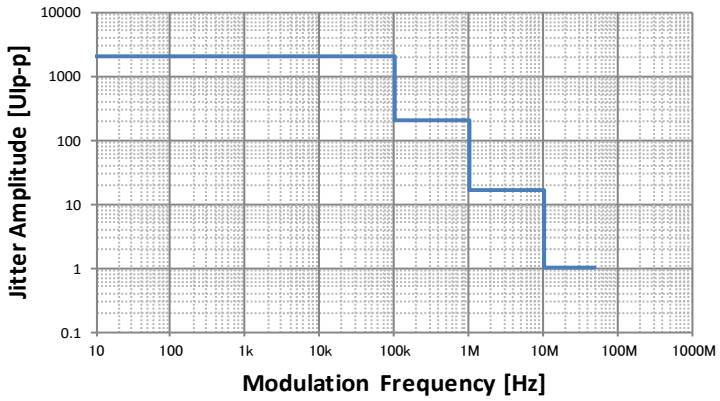
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Half Rate 設定時</td><td>30 < Bit rate ≤ 32.1 Gbit/s、8 < Bit rate ≤ 17 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
17 < Bit rate ≤ 30 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M</td><td>0～1</td></tr>
</table>
</td></tr>
</table>

表 1.3.2.1-2 ジッタ設定範囲 (続き)

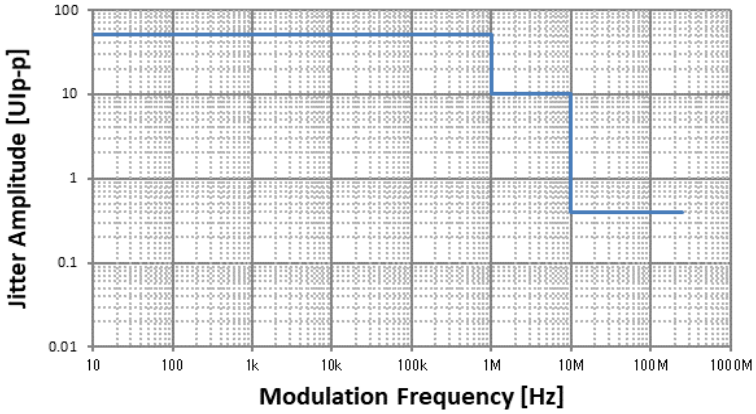
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate Half Rate 設定時 (続き)</td><td>2.4 < Bit rate ≤ 8 Gbit/s
 

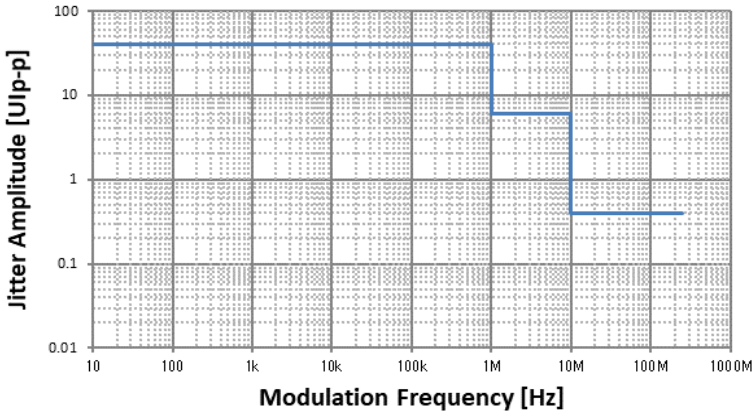
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～100M</td><td>0～1</td></tr>
</table>
Bit rate 2.4 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～50M</td><td>0～1</td></tr>
</table></td></tr>
</table>

表 1.3.2.1-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 Clock Output Rate

SJ2 via MU181000A Clock Output Rate Full Rate 設定時*1</td><td>15.000 001 ≤ Bit rate ≤ 32.1 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table>
6.400 001 ≤ Bit rate ≤ 15 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～40</td></tr>
<tr><td>1.001M～10M</td><td>0～6</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

＊1: Built-in SJ2 とは排他で設定可能

表 1.3.2.1-2 ジッタ設定範囲 (続き)

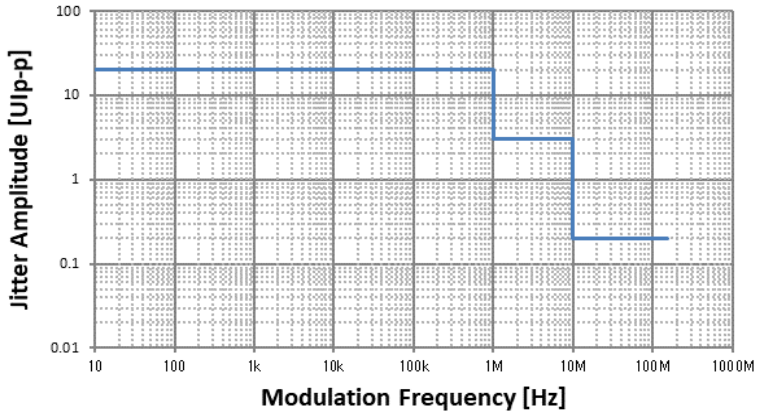
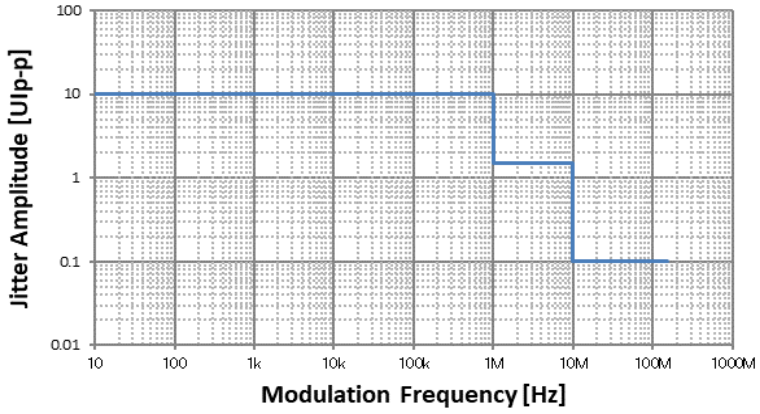
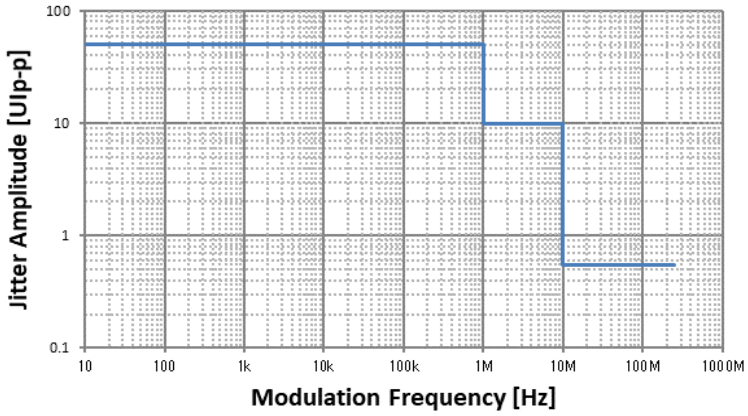
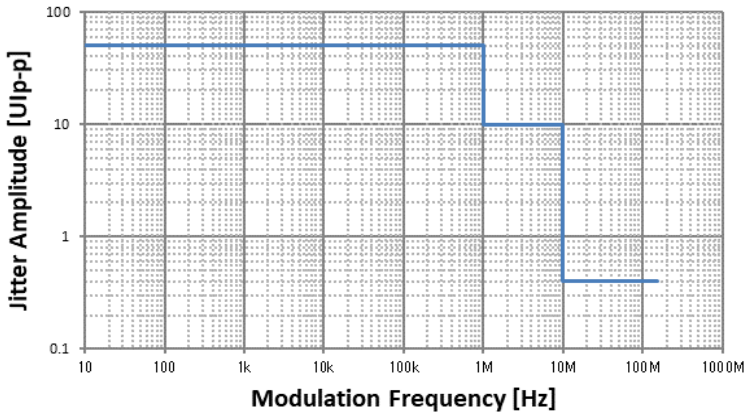
項目	規格
SJ2 via MU181000A Clock Output Rate Full Rate 設定時*1 (続き)	3.200 001 ≤ Bit rate ≤ 6.25 Gbit/s  変調周波数 (Hz) / ジッタ振幅 (UIp-p) 10～1M: 0～20 1.001M～10M: 0～3 10.01M～150M: 0～0.2 2.4 ≤ Bit rate ≤ 3.125 Gbit/s  変調周波数 (Hz) / ジッタ振幅 (UIp-p) 10～1M: 0～10 1.001M～10M: 0～1.5 10.01M～150M: 0～0.1

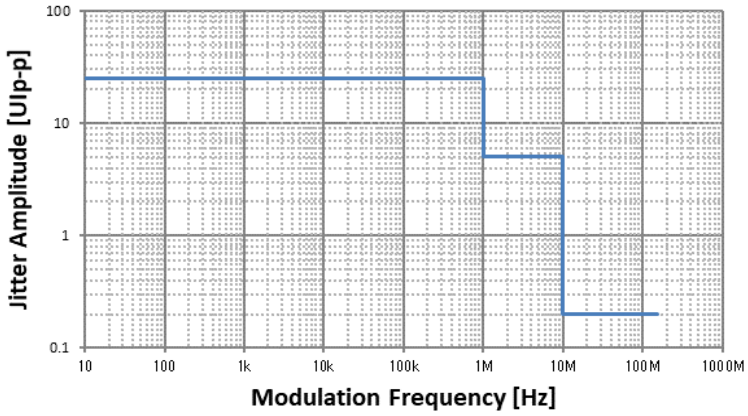
表 1.3.2.1-2　ジッタ設定範囲 (続き)

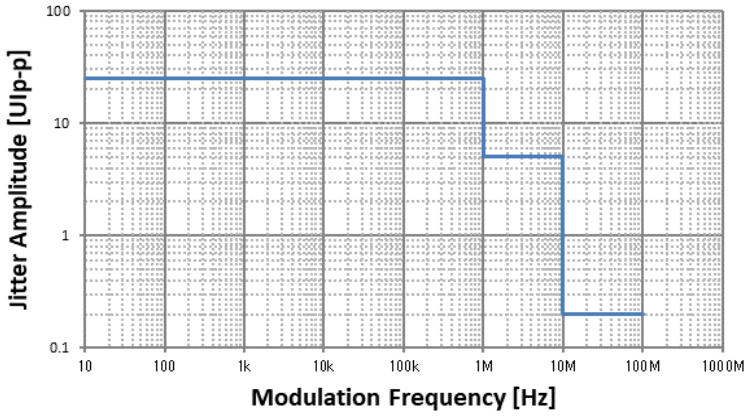
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Half Rate 設定時*1</td><td>12.800001 ≤ Bit rate ≤ 32.1 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.548</td></tr>
</table>
6.400001 ≤ Bit rate ≤ 12.5 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～150M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

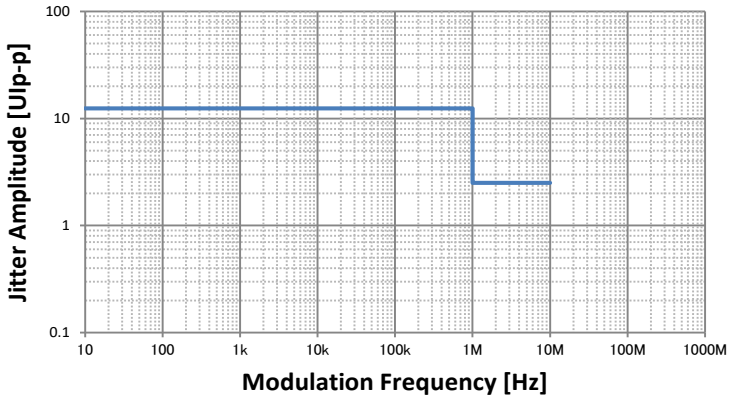
表 1.3.2.1-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Half Rate 設定時*1 (続き)</td><td>3.600001 ≤ Bit rate ≤ 6.25 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～25</td></tr>
<tr><td>1.001M～10M</td><td>0～5</td></tr>
<tr><td>10.01M～150M</td><td>0～0.2</td></tr>
</table>
3.200001 < Bit rate ≤ 3.6 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～25</td></tr>
<tr><td>1.001M～10M</td><td>0～5</td></tr>
<tr><td>10.01M～100M</td><td>0～0.2</td></tr>
</table></td></tr>
</table>

表 1.3.2.1-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000A Clock Output Rate Half Rate 設定時*1 (続き)</td><td>2.4 ≤ Bit rate ≤ 3.125 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～12.4</td></tr>
<tr><td>1.001M～10M</td><td>0～2.5</td></tr>
</table></td></tr>
<tr><td>Built-in SJ2 Clock Output Rate

Built-in SJ2 Clock Output Rate
Full Rate 設定時*2</td><td>MU181000A/B + MU181500B 連動時

15 < Bit rate ≤ 32.1 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
4 < Bit rate ≤ 15 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
<tr><td>210M</td><td>0～0.1</td></tr>
</table>
2.4 ≤ Bit rate ≤ 4 Gbit/s
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
</table></td></tr>
</table>

＊2: MP1900A に実装時有効、SJ2 via MU181000A とは排他で設定可能

表 1.3.2.1-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>Built-in SJ2 Clock Output Rate
Half Rate 設定時*2</td><td>8 < Bit rate ≤ 32.1 Gbit/s
<table><tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr><tr><td>33k</td><td>0～1000</td></tr><tr><td>100M</td><td>0～0.5</td></tr><tr><td>210M</td><td>0～0.2</td></tr></table>2.4 < Bit rate ≤ 8 Gbit/s
<table><tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr><tr><td>33k</td><td>0～1000</td></tr><tr><td>100M</td><td>0～0.5</td></tr></table>Bit rate 2.4 Gbit/s
<table><tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr><tr><td>33k</td><td>0～1000</td></tr></table></td></tr>
</table>

表 1.3.2.1-3 外部クロック入力

項目	規格
入力数	1 (シングルエンド)
周波数	1.2～16.05 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm)
終端	AC、50 Ω
コネクタ	SMA コネクタ (f.)

表 1.3.2.1-4　補助入力、補助出力

項目	規格
補助入力（Aux Input）	
入力数	1 (シングルエンド)
Validation	Error Injection、Burst、Sequence Trigger*1、Unit Sync*2
最小パルス幅	データレートの 1/128
入力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.1～–0.8 V) 0/–0.5 V (H: –0.05～0.05 V、L: –0.55～–0.45 V)*2 Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	GND、50 Ω
コネクタ	SMA コネクタ（f.）
補助出力（Aux Output）	
出力数	2 (差動出力)
出力 ON/OFF	ON、OFF 切り替え有り
Validation	1/n Clock (n = 4、6、8、10…510、512)、Pattern Sync、Burst Out2、LTSSM Trigger*1、Unit Sync*2
Pattern Sync	
PRBS、PRGM	Position:　1～(Pattern Length'と 128 の最小公倍数 – 135)、8 step Pattern Length'は Pattern Length が 511 以下のとき、512 以上になるように整数倍した値
Pattern Change Trigger	Test Pattern で Data を選択し、Current Outputting Pattern を切り替えたときにトリガを出力
Mixed Data	Block No 設定:　1～(Mixed Data 指定の Block No)、1 step Row No 設定:　1～(Mixed Data 指定の Row No)、1 step
Burst Out2	
バーストトリガディレイ	0～(Burst Cycle – 128) bits、8 bits step
パルス幅	0～(Burst Cycle – 128) bits、8 bits step
Unit Sync	Unit Sync 設定時にタイミング信号を出力
出力レベル	0/–0.6 V (H: –0.25～0.05 V、L: –0.80～–0.45 V)
終端	GND、50 Ω
コネクタ	SMA コネクタ（f.）

＊1: Sequence Trigger と LTSSM Trigger は Test Pattern が Sequence のときのみ選択できます。

＊2: Unit Sync ON のとき選択され、他の設定は選択不可となります。

表 1.3.2.1-5 ゲート出力

項目	規格
出力数	2 (差動出力)
出力 ON/OFF	ON、OFF 切り替え有り
Validation	Burst*1、Repeat*1、LFPS*2
Burst 時	Burst Output
バーストトリガディレイ	0～(Burst Cycle – 128) bits、8 bits step
イネーブルパルス幅	128～(Burst Cycle – 128) bits、8 bits step
出力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.25～–0.8 V)*3
Repeat 時	Timing Signal Output
タイミング信号周期	INT ($\frac{\text{PatternLength}}{128}$) × 128 (Mixed 以外)
タイミング信号パルス幅	PRBS、Zero-Substitution、Data 時: 128～(Pattern Length'と 128 の最小公倍数 – 128) ただし、最大 34 359 738 240 bits、8 bits step Pattern Length'は Pattern Length が 511 以下のとき、512 以上になるように整数倍した値 Mixed 時: 128～(Row Length × Block 数 × Row 数 – 128)、8 bits step ただし、最大 2415918976 bits、8 bits step
タイミング信号ディレイ	タイミング信号パルス幅と同じ値
出力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.25～–0.8 V)*3
終端	GND、50 Ω
コネクタ	SMA コネクタ (f.)

＊1: Test Pattern が Sequence の以外のときに設定可能

＊2: Test Pattern が Sequence かつ Specification が USB3.0 または USB3.1 Gen2 のときに設定可能

＊3: L: Output Enable、H: Output Disable

表 1.3.2.1-6　パターン発生

項目	規格
PRBS	
パターン長	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
マーク率	1/2 (論理反転により 1/2INV が可能)
Zero-Substitution	
付加ビット	0 bit、1 bit
パターン長	2^n または 2^n–1 (n = 7、9、10、11、15、20、23)
開始位置	最大“0”連続ビット位置の次ビットから置換します。
ゼロビットの長さ	1～(Pattern Length – 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
データ長	2～268435456 bits、1 bit step
Current Outputting Pattern	1～10、1 step、選択されている番号の Pattern を出力 各番号の Pattern は Glitch Free で切り替え可能
Maximum List Num	1～10、step
Mixed Pattern	
パターン切り替え	Data
Mixed Block	下記のいずれか小さい数まで 1～511 Block、1 Block step $\mathrm{INT}\left(\frac{268435456}{\text{ROW数}}\times\text{データ長}\right)$ bits $\mathrm{INT}\left(\frac{268435456+2^{31}}{\text{ROWの長さ}}\times\text{ROW数}\right)$bits
Mixed Row Length	2048～268435456 + 2^{31}、1024 bits step (Data + PRBS Length)
データ長	1024～268435456 bits、1 bit step
Row 数	1～16、1 step
Block 数	1～511、1 step
PRBS パターン長、マーク率	PRBS と同様
PRBS Sequence	Restart、Consecutive
スクランブル	各 Block の PRBS、Data ごとに設定可能 (Block1 の Data 領域を除く)

表 1.3.2.1-6 パターン発生 (続き)

項目	規格
PAM4*1	
Sequence	Square Wave、JP03A、JP03B、PRQS10、SSPR、QPRBS13、QPRBS13-CEI、SSPRQ、Transmitter Linearity、PRBS13Q、PRBS31Q、User Define
User Define 選択時	
Raw Data	PRBS、Data
PRBS パターン長	PRBS と同様
PRBS Inversion	PRBS 部の Logic 設定
データ長	Data と同様
Gray Coding	グレイコード機能の ON、OFF 設定
Raw Data	PRBS、Data
PRBS パターン長、マーク率	PRBS と同様
PRBS Inversion	PRBS 部の Logic 設定
データ長	Data と同様
Gray Coding	グレイコード機能の ON、OFF 設定
Sequence*2	
Specification	PCIe1、PCIe2、PCIe3、PCIe4、PCIe5、USB3.0、USB3.1 Gen2 PCIe5 を選択するにはオプション y01、z50、z51 がすべて必須
Logic	POS、NEG
PRBS Inversion	ON、OFF
Transmit	Sequence 送信を開始します。 送信中は LED が点灯します。
Manual	Manual Trigger を設定している場合に有効
Trigger Block No.	AUX Output より LTSSM Trigger を出力するシーケンスの Block No.を選択します。 1～128 Block No.、1 step

＊1: 2ch コンビネーションまたは 64G × 2ch コンビネーション設定時のみ PAM4 を設定可能

＊2: MU195020A-z50 が必要です。Independent 時のみ設定可能。
Ch1 または Ch2 のどちらかを Sequence に設定した場合、Ch1、Ch2 共に Sequence になります。

表 1.3.2.1-7　シーケンスエディタ

項目	規格
Preset	Emphasis Preset 設定 PCIe1、PCIe2、PCIe3、PCIe4、PCIe5 2.5G: P0～P10 5.0G: P0～P10 8.0G: P0～P10 16.0G: P0～P10 32.0G: P0～P10 USB3.0 5.0G: P0～P10 USB3.1 Gen2 10.0G: P0～P10
Break	External(LFPS)*1 External(Edge) Manual OFF
Loop	Time、Num Break 条件が OFF のとき有効
Loop Time	1～1,000,000 µsec、1 µsec step
Loop Num	2～1,000,000 times、2 time step
Insert OS	
SKP OS	SKP OS Insertion: ON、OFF SKP OS Reset: ON、OFF
EIEOSQ	EIEOSQ Insertion: ON、OFF EIEOSQ Reset: ON、OFF EIEOSQ Interval: 1～65536 pattern repeats、1 step PCIe1、PCIe2、PCIe3、PCIe4、および PCIe5 のとき有効
SYNC OS	SYNC OS Insertion: ON、OFF SYNC OS Reset: ON、OFF SYNC OS Interval: 1～65536 Pattern repeats、1 Step USB3.1 Gen2 のとき有効
Scrambler Seed	8b10b: FFFF 128b130b: Lane0、Lane1、Lane2、Lane3、Lane4、Lane5、Lane6、Lane7 128b132b: 1DBFBC

＊1: Specification が USB3.0 または 3.1 のとき有効

表 1.3.2.1-7 シーケンスエディタ (続き)

項目	規格
PCIe1	
Bitrate	2.5 Gbit/s
Coding	8b10b
Block number	1～128 blocks
Pattern Length	32～1024 bit、8 bit step (8b10b) 2～268,435,450 bit、1 bit step (General) 2^n–1 (n = 7、9、10、11、13、15、20、23、31) (General)
Pattern type	Electrical Idle、8b10b、General*2
SKP Ordered Set Insertion	Length: COM+1、COM+2、COM+3、COM+4、COM+5 Interval: 76～3076 symbols、2 step Symbol Length x2: ON、OFF
PCIe2	
Bitrate	2.5 Gbit/s、5.0 Gbit/s
Coding	8b10b
Block number	1～128 blocks
Pattern Length	32～1024 bit、8 bit step (8b10b) 2～268,435,450 bit、1 bit step (General) 2^n–1 (n = 7、9、10、11、13、15、20、23、31) (General)
Pattern type	Electrical Idle、8b10b、General*2
SKP Ordered Set Insertion	Length: COM+1、COM+2、COM+3、COM+4、COM+5 Interval: 76～3076 symbols、2 step Symbol Length x2: ON、OFF

＊2: General は Sequence の最後の行のみ設定可能

表 1.3.2.1-7　シーケンスエディタ (続き)

項目	規格
PCIe3	
Bitrate	2.5 Gbit/s、5.0 Gbit/s、8.0 Gbit/s
Coding	8b10b、128b130b 128b130b は 8.0 Gbit/s のときのみ設定可能
Block number	1～128 blocks
Pattern Length	32～1024 bit、8 bit step (8b10b) 128～1024 bit、128 bit step (128b130b) 2～268,435,450 bit、1 bit step (General) 2^n–1 (n = 7、9、10、11、13、15、20、23、31) (General)
Pattern type	Electrical Idle、8b10b、128b130b、General*2
SKP Ordered Set Insertion	8b10b Length: COM+1、COM+2、COM+3、COM+4、COM+5 Interval: 76～3076 symbols、2 step Symbol Length x2: ON、OFF 128b130b Length: 8、12、16、20、24 Interval: 20～750 blocks、1 step Symbol Length x2: ON、OFF
PCIe4	
Bitrate	2.5 Gbit/s、5.0 Gbit/s、8.0 Gbit/s、16.0 Gbit/s
Coding	8b10b、128b130b 128b130b は 8.0 Gbit/s および 16.0 Gbit/s のときに設定可能
Block number	1～128 blocks
Pattern Length	32～1024 bit、8 bit step (8b10b) 128～1024 bit、128 bit step (128b130b) 2～268,435,450 bit、1 bit step (General) 2^n–1 (n = 7、9、10、11、13、15、20、23、31) (General)
Pattern type	Electrical Idle、8b10b、128b130b、General*2
SKP Ordered Set Insertion	8b10b Length: COM+1、COM+2、COM+3、COM+4、COM+5 Interval: 76～3076 symbols、2 step Symbol Length x2: ON、OFF 128b130b Length: 8、12、16、20、24 Interval: 20～750 blocks、1 step Symbol Length x2: ON、OFF

表 1.3.2.1-7 シーケンスエディタ (続き)

項目	規格
PCIe5	
Bitrate	2.5 Gbit/s、5.0 Gbit/s、8.0 Gbit/s、16.0 Gbit/s、32.0 Gbit/s
Coding	8b10b、128b130b 128b130b は 8.0 Gbit/s、16.0 Gbit/s、および 32.0 Gbit/s のときに設定可能
Block number	1～128 blocks
Pattern Length	32～1024 bit、8 bit step (8b10b) 128～1024 bit、128 bit step (128b130b) 2～268,435,450 bit、1 bit step (General) 2^n–1 (n = 7、9、10、11、13、15、20、23、31) (General)
Pattern type	Electrical Idle、8b10b、128b130b、General*2
SKP Ordered Set Insertion	8b10b Length: COM+1、COM+2、COM+3、COM+4、COM+5 Interval: 76～3076 symbols、2 step Symbol Length x2: ON、OFF 128b130b Length: 8、12、16、20、24 Interval: 20～750 blocks、1 step Symbol Length x2: ON、OFF
Precoding for 32.0 GT/s	ON、OFF

表 1.3.2.1-7　シーケンスエディタ (続き)

項目	規格
USB3.0	
Bitrate	5.0 Gbit/s
Coding	8b10b
Block number	1～128 blocks
Pattern Length	32～1024 bit、8 bit step 2～268,435,450 bit、1 bit step (General) 2^n–1 (n = 7、9、10、11、13、15、20、23、31) (General)
Pattern type	LFPS*3、*4 Warm Reset、Polling LFPS、Ping LFPS、Loopback Exit、SCD1、SCD2、End of SCD、PHY Capability LBPM、PHY Ready LBPM、End of LBPM Preset Pattern TS1、TS2、TSEQ、Idle Data、CP0 General*2
SKP Ordered Set Insertion	Length:　2、4、6 Interval:　76～708 symbols、1 step
USB3.1 Gen2	
Bitrate	10.0 Gbit/s
Coding	128b132b
Block number	1～128 blocks
Pattern Length	128～1024 bit、128 bit step
Pattern type	LFPS*3、*4 Warm Reset、Ping LFPS、Loopback Exit、SCD1、SCD2、End of SCD、PHY Capability LBPM、PHY Ready LBPM、End of LBPM Preset Pattern TS1、TS2、TSEQ、Idle Data、CP9 General*2
SKP Ordered Set Insertion	Length:　8、12、16、20、24、28、32、36、40 Interval:　20～80 blocks、1 step Symbol Length x2:　ON、OFF

＊3: LFPS は CH1 のみ送信可能

＊4: LFPS 信号はユーザが変更できず、固定パターンのみ出力可能

表 1.3.2.1-7 シーケンスエディタ (続き)

項目	規格
8b10b Pattern Editor	
Notation	Symbol、Bin、Hex
Scrambler Enable	選択した Symbol に Scramble をかけます。 ON、OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します。 ON、OFF
Code	K-code、D-code
K code	K28.0、K28.1、K28.2、K28.3、K28.4、K28.5、K28.6、K28.7 K23.7、K27.7、K29.7、K30.7
D code	D0.0～D31.7
MSB First / LSB First	MSB First、LSB First
128b130b Pattern Editor	
Notation	Bin、Hex
Scrambler Enable	選択した Symbol に Scramble をかけます。 ON、OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します。 ON、OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。 ON、OFF
Sync Header	2 bit の Sync Header を定義します。
MSB First / LSB First	MSB First、LSB First
128b132b Pattern Editor	
Notation	Symbol Bin、Symbol Hex
Scrambler Enable	選択した Symbol に Scramble をかけます。 ON、OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します。 ON、OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。 ON、OFF
Sync Header	4 bit の Sync Header を定義します。
MSB First / LSB First	MSB First、LSB First

表 1.3.2.1-8　パターンシーケンス

項目	規格
Sequence	Repeat、Burst
Repeat	連続 Pattern
バースト	
トリガ源	Internal、External-Trigger (Aux Input)*、External-Enable (Aux Input)*
データシーケンス	Restart、Consecutive、Continuous
バーストサイクル	25600～2147483648 bits、1024 bits step
周期	Internal:　12800～2147483392 bits、256 bits step Ext Trigger:　12800～2147483648 bits、256 bits step

＊:　Unit Sync ON 時は設定不可

表 1.3.2.1-9　プリコード

項目	規格
ON/OFF	プリコード機能の ON、OFF 設定あり*
変調方式	2ch Combination:　DQPSK
初期値	0/1 から選択

＊:　Pattern Sequence が Repeat 時のみ有効

表 1.3.2.1-10　エラー付加

項目	規格
エラー付加範囲	ALL、Specific Block (Mixed の場合のみ選択可能)
内部トリガ	
付加方法	Repeat、Single
比率	*E– n (*=1～9、n=3～12)、上限は 5.0E–3
挿入チャネル	1～32、またはチャネルスキャン (Internal 時のみ)
外部トリガ*1、*2	
制御方法	External-Trigger (Rise edge trigger)、External-Disable (L: Disable)
Bit/Burst	Bit Error、Burst Error の選択
Burst Length	1～127、1 step

＊1: Test Pattern が Sequence 以外のときに設定可能

＊2: Unit Sync ON 時は設定不可

表 1.3.2.1-11 データ出力

項目	規格*1
出力数	オプション x10: 2 (Data、XData) オプション x20: 4 (Data1、XData1、Data2、XData2)
アイ振幅	
設定範囲	0.1～1.3 Vp-p、2 mV step
確度	±50 mV±17 %
オフセット	
設定範囲	$-2.0-\frac{振幅}{2}$～$+3.3-\frac{振幅}{2}$ Vth、1mV step
確度	±65 mV ± (オフセットの 10 %) (Vth) ± (アイ振幅確度 / 2)*2
定義済みインタフェース	NECL、SCFL、NCML、PCML、LVPECL
クロスポイント	50 % Fixed
立ち上がり、立ち下がり	12 ps (20～80 %)*2、*3、*5、≤15 ps (20～80 %)*2、*3
Half Period Jitter	
設定範囲	–100～100*4、1 step
確度	±0.02 UI*5、*6

＊1: 記載がない限り、PRBS2^{31}–1、マーク率 1/2、クロスポイント 50 %にて規定

応用部品 J1439A 同軸ケーブル (0.8 m、K コネクタ) およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

＊2: オプション x11 またはオプション x21 有りの場合で、Emphasis 設定時は除く

＊3: オプション x01 無しの場合、21 Gbit/s にて
オプション x01 有りの場合、32.1 Gbit/s にて
振幅 1.0 Vp-p

＊4: 21 以上または–21 以下に設定する場合は正常に波形が出力されないことがあります。オシロスコープで波形を観測しながら使用するか、波形をキャリブレーションして使用することを推奨します。

＊5: 代表値

＊6: 設定値が 0 のとき

表 1.3.2.1-11　データ出力 (続き)

項目	規格*1
Intrinsic Jitter	
Peak-to-Peak Jitter	6 ps p-p (測定カウント 30)*3、*5、*7
Random Jitter	300 fs rms (1、0 繰り返しパターン)*3、*5、*7
	115 fs rms (28 Gbit/s 1、0 繰り返しパターン)*3、*5、*8
Total Jitter	6 ps*3、*5、*7、*9
Waveform Distortion (0-peak)	±25 mV ±15 %*3、*5
出力 ON/OFF	ON、OFF 切り替え有り
Data/XData スキュー	±1 ps*5、*10
チャネル間スキュー*11	±0.25 UI
終端	AC、DC 切り替え、50 Ω DC 時: GND、–2 V、+1.3 V、+3.3 V、Open (LVDS)
コネクタ	K コネクタ (f.)
オフセット基準	Vth
Level Guard	Amplitude、Voh、Vol の設定可能
External ATT Factor	0～40 dB、1 dB step

＊7: 残留ジッタ <200 fs (RMS) のオシロスコープを使用

＊8: 残留ジッタ <70 fs (RMS) のオシロスコープを使用

＊9: PRBS2^{15}–1、BER 10^{-12} にて規定

＊10: ケーブルの誤差は含まず

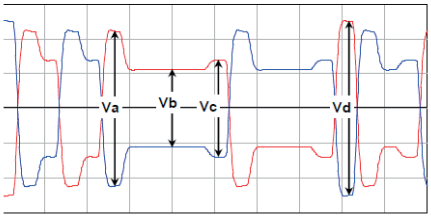
＊11: オプション x20 有りの場合

表 1.3.2.1-12 10 タップエンファシス*1

項目	規格
エンファシスタップ	10 (6 post-cursor、3 pre-cursor)
カーソル設定範囲	–20～20 dB、0.1 dB step*2
確度	±1 dB*3、*4
エンファシスピーク電圧の設定範囲	0.1～1.5 Vp-p (シングルエンド)
エンファシス ON/OFF	ON、OFF 切り替え有り
Idle 状態からの遷移時間	≦8 ns*5
Channel Emulator*6、*7	Normal: PPG 出力 Data 信号に、読み込み S パラメータ相当の伝送路を接続した波形をエミュレート出力する Inverse: PPG 出力 Data 信号に、読み込み S パラメータ相当の伝送路損失を補償する De-Emphasis を設定し、波形をエミュレート出力する
Response	Normal、Inverse
S-Parameter file	S2P ファイル (拡張子"*.s2p")、 S4P ファイル (拡張子"*.s4p") ベクトルネットワークアナライザ MS4640B Series の出力ファイルに対応
Variable ISI*6	PPG 出力 Data 信号に、ISI を発生させるチャネルの損失を設定、そのエミュレート波形を出力する (出力波形振幅は設定振幅で規格化) 応用部品 J1758A ISI Board との組み合わせ (J1758A 選択)、または外部チャネルボードとの組み合わせ (Not Specified 選択) で使用可能
周波数設定	Nyquist、1/2 Nyquist Frequency にて Insertion Loss を設定可能
Insertion Loss 設定	1.5～25 dB 0.01 dB step @Nyquist Frequency 0～25 dB 0.01 dB step @1/2Nyquist Frequency
Insertion Loss Accuracy *8	±1dB Nominal @Nyquist Frequency 10 dB、1、0 繰り返しパターン、 ±1dB Nominal @1/2Nyquist Frequency 5 dB、1、1、0、0 繰り返しパターン、 Bit rate 16 Gbit/s、25 Gbit/s (オプション 01 実装時)、Eye Amplitude 1.0 Vp-p、各スペクトラムにて
ON/OFF	ON、OFF 切り替え有り
Glitch-free	周波数変動時 PPG 出力を瞬断せず Glitch-free 動作をさせる
ON/OFF*9	ON、OFF 切り替え有り

＊1: オプション x11 またはオプション x21 を追加している場合

＊2: Post-cursor: $20\log_{10}(\frac{V_a}{V_b})$、Pre-cursor: $20\log_{10}(\frac{V_c}{V_b})$



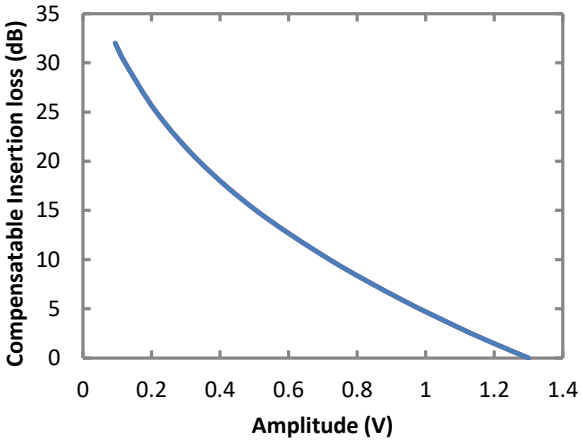
＊3: 代表値

＊4: 8、16、25 Gbit/s PCIe 3/4 各プリセットにて

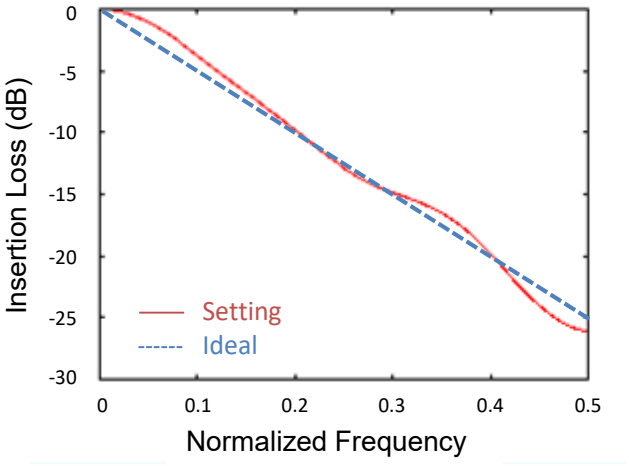
＊5: Electrical Idle から有効データが発生される最大時間

＊6: オプション x40 またはオプション x41 を追加している場合

＊7: Channel Emulator 機能で振幅を下げることなく補償できる最大伝送路損失は以下のグラフのとおり



＊8: Insertion Loss を、25 dB@Nyquist Frequency、12.5 dB@1/2 Nyquist Frequency に設定したときの Insertion Loss Accuracy 周波数特性は以下のようになります。(Nominal)



＊9: Unit Sync ON のときは、OFF 固定となります。

表 1.3.2.1-13 クロック出力

項目	規格*1
周波数	
Full Rate	2.4～21.0 GHz*2 2.4～32.1 GHz*3 動作ビットレートはクロック出力周波数と同じです。
Half Rate	1.2～10.5 GHz*2 1.2～16.05 GHz*3 動作ビットレートはクロック出力周波数の 2 倍です。
出力数	1
振幅	0.3～1.0 Vp-p
ON/OFF	ON、OFF 切り替え有り
終端	AC、50 Ω
コネクタ	K コネクタ (f.)

＊1: 応用部品 J1439A 同軸ケーブル (0.8 m、K コネクタ) およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

＊2: オプション x01 無し

＊3: オプション x01 有り

表 1.3.2.1-14 データディレイ*1

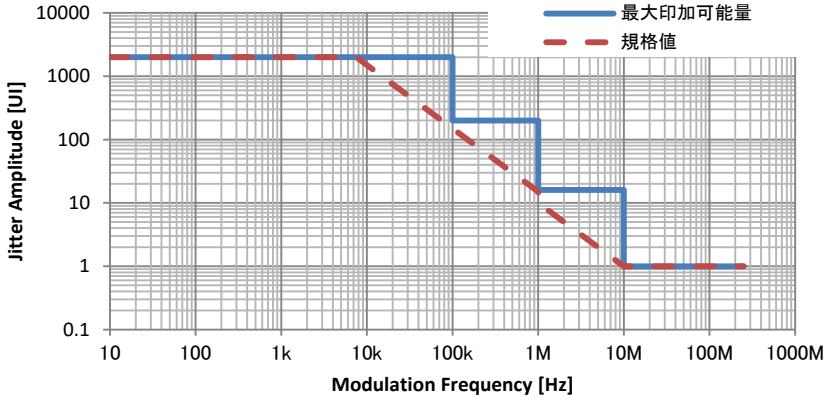
項目	規格
位相設定範囲	–1000～+1000 mUI、2 mUI step
確度	±50 mUIp-p*2、*3
mUI - ps 変換	有り
Calibration	有り
Calibration 推奨表示	次の状態になったときに画面に表示 ・ 1/1 Clock の周波数が±250 kHz 変化したとき ・ 機器周囲温度が±5 °C 変化した場合

＊1: オプション x30 またはオプション x31 を追加している場合

＊2: 残留ジッタ <200 fs (RMS) のオシロスコープを使用

＊3: 代表値

表 1.3.2.1-15　ジッタ耐力

項目	規格
ジッタ耐力	ビットレート:　16 Gbit/s、28.1 Gbit/s*、32.1 Gbit/s* パターン:　PRBS2^{31}–1 MU181500B を使用して、振幅 5300 ppm の SSC と、0.3 UI の RJ を同時に印加可能。 MU195040A (Ext Clock Input 使用時) とのループバック接続、20～30 °C のある 1 つの温度で規定 RJ+BUJ/SJ3 > 0.5 UIp-p、または SJ1+Built-in SJ2+RJ+BUJ/SJ3 > 規格値 +0.3 UIp-p のとき、MU181500B の画面が Overload 表示となる。 ただし変調周波数が 33 kHz であって、RJ+BUJ/SJ3 >0.5 UIp-p、または SJ1 >550UIp-p のとき、MU181500B の画面が Overload 表示となる。  変調周波数 (Hz) / 最大印加可能量 (UIp-p) / 規格値 (UIp-p) 10 / 2,000 / 2,000 7,500 / 2,000 / 2,000 100,000 / 2,000 / 150 1,000000 / 200 / 15 10,000,000 / 16 / 1 250,000,000 / 1 / 1

＊:　オプション x01 有り

表 1.3.2.1-16 マルチチャネル動作

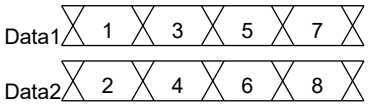
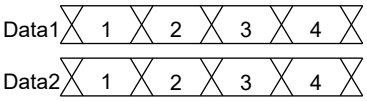
項目	規格
コンビネーション	Combination Setting 条件 ・ Test Pattern が Sequence のときはマルチチャネル動作を設定できません。 ・ オプション x31 が必要です。
2ch Combination	42/64 Gbit/s 帯信号源として Bit 位相のずれた信号を発生します。 設定された Pattern を ch ごとに 1bit ずつ発生します。 2ch Combination をサポートします。  2ch Combination イメージ Combination 条件 ・ Module を複数用いての Combination には対応しません。
Channel Synchronization	パラレル信号発生源として先頭位置を合わせたパターンを発生します。 各 ch は独立な Test Pattern を持ち、発生のタイミングが同一になるよう制御されます。 2ch Channel Synchronization をサポートします。  Channel Synchronization イメージ

表 1.3.2.1-16　マルチチャネル動作 (続き)

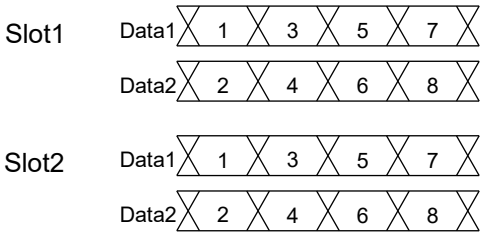
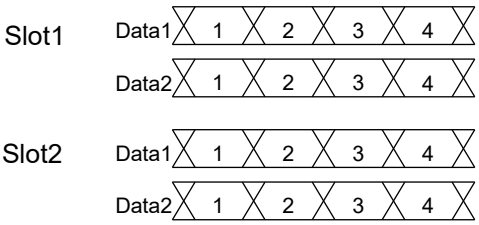
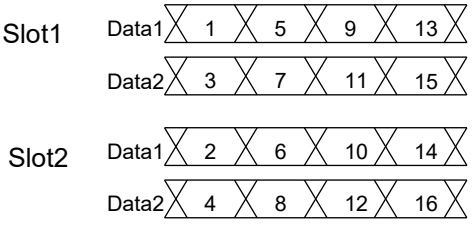
項目	規格
モジュール間コンビネーション	Combination Setting 条件 ・ Test Pattern が Sequence のときはマルチチャネル動作を設定できません。 ・ オプション x31 が同期対象のモジュールすべてに実装されていること ・ オプション x01 の有無が同期対象のモジュールで同一であること ・ スロット 1～4:　2ch CH Sync、CH Sync、64G × 2ch Combination ・ 対象のモジュールが Slot1 から連続で実装されていること
2ch CH Sync	2ch Combination のモジュール間 Sync: 各モジュールの DataX が同期  2ch CH Sync イメージ
CH Sync	モジュール間の Sync: 各 Data Ch が同期  CH Sync イメージ
64G × 2ch Combination	2ch Combination のモジュール間 Sync: 各モジュールの DataX が 1/4 周期ずれ  64G × 2ch Combination イメージ

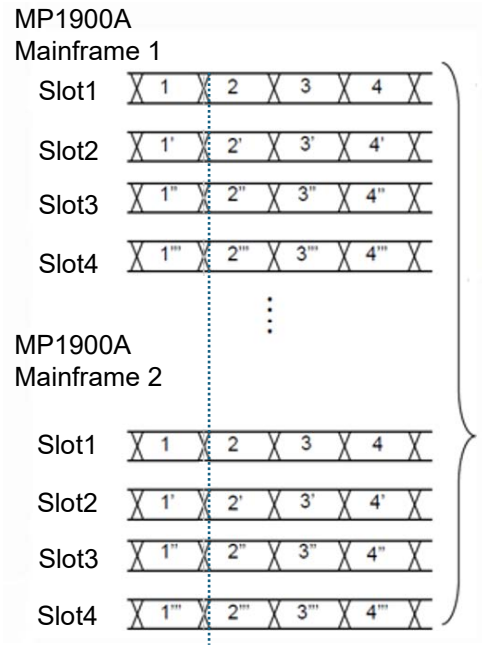
表 1.3.2.1-16 マルチチャネル動作 (続き)

項目	規格
出力	
位相設定範囲	–64 000～+64 000 mUI*1
位相設定分解能	2 mUI*1
パターン	
Data	
データ長	2 × n～268435456 × n bits、n bits step*2
Mixed	
列の長さ	2048 × n～(268435456 +2^{31}) × n、1024 × n bits step*2
データ長	1024 × n～268435456 × n bits、n bits step*2
バースト	
バーストサイクル	25600 × n～2147483648 × n bits、1024 × n bits step*2
周期	Internal: 12800 × n～2147483392 × n bits、256 × n bits step*2 Ext Trigger: 12800 × n～2147483648 × n bits、256 × n bits step*2
パルス幅	0～(バーストサイクル – 128) × n bits、8 × n bits step*2
ディレイ	0～(バーストサイクル – 128) × n bits、8 × n bits step*2
Gating Output Repeat (Data)	
パルス幅	0 × n～268435328 × n、8 × n bits step*2
ディレイ	0 × n～268435328 × n、8 × n bits step*2
Repeat (Mixed)	
パルス幅	0 × n～(2^{31} + 268435456 – 128) × n、8 × n bits step*2
ディレイ	0 × n～(2^{31} + 268435456 – 128) × n、8 × n bits step*2

＊1: 各チャネル独立で設定可能、コンビネーションとチャネル同期で共通

＊2: コンビネーション設定されているすべてのチャネルで共通

表 1.3.2.1-16　マルチチャネル動作 (続き)

項目	規格
Unit Sync*1、*2、*3	ON/OFF 切り替えあり
Number of Unit	最大 2 筐体間の同期制御が可能 (SI PPG × 4 台× 2 筐体 = 最大 16-channel 同期制御可能)
Unit Sync Output*4	Unit Sync をタッチすると、タイミング信号を AUX Out コネクタから出力 筐体間同期の状態監視表示あり Unit Sync の LED が、以下の条件で点灯する 通常時 (筐体間同期状態): 黒 Unit Sync をタッチする必要があるとき: オレンジ Unit Sync をタッチしたとき: グリーン
Unit Sync Input*4	タイミング信号を AUX In コネクタから入力
Unit Offset*4	–128～+128 UI /1 UI Step Unit Offset を設定すると、全 Slot 同じ値が設定される
Delay	
位相設定範囲	–128,000～+128,000 mUI (各 ch 独立)
位相設定分解能	2 mUI (各 ch 独立)
Unit 間 bit 位相差	±256 UI 以内 Unit Sync をタッチした時の、初期状態での Bit 位相ずれ量を示す 同一周波数 (ビットレートを変更しない限り) においてはこの範囲内で常に一定値 Unit Offset と Delay を調整することで、筐体間のビットずれを無しに調整可能 

＊1:　MX190000A 10.07.00 以降で有効

＊2: Expert BERT アプリケーションで Inter Module Synchronization 実行時のみ有効

＊3: Option20 および 31 実装時に設定可能 (Unit Sync に使用するモジュールは、全て同じオプション構成であること)

＊4: Unit Sync ON 時のみ有効

表 1.3.2.1-17 一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～35 °C
保存温度	–20～60 °C

表 1.3.2.1-18　拡張機能

項目	規格
PCIe	MX183000A で制御されることで下記 PCIe のテストをサポートします。
対応規格	PCI Express Base Specification Revision 4.0 Version 0.5、0.7、1.0 PCI Express Base Specification Revision 5.0 Version 1.0 ビットレート:　PCIe Gen1、Gen2、Gen3、Gen4、Gen5 レーン数:　× 1 テスト対象:　Root Complex、End Point
必要オプション	オプション 10/11 または 20/21
必要ソフトウェア	MX183000A-PL011: PCIe LTSSM に従い、Loopback ステートに遷移させるために必要な Training Sequence を発生し、DUT を Loopback 状態にすることが可能。 MX183000A-PL021: PCIe LTSSM に従い、DUT との Negotiation をサポートし、DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL021 では、MU195020A、MU195040A が各 1 枚必要。) MX183000A-PL025: PL021 の機能を PCIe 5.0 まで拡張することが可能。 上記ソフトウェアの各オプションに、MX183000A-PL001 を追加することで、MU195020A、MU181500B、MU195040A を制御し、Jitter Tolerance Test をサポート可能。
Loopback Through	Configuration、Recovery
テストパターン	Modified Compliance Pattern Insert Delay Symbol:　Enable、Disable (Gen1、Gen2 のとき有効) Insert SRIS:　Enable、Disable (Gen3、Gen4、Gen5 のとき有効) Compliance Pattern Insert Delay Symbol:　Enable、Disable (Gen1、Gen2 のとき有効) User PRBS、Data (8.「表 1.3.2.1-6　パターン発生」で規定したパターン)
SKP Ordered Set Insertion	Enable、Disable
SKP Length/Insertion	Gen1、Gen2 のとき Length:　COM+1、COM+2、COM+3、COM+4、COM+5 Interval:　768～3076、1 step Gen3、Gen4、Gen5 のとき Length:　8、12、16、20、24 Interval:　187～750、1 step
Dynamic Link Training	MX183000A-PL021 使用時対応
Ling training repeat	1～15 (MX183000A-PL021 使用時)

表 1.3.2.1-18 拡張機能 (続き)

項目	規格
カウンタ	Tx SKP Count、 Rx SKP Count (MX183000A-PL021 使用時) Error Rate、Error Count (MX183000A-PL021 使用時)
エラー付加	Modified Compliance Pattern、Compliance Pattern に対して規定
付加方法	Repeat、Single
比率	*E– n (*=1～9、n=3～12)、上限は 5.0E–3
PAM4	MZ1834A/B、G0375A と組み合わせることにより、下記をサポートします。 PAM4 信号の発生 ・ Amplitude (Single-ended) 0.048～0.310 Vp-p (MZ1834A) ・ Amplitude (Single-ended) 0.048～0.489 Vp-p (MZ1834B) ・ Amplitude (Single-ended) 0.3～1.95 Vp-p (G0375A) PAM4 Emphasis 信号の発生 (オプション x11 またはオプション x21 実装時) ・ Emphasis Peak Voltage (Single-ended) 0.048～0.357 Vp-p (MZ1834A) ・ Emphasis Peak Voltage (Single-ended) 0.048～0.564 Vp-p (MZ1834B) ・ Emphasis Peak Voltage (Single-ended) 0.3～2.25 Vp-p (G0375A)
USB	MX183000A で制御されることで下記 USB のテストをサポートします。
対応規格	USB3.0/3.1/3.2
必要オプション	USB3.2x1 のとき: オプション 10/11 または 20/21 USB3.2x2 のとき オプション 20/21/31*
必要ソフトウェア	MX183000A-PL022: USB LTSSM に従い、DUT との Negotiation をサポートし、DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL022 では、MU195020A、MU195040A が各 1 枚必要。) MX183000A-PL022 に、MX183000A-PL001 を追加することで、MU195020A、MU181500B、MU195040A を制御し、Jitter Tolerance Test をサポート可能。 MX183000A-PL022 に MX183000A-PL023 を追加することで、MU195020A と MU195040A を制御し、USB3.2x2 Link Training をサポート可能。

＊: MX183000A-PL023 が必要

1.3.2.2　MU196020A規格

表 1.3.2.2-1　Operating Baud/Bit Rate

項目	規格
Operating Baud/Bit Rate	オプション 001 実装時 PAM4/PAM3*1: 2.4～32.1 Gbaud*3 NRZ: 2.4～32.1 Gbit/s*3 オプション 002、y12 実装時 PAM4/PAM3*1: 2.4～58.2 Gbaud*2、*3 NRZ: 2.4～58.2 Gbit/s*2、*3 オプション 003、y13、y23 実装時 PAM4/PAM3*1: 2.4～64.2 Gbaud*2、*3 NRZ: 2.4～64.2 Gbit/s*2、*3 PAM4/PAM3 出力の Baud rate と NRZ 出力の Bit rate 設定範囲は共通、以下 Baud rate のみ記載 各アプリケーションについては、該当項目を参照
Setting Range/Step	Baud rate の設定範囲は連動モジュール（MU196020A と同一筐体実装時のみ有効）「表 1.3.2.2-12　クロック出力」の周波数とアプリケーションにより決まる。
MU181000A/B 連動*4	2.400 000～25.000 000 Gbaud、0.000 002 Gbaud step*5、*6、*7 25.000 004～32.100 000 Gbaud、0.000 004 Gbaud step*5、*6、*7 25.000 004～50.000 000 Gbaud、0.000 004 Gbaud step*6、*7、*8 50.000 008～58.200 000 Gbaud、0.000 008 Gbaud step*6、*9 50.000 008～64.200 000 Gbaud、0.000 008 Gbaud step*7、*9
MU181000A/B + MU181500B 連動*4	2.400 000～ 3.125 000 Gbaud、0.000 002 Gbaud step*5、*6、*7 3.200 002～ 6.250 000 Gbaud、0.000 002 Gbaud step*5、*6、*7 6.400 002～12.500 000 Gbaud、0.000 002 Gbaud step*5、*6、*7 12.800 002～25.000 000 Gbaud、0.000 002 Gbaud step*5、*6、*7 25.600 004～32.100 000 Gbaud、0.000 004 Gbaud step*5、*6、*7 25.600 004～50.000 000 Gbaud、0.000 004 Gbaud step*6、*7、*8 51.200 008～58.200 000 Gbaud、0.000 008 Gbaud step*6、*9 51.200 008～64.200 000 Gbaud、0.000 008 Gbaud step*7、*9

＊1: PAM3 は 10.03.00 以降で設定可能

＊2: BERT for PCIe1-7 および BERT for PCIe1-5 and PCIe6 Base アプリケーション選択時は次のとおり

PAM4/PAM3:　2.4～32.1 Gbaud
NRZ:　2.4～32.1 Gbit/s

＊3: BERT for PCIe1-6 Forced Link アプリケーション選択時は次のとおり

PAM4:　32.0 Gbaud
NRZ:　2.5、5.0、8.0、16.0、32.0 Gbit/s
PAM3:　設定不可

＊4: Unit Sync ON 時は連動不可

＊5: オプション 001 実装時

＊6: オプション 002 または y12 実装時

＊7: オプション 003、y13、または y23 実装時

＊8: BERT for PCIe1-7 および BERT for PCIe1-5 and PCIe6 Base アプリケーション選択時の上限値は 32.1 Gbaud

＊9: BERT for PCIe1-7 および BERT for PCIe1-5 and PCIe6 Base アプリケーションでは設定不可

表 1.3.2.2-1 Operating Baud/Bit Rate (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>MU181500B 連動 +
外部クロック使用</td><td>
<table>
<tr><td>Clock Output Rate Full Rate</td><td>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～15.0 Gbaud*5、*6、*7</td><td>2.4～15.0 GHz</td><td>1/1 Clock Input</td></tr>
<tr><td>15.0～30.0 Gbaud*5、*6、*7</td><td>7.5～15.0 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>25.0～32.1 Gbaud*5、*6、*7</td><td>6.25～8.025 GHz</td><td>1/4 Clock Input</td></tr>
</table>
</td></tr>
<tr><td>Clock Output Rate Half Rate、Quarter Rate</td><td>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～30.0 Gbaud*5、*6、*7</td><td>1.2～15.0 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>30.0～32.1 Gbaud*5</td><td>7.5～8.025 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>30.0～58.2 Gbaud*6、*8</td><td>7.5～14.55 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>30.0～60.0 Gbaud*7、*8</td><td>7.5～15.0 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>50.0～58.2 Gbaud*6、*9</td><td>6.25～7.275 GHz</td><td>1/8 Clock Input</td></tr>
<tr><td>50.0～64.2 Gbaud*7、*9</td><td>6.25～8.025 GHz</td><td>1/8 Clock Input</td></tr>
</table>
</td></tr>
</table>
</td></tr>
</table>

表 1.3.2.2-1　Operating Baud/Bit Rate (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>外部クロック使用

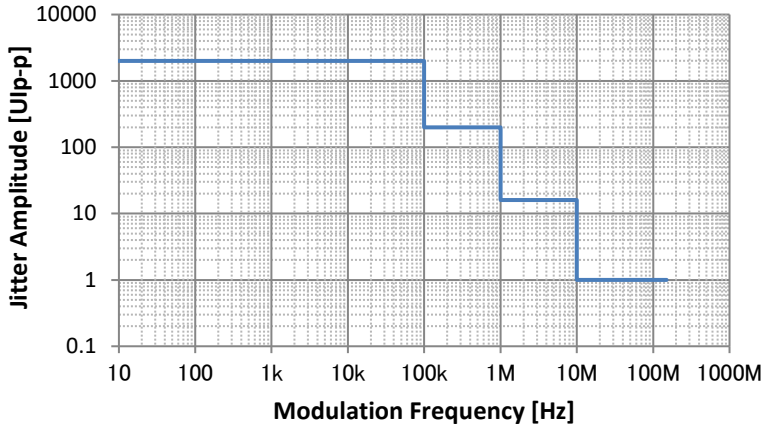
Clock Output Rate Full Rate

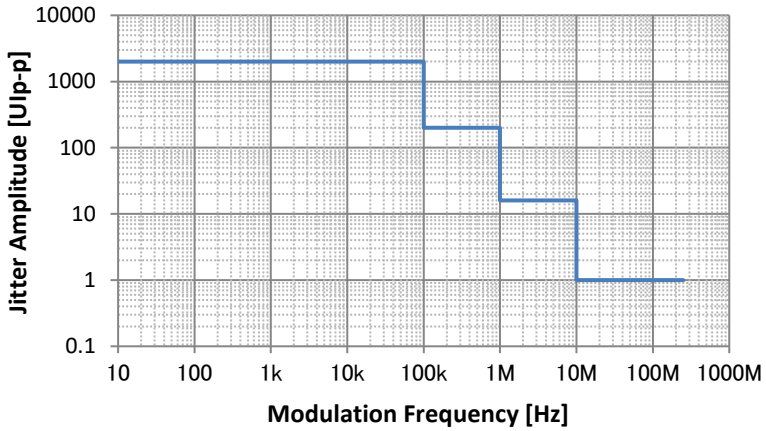
Clock Output Rate Half Rate、Quarter Rate</td><td>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～16.05 Gbaud*5、*6、*7</td><td>2.4～16.05 GHz</td><td>1/1 Clock Input</td></tr>
<tr><td>16.05～32.1 Gbaud*5、*6、*7</td><td>8.025～16.05 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>25.0～32.1 Gbaud*5、*6、*7</td><td>6.25～8.025 GHz</td><td>1/4 Clock Input</td></tr>
</table>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～32.1 Gbaud*5、*6、*7</td><td>1.2～16.05 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>25.0～32.1 Gbaud*5</td><td>6.25～8.025 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>25.0～50.0 Gbaud*6、*7、*8</td><td>6.25～12.50 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>32.1～58.2 Gbaud*6、*8</td><td>8.025～14.55 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>32.1～64.2 Gbaud*7、*8</td><td>8.025～16.05 GHz</td><td>1/4 Clock Input</td></tr>
<tr><td>50.0～58.2 Gbaud*6、*9</td><td>6.25～7.275 GHz</td><td>1/8 Clock Input</td></tr>
<tr><td>50.0～64.2 Gbaud*7、*9</td><td>6.25～8.025 GHz</td><td>1/8 Clock Input</td></tr>
</table>
</td></tr>
<tr><td>Offset Setting Range/Step</td><td>–1000～+1000 ppm、1 ppm step
MU181000A/B 連動時のみ設定可能
ただし、以下のビットレート設定では設定範囲が–1000～0 ppm
Clock Output Rate Full Rate
12.500 000 Gbaud、25.000 000 Gbaud
Clock Output Rate Half Rate、Quarter Rate
25.000 000 Gbaud、50.000 000 Gbaud</td></tr>
</table>

表 1.3.2.2-2 ジッタ設定範囲

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ1 設定範囲

SJ1 Clock Output Rate Full Rate 設定時</td><td>SJ2 Switch が Built-in SJ2 の場合、設定可能な Jitter Amplitude は半分となる。

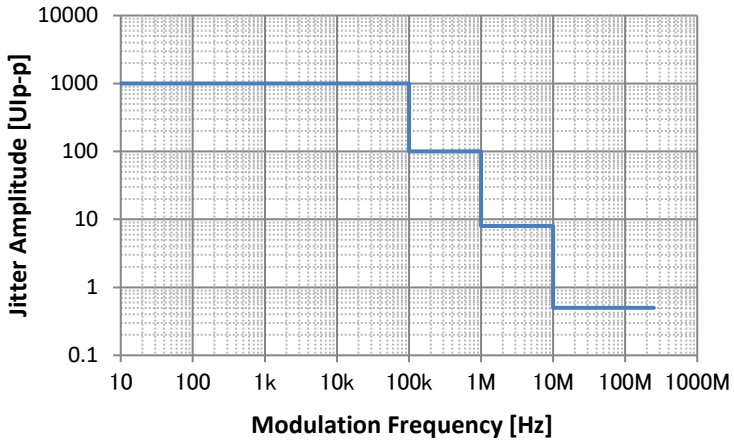
30 < Baud rate ≤ 32.1 Gbaud、15 < Baud rate ≤ 17 Gbaud
 

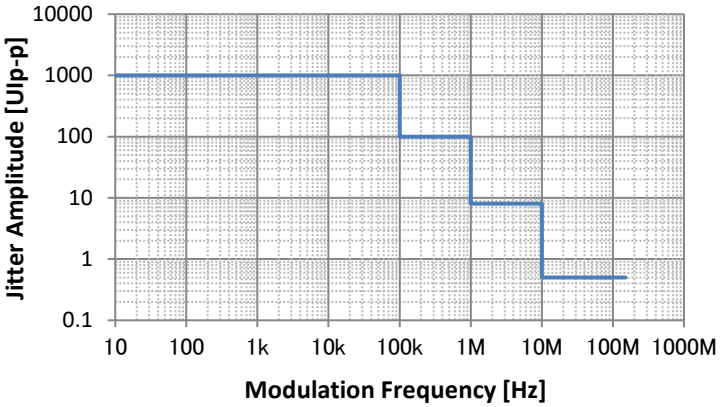
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
17 < Baud rate ≤ 30 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M</td><td>0～1</td></tr>
</table></td></tr>
</table>

＊1: MU181000A/B + MU181500B 連動時

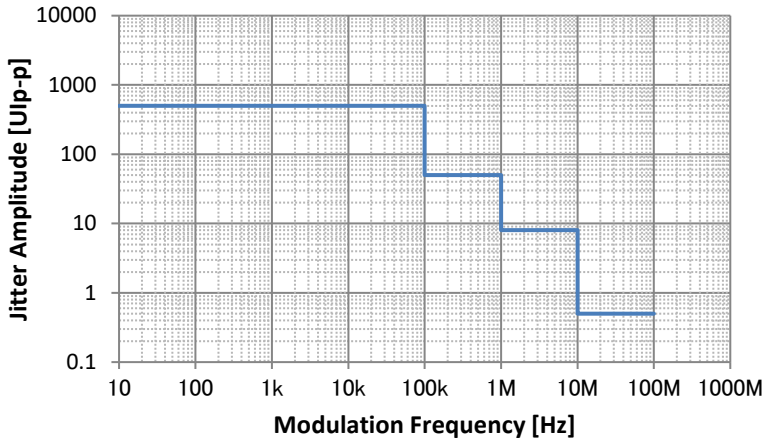
表 1.3.2.2-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ1 Clock Output Rate
Full Rate 設定時 (続き)</td><td>8.5 < Baud rate ≤ 15 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～250M</td><td>0～0.5</td></tr>
</table>
4 < Baud rate ≤ 8.5 Gbaud
 

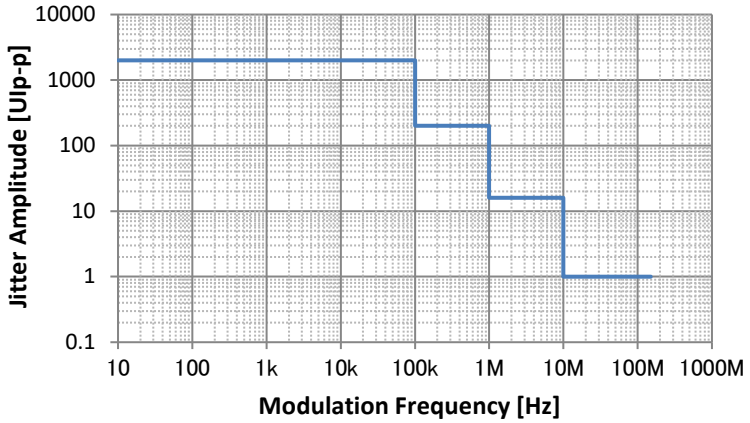
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～150M</td><td>0～0.5</td></tr>
</table></td></tr>
</table>

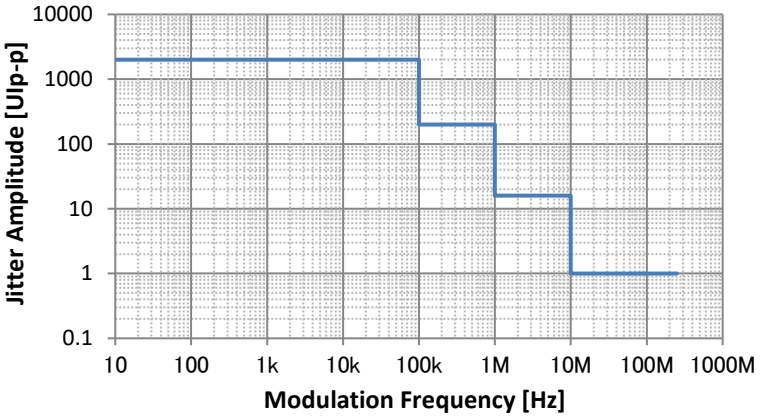
表 1.3.2.2-2 ジッタ設定範囲 (続き)

項目	規格*1
SJ1 Clock Output Rate Full Rate 設定時 (続き)	2.4 ≤ Baud rate ≤ 4 Gbaud 

変調周波数 (Hz)	ジッタ振幅 (UIp-p)
10～100k	0～500
100.1k～1M	0～50
1.001M～10M	0～8
10.01M～100M	0～0.5

表 1.3.2.2-2　ジッタ設定範囲 (続き)

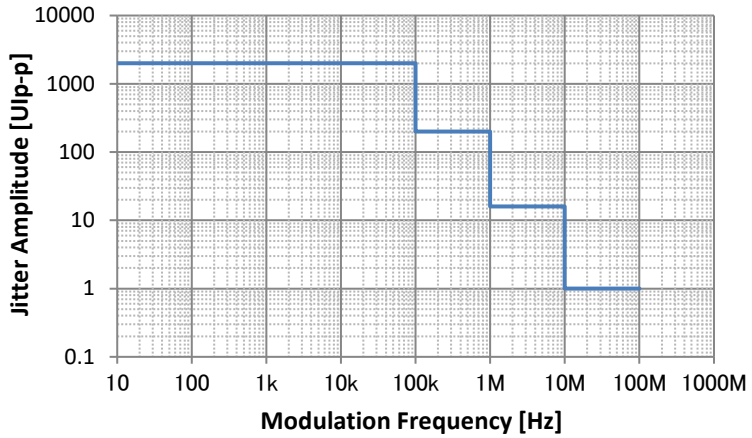
<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ1 Clock Output Rate
Half Rate、
Quarter Rate 設定時</td><td>60 < Baud rate ≤ 64.2 Gbaud、
30 < Baud rate ≤ 34 Gbaud、
8 < Baud rate ≤ 17 Gbaud
 

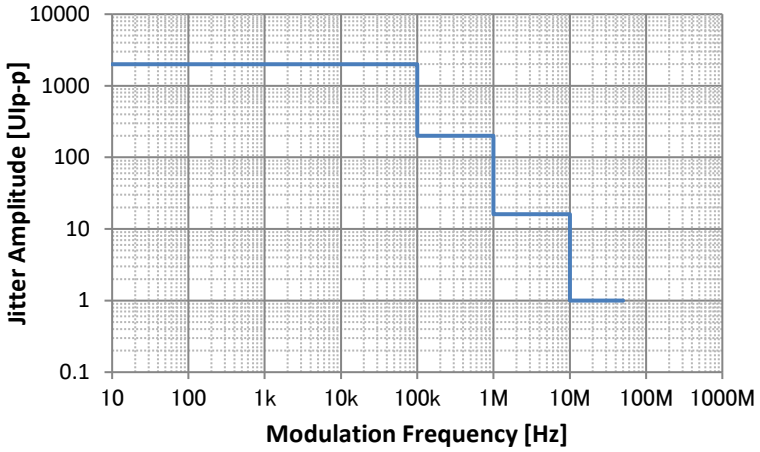
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
34 < Baud rate ≤ 60 Gbaud*2、17 < Baud rate ≤ 30 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M*2</td><td>0～1</td></tr>
</table>
</td></tr>
</table>

＊2: Operation Baud Rate が 50 ≤ Baud rate ≤ 60 Gbaud かつ表 1.3.2.2-1 Operating Baud/Bit Rate で Baud Rate と Input Clock Frequency の関係が 1/8 Clock Input に設定されているとき、変調周波数 (Hz) は 10.01M～150M になります。

表 1.3.2.2-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ1 Clock Output Rate
Half Rate、
Quarter Rate 設定時
(続き)</td><td>
2.4 < Baud rate ≤ 8 Gbaud


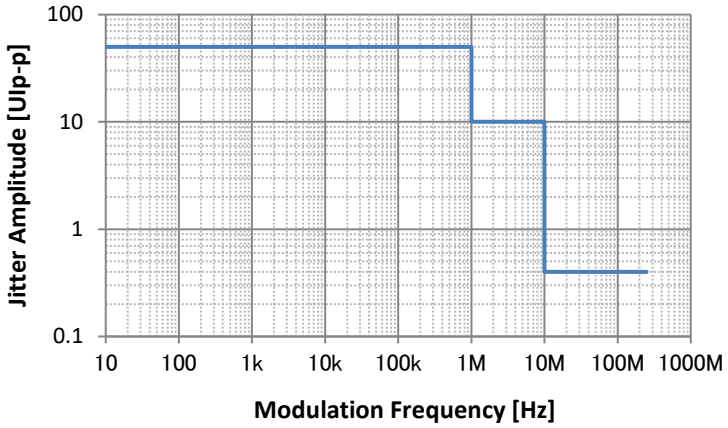
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～100M</td><td>0～1</td></tr>
</table>
Baud rate 2.4 Gbaud


<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～50M</td><td>0～1</td></tr>
</table>
</td></tr>
</table>

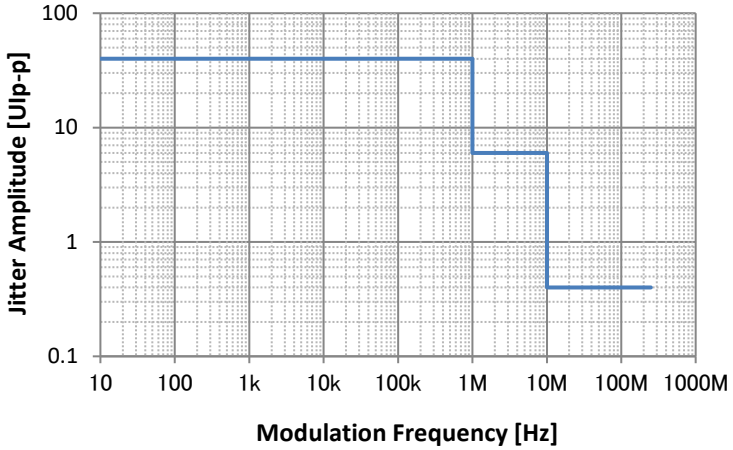
表 1.3.2.2-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ2 設定範囲

SJ2 via MU181000 Clock Output Rate Full Rate 設定時</td><td>SJ2 via MU181000 Clock と Built-in SJ2 とは排他で設定可能

15.000 001 ≤ Baud rate ≤ 32.1 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table>

6.400 001 ≤ Baud rate ≤ 15 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～40</td></tr>
<tr><td>1.001M～10M</td><td>0～6</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

表 1.3.2.2-2 ジッタ設定範囲 (続き)

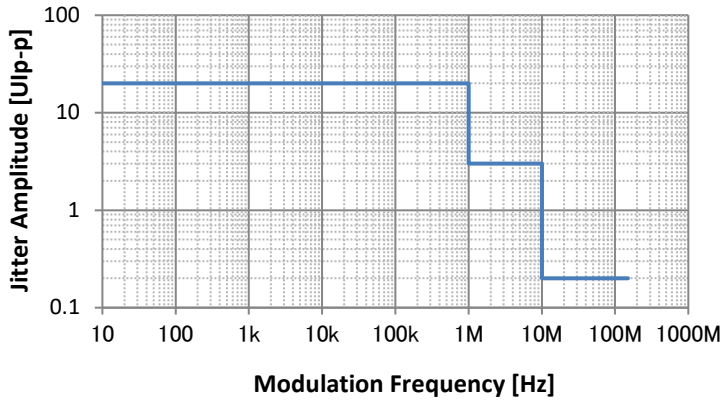
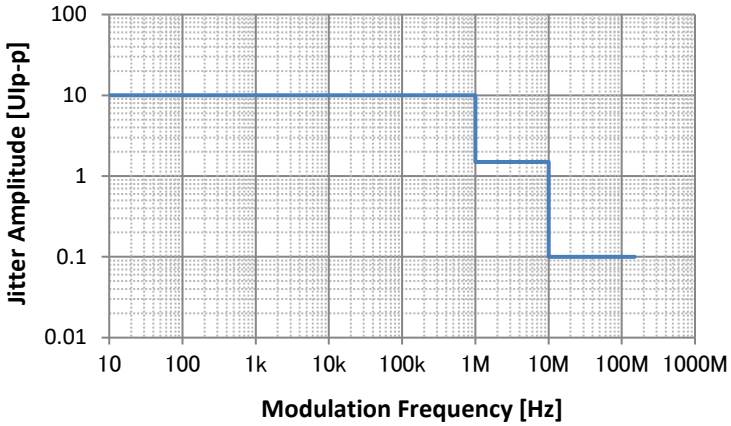
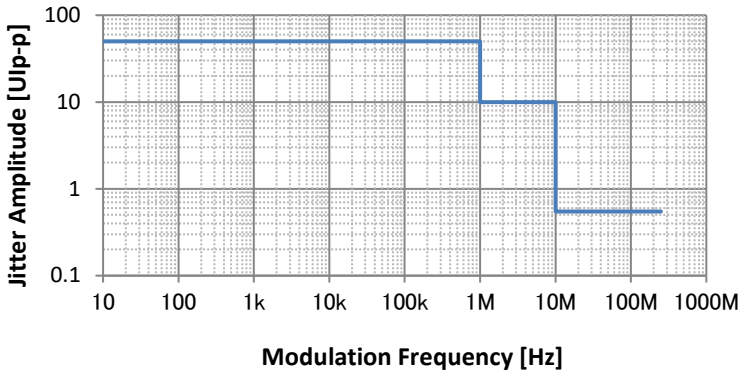
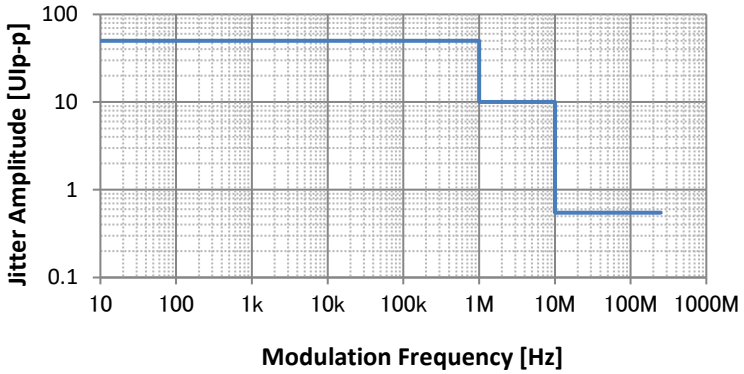
項目	規格*1
SJ2 via MU181000 Clock Output Rate Full Rate 設定時 (続き)	3.200 001 ≤ Baud rate ≤ 6.25 Gbaud  変調周波数 (Hz) / ジッタ振幅 (UIp-p) 10～1M: 0～20 1.001M～10M: 0～3 10.01M～150M: 0～0.2 2.4 ≤ Baud rate ≤ 3.125 Gbaud  変調周波数 (Hz) / ジッタ振幅 (UIp-p) 10～1M: 0～10 1.001M～10M: 0～1.5 10.01M～150M: 0～0.1

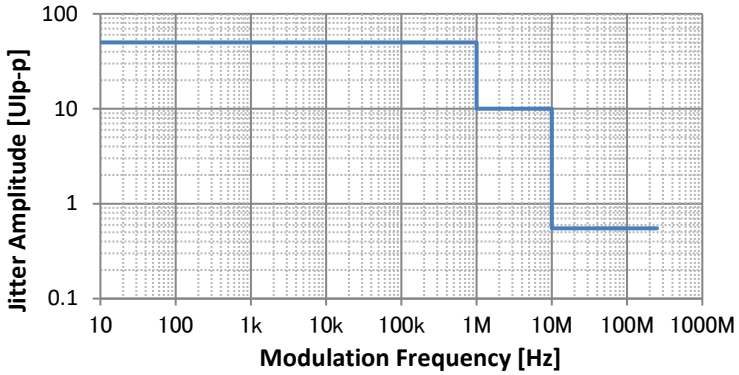
表 1.3.2.2-2　ジッタ設定範囲 (続き)

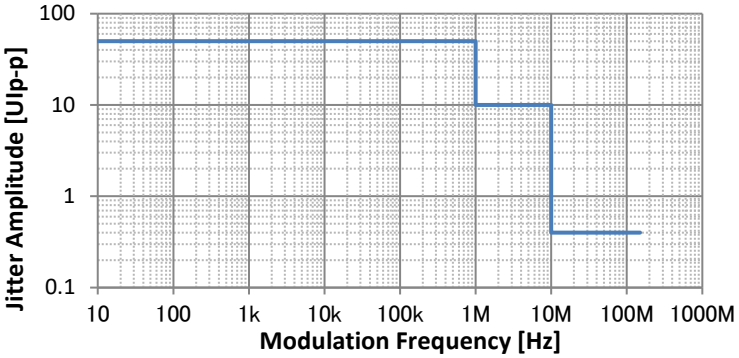
<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時</td><td>60.000 001 ≤ Baud rate ≤ 64.2 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.544</td></tr>
</table>
30.000 001 ≤ Baud rate ≤ 60.0 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.548</td></tr>
</table></td></tr>
</table>

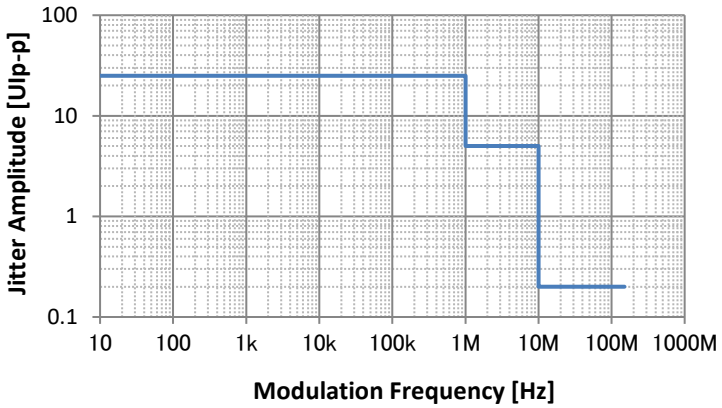
表 1.3.2.2-2 ジッタ設定範囲 (続き)

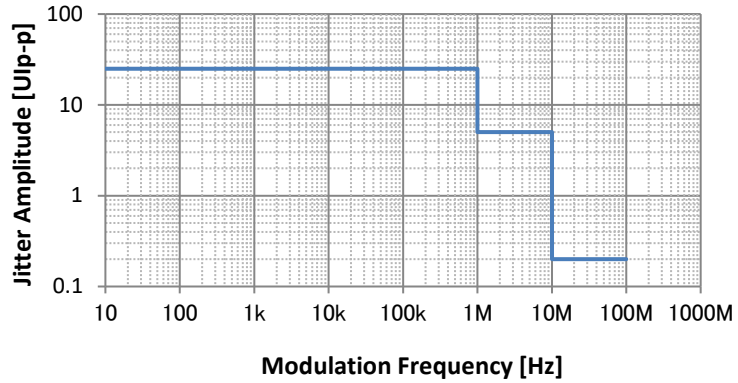
<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時
(続き)</td><td>12.800001 ≤ Baud rate ≤ 30.0 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.55</td></tr>
</table>
6.400001 ≤ Baud rate ≤ 12.5 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～150M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

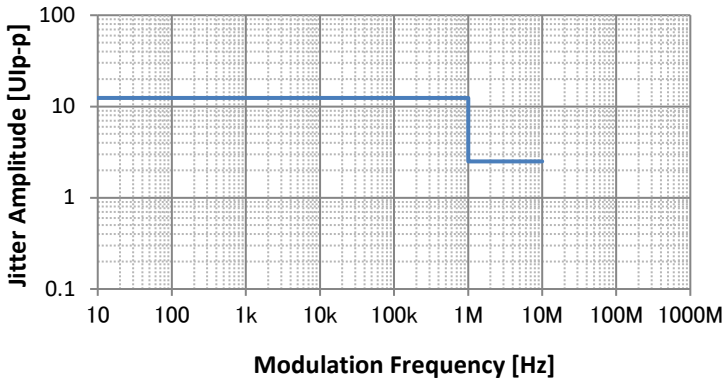
表 1.3.2.2-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時
(続き)</td><td>3.600001 ≤ Baud rate ≤ 6.25 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～25</td></tr>
<tr><td>1.001M～10M</td><td>0～5</td></tr>
<tr><td>10.01M～150M</td><td>0～0.2</td></tr>
</table>
3.200001 < Baud rate ≤ 3.6 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～25</td></tr>
<tr><td>1.001M～10M</td><td>0～5</td></tr>
<tr><td>10.01M～100M</td><td>0～0.2</td></tr>
</table></td></tr>
</table>

表 1.3.2.2-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時
(続き)</td><td>2.4 ≤ Baud rate ≤ 3.125 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～12.4</td></tr>
<tr><td>1.001M～10M</td><td>0～2.5</td></tr>
</table>
</td></tr>
</table>

表 1.3.2.2-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>Built-in SJ2 Clock Output Rate Full Rate 設定時</td><td>15 < Baud rate ≤ 32.1 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>87M</td><td>0～0.5</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
4 < Baud rate ≤ 15 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>87M</td><td>0～0.25</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
<tr><td>210M</td><td>0～0.1</td></tr>
</table>
2.4 ≤ Baud rate ≤ 4 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>87M</td><td>0～0.25</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
</table></td></tr>
<tr><td>Built-in SJ2 Clock Output Rate Half Rate、
Quarter Rate 設定時</td><td>8 < Baud rate ≤ 64.2 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>87M</td><td>0～0.5</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
2.4 < Baud rate ≤ 8 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>87M</td><td>0～0.5</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
</table>
Baud rate 2.4 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
</table></td></tr>
</table>

表 1.3.2.2-3 Ext Clock Input

項目	規格
入力数	1 (Single-Ended)
周波数	1.2～16.05 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm)
終端	50 Ω、AC Coupling
コネクタ	SMA コネクタ (f.)

表 1.3.2.2-4 AUX Input

項目	規格
入力数	1 (Single-Ended)
Variation	Error Injection、Burst、Unit Sync、Jitter Sync
最小パルス幅	データレートの 1/256
入力レベル	・ 0/–1 V (H: –0.25～0.05 V、L: –1.1～–0.8 V) ・ 0/–0.5 V (H: –0.05～0.05 V、L: –0.55～–0.45 V) ・ Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

表 1.3.2.2-5 AUX Output

項目	規格
出力数	2 (Differential)
出力 ON/OFF	ON/OFF 切り替えあり
Variation	1/n Clock (n = 8、12、16、20…1020、1024)、Pattern Sync、Burst Out2
Pattern Sync PRBS、PRGM	 Position: 1～(Pattern Length'と 256 の最小公倍数 – 263)、8 step Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
Burst Out2 バーストトリガディレイ パルス幅	 0～(Burst Cycle – 256) bits、8 bits step 16～(Burst Cycle – 256) bits、8 bits step
出力レベル	0/–0.6 V (H: –0.25～0.05 V、L: –0.80～–0.45 V)
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

表 1.3.2.2-6　ゲート出力

項目	規格
出力数	1 (Single-Ended)
出力 ON/OFF	ON/OFF 切り替えあり
Variation	Burst、Repeat
Burst	Burst Output
バーストトリガディレイ	0～(Burst Cycle – 256) bits、8 bits step
イネーブルパルス幅	16～(Burst Cycle – 256) bits、8 bits step
出力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.25～–0.8 V)*
Repeat	Timing Signal Output
タイミング信号周期	INT ($\frac{\text{Pattern length'}}{256}$) × 256
タイミング信号ディレイ	0～(Pattern Length'と 256 の最小公倍数 – 256) ただし、最大 68 719 476 480 bits、8 bits step Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
タイミング信号パルス幅	256～(Pattern Length'と 256 の最小公倍数 – 256) ただし、最大 68 719 476 480 bits、8 bits step Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
出力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.25～–0.8 V)*
Unit Sync Output	Unit Sync 設定時にタイミング信号を出力する。
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

＊:　L: Output Enable、H: Output Disable

表 1.3.2.2-7 パターン発生

項目	規格
PRBS	
Pattern Length	2^n-1 (n = 7、9、10、11、13、15、20、23、31)
Mark Ratio	1/2 (論理反転により 1/2INV が可能)
PRBS generator polynomial	n = 7: $1 + X^6 + X^7$ n = 9: $1 + X^5 + X^9$ n = 10: $1 + X^7 + X^{10}$ n = 11: $1 + X^9 + X^{11}$ n = 13: $1 + X + X^2 + X^{12} + X^{13}$ n = 15: $1 + X^{14} + X^{15}$ n = 20: $1 + X^3 + X^{20}$ n = 23: $1 + X^{18} + X^{23}$ n = 31: $1 + X^{28} + X^{31}$
PRBS Inversion	PAM4 モード時のみ設定可能 PRBS の論理反転を MSB/LSB それぞれ独立に設定可能
PRBS 1st Bit	PRBS Generator の 1st Bit を MSB/LSB どちらかを選択して設定可能

表 1.3.2.2-7　パターン発生 (続き)

項目	規格
Zero-Substitution	NRZ モード時のみ
Additional bit	0 bit、1 bit
Pattern Length	2^n または 2^n–1 (n = 7、9、10、11、15、20、23)
開始位置	“0”が最も長く連続するビット位置の次のビットから置換
Zero-Length	1～(Pattern Length – 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
データ長	NRZ:　2～268 435 456 bits、1 bit step PAM4/PAM3:　2～268 435 456 symbols、1 symbol step
Bit Shift	PAM4 モード時のみ設定可能 MSB のビット位相を±256 bit (1 bit step) で制御可能
PAM4 Standard Pattern	PAM4 モードの規格準拠パターン
CEI	QPRBS13-CEI、QPRBS31-CEI
IEEE	IEEE802.3bs/cd: PRBS13Q、PRBS31Q、SSPRQ、Square Wave IEEE802.3bj:　QPRBS13、JP03A、JP03B、Transmitter Linearity
InfiniBand	PRBS13Q (InfiniBand)、PRBS23Q、PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
RS-FEC	オプション z42 実装時 RS-FEC Scrambled Idle 50G 1Lane、 RS FEC Scrambled Idle 100G 1Lane、 RS FEC-Int Scrambled Idle 100G 1Lane、 RS FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes
PCIe	CP in 1b/1b Encoding for PCIe6 MCP in 1b/1b Encoding for PCIe6 Jitter Measurement Pattern in 1b/1b Encoding for PCIe6 High Swing Toggle Pattern in 1b/1b Encoding for PCIe6 Low Swing Toggle Pattern 1b/1b Encoding for PCIe6 Jitter Calibration Pattern for PCIe6 Preset Calibration Pattern for PCIe6 オプション w43 実装時 NOP Flit Layout in a x1 Link NOP Flit Layout in a x2 Link NOP Flit Layout in a x4 Link NOP Flit Layout in a x8 Link NOP Flit Layout in a x16 Link

表 1.3.2.2-7 パターン発生 (続き)

項目	規格
NRZ Standard Pattern	NRZ モードの規格準拠パターン
CEI	SSPR
RS-FEC	オプション z42 実装時 RS-FEC Scrambled Idle 25G 1Lane、 RS-FEC Scrambled Idle 50G 2Lanes RS(544、514)、 RS-FEC Scrambled Idle 100G 4Lanes、 RS-FEC Scrambled Idle 100G 4Lanes RS(544、514)
PCIe	CP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe1 Jitter Calibration Pattern for PCIe1 Preset Calibration Pattern for PCIe1 CP in 8b/10b Encoding for PCIe2 MCP in 8b/10b Encoding for PCIe2 Jitter Calibration Pattern for PCIe2 Preset Calibration Pattern for PCIe2 CP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe3 Jitter Calibration Pattern for PCIe3 Preset Calibration Pattern for PCIe3 CP in 128b/130b Encoding for PCIe4 MCP in 128b/130b Encoding for PCIe4 Jitter Calibration Pattern for PCIe4 Preset Calibration Pattern for PCIe4 CP in 128b/130b Encoding for PCIe5 MCP in 128b/130b Encoding for PCIe5 Jitter Calibration Pattern for PCIe5 Preset Calibration Pattern for PCIe5
PRTS	
PRTS Length	3^n-1 (n = 7、19)
PRTS generator polynomial	n=7 : $1 + X^2 + 2X^7$ Over GF(3) n=19 : $1 + X^2 + 2X^{19}$ Over GF(3)

表 1.3.2.2-7　パターン発生 (続き)

項目	規格
PAM3 Standard Pattern	オプション z45 実装時
USB4 Gen4	PRBS TS2.clksw USB4 Gen4 Power Management State Signal USB4 Gen4 Rx Frequency Variation Training Sequence
USB4 Gen4 Power Management State Signal	
tPeriod	20～80 ns、10 ns step
Duty Cycle	45%、50%、55 %
tPreData	80～120 ns、10 ns step
LFPS Diff.Amp	LFPS の差動振幅を表示します
LFPS Repetition	50～150 times、10 times step
USB4 Data	PRBSn (n = 7、9、10、11、13、15、20、23、31) PRTS7、19 Data TS2.clksw
Transmit	LFPS 信号送信を開始します
Manual	LFPS 信号から USB4 Data にステートを遷移します
Break	Manual、Auto Manual 選択時は Manual ボタンをトリガに次のステートに遷移します Auto 選択時は設定した切り替えタイミングで次のステートに遷移します
LFPS Swing	High、Low LFPS の振幅設定 High 選択時は 0/2 Level の振幅を出力します Low 選択時は 0/1 Level の振幅を出力します
USB4 Gen4 Rx Frequency Variation Training Sequence	MU181500B の SSC Clock switching 機能と連動
Transmit	Rx Frequency Variation Training Sequence 信号を開始します
Manual	出力パターンの変更を設定します
Time	パターンごとの出力時間を設定します 最終ステート以外のパターン出力時間 10.0～20.0 us / 0.1 us step 最終ステートのパターン出力時間 1～10,000 ms / 1 ms step

表 1.3.2.2-7 パターン発生 (続き)

項目	規格
Pattern	シーケンスパターンを設定します PRBSn (n = 7、9、10、11、13、15、20、23、31) PRTS7、19 TS2.clksw*1
Break	Manual、Auto Manual 選択時は Manual ボタンをトリガに次のステートに遷移します Auto 選択時は設定した切り替えタイミングで次のステートに遷移します

＊1: TypeⅡ選択時のみ、Flow No3 に自動設定される固定値となります。

表 1.3.2.2-7　パターン発生 (続き)

項目	規格
Sequence	オプション 51 実装時 BERT for PCIe1-6 Forced Link アプリケーション実行時
Specification	NRZ:　PCIe1、PCIe2、PCIe3、PCIe4、PCIe5/CXL1-2 PAM4:　PCIe6/CXL3
Logic	POS、NEG
PRBS Inversion	ON、OFF NRZ:　PRBS の論理反転を設定します PAM4:　PRBS の論理反転を MSB/LSB 一括で設定します
Transmit	Sequence パターンの送信を開始します 送信中はボタンの LED (緑) が点灯します
Manual	Manual Trigger を設定している場合に有効になります
Trigger Block No.	AUX Output から LTSSM Trigger を出力するシーケンスの Block No.を選択します 1～256 Block No.、1 block step
Sequence Editor	オプション 51 実装時 BERT for PCIe1-6 Forced Link アプリケーション実行時
Preset	PCIe 規格ごとの Emphasis Preset を設定します 規格ごとに Preset 番号を設定できます PCIe1～5/CXL1-2 の Emphasis は共通の値が設定されます 2.5G、5.0G、8.0G、16.0G、32.0G: P0、P1、P2、P3、P4、P5、P6、P7、P8、P9、P10 64.0G: Q0、Q1、Q2、Q3、Q4、Q5、Q6、Q7、Q8、Q9、Q10
Break	External、Manual、OFF
Loop	Time、Num
Loop Time	1～1 000 000 us、1 us step
Loop Num	パターン長が 16 の倍数でない場合:　2～1 000 000、2 time step パターン長が 16 の倍数である場合:　1～1 000 000、1 time step
Insert OS	
SKP OS	
SKP OS Insertion	ON、OFF
SKP OS Reset	ON、OFF
Symbol Length	SKP OS の Symbol 長を設定します 全 Block 共通設定となります 8b10b:　COM+1、COM+2、COM+3、COM+4、COM+5 128b130b:　8、12、16、20、24 1b1b:　24、32、40、48、56

表 1.3.2.2-7 パターン発生 (続き)

項目	規格
Interval for Common Clock/SRNS	SKP OS の Interval 長を設定します 全 Block 共通設定となります 8b10b: 76～3076 symbols、2 symbol steps 128b130b: 20～750 blocks、1 block step 1b1b: 38～1500 blocks、1 block step
Interval for SRIS	SRIS の Interval 長を設定します SRIS が ON の時有効となります Enable SRIS from Block で設定した Block 以降共通で設定されます 8b10b: 76～3076 symbols、2 symbol steps 128b130b: 20～750 blocks、1 block step 1b1b: 38～152 blocks、1 block step
Symbol Length x2	SKP OS の Symbol 長を 2 倍にするかを設定します 全 Block 共通設定となります ON、OFF
SRIS	ON、OFF
Link Width	送信総レーン数を設定します x1、x2、x4*2
Enable SRIS from Block #	SRIS 設定を適用する Block No.を設定します SRIS が ON の時有効となります 1～256 blocks、1 block step
68B NULL Flit SKP OS Interval	オプション 56 実装時 68B NULL Flit の SKP Interval 長を設定します Sync Header Bypass ON: 20～750 Blocks、1 Block step Sync Header Bypass OFF: 20～750 Blocks、1 Block step
256B Flit SKP OS Interval for Common Clock/SRNS	オプション 56 実装時 256B Flit の Common Clock/SRNS 時の SKP Interval 長を設定します 128b130b: 11～186 Flits、1 Flit step 1b1b: 23～374 Flits、1 Flit step
256B Flit SKP OS Interval for SRIS	オプション 56 実装時 SRIS が ON の時有効となります Enable SRIS from Block で設定した Block 以降の 256B Flit に対して、共通で設定されます 256B Flit の SRIS 時の SKP Interval 長を設定します 128b130b: 1～18 Flits、1 Flit step 1b1b: 2～36 Flits、1 Flit step

＊2: オプション z52 が搭載されていない場合 x1 のみ選択可能となります。

表 1.3.2.2-7　パターン発生 (続き)

項目	規格
EIEOSQ	
EIEOSQ Insertion	ON、OFF
EIEOSQ Reset	ON、OFF
EIEOSQ Interval	1～65536 pattern repeats、1 step
EIEOS Count	EIEOSQ における EIEOS の回数を設定します 2.5G、5.0G、8.0G、16.0G:　1 32.0G:　2 64.0G:　1、4
Coding	
Scrambler Seed	Seed 値を設定します 全 Block 共通設定となります 8b10b:　FFFF 128b130b/1b1b:　Lane0、Lane1、Lane2、Lane3、Lane4、Lane5、Lane6、Lane7
Scrambler Type	2.5G、5.0G、8.0G、16.0G、32.0G:　NRZ 64.0G:　NRZ、PAM4
Pre Coder	2.5G、5.0G、8.0G、16.0G:　OFF 32.0G、64.0G:　ON、OFF
Gray Coder	2.5G、5.0G、8.0G、16.0G、32.0G:　OFF 64.0G:　ON、OFF
Sync Header Bypass	オプション 56 実装時 128b130b Encoding において、Sync Header 付与するかしないかを設定します Electrical Idle に挟まれた同一ビットレート区間において、同一設定のみ有効となります 2.5G、5.0G、64.0G:　OFF 8.0G、16.0G、32.0G:　ON、OFF

表 1.3.2.2-7 パターン発生 (続き)

項目	規格
PCIe1	
Bitrate	2.5 Gbit/s
Coding	8b10b
Block number	1～256 blocks
Pattern Length	8b10b: 32～1024 bits、8 bits step Idle Flit 8b10b: 2048/x bits (x = 1、2、4 (Lane Width の設定値)) General Pattern (PRBS): 2^n–1 (n = 7、9、10、11、13、15、20、23、31) General Pattern (Data): 2～268 435 456 bits、1 bit step
Pattern Type	Electrical Idle, 8b10b、Idle Flit 8b10b、General General は最終 Block のみに設定可能です
PCIe2	
Bitrate	2.5、5.0 Gbit/s
Coding	8b10b
Block number	1～256 blocks
Pattern Length	8b10b: 32～1024 bits、8 bits step Idle Flit 8b10b: 2048/x bits (x = 1、2、4 (Lane Width の設定値)) General Pattern (PRBS): 2^n–1 (n = 7、9、10、11、13、15、20、23、31) General Pattern (Data): 2～268 435 456 bits、1 bit step
Pattern Type	Electrical Idle、8b10b、Idle Flit 8b10b、General General は最終 Block のみに設定可能です
PCIe3	
Bitrate	2.5、5.0、8.0 Gbit/s
Coding	8b10b: Bitrate が 2.5、5.0 Gbit/s のときに設定可能 128b130b: Bitrate が 8.0 Gbit/s のときに設定可能
Block number	1～256 blocks
Pattern Length	8b10b: 32～1024 bits、8 bits step Idle Flit 8b10b: 2048/x bits (x = 1、2、4 (Lane Width の設定値)) 128b130b: 128～1024 bits、128 bits step Idle Flit 128b130b: 2048/x bits (x = 1、2、4 (Lane Width の設定値)) 68B NULL Flit128b130b: 128～1024 bits、128 bits step 256B NULL Flit128b130b: 128～1024 bits、128 bits step SDS 128b130b: 128～1024 bits、128 bits step General Pattern (PRBS): 2^n–1 (n = 7、9、10、11、13、15、20、23、31) General Pattern (Data): 2～268 435 456 bits, 1 bit step
Pattern Type	Electrical Idle、8b10b、Idle Flit 8b10b、128b130b、Idle Flit 128b130b、General オプション 56 実装時は、以下の設定も可能 68B NULL Flit 128b130b、256B NULL Flit 128b130b、SDS 128b130b General は最終 Block のみに設定可能です

表 1.3.2.2-7　パターン発生 (続き)

項目	規格	
PCIe4		
Bitrate	2.5、5.0、8.0、16.0 Gbit/s	
Coding	8b10b:	Bitrate が 2.5、5.0 Gbit/s のときに設定可能
	128b130b:	Bitrate が 8.0、16.0 Gbit/s のときに設定可能
Block number	1～256 blocks	
Pattern Length	8b10b:	32～1024 bits, 8 bits step
	Idle Flit 8b10b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	128b130b:	128～1024 bits、128 bits step
	Idle Flit 128b130b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	68B NULL Flit128b130b:	128～1024 bits、128 bits step
	256B NULL Flit128b130b:	128～1024 bits、128 bits step
	SDS 128b130b:	128～1024 bits、128 bits step
	General Pattern (PRBS):	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
	General Pattern (Data):	2～268 435 456 bits、1 bit step
Pattern Type	Electrical Idle, 8b10b、Idle Flit 8b10b、128b130b、Idle Flit 128b130b、General オプション 56 実装時は、以下の設定も可能 68B NULL Flit 128b130b、256B NULL Flit 128b130b、SDS 128b130b General は最終 Block のみに設定可能です	
PCIe5/CXL1-2		
Bitrate	2.5、5.0、8.0、16.0、32.0 Gbit/s	
Coding	8b10b:	Bitrate が 2.5、5.0 Gbit/s のときに設定可能
	128b130b:	Bitrate が 8.0、16.0、32.0 Gbit/s のときに設定可能
Block number	1～256 blocks	
Pattern Length	8b10b:	32～1024 bits、8 bits step
	Idle Flit 8b10b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	128b130b:	128～1024 bits、128 bits step
	Idle Flit 128b130b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	68B NULL Flit128b130b:	128～1024 bits、128 bits step
	256B NULL Flit128b130b:	128～1024 bits、128 bits step
	SDS 128b130b:	128～1024 bits、128 bits step
	General Pattern (PRBS):	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
	General Pattern (Data):	2～268 435 456 bits、1 bit step
Pattern Type	Electrical Idle、8b10b、Idle Flit 8b10b、128b130b、Idle Flit 128b130b、General オプション 56 実装時は、以下の設定も可能 68B NULL Flit 128b130b、256B NULL Flit 128b130b、SDS 128b130b General は最終 Block のみに設定可能です	

表 1.3.2.2-7 パターン発生 (続き)

項目	規格	
PCIe6/CXL3		
Bitrate	2.5、5.0、8.0、16.0、32.0 Gbit/s、32.0 GBaud PAM4	
Coding	8b10b:	2.5、5.0 Gbit/s のときに設定可能
	128b130b:	8.0、16.0、32.0 Gbit/s のときに設定可能
	1b1b:	32.0 GBaud PAM4 のときに設定可能
Block number	1～256 blocks	
Pattern Length	8b10b:	32～1024 bits、8 bits step
	Idle Flit 8b10b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	128b130b:	128～1024 bits, 128 bits step
	Idle Flit 128b130b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	68B NULL Flit128b130b:	128～1024 bits、128 bits step
	256B NULL Flit128b130b:	128～1024 bits、128 bits step
	SDS 128b130b:	128～1024 bits、128 bits step
	1b1b:	128～2048 bits, 128 bits step
	Idle Flit 1b1b:	2048/x bits (x = 1、2、4 (Lane Width の設定値))
	256B NULL Flit1b1b:	128～2048 bits、128 bits step
	SDS 1b1b:	128～2048 bits、128 bits step
	General Pattern (PRBS):	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
	General Pattern (Data):	4～536 870 912 bits、2 bits step
Pattern Type	Electrical Idle, 8b10b、Idle Flit 8b10b、128b130b、Idle Flit 128b130b、1b1b、Idle Flit 1b1b、General オプション 56 実装時は、以下の設定も可能 68B NULL Flit 128b130b、256B NULL Flit 128b130b、SDS 128b130b、256B NULL Flit 1b1b、SDS 1b1b General は最終 Block のみに設定可能です	
Block Loop Function*	2 階層までの Loop 設定が可能です Inner Loop、Outer Loop で設定し、Sequence 設定を Loop または Jump させることが可能です	
Block Loop Break	External、Manual、OFF Break を検出したときの最後の Block で Loop を終了します Inner Loop は OFF のみ設定可能となります	
Block Loop Count	Block Loop Break が OFF の時有効となります 1~1024 times、1 time step	

＊: MX190000A バージョン 10.08.00 以降で有効

表 1.3.2.2-7　パターン発生 (続き)

項目	規格
PCIe Encoding Pattern Editor	Option51 実装時 BERT for PCIe1-6 Forced Link アプリケーション実行時
8b10b Pattern Editor	
Notation	Symbol (8b10b)、Bin、Hex
Scramble Enable	選択した Symbol に Scramble をかけます ON、OFF
Scramble Reset	選択した Symbol で Scrambler の Seed 値を Reset します ON、OFF
Code	K-code、D-code
K code	K28.0、K28.1、K28.2、K28.3、K28.4、K28.5、K28.6、K28.7、K23.7、K27.7、K30.7
D code	D0.0～D31.7
MSB/LSB First	MSB First、LSB First
128b130b Pattern Editor	
Notation	Bin、Hex
Scramble Enable	選択した Symbol に Scramble をかけます ON、OFF
Scramble Reset	選択した Symbol で Scrambler の Seed 値を Reset します ON、OFF
DC Balance	Symbol 14 および 15 に DC Balance を付加します ON、OFF
Sync Header	2 bit の Sync Header を定義します
MSB/LSB First	MSB First、LSB First
1b1b Pattern Editor	
Notation	Symbol (PAM4)、Bin、Hex
Scramble Enable	選択した Symbol に Scramble をかけます ON、OFF
Scramble Reset	選択した Symbol で Scrambler の Seed 値を Reset します ON、OFF
DC Balance	Symbol 7 および 15 に DC Balance を付加します ON、OFF
MSB/LSB First	MSB First、LSB First

表 1.3.2.2-8 パターンシーケンス

項目	規格
Sequence	Repeat、Burst
Repeat	連続パターン
Burst	Coding が NRZ のときのみ有効
Source	Internal、External-Trigger (AUX Input)、External-Enable (AUX Input)
Data Sequence	Restart、Consecutive、Continuous
Enable Period	Internal: 12 800～2 147 483 136 bits、256 bits step External-Trigger、External-Enable: 12 800～2 147 483 648 bits、256 bits step
Burst Cycle	25 600～2 147 483 648 bits、1024 bits step

表 1.3.2.2-9　コーディング

項目	規格
Coding	NRZ、PAM4、PAM3
NRZ	Normal、Invert
PAM4 Gray Coding	ON、OFF
PAM4 Precoding (1/(1 + D) mod 4)*1	ON、OFF
Delay Symbol	ON、OFF
SKP	No SKP、SKPx1、SKPx2
Preset	P0、P1、P2、P3、P4、P5、P6、P7、P8、P9、P10
SRIS	ON、OFF
EIEOS	ON
PAM3 Precoding (1/(1+D) mod 3) *2	ON、OFF
Polarity Inverse	ON、OFF PAM3 信号の極性を設定

＊1: (1/(1+D) mod 4) は IEEE802.3 規定の生成多項式

＊2: (1/(1+D) mod 3) は USB4 規定の生成多項式

表 1.3.2.2-10　エラー付加

項目	規格
Type	Bit、Error on MSB、Error on LSB、Error on LSB&MSB、 RS-FEC Symbol Error*1、PCIe6 FEC Symbol Error*2
Bit	Coding が NRZ のときのみ設定可能
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single、(Source External-Trigger 時は Variation の選択不可)
Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Error Route	Select 1～32、Scan
Bit/Burst	Bit、Burst 切り替え
Burst Length	1～256、1 step

＊1: オプション z42 実装時

＊2: オプション w43 実装時

表 1.3.2.2-10 エラー付加 (続き)

項目	規格
RS-FEC Symbol Error	Coding が NRZ、PAM4 どちらでも設定可能*1 PAM4 のときは、PAM4 の信号が 1 レベルだけ変化するようにエラーが挿入される。 NRZ: 10 ビット間隔でエラーを挿入する。 PAM4: 10 PAM4 Symbol または 20 PAM4 Symbol 間隔でエラーを挿入する。
FEC Standard	Coding が NRZ のとき RS-FEC Scrambled Idle 25G 1Lane、 RS-FEC Scrambled Idle 50G 2Lanes RS(544,514)、 RS-FEC Scrambled Idle 100G 4Lanes、 RS-FEC Scrambled Idle 100G 4Lanes RS(544,514) Coding が PAM4 のとき RS-FEC Scrambled Idle 50G 1Lane、 RS-FEC Scrambled Idle 100G 1Lane、 RS-FEC-Int Scrambled Idle 100G 1Lane、 RS-FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error per Codeword	1～20: Coding が NRZ のとき 1～20: Coding が PAM4 のとき
Total BER for All Lane	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3 Symbol Error per Codeword の値に応じてエラー付加範囲が変わります。
BER for One Lane/ SER for One Lane	*E–n (* = 1～9、n = 3～12)。上限は 9.0E–3 Symbol Error per Codeword の値に応じてエラー付加範囲が変わります。

表 1.3.2.2-10　エラー付加 (続き)

項目	規格
RS-FEC Symbol Error (続き)	
Error Addition Method	Type1: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 3、Level 3 → Level 2 Type2: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 2 Type3: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 1、Level 3 → Level 2 Type4: Level 0 → Level 1、 Level 1 → Level 0 or Level 2、 Level 2 → Level 1 or Level 3、 Level 3 → Level 2 MSB Only: Level 0 → Level 2、Level 1 → Level 3、 Level 2 → Level 0、Level 3 → Level 1 LSB Only: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 3、Level 3 → Level 2 MSB or LSB: Level 0 → Level 1 or Level 2、 Level 1 → Level 0 or Level 3、 Level 2 → Level 0 or Level 3、 Level 3 → Level 1 or Level 2 MSB and LSB: Level 0 → Level 3、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 0

表 1.3.2.2-10 エラー付加 (続き)

項目	規格
Error on MSB	設定した Symbol Error を付加する。 Coding が PAM4 のときのみ設定可能 MSB のみにエラーが入る。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step
Error on LSB	設定した Symbol Error を付加する。 Coding が PAM4 のときのみ設定可能 LSB のみにエラーが入る。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step

表 1.3.2.2-10　エラー付加 (続き)

項目	規格
Error on LSB&MSB	設定した Symbol Error を付加する。 Coding が PAM4 のときのみ設定可能 PAM4 の信号が 1 レベルだけ変化するようにエラーが挿入される。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step
Error Addition Method	Type1: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 3、Level 3 → Level 2 Type2: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 2 Type3: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 1、Level 3 → Level 2 Type4: Level 0 → Level 1、 Level 1 → Level 0 or Level 2、 Level 2 → Level 1 or Level 3、 Level 3 → Level 2 MSB Only: Level 0 → Level 2、Level 1 → Level 3、 Level 2 → Level 0、Level 3 → Level 1 LSB Only: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 3、Level 3 → Level 2 MSB or LSB: Level 0 → Level 1 or Level 2、 Level 1 → Level 0 or Level 3、 Level 2 → Level 0 or Level 3、 Level 3 → Level 1 or Level 2 MSB and LSB: Level 0 → Level 3、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 0

表 1.3.2.2-10 エラー付加 (続き)

項目	規格
PCIe6 FEC Symbol Error	Coding が PAM4 選択時に設定可能*2 PAM4 の信号が 1 レベルだけ変化するようにエラーが挿入される。 PAM4： 4 PAM4 Symbol または 12 PAM4 Symbol 間隔でエラーを挿入する。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
PCIe6 Standard	x1 Link Common CLK/SRNS Mode x2 Link Common CLK/SRNS Mode x4 Link Common CLK/SRNS Mode x8 Link Common CLK/SRNS Mode x16 Link Common CLK/SRNS Mode x1 Link SRIS Mode x2 Link SRIS Mode x4 Link SRIS Mode x8 Link SRIS Mode x16 Link SRIS Mode
SKP	No SKP、SKPx1、SKPx2
Flit Error Interval	Add every 8 Bits (Do not distinguish ECC groups) Add every 24 Bits (Add to only ECC Group)
PAM4 Symbol Error per Flit	1 to 8 FEC Symbols、1FEC Symbol Step PCIe6 Standard が下記の場合、上限値は“4”に制限される。 x16 Link Common CLK/SRNS Mode x16 Link SRIS Mode
Flit Error per Control SKP Interval	1～4 Flits, 1 Flit Step
Total BER for All Lane	*E–n (* = 1～9、n = 3～12)。上限は 4.0E–3 PCIe6 Standard と PAM4 Symbol Error per Flit および Flit Error per Control SKP Interval の値に応じてエラー付加範囲が変わります。
PAM4 Symbol Error for One Lane	*E–n (* = 1～9、n = 3～12)。上限は 8.0E–3 PCIe6 Standard と PAM4 Symbol Error per Flit および Flit Error per Control SKP Interval の値に応じてエラー付加範囲が変わります。

表 1.3.2.2-10　エラー付加 (続き)

項目	規格
PCIe6 FEC Symbol Error (続き)	
Error Addition Method	Type1: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 3、Level 3 → Level 2 Type2: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 2 Type3: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 1、Level 3 → Level 2 Type4: Level 0 → Level 1、 Level 1 → Level 0 or Level 2、 Level 2 → Level 1 or Level 3、 Level 3 → Level 2 MSB Only: Level 0 → Level 2、Level 1 → Level 3、 Level 2 → Level 0、Level 3 → Level 1 LSB Only: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 3、Level 3 → Level 2 MSB or LSB: Level 0 → Level 1 or Level 2、 Level 1 → Level 0 or Level 3、 Level 2 → Level 0 or Level 3、 Level 3 → Level 1 or Level 2 MSB and LSB: Level 0 → Level 3、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 0
PAM3 Error Addition	Coding が PAM3 選択時に設定可能
Error on LSB&MSB	設定した Symbol Error を付加する
Source	Internal、External-Trigger (Rise edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step
Error Addition Method	Type6: Level 0 → Level 2、Level 1 → Level 0、 Level 2 → Level 0

表 1.3.2.2-11 データ出力

項目	規格*1
出力数	2 (Data、XData) 個別設定不可
Waveform	NRZ、PAM4、PAM3
NRZ Eye Amplitude	
Setting Range	NRZ: 70～800 mVp-p、2 mV step (Single-Ended)
Accuracy	J1789A 使用時: ±35 mV ±12 % (Single-Ended)*2 J1790A 使用時: ±35 mV ±12 % (Single-Ended)*3、*4、*5

＊1: 記載がない限り、PRBS2^{31}–1、Mark Ratio 1/2、Cross Point 50 %にて規定

応用部品 J1789A または J1790A、およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

＊2: Setting Range ≤ 700 mVp-p

＊3: Setting Range ≤ 700 mVp-p (≤ 32.1 Gbit/s)

＊4: Setting Range ≤ 600 mVp-p (32.1 < Bit rate ≤ 58.2 Gbit/s)

＊5: Setting Range ≤ 550 mVp-p (58.2 < Bit rate ≤ 64.2 Gbit/s)

表 1.3.2.2-11　データ出力 (続き)

項目	規格*1
PAM3/4 Eye Amplitude	
PAM4 (0/3 Level) Setting Range	PAM4(0/3 Level): 70～800 mVp-p、1 mV step (Single-Ended)*6
PAM4 (0/3 Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*2、*7 J1790A 使用時:　±35 mV ±12 % of Amplitude*3、*4、*5、*7
PAM4 (0/1、1/2、2/3 Level) 独立可変機能	あり、20～50 %、1 mV Step (Eye 振幅換算) (PAM4 Amplitude 0/3 レベルを 100 %とする)
PAM4 (0/1、1/2、2/3 Level) Setting Range	PAM4(0/1 Level): 23～266 mVp-p、1 mV step (Single-Ended) PAM4(1/2 Level): 24～268 mVp-p、1 mV step (Single-Ended) PAM4(2/3 Level): 23～266 mVp-p、1 mV step (Single-Ended)
PAM4 (0/1、1/2、2/3 Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*8 J1790A 使用時:　±35 mV ±12 % of Amplitude*9、*10、*11
PAM3 (0/2 Level) Setting Range	PAM3(0/2 Level): 48～532 mVp-p、1 mV step (Single-Ended)
PAM3(0/2Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*12、*16 J1790A 使用時:　±35 mV ±12 % of Amplitude*13、*14、*15、*16
PAM3 (0/1、1/2 Level) 独立可変機能	有り、20.0～80.0 %、0.1 % Step (PAM3 Amplitude 0/2 レベルを 100 %とする)
PAM3 (0/1、1/2 Level) Setting Range	PAM3(0/1 Level): 24～266 mVp-p、1 mV step (Single-Ended) PAM3(1/2 Level): 24～266 mVp-p、1 mV step (Single-Ended) ただし Eye 比率設定時は 1mV より細かい分解能で振幅設定可能
PAM3 (0/1、1/2 Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*17 J1790A 使用時:　±35 mV ±12 % of Amplitude*18、*19、*20

＊6: PAM4 出力信号を ED に直接入力したときにエラーフリーとなる下限設定振幅は、使用する ED の性能に依存する。

ED として MP1862A を使用した場合のエラーフリーとなる下限設定振幅 (参考データ) は、次のとおりです。

125 mV (0/3 Level、≤ 32.1 Gbaud)

250 mV (0/3 Level、≤ 58.2 Gbaud)

Pattern: PRBS15、20～30 °C (温度一定) にて

＊7: Single-Ended、PAM4 0/3 Level、PAM4 Amplitude (3/2、2/1、1/0) の振幅均等 33 %設定時

＊8: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて

＊9: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて (≤ 32.1 Gbaud)

＊10: Setting Range ≤ 200 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて (32.1 < Baud rate ≤ 58.2 Gbaud)

＊11: Setting Range ≤ 184 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて（58.2 < Baud rate ≤ 64.2 Gbaud）

＊12: Setting Range ≤ 466 mVp-p

＊13: Setting Range ≤ 466 mVp-p (≤ 32.1 Gbaud)

＊14: Setting Range ≤ 400 mVp-p (32.1 < Baud rate ≤ 58.2 Gbaud)

＊15: Setting Range ≤ 366 mVp-p (58.2 < Baud rate ≤ 64.2 Gbaud)

＊16: Single-Ended、PAM3 0/2 Level、PAM3 Amplitude (2/1、1/0) の振幅均等 50 %設定時

＊17: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて

＊18: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて（≤ 32.1 Gbaud）

＊19: Setting Range ≤ 200 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて（32.1 < Baud rate ≤ 58.2 Gbaud）

＊20: Setting Range ≤ 184 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて（58.2 < Baud rate ≤ 64.2 Gbaud）

表 1.3.2.2-11　データ出力 (続き)

項目	規格*1
Offset Setting Range Accuracy	 –2.0–Eye Amplitude/2～+3.3–Eye Amplitude/2 Vth、 1 mV step (Single-Ended) ±65 mV ±10 % of offset (Vth) ± (Eye Amplitude Accuracy / 2) (オプション x11 実装時の Emphasis 設定時は除く) (PAM4 設定時は PAM4 Amplitude (3/2、2/1、1/0) の振幅均等 33 %設定時) (PAM3 設定時は PAM3 Amplitude (2/1、1/0) の振幅均等 50 %設定時)
Glitch-free ON/OFF	周波数変動時 PPG 出力を瞬断せず Glitch-free 動作をさせる ON、OFF 切り替え有り
Cross Point	Typ. 50 % (固定)
Tr/Tf	J1789A 使用時: Typ. 9 ps (20-80 %)*21 Typ. 8.5 ps (20-80 %)*22 J1790A 使用時: Typ. 9.5 ps (20-80 %)*21 Typ. 8.8 ps (20-80 %)*22
Half Period Jitter Setting Range	 –20.0～+20.0、0.1 step
Accuracy	Typ. ±0.04 UI*23

＊21: NRZ、32.1 Gbit/s、Eye Amplitude 0.5 Vp-p (Single-Ended)、NRZ で Emphasis が Off の場合のみ

＊22: NRZ、58.2 Gbit/s (オプション 002、y12、実装時)、64.2 Gbit/s (オプション 003、y13、y23 実装時)、Eye Amplitude 0.5 Vp-p (Single-Ended)、NRZ で Emphasis が Off の場合のみ

＊23: 2.4、8、16、26.5625、32.1 Gbit/s (オプション 001 実装時)、
2.4、8、16、26.5625、32.1、40、53.125、58.2 Gbit/s (オプション 002、y12 実装時)
2.4、8、16、26.5625、32.1、40、53.125、58.2、64.2 Gbit/s (オプション 003、y13、y23 実装時)、Eye Amplitude 0.5 Vp-p (Single-Ended)

表 1.3.2.2-11 データ出力 (続き)

項目	規格*1
Jitter	
測定条件	NRZ Bit rate 32.1 Gbit/s (オプション 001 実装時)、 58.2 Gbit/s (オプション 002、y12 実装時)、 64.2 Gbit/s (オプション 003、y13、y23 実装時) Eye Amplitude 0.5 Vp-p (Single-Ended) 20～30 °C (温度一定) にて、残留ジッタ < 200 fs (RMS)、帯域 70 GHz のサンプリングオシロスコープを使用して測定
Peak-to-Peak Jitter	Typ. 6 ps p-p (測定カウント 30)
Jitter RMS	Typ. 600 fs rms (測定カウント 30)
Intrinsic RJ (RMS)	Typ. 170 fs (1、0 繰り返しパターン)*24
Waveform Distortion (0-peak)	Typ. ±110 mV*25
PAM4 Level Separation Mismatch Ratio (R_{LM})	0.95 (min.)*26
PAM4 Signal to noise and distortion ratio (SNDR)	33 dB (min.)*27、*28
PAM3 Signal to noise and distortion ratio (SNDR)	32.5 dB (min.)*29、*30

＊24: NRZ、Bit rate 58.2 Gbit/s (オプション 002、y12 実装時)、
64.2 Gbit/s (オプション 003、y13、y23 実装時)

＊25: NRZ、Bit rate 32.1 Gbit/s (オプション 001 実装時)、
58.2 Gbit/s (オプション 002、y12 実装時)、
64.2 Gbit/s (オプション 003、y13、y23 実装時)
Eye Amplitude 0.5 Vp-p (Single-Ended)

＊26: PAM4、26.5625 Gbaud (オプション 001 実装時)、
53.125 Gbaud (オプション 002、y12、003、y13、y23 実装時)、
1.0 Vp-p (Differential)、IEEE P802.3bs の算出方法を参照

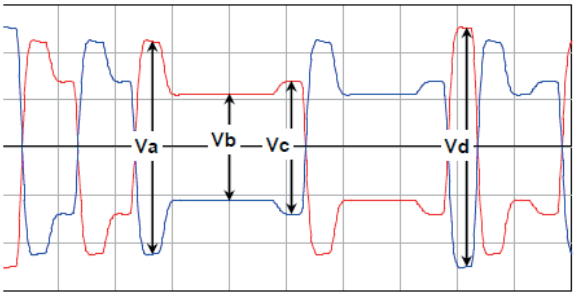
＊27: PAM4、26.5625 Gbaud (オプション 001 実装時)、
53.125 Gbaud (オプション 002、y12、003、y13、y23 実装時)、
1.0 Vp-p (Differential)、IEEE P802.3cd の算出方法を参照

＊28: サンプリングオシロスコープ帯域 60 GHz

＊29: PAM3、25.600004 Gbaud
1.0 Vp-p (Differential)、USB4 Gen4 の算出方法を参照

＊30: リアルタイムオシロスコープ帯域 25 GHz

表 1.3.2.2-11　データ出力 (続き)

項目	規格*1
電気 TDECQ	0.9 dB*31
Output ON/OFF	ON/OFF 切り替えあり
Data / XData Skew	±1 ps ケーブル誤差含まず
終端	AC、DC 切り替え DC 時 GND、–2V、+1.3V、+3.3V、Open (LVDS)、50 Ω
コネクタ	V コネクタ (f.)
Offset 基準	Vth
Level Guard	Amplitude、Voh、Vol の設定可能
External ATT Factor	–40～0 dB、0.1 dB step 固定アッテネータを接続した場合に、固定アッテネータ経由で出力される信号の振幅とオフセットを表示
Emphasis	オプション x11 実装時
Emphasis Tap	4 (1post-cursor、2pre-cursor) 4 Tap パラメータは Upper、Middle、Lower Eye すべての Eye において同じ値となる。つまり Upper、Middle、Lower Eye の 4 Tap パラメータは独立して操作することはできない。
Cursor Setting Range/Step	–20～+20 dB、0.01 dB step (Post-Cursor: $20\log_{10}Va/Vb$、Pre-Cursor: $20\log_{10}Vc/Vb$)  ただし、最大振幅は Setting Range of Emphasis Peak Voltage の制約を受ける。
Accuracy	Typ. ±1 dB (16 Gbaud、Amplitude 0.5 Vp-p (Single-Ended)、 De-Emphasis、Pre-Cursor1=6 dB、Post Cursor1=3.5 dB にて)
Setting Range of Emphasis Peak Voltage	・NRZ、PAM4 モード時 70～800 mVp-p (Single-Ended) ・PAM3 モード時 48～532 mVp-p (Single-Ended)
Emphasis ON/OFF	ON/OFF 切り替えあり

＊31: 26.5625 Gbaud (オプション 001 実装時)、
53.125 Gbaud (オプション 002、y12、003、y13、y23 実装時)、
イコライザ使用、Single、Pattern: SSPRQ

表 1.3.2.2-11 データ出力 (続き)

項目	規格*1
Channel Emulator*32、*33	Normal: PPG 出力 Data 信号に、読み込み S パラメータ相当の伝送路を接続した波形をエミュレートして出力する。 Inverse: PPG 出力 Data 信号に、読み込み S パラメータ相当の伝送路の逆特性をエミュレートして出力する。
Response	Normal、Inverse
S-Parameter file	S2P ファイル (拡張子"*.s2p")、S4P ファイル (拡張子"*.s4p") MS4640B Series ベクトルネットワークアナライザ の出力ファイルに対応
Channel Emulator ON/OFF	ON/OFF 切り替えあり
Gain Adjust	Response が Normal のとき、指定した周波数においてエミュレートする損失量と読み込んだ S パラメータファイルの損失量を合わせこむ。 0GHz、1GHz、Nyquist Frequency 切り替え
Adjustable ISI*32	PPG 出力 Data 信号に、ISI を発生させるチャネルの損失を設定、そのエミュレート波形を出力する。
Loss Channel	MU196020A と以下のどれかを組み合わせて使用可能 Not Specified: 外部の Loss チャネルボードとの組み合わせ J1800A×1 Short Channel: 応用部品 J1800A 1 枚との組み合わせ J1800A×2 Middle Channel: 応用部品 J1800A 2 枚との組み合わせ J1800A×3 Long Channel: 応用部品 J1800A 3 枚との組み合わせ J1758A: 応用部品 J1758A との組み合わせ MU195050A Noise: MU195050A Noise Module との組み合わせ
Frequency	Insertion Loss を設定できるのは、Nyquist および 1/2 Nyquist Frequency

＊32: オプション x40 実装時

＊33: 伝送路の損失を補償する目的での使用を想定する。

補正可能な挿入損失の代表的な限界値を次のグラフに示します。
S-Parameter ファイルからエミュレートされたすべての応答がこのグラフの特性と同様に補償されることを保証するものではありません。

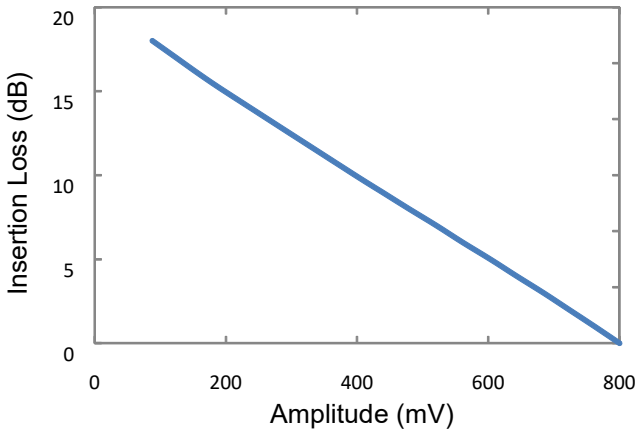


表 1.3.2.2-11　データ出力 (続き)

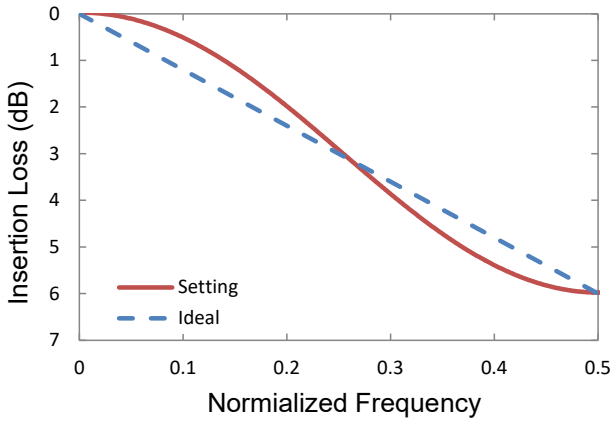
項目	規格*1
Insertion Loss	Nyquist Frequency と 1/2 Nyquist Frequency における、Loss Channel で選択した損失量と Tuning Insertion Loss の設定値を足し合わせた絶対損失を表示する。
Tuning Insertion Loss	Loss Channel の損失値からの相対損失量を設定可能 –8.00～8.00 dB、0.01 dB step、Nyquist Frequency –8.00～8.00 dB、0.01 dB step、1/2 Nyquist Frequency
Insertion Loss Accuracy	±1.0 dB Nominal @Nyquist Frequency 6 dB、1、0 繰り返しパターン*34、*36、*37 ±1.5 dB Nominal @ Nyquist Frequency 6 dB、1、0 繰り返しパターン*35、*36、*37 ±1.0 dB Nominal @1/2 Nyquist Frequency 3 dB、1、1、0、0 繰り返しパターン*34、*36、*37 ±1.5 dB Nominal @1/2 Nyquist Frequency 3 dB、1、1、0、0 繰り返しパターン*35、*36、*37
Adjustable ISI ON/OFF	ON/OFF 切り替えあり
Insertion Loss Compensation	Option11,45 実装時 Modulation：PAM3、Baud Rate：USB4 Gen4 設定時、ナイキスト周波数における Insertion Loss を Emphasis によって補正します
Setting Range	0.0～2.0 dB、0.1 dB step
Insertion Loss Accuracy	オシロスコープを用いて BERT Insertion Loss*38 の Calibration を行うため本設定値の Accuracy は保証せず設定値は Typ.となります
Insertion Loss Compensation ON/OFF	ON/OFF 切り替えあり

＊34: Baud Rate 26.6 Gbaud (オプション 001、002、y12、003、y13、y23 実装時)

＊35: Baud Rate 53.1 Gbaud (オプション 002、y12、003、y13、y23 実装時)

＊36: Eye Amplitude 0.5 Vp-p、各スペクトラムにて、20～30 °C (温度一定) にて規定

＊37: Insertion Loss を、6 dB@Nyquist Frequency、3 dB@1/2 Nyquist Frequency に設定したときの Insertion Loss Accuracy 周波数特性は以下のようになります。



＊38: BERT Insertion Loss は USB4 Version2 GEN4 Electrical Compliance Test Specification (CTS) にて測定器に求められる規格です。

表 1.3.2.2-12 クロック出力

項目	規格*
周波数	
Full Rate	Operation Baud Rate = Clock Output Frequency 2.4～32.1 GHz (オプション 001)
Half Rate	Operation Baud Rate = (Clock Output Frequency) × 2 1.2～16.05 GHz (オプション 001) 1.2～29.1 GHz (オプション 002、y12 実装時) 1.2～32.1 GHz (オプション 003、y13、y23 実装時)
Quarter Rate	Operation Baud Rate = (Clock Output Frequency) × 4 0.6～8.025 GHz (オプション 001) 0.6～14.55 GHz (オプション 002、y12 実装時) 0.6～16.05 GHz (オプション 003、y13、y23 実装時)
出力数	1
振幅	Min. 0.3 Vp-p、Max. 1.0 Vp-p (Output Frequency ≤ 16.05 GHz) Min. 0.4 Vp-p、Max. 1.0 Vp-p (Output Frequency > 16.05 GHz)
出力制御	ON、OFF 切り替えあり
終端	50 Ω、AC Coupling
コネクタ	K コネクタ (f.)

＊: 応用部品 J1439A およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

表 1.3.2.2-13　データディレイ*1

項目	規格
位相設定範囲	–1000～+1000 mUI、2 mUI step
確度	±50 mUIp-p*2、*3、*4 ±100 mUIp-p*2、*3、*5
mUI-ps 変換	あり (内部的に ps 換算)
Calibration	あり (ジッタ無変調時)
Calibration 推奨表示	次のどちらかの状態になったときに画面に表示 ・ 1/1 Clock の周波数が±250 kHz 変化したとき ・ 機器周囲温度が±5 °C 変化した場合

＊1: オプション x30 実装時

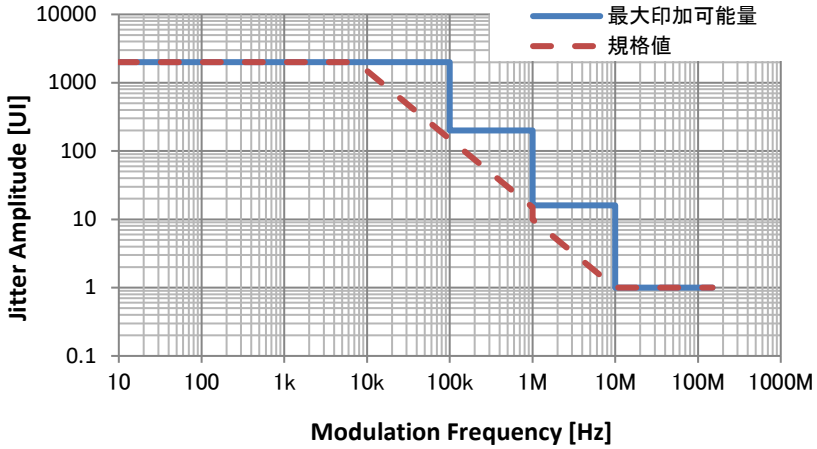
＊2: 残留ジッタ ＜ 200 fs (RMS) のオシロスコープを使用して測定、振幅設定一定にて

＊3: 代表値

＊4: Baud rate ≤ 32.1 Gbaud

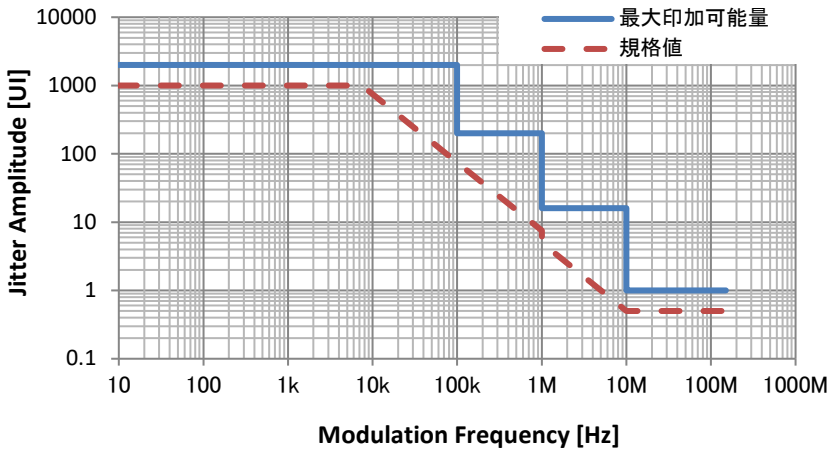
＊5: Baud rate > 32.1 Gbaud

表 1.3.2.2-14 ジッタ耐力

項目	規格
ジッタ耐力	NRZ 出力時、 ビットレート: 32.1 Gbit/s (オプション 001) 58.2 Gbit/s (オプション 002、y12 実装時) 64.2 Gbit/s (オプション 003、y13、y23 実装時) パターン: PRBS2^{31}–1 32.1 Gbit/s: MU181500B により 33 kHz 5300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 58.2 Gbit/s, 64.2 Gbit/s: MU181500B により 33 kHz 3300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 MU196040A (32.1 Gbit/s)、MU196040B (32.1 Gbit/s、64.2 Gbit/s)、または MP1862A + MU183040B (58.2 Gbit/s、64.2 Gbit/s) とのループバック接続、20～30 °C (温度一定) にて RJ + BUJ/SJ3 > 0.5 UIp-p、または SJ1 + Built-in SJ2 + RJ + BUJ/SJ3 > 規格値 + 0.3 UIp-p のとき、MU181500B の画面が Overload 表示となる。ただし変調周波数が 33 kHz であって、RJ+BUJ/SJ3 >0.5 UIp-p、または SJ1 >550 UIp-p のとき、MU181500B の画面が Overload 表示となる。 Bit rate による最大印加可能量の詳細は「表 1.3.2.2-2 ジッタ設定範囲」を参照。 32.1 Gbit/s 

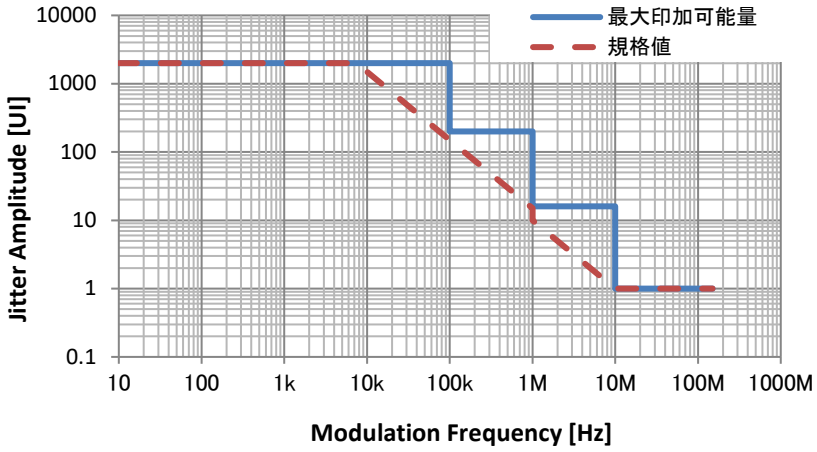
変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

表 1.3.2.2-14　ジッタ耐力（続き）

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力（続き）</td><td>58.2 Gbit/s、64.2 Gbit/s
 

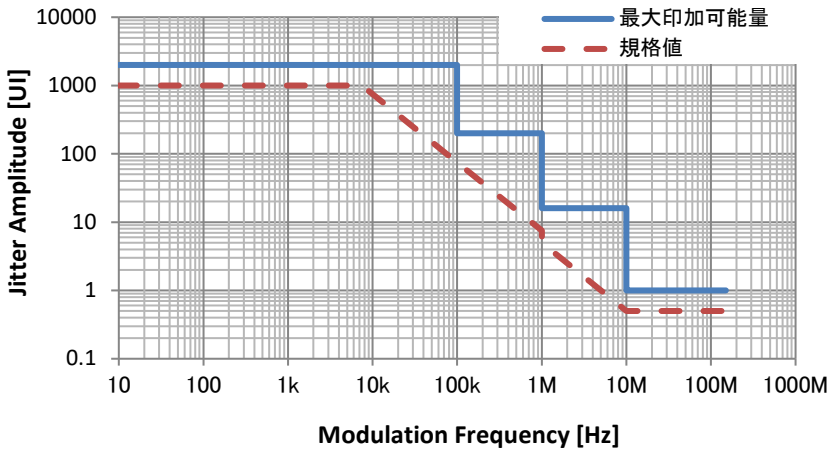
<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量
[UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2 000</td><td>1 000</td></tr>
<tr><td>7 500</td><td>2 000</td><td>1 000</td></tr>
<tr><td>100 000</td><td>2 000</td><td>75</td></tr>
<tr><td>1 000 000</td><td>200</td><td>7.5</td></tr>
<tr><td>10 000 000</td><td>16</td><td>0.5</td></tr>
<tr><td>150 000 000</td><td>1</td><td>0.5</td></tr>
</table>
</td></tr>
</table>

表 1.3.2.2-14 ジッタ耐力（続き）

項目	規格
ジッタ耐力（続き）	PAM4 出力時、 ボーレート: 32.1 Gbaud (オプション 001) 58.2 Gbaud (オプション 002、y12 実装時またはオプション 003、y13、y23 実装時) パターン: PRBS2^{31}–1 32.1 Gbaud: MU181500B により 33 kHz 5300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 58.2 Gbaud: MU181500B により 33 kHz 3300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 MU196040B とのループバック接続、20～30 °C (温度一定) にて RJ + BUJ/SJ3 > 0.5 UIp-p、または SJ1 + Built-in SJ2 + RJ + BUJ/SJ3 > 規格値 + 0.3 UIp-p のとき、MU181500B の画面が Overload 表示となる。ただし変調周波数が 33 kHz であって、RJ+BUJ/SJ3 > 0.5 UIp-p、または SJ1 > 550 UIp-p のとき、MU181500B の画面が Overload 表示となる。 Baud rate による最大印加可能量の詳細は「表 1.3.2.2-2 ジッタ設定範囲」を参照。 32.1 Gbaud 

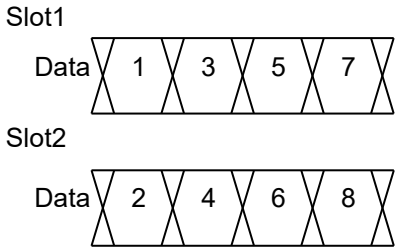
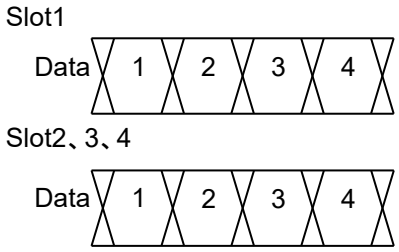
変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

表 1.3.2.2-14　ジッタ耐力（続き）

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力（続き）</td><td>58.2 Gbaud
 

<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量
[UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2 000</td><td>1 000</td></tr>
<tr><td>7 500</td><td>2 000</td><td>1 000</td></tr>
<tr><td>100 000</td><td>2 000</td><td>75</td></tr>
<tr><td>1 000 000</td><td>200</td><td>7.5</td></tr>
<tr><td>10 000 000</td><td>16</td><td>0.5</td></tr>
<tr><td>150 000 000</td><td>1</td><td>0.5</td></tr>
</table>
</td></tr>
</table>

表 1.3.2.2-15 マルチチャネル動作*1

項目	規格
モジュール間同期設定	複数モジュール間のパターン発生タイミングの同期をとる機能*2、*3、*4、*5、*6 Baud Rate ≤ 32.1 Gbaud: 1 UI 未満の精度でビット発生タイミングをそろえて発生可能 Baud Rate > 32.1 Gbaud: 5 UI 未満の精度でビット発生タイミングをそろえて発生可能
Inter-Module 2ch Combination	NRZ のときのみ設定可能 モジュール間で先頭ビット発生タイミングをそろえた信号を発生 かつ モジュール間で発生ビットパターンをビットインターリーブして発生 
Inter-Module CH Synchronization	モジュール間で先頭ビット発生タイミングをそろえた信号を発生 

＊1: オプション x30 および x50 実装時

＊2: 以下のオプションが同期対象のモジュールで同一であること。
オプション 001
オプション 002 または y12
オプション 003、y13、または y23

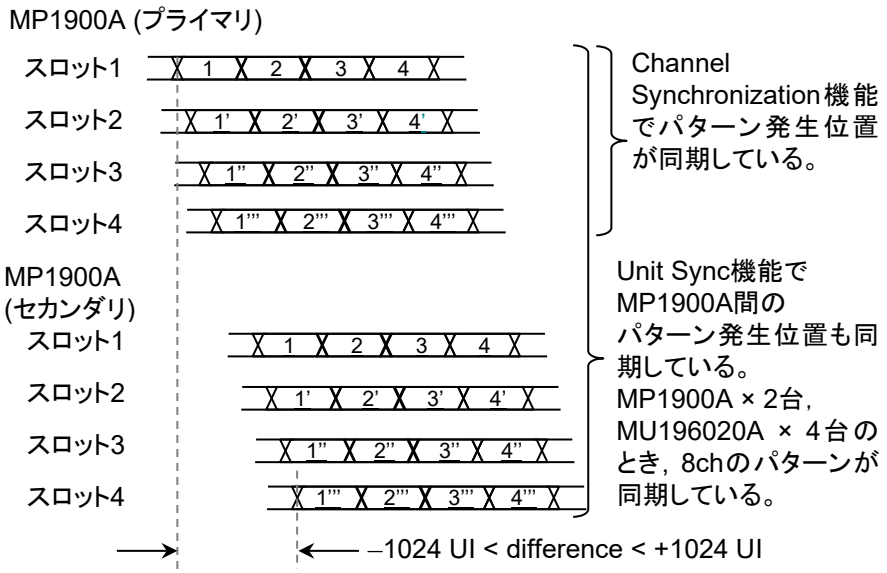
＊3: スロット 1～2:Inter-Module 2ch Combination (NRZ のみ)

＊4: スロット 1～4:Inter-Module CH Synchronization

＊5: 対象となるモジュールがスロット 1 から連続して装着されていること

＊6: ビット発生タイミングは Multi Channel Calibration 実施時の温度から±3 °C の範囲内において保証

表 1.3.2.2-15　マルチチャネル動作*1 (続き)

項目	規格
出力 位相設定範囲 位相設定分解能	モジュール間同期設定時に変更となる項目のみ記載 –64 000～+64 000 mUI*7 2 mUI*7
パターン Data Length	 CH Combination 時:　4～536 870 912 bits、2 bits step CH Synchronization 時:　Sync OFF と同じ
Unit Sync*8、*9、*10	ON/OFF 切り替えあり
Number of Unit	最大 2 台の MP1900A 間の同期制御が可能 MP1900A に MU196020A × 4 台 × 2 セットのとき最大 8 ch 同期制御が可能
Unit Sync Output*11	Unit Sync ボタンをタッチするとタイミング信号を Gating Out コネクタから出力 MP1900A 間同期の状態監視表示あり。タイミング合わせが必要なときに Unit Sync ボタンの LED (オレンジ) が点灯する。
Unit Sync Input*11	タイミング信号を AUX In コネクタから入力
Unit 間のビット位相差	±1024 UI 以内 Unit Sync ボタンをタッチしたときのビット発生タイミングの差 

＊7: 各チャネル独立して設定可能

＊8: MX190000A バージョン 3.02.00 以降で有効

＊9: Inter Module Synchronization 実行時のみ有効

＊10: BERT for PCIe1-6 Forced Link アプリケーション時設定不可

＊11: Unit Sync On 時のみ有効

表 1.3.2.2-16 マルチチャネル動作(Sequence for Multi-Channel)*1、*2

項目	規格
モジュール間同期設定	複数モジュール間のパターン発生タイミングの同期をとる機能*3、*4、*5 Baud Rate ≤ 32.1 Gbaud: 1 UI 未満の精度でビット発生タイミングをそろえて発生可能
Inter-Module CH Synchronization	モジュール間で先頭ビット発生タイミングをそろえた信号を発生 Slot1 Data 1 2 3 4 Slot2、3、4 Data 1 2 3 4
Sequence	
Transmit	Sequence 送信を開始します。送信中は LED が点灯します Slot1～4 いずれかの Slot の Transmit ボタンを押すことで全 Slot の Sequence 送信が開始します
Manual	Manual Trigger 設定時に有効となります
Trigger Sync	Manual Trigger の同期設定を行います モジュール間で任意の Slot 数の Manual Trigger を同期することができます ただし、External Trigger の同期はできません
Output	
Delay	
位相設定範囲	–64 000～+64 000 mUI*5
位相設定分解能	2 mUI*6

＊1: オプション x30、x50、z51 および z52 実装時

＊2: BERT for PCIe1-6 Forced Link アプリケーション時に有効。Sequence パターン設定時のみ送信タイミングの同期が行われる。それ以外のパターンでは送信タイミングの同期は行われない

＊3: スロット 1～4:Inter-Module CH Synchronization

＊4: 対象となるモジュールがスロット 1 から連続して装着されていること

＊5: ビット発生タイミングは Multi Channel Calibration 実施時の温度から±3 °C の範囲内において保証

＊6: 各チャネル独立して設定可能

表 1.3.2.2-17　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～30 °C MP1900A 機器周囲温度。組み込み時に本モジュールが動作すること
保存温度	–20～60 °C 機器に組み込んだ状態で MIL-T-28800E クラス 5 に適合すること

表 1.3.2.2-18　拡張機能

項目	規格
PCIe	MX183000A から制御されることで下記 PCIe のテストをサポートする。 サポートするインストーラバージョンは次のとおり。 ・ MX190000A V10.00.00 以降 ・ MX183000A V10.00.00 以降
対応規格	PCI Express Base Specification Revision 4.0 Version1.0 PCI Express Base Specification Revision 5.0 Version1.0 PCI Express Base Specification Revision 6.0 Version1.0 ビットレート:　PCIe1/2/3/4/5/6 レーン数:　x1 テスト対象:　Root Complex、End Point
必要オプション	オプション x11 (PCIe1～PCIe 6 に必要) オプション x60 (PCIe6 に必要)
必要ソフトウェア	MX183000A-PL021: PCIe1 から PCIe4 の LTSSM に従い、DUT との Negotiation をサポートし、DUT を Loopback 状態にすることが可能。 LTSSM の状態遷移は Log として解析可能。(MU196020A、MU195040A、または MU196040B が各 1 枚必要。) MX183000A-PL025: PL021 の機能を PCIe5 まで拡張することが可能。 MX183000A-PL026: PL021、PL025 の機能を PCIe6 まで拡張することが可能。 (MU196020A、MU196040B が各 1 枚必要。) MX183000A-PL021、PL025、PL026 に、MX183000A-PL001 を追加することで、次のモジュールを制御し、Jitter Tolerance Test をサポートすることが可能。 ・ MU196020A ・ MU181500B ・ MU195040A または MU196040B

1.3.2.3 MU196020C規格

表 1.3.2.3-1 Operating Baud/Bit Rate

項目	規格
Operating Baud/Bit Rate	PAM4/PAM3 出力の Baud rate と NRZ 出力の Bit rate 設定範囲は共通、以下 Baud rate のみ記載
Setting Range/Step	2.4～32.1(*1)/ 58.2(*2)/ 64.2(*3) Gbaud*5、*6
MU181000A/B 連動*4、*5、*6	2.400 000～25.000 000 Gbaud、0.000 002 Gbaud step*1、*2、*3 25.000 004～32.100 000 Gbaud、0.000 004 Gbaud step*1 25.000 004～50.000 000 Gbaud、0.000 004 Gbaud step*2、*3 50.000 008～58.200 000 Gbaud、0.000 008 Gbaud step*2 50.000 008～64.200 000 Gbaud、0.000 008 Gbaud step*3
MU181000A/B + MU181500B 連動*4、*5、*6	2.400 000～ 3.125 000 Gbaud、0.000 002 Gbaud step 3.200 002～ 6.250 000 Gbaud、0.000 002 Gbaud step 6.400 002～12.500 000 Gbaud、0.000 002 Gbaud step 12.800 002～25.000 000 Gbaud、0.000 002 Gbaud step 25.600 004～32.100 000 Gbaud、0.000 004 Gbaud step*1 25.600 004～50.000 000 Gbaud、0.000 004 Gbaud step*2 51.200 008～58.200 000 Gbaud、0.000 008 Gbaud step*2 51.200 008～64.200 000 Gbaud、0.000 008 Gbaud step*3
MU191000A 連動*4、*5、*6	2.400 000～25.600 000 Gbaud、0.000 002 Gbaud step*1、*2、*3 25.600 004～32.100 000 Gbaud、0.000 004 Gbaud step*1 25.600 004～51.200 000 Gbaud、0.000 004 Gbaud step*2、*3 51.200 008～58.200 000 Gbaud、0.000 008 Gbaud step*2 51.200 008～64.200 000 Gbaud、0.000 008 Gbaud step*3
MU191000A + MU181500B 連動*4、*5、*6	2.400 000～25.600 000 Gbaud、0.000 002 Gbaud step 25.600 004～32.100 000 Gbaud、0.000 004 Gbaud step*1 25.600 004～51.200 000 Gbaud、0.000 004 Gbaud step*2 51.200 008～58.200 000 Gbaud、0.000 008 Gbaud step*2 51.200 008～64.200 000 Gbaud、0.000 008 Gbaud step*3

＊1: オプション 001 実装時

＊2: オプション 002 または y12 実装時

＊3: オプション 003、y13、または y23 実装時

＊4: Unit Sync ON 時は連動不可

＊5: BERT for PCIe1-7 アプリケーション選択時は、設定範囲が以下のように制限されます。
2.4～32.1 Gbaud (*1、*2) / 64.2 Gbaud (*3)

＊6: BERT for PCIe1-6 Forced Link アプリケーション選択時は、設定範囲が以下のように制限されます。
2.5、5.0、8.0、16.0、32.0 Gbit/s、32.0 Gbaud

表 1.3.2.3-1　Operating Baud/Bit Rate (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>MU181500B 連動 +
外部クロック使用

Clock Output Rate Full Rate</td><td>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～15.0 Gbaud</td><td>2.4～15.0 GHz</td><td>1/1 Clock Input</td></tr>
<tr><td>15.0～30.0 Gbaud</td><td>7.5～15.0 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>25.0～32.1 Gbaud</td><td>6.25～8.025 GHz</td><td>1/4 Clock Input</td></tr>
</table>

Clock Output Rate Half Rate、Quarter Rate
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～30.0 Gbaud</td><td>1.2～15.0 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>30.0～32.1 Gbaud*1</td><td>7.5～8.025 GHz*1</td><td>1/4 Clock Input</td></tr>
<tr><td>30.0～58.2 Gbaud*2</td><td>7.5～14.55 GHz*2</td><td>1/4 Clock Input</td></tr>
<tr><td>30.0～60.0 Gbaud*3</td><td>7.5～15.0 GHz*3</td><td>1/4 Clock Input</td></tr>
<tr><td>50.0～58.2 Gbaud*2</td><td>6.25～7.275 GHz*2</td><td>1/8 Clock Input</td></tr>
<tr><td>50.0～64.2 Gbaud*3</td><td>6.25～8.025 GHz*3</td><td>1/8 Clock Input</td></tr>
</table>
</td></tr>
</table>

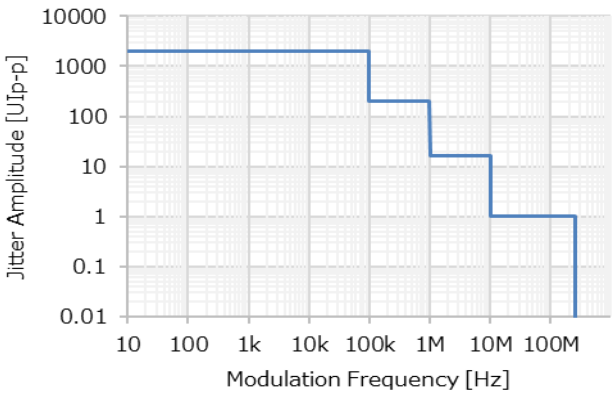
表 1.3.2.3-1 Operating Baud/Bit Rate (続き)

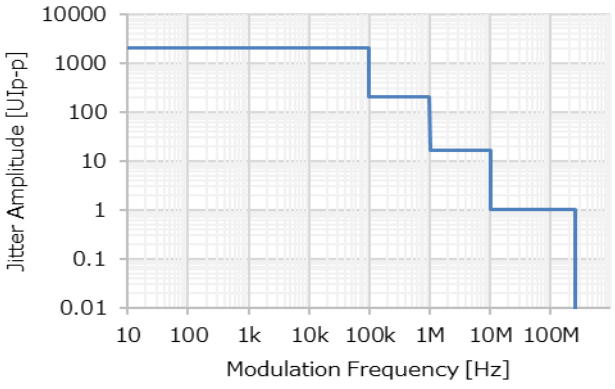
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>外部クロック使用

Clock Output Rate Full Rate

Clock Output Rate Half Rate、Quarter Rate</td><td>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～16.05 Gbaud</td><td>2.4～16.05 GHz</td><td>1/1 Clock Input</td></tr>
<tr><td>16.05～32.1 Gbaud</td><td>8.025～16.05 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>25.0～32.1 Gbaud</td><td>6.25～8.025 GHz</td><td>1/4 Clock Input</td></tr>
</table>
<table>
<tr><th>Baud Rate Setting Range</th><th>Input Clock Frequency</th><th>Baud Rate と Input Clock Frequency の関係</th></tr>
<tr><td>2.4～30.0 Gbaud</td><td>1.2～15.0 GHz</td><td>1/2 Clock Input</td></tr>
<tr><td>30.0～32.1 Gbaud*1</td><td>7.5～8.025 GHz*1</td><td>1/4 Clock Input</td></tr>
<tr><td>30.0～58.2 Gbaud*2</td><td>7.5～14.55 GHz*2</td><td>1/4 Clock Input</td></tr>
<tr><td>30.0～60.0 Gbaud*3</td><td>7.5～15.0 GHz*3</td><td>1/4 Clock Input</td></tr>
<tr><td>50.0～58.2 Gbaud*2</td><td>6.25～7.275 GHz*2</td><td>1/8 Clock Input</td></tr>
<tr><td>50.0～64.2 Gbaud*3</td><td>6.25～8.025 GHz*3</td><td>1/8 Clock Input</td></tr>
</table>
</td></tr>
<tr><td>Offset Setting Range/Step</td><td>MU181000A/B または MU191000A 連動時のみ設定可能</td></tr>
<tr><td>MU181000A/B 連動時</td><td>–1000～+1000 ppm、1 ppm step
ただし、以下のビットレート設定では設定範囲が–1000～0 ppm
Clock Output Rate Full Rate
12.500 000 Gbaud、25.000 000 Gbaud
Clock Output Rate Half Rate、Quarter Rate
25.000 000 Gbaud、50.000 000 Gbaud</td></tr>
<tr><td>MU191000A 連動時</td><td>–1000～+1000 ppm、1 ppm step
ただし、以下のビットレート設定では設定範囲が–1000～0 ppm
Clock Output Rate Full Rate
12.800 000 Gbaud、25.600 000 Gbaud
Clock Output Rate Half Rate、Quarter Rate
25.600 000 Gbaud、51.200 000 Gbaud</td></tr>
</table>

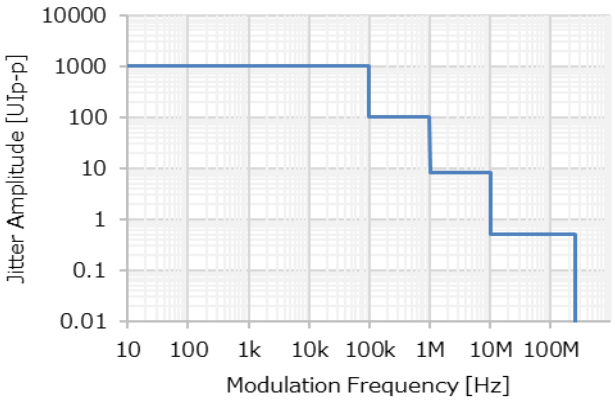
表 1.3.2.3-2　ジッタ設定範囲

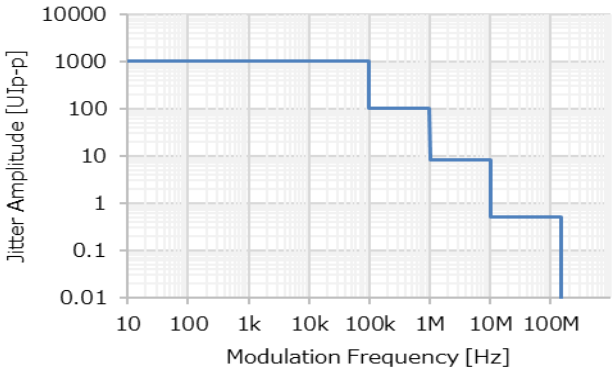
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ設定範囲</td><td>MU181000A/B + MU181500B 連動時
または、MU191000A + MU181500B 連動時</td></tr>
<tr><td>SJ1 設定範囲</td><td>SJ2 Switch が Built-in SJ2 の場合、設定可能な Jitter Amplitude は半分となる。</td></tr>
<tr><td>SJ1 Clock Output Rate Full Rate 設定時</td><td>30 < Baud rate ≤ 32.1 Gbaud、15 < Baud rate ≤ 17 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
17 < Baud rate ≤ 30 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M</td><td>0～1</td></tr>
</table>
</td></tr>
</table>

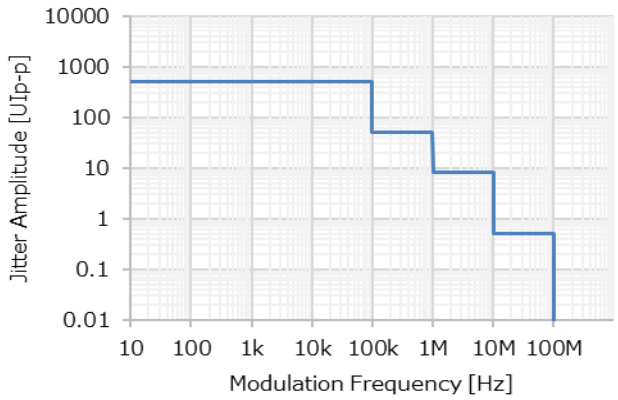
表 1.3.2.3-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate
Full Rate 設定時 (続き)</td><td>8.5 < Baud rate ≤ 15 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～250M</td><td>0～0.5</td></tr>
</table>
4 < Baud rate ≤ 8.5 Gbaud
 

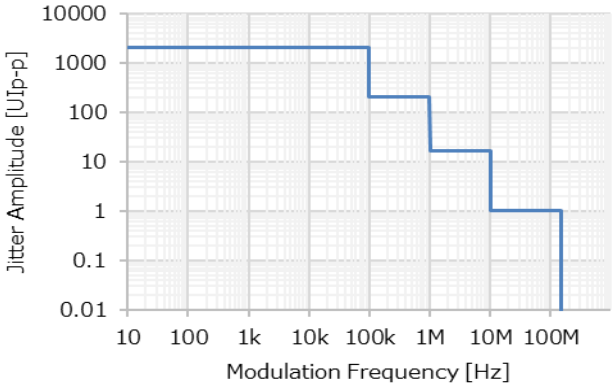
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～1000</td></tr>
<tr><td>100.1k～1M</td><td>0～100</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～150M</td><td>0～0.5</td></tr>
</table>
</td></tr>
</table>

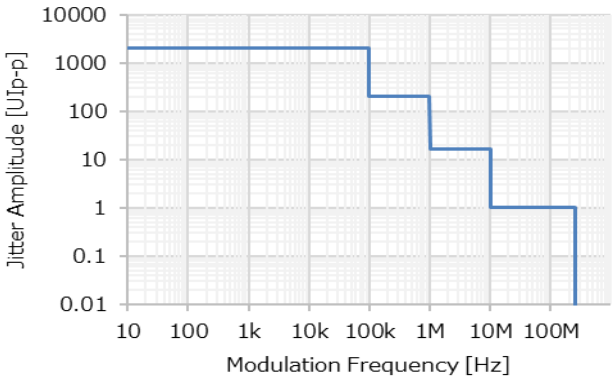
表 1.3.2.3-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate
Full Rate 設定時 (続き)</td><td>2.4 ≤ Baud rate ≤ 4 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～500</td></tr>
<tr><td>100.1k～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～8</td></tr>
<tr><td>10.01M～100M</td><td>0～0.5</td></tr>
</table></td></tr>
</table>

表 1.3.2.3-2 ジッタ設定範囲 (続き)

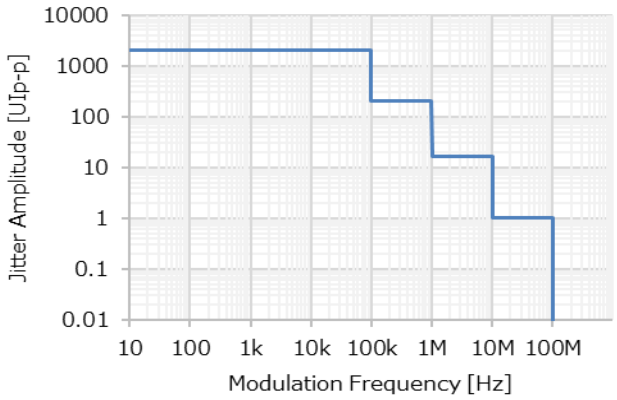
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate
Half Rate、
Quarter Rate 設定時</td><td>60 < Baud rate ≤ 64.2 Gbaud、
30 < Baud rate ≤ 34 Gbaud、
8 < Baud rate ≤ 17 Gbaud
 

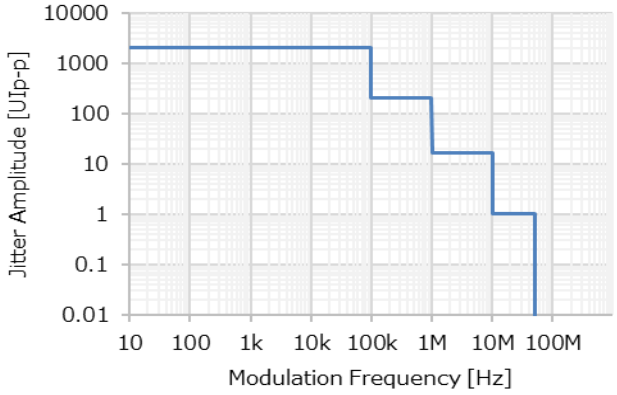
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～150M</td><td>0～1</td></tr>
</table>
34 < Baud rate ≤ 60 Gbaud*1、17 < Baud rate ≤ 30 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～250M*1</td><td>0～1</td></tr>
</table>
</td></tr>
</table>

＊1: Operation Baud Rate が 50 ≤ Baud rate ≤ 60 Gbaud かつ表 1.3.2.2-1 Operating Baud/Bit Rate で Baud Rate と Input Clock Frequency の関係が 1/8 Clock Input に設定されているとき、変調周波数 (Hz) は 10.01M～150M になります。

表 1.3.2.3-2　ジッタ設定範囲 (続き)

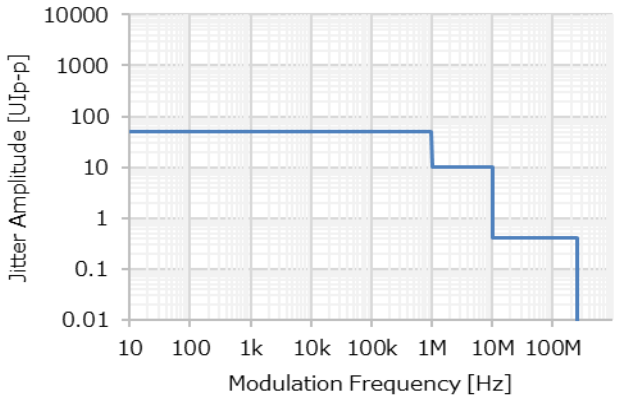
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ1 Clock Output Rate
Half Rate、
Quarter Rate 設定時
(続き)</td><td>2.4 < Baud rate ≤ 8 Gbaud
 

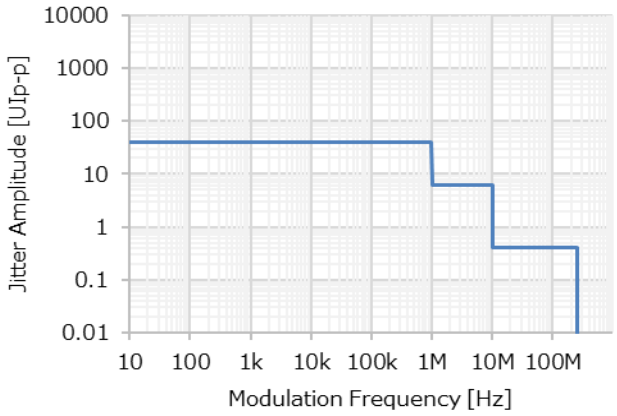
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～100M</td><td>0～1</td></tr>
</table>
Baud rate 2.4 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～100k</td><td>0～2000</td></tr>
<tr><td>100.1k～1M</td><td>0～200</td></tr>
<tr><td>1.001M～10M</td><td>0～16</td></tr>
<tr><td>10.01M～50M</td><td>0～1</td></tr>
</table></td></tr>
</table>

表 1.3.2.3-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 設定範囲

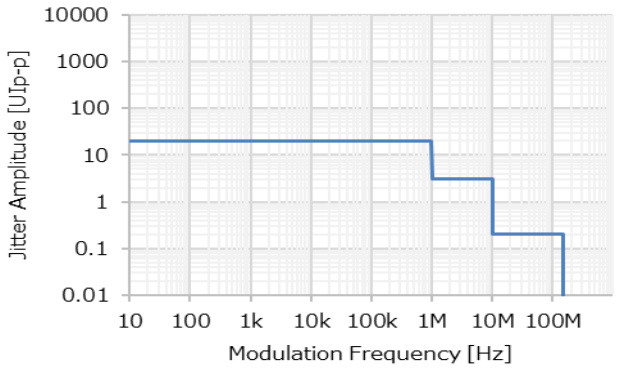
SJ2 via MU181000 Clock Output Rate Full Rate 設定時</td><td>MU181000A/B + MU181500B 連動時
または、MU191000A + MU181500B 連動時
SJ2 via MU181000A/B Clock (*2)と Built-in SJ2 とは排他で設定可能
15.000 001 ≤ Baud rate ≤ 32.1 Gbaud
 

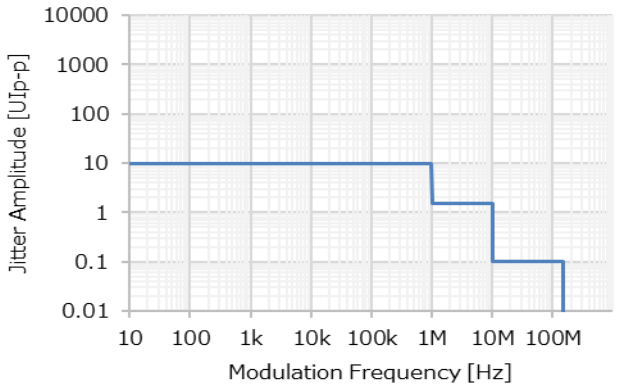
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table>
6.400 001 ≤ Baud rate ≤ 15 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～40</td></tr>
<tr><td>1.001M～10M</td><td>0～6</td></tr>
<tr><td>10.01M～250M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

＊2: MU181000A/B + MU181500B 連動時のみ

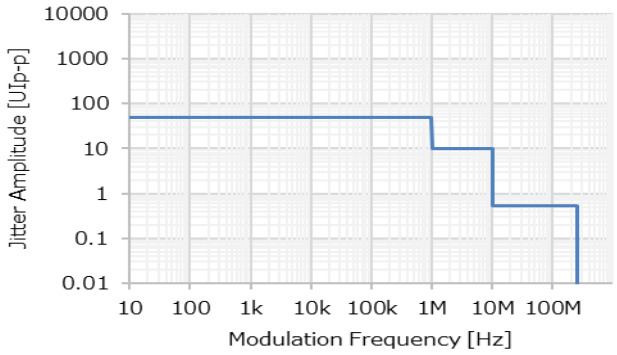
表 1.3.2.3-2　ジッタ設定範囲 (続き)

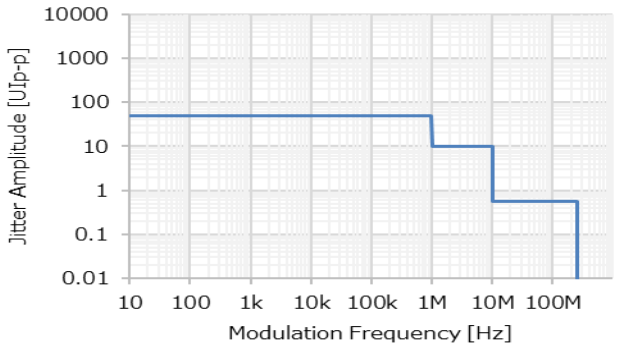
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Full Rate 設定時 (続き)</td><td>3.200 001 ≤ Baud rate ≤ 6.25 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～20</td></tr>
<tr><td>1.001M～10M</td><td>0～3</td></tr>
<tr><td>10.01M～150M</td><td>0～0.2</td></tr>
</table>
2.4 ≤ Baud rate ≤ 3.125 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～10</td></tr>
<tr><td>1.001M～10M</td><td>0～1.5</td></tr>
<tr><td>10.01M～150M</td><td>0～0.1</td></tr>
</table></td></tr>
</table>

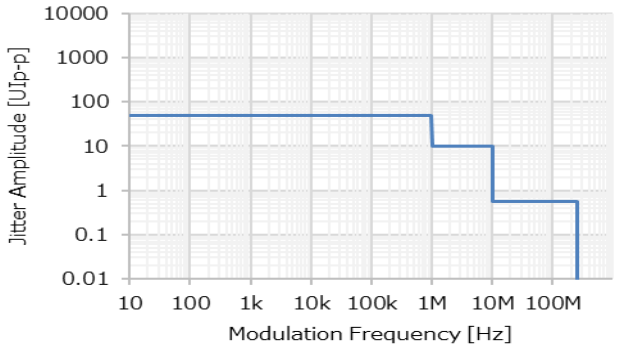
表 1.3.2.3-2 ジッタ設定範囲 (続き)

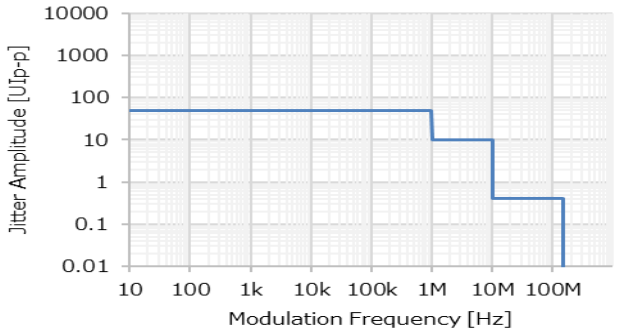
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時</td><td>60.000 001 ≤ Baud rate ≤ 64.2 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.544</td></tr>
</table>
30.000 001 ≤ Baud rate ≤ 60.0 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.548</td></tr>
</table></td></tr>
</table>

表 1.3.2.3-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時
(続き)</td><td>12.800001 ≤ Baud rate ≤ 30.0 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～250M</td><td>0～0.55</td></tr>
</table>
6.400001 ≤ Baud rate ≤ 12.5 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～50</td></tr>
<tr><td>1.001M～10M</td><td>0～10</td></tr>
<tr><td>10.01M～150M</td><td>0～0.4</td></tr>
</table></td></tr>
</table>

表 1.3.2.3-2 ジッタ設定範囲 (続き)

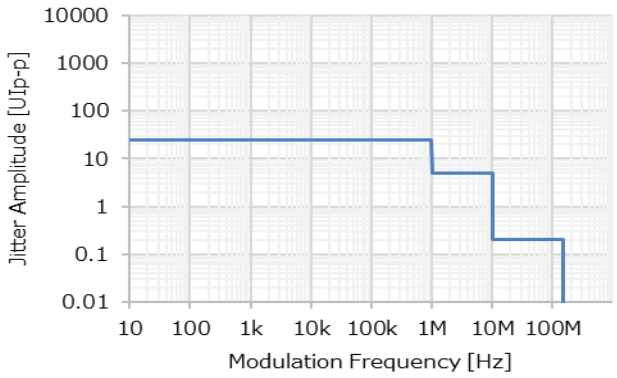
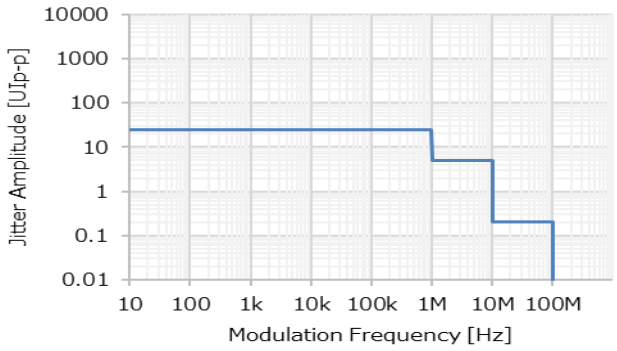
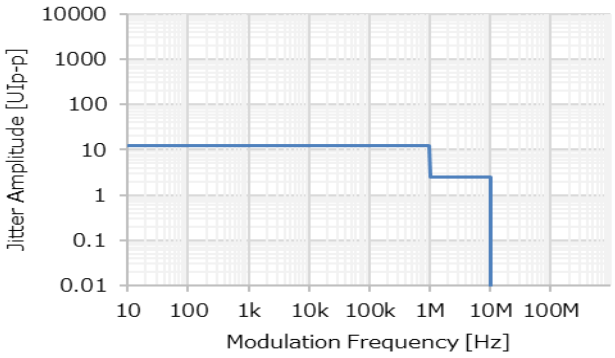
項目	規格
SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時 (続き)	3.600001 ≤ Baud rate ≤ 6.25 Gbaud  変調周波数 (Hz) / ジッタ振幅 (UIp-p) 10～1M: 0～25 1.001M～10M: 0～5 10.01M～150M: 0～0.2 3.200001 < Baud rate ≤ 3.6 Gbaud  変調周波数 (Hz) / ジッタ振幅 (UIp-p) 10～1M: 0～25 1.001M～10M: 0～5 10.01M～100M: 0～0.2

表 1.3.2.3-2　ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>SJ2 via MU181000 Clock Output Rate Half Rate、Quarter Rate 設定時 (続き)</td><td>2.4 ≤ Baud rate ≤ 3.125 Gbaud
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>10～1M</td><td>0～12.4</td></tr>
<tr><td>1.001M～10M</td><td>0～2.5</td></tr>
</table></td></tr>
</table>

表 1.3.2.3-2 ジッタ設定範囲 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>Built-in SJ2 Clock Output Rate Full Rate 設定時</td><td>15 < Baud rate ≤ 32.1 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>87M</td><td>0～0.5</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
4 < Baud rate ≤ 15 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>87M</td><td>0～0.25</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
<tr><td>210M</td><td>0～0.1</td></tr>
</table>
2.4 ≤ Baud rate ≤ 4 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～500</td></tr>
<tr><td>87M</td><td>0～0.25</td></tr>
<tr><td>100M</td><td>0～0.25</td></tr>
</table></td></tr>
<tr><td>Built-in SJ2 Clock Output Rate Half Rate、
Quarter Rate 設定時</td><td>8 < Baud rate ≤ 64.2 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>87M</td><td>0～0.5</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
<tr><td>210M</td><td>0～0.2</td></tr>
</table>
2.4 < Baud rate ≤ 8 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
<tr><td>87M</td><td>0～0.5</td></tr>
<tr><td>100M</td><td>0～0.5</td></tr>
</table>
Baud rate 2.4 Gbaud
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ振幅 (UIp-p)</th></tr>
<tr><td>33k</td><td>0～1000</td></tr>
</table></td></tr>
</table>

表 1.3.2.3-3　Ext Clock Input

項目	規格
入力数	1 (Single-Ended)
周波数	1.2～16.05 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm)
終端	50 Ω、AC Coupling
コネクタ	SMA コネクタ (j.)

表 1.3.2.3-4　AUX Input

項目	規格
入力数	1 (Single-Ended)
Variation	Error Injection、Burst、Unit Sync、Jitter Sync
最小パルス幅	データレートの 1/256
入力レベル	・ 0/–1 V (H: –0.25～0.05 V、L: –1.1～–0.8 V) ・ 0/–0.5 V (H: –0.05～0.05 V、L: –0.55～–0.45 V) ・ Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	50 Ω、GND
コネクタ	SMA コネクタ (j.)

表 1.3.2.3-5　AUX Output

項目	規格
出力数	2 (Differential)
出力 ON/OFF	ON/OFF 切り替えあり
Variation	1/n Clock (n = 8、12、16、20…1020、1024)、Pattern Sync、Burst Out2
Pattern Sync 　PRBS、PRGM	 Position:　1～(Pattern Length'と 256 の最小公倍数 – 263)、8 step Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
Burst Out2 　バーストトリガディレイ 　パルス幅	 0～(Burst Cycle – 256) bits、8 bits step 16～(Burst Cycle – 256) bits、8 bits step
出力レベル	0/–0.6 V (H: –0.25～0.05 V、L: –0.80～–0.45 V)
終端	50 Ω、GND
コネクタ	SMA コネクタ (j.)

表 1.3.2.3-6 ゲート出力

項目	規格
出力数	1 (Single-Ended)
出力 ON/OFF	ON/OFF 切り替えあり
Variation	Burst、Repeat
Burst	Burst Output
バーストトリガディレイ	0～(Burst Cycle – 256) bits、8 bits step
イネーブルパルス幅	16～(Burst Cycle – 256) bits、8 bits step
出力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.25～–0.8 V)*
Repeat	Timing Signal Output
タイミング信号周期	INT ($\frac{\text{Pattern length'}}{256}$) × 256
タイミング信号ディレイ	0～(Pattern Length'と 256 の最小公倍数 – 256) ただし、最大 68 719 476 480 bits、8 bits step Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
タイミング信号パルス幅	256～(Pattern Length'と 256 の最小公倍数 – 256) ただし、最大 68 719 476 480 bits、8 bits step Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
出力レベル	0/–1 V (H: –0.25～0.05 V、L: –1.25～–0.8 V)*
Unit Sync Output	Unit Sync 設定時にタイミング信号を出力する。
終端	50 Ω、GND
コネクタ	SMA コネクタ (j.)

＊: L: Output Enable、H: Output Disable

表 1.3.2.3-7　パターン発生

項目	規格
PRBS	
Pattern Length	2^n-1 (n = 7、9、10、11、13、15、20、23、31)
Mark Ratio	1/2 (論理反転により 1/2INV が可能)
PRBS generator polynomial	n = 7:　$1 + X^6 + X^7$ n = 9:　$1 + X^5 + X^9$ n = 10:　$1 + X^7 + X^{10}$ n = 11:　$1 + X^9 + X^{11}$ n = 13:　$1 + X + X^2 + X^{12} + X^{13}$ n = 15:　$1 + X^{14} + X^{15}$ n = 20:　$1 + X^3 + X^{20}$ n = 23:　$1 + X^{18} + X^{23}$ n = 31:　$1 + X^{28} + X^{31}$
PRBS Inversion	PAM4 モード時のみ設定可能 PRBS の論理反転を MSB/LSB それぞれ独立に設定可能
PRBS 1st Bit	PRBS Generator の 1st Bit を MSB/LSB どちらかを選択して設定可能

表 1.3.2.3-7 パターン発生 (続き)

項目	規格
Zero-Substitution	NRZ モード時のみ
Additional bit	0 bit、1 bit
Pattern Length	2^n または 2^n–1 (n = 7、9、10、11、15、20、23)
開始位置	“0”が最も長く連続するビット位置の次のビットから置換
Zero-Length	1～(Pattern Length – 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
データ長	NRZ: 2～268 435 456 bits、1 bit step PAM4/PAM3: 2～268 435 456 symbols、1 symbol step
Bit Shift	PAM4 モード時のみ設定可能 MSB のビット位相を±256 bit (1 bit step) で制御可能
PAM4 Standard Pattern	PAM4 モードの規格準拠パターン
CEI	QPRBS13-CEI、QPRBS31-CEI
IEEE	IEEE802.3bs/cd: PRBS13Q、PRBS31Q、SSPRQ、Square Wave IEEE802.3bj: QPRBS13、JP03A、JP03B、Transmitter Linearity
InfiniBand	PRBS13Q (InfiniBand)、PRBS23Q、PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
RS-FEC	オプション z42 実装時 RS-FEC Scrambled Idle 50G 1Lane、 RS FEC Scrambled Idle 100G 1Lane、 RS FEC-Int Scrambled Idle 100G 1Lane、 RS FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes

表 1.3.2.3-7　パターン発生 (続き)

項目	規格
PCIe	CP in 1b/1b Encoding for PCIe6 MCP in 1b/1b Encoding for PCIe6 Jitter Measurement Pattern in 1b/1b Encoding for PCIe6 High Swing Toggle Pattern in 1b/1b Encoding for PCIe6 Low Swing Toggle Pattern 1b/1b Encoding for PCIe6 Jitter Calibration Pattern for PCIe6 Preset Calibration Pattern for PCIe6 CP in 1b/1b Encoding for PCIe7 MCP in 1b/1b Encoding for PCIe7 Jitter Measurement Pattern in 1b/1b Encoding for PCIe7 High Swing Toggle Pattern in 1b/1b Encoding for PCIe7 Low Swing Toggle Pattern 1b/1b Encoding for PCIe7 Jitter Calibration Pattern for PCIe7 Preset Calibration Pattern for PCIe7 オプション z43 実装時 NOP Flit Layout in a x1 Link NOP Flit Layout in a x2 Link NOP Flit Layout in a x4 Link NOP Flit Layout in a x8 Link NOP Flit Layout in a x16 Link

表 1.3.2.3-7 パターン発生 (続き)

項目	規格
NRZ Standard Pattern	NRZ モードの規格準拠パターン
CEI	SSPR
RS-FEC	オプション z42 実装時 RS-FEC Scrambled Idle 25G 1Lane、 RS-FEC Scrambled Idle 50G 2Lanes RS(544、514)、 RS-FEC Scrambled Idle 100G 4Lanes、 RS-FEC Scrambled Idle 100G 4Lanes RS(544、514)
PCIe	CP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe1 Jitter Calibration Pattern for PCIe1 Preset Calibration Pattern for PCIe1 CP in 8b/10b Encoding for PCIe2 MCP in 8b/10b Encoding for PCIe2 Jitter Calibration Pattern for PCIe2 Preset Calibration Pattern for PCIe2 CP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe3 Jitter Calibration Pattern for PCIe3 Preset Calibration Pattern for PCIe3 CP in 128b/130b Encoding for PCIe4 MCP in 128b/130b Encoding for PCIe4 Jitter Calibration Pattern for PCIe4 Preset Calibration Pattern for PCIe4 CP in 128b/130b Encoding for PCIe5 MCP in 128b/130b Encoding for PCIe5 Jitter Calibration Pattern for PCIe5 Preset Calibration Pattern for PCIe5
PRTS	
PRTS Length	3^n-1 (n = 7、19)
PRTS generator polynomial	n=7 : $1 + X^2 + 2X^7$ Over GF(3) n=19 : $1 + X^2 + 2X^{19}$ Over GF(3)

表 1.3.2.3-7　パターン発生 (続き)

項目	規格
PAM3 Standard Pattern	オプション z45 実装時
USB4 Gen4	PRBS TS2.clksw USB4 Gen4 Power Management State Signal USB4 Gen4 Rx Frequency Variation Training Sequence
USB4 Gen4 Power Management State Signal	
tPeriod	20～80 ns、10 ns step
Duty Cycle	45%、50%、55 %
tPreData	80～120 ns、10 ns step
LFPS Diff.Amp	LFPS の差動振幅を表示します
LFPS Repetition	50～150 times、10 times step
USB4 Data	PRBSn (n = 7、9、10、11、13、15、20、23、31) PRTS7、19 Data TS2.clksw
Transmit	LFPS 信号送信を開始します
Manual	LFPS 信号から USB4 Data にステートを遷移します
Break	Manual、Auto Manual 選択時は Manual ボタンをトリガに次のステートに遷移します Auto 選択時は設定した切り替えタイミングで次のステートに遷移します
LFPS Swing	High、Low LFPS の振幅設定 High 選択時は 0/2 Level の振幅を出力します Low 選択時は 0/1 Level の振幅を出力します
USB4 Gen4 Rx Frequency Variation Training Sequence	MU181500B の SSC Clock switching 機能と連動
Transmit	Rx Frequency Variation Training Sequence 信号を開始します
Manual	出力パターンの変更を設定します
Time	パターンごとの出力時間を設定します 最終ステート以外のパターン出力時間 10.0～20.0 us / 0.1 us step 最終ステートのパターン出力時間 1～10,000 ms / 1 ms step

表 1.3.2.3-7 パターン発生 (続き)

項目	規格
Pattern	シーケンスパターンを設定します PRBSn (n = 7、9、10、11、13、15、20、23、31) PRTS7、19 TS2.clksw
Break	Manual、Auto Manual 選択時は Manual ボタンをトリガに次のステートに遷移します Auto 選択時は設定した切り替えタイミングで次のステートに遷移します

表 1.3.2.3-8 パターンシーケンス

項目	規格
Sequence	Repeat、Burst
Repeat	連続パターン
Burst	Coding が NRZ のときのみ有効
Source	Internal、External-Trigger (AUX Input)、External-Enable (AUX Input)
Data Sequence	Restart、Consecutive、Continuous
Enable Period	Internal: 12 800～2 147 483 136 bits、256 bits step External-Trigger、External-Enable: 12 800～2 147 483 648 bits、256 bits step
Burst Cycle	25 600～2 147 483 648 bits、1024 bits step

表 1.3.2.3-9　コーディング

項目	規格
Coding	NRZ、PAM4、PAM3
NRZ	Normal、Invert
PAM4 Gray Coding	ON、OFF
PAM4 Precoding (1/(1 + D) mod 4)*1	ON、OFF
Delay Symbol	ON、OFF
SKP	No SKP、SKPx1、SKPx2
Preset	P0、P1、P2、P3、P4、P5、P6、P7、P8、P9、P10
SRIS	ON、OFF
EIEOS	ON
PAM3 Precoding (1/(1+D) mod 3) *2	ON、OFF
Polarity Inverse	ON、OFF PAM3 信号の極性を設定

＊1: (1/(1+D) mod 4) は IEEE802.3 規定の生成多項式

＊2: (1/(1+D) mod 3) は USB4 規定の生成多項式

表 1.3.2.3-10　エラー付加

項目	規格
Type	Bit、Error on MSB、Error on LSB、Error on LSB&MSB、 RS-FEC Symbol Error*1、PCIe6 FEC Symbol Error*2
Bit	Coding が NRZ のときのみ設定可能
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single、(Source External-Trigger 時は Variation の選択不可)
Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Error Route	Select 1～32、Scan
Bit/Burst	Bit、Burst 切り替え
Burst Length	1～256、1 step

＊1: オプション z42 実装時

＊2: オプション z43 実装時

表 1.3.2.3-10 エラー付加 (続き)

項目	規格
RS-FEC Symbol Error	Coding が NRZ、PAM4 どちらでも設定可能*1 PAM4 のときは、PAM4 の信号が 1 レベルだけ変化するようにエラーが挿入される。 NRZ: 10 ビット間隔でエラーを挿入する。 PAM4: 10 PAM4 Symbol または 20 PAM4 Symbol 間隔でエラーを挿入する。
FEC Standard	Coding が NRZ のとき RS-FEC Scrambled Idle 25G 1Lane、 RS-FEC Scrambled Idle 50G 2Lanes RS(544,514)、 RS-FEC Scrambled Idle 100G 4Lanes、 RS-FEC Scrambled Idle 100G 4Lanes RS(544,514) Coding が PAM4 のとき RS-FEC Scrambled Idle 50G 1Lane、 RS-FEC Scrambled Idle 100G 1Lane、 RS-FEC-Int Scrambled Idle 100G 1Lane、 RS-FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error per Codeword	1～20: Coding が NRZ のとき 1～20: Coding が PAM4 のとき
Total BER for All Lane	*E–n (* = 1～9、n = 3～12)。上限は 6.0E–3 Symbol Error per Codeword の値に応じてエラー付加範囲が変わります。
BER for One Lane/ SER for One Lane	*E–n (* = 1～9、n = 3～12)。上限は 6.0E–3 Symbol Error per Codeword の値に応じてエラー付加範囲が変わります。

表 1.3.2.3-10　エラー付加 (続き)

項目	規格
RS-FEC Symbol Error (続き)	
Error Addition Method	Type1: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 3、Level 3 → Level 2 Type2: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 2 Type3: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 1、Level 3 → Level 2 Type4: Level 0 → Level 1、 Level 1 → Level 0 or Level 2、 Level 2 → Level 1 or Level 3、 Level 3 → Level 2 MSB Only: Level 0 → Level 2、Level 1 → Level 3、 Level 2 → Level 0、Level 3 → Level 1 LSB Only: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 3、Level 3 → Level 2 MSB or LSB: Level 0 → Level 1 or Level 2、 Level 1 → Level 0 or Level 3、 Level 2 → Level 0 or Level 3、 Level 3 → Level 1 or Level 2 MSB and LSB: Level 0 → Level 3、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 0 Coding が PAM4 の時のみ有効

表 1.3.2.3-10 エラー付加 (続き)

項目	規格
Error on MSB	設定した Symbol Error を付加する。 Coding が PAM4 のときのみ設定可能 MSB のみにエラーが入る。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step
Error on LSB	設定した Symbol Error を付加する。 Coding が PAM4 のときのみ設定可能 LSB のみにエラーが入る。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step

表 1.3.2.3-10　エラー付加 (続き)

項目	規格
Error on LSB&MSB	設定した Symbol Error を付加する。 Coding が PAM4 のときのみ設定可能 PAM4 の信号が 1 レベルだけ変化するようにエラーが挿入される。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step
Error Addition Method	Type1: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 3、Level 3 → Level 2 Type2: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 2 Type3: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 1、Level 3 → Level 2 Type4: Level 0 → Level 1、 Level 1 → Level 0 or Level 2、 Level 2 → Level 1 or Level 3、 Level 3 → Level 2 MSB Only: Level 0 → Level 2、Level 1 → Level 3、 Level 2 → Level 0、Level 3 → Level 1 LSB Only: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 3、Level 3 → Level 2 MSB or LSB: Level 0 → Level 1 or Level 2、 Level 1 → Level 0 or Level 3、 Level 2 → Level 0 or Level 3、 Level 3 → Level 1 or Level 2 MSB and LSB: Level 0 → Level 3、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 0

表 1.3.2.3-10 エラー付加 (続き)

項目	規格
PCIe6 FEC Symbol Error	Coding が PAM4 選択時に設定可能*2 PAM4 の信号が 1 レベルだけ変化するようにエラーが挿入される。 PAM4： 4 PAM4 Symbol または 12 PAM4 Symbol 間隔でエラーを挿入する。
Source	Internal、External-Trigger (Rising edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
PCIe6 Standard	x1 Link Common CLK/SRNS Mode x2 Link Common CLK/SRNS Mode x4 Link Common CLK/SRNS Mode x8 Link Common CLK/SRNS Mode x16 Link Common CLK/SRNS Mode x1 Link SRIS Mode x2 Link SRIS Mode x4 Link SRIS Mode x8 Link SRIS Mode x16 Link SRIS Mode
SKP	No SKP、SKPx1、SKPx2
Flit Error Interval	Add every 8 Bits (Do not distinguish ECC groups) Add every 24 Bits (Add to only ECC Group)
PAM4 Symbol Error per Flit	1 to 8 FEC Symbols、1FEC Symbol Step PCIe6 Standard が下記の場合、上限値は“4”に制限される。 x16 Link Common CLK/SRNS Mode x16 Link SRIS Mode
Flit Error per Control SKP Interval	1～4 Flits, 1 Flit Step
Total BER for All Lane	*E–n (* = 1～9、n = 3～12)。上限は 7.0E–3 PCIe6 Standard と PAM4 Symbol Error per Flit および Flit Error per Control SKP Interval の値に応じてエラー付加範囲が変わります。
PAM4 Symbol Error for One Lane	*E–n (* = 1～9、n = 3～12)。上限は 7.0E–3 PCIe6 Standard と PAM4 Symbol Error per Flit および Flit Error per Control SKP Interval の値に応じてエラー付加範囲が変わります。

表 1.3.2.3-10　エラー付加 (続き)

項目	規格
PCIe6 FEC Symbol Error (続き)	
Error Addition Method	Type1: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 3、Level 3 → Level 2 Type2: Level 0 → Level 1、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 2 Type3: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 1、Level 3 → Level 2 Type4: Level 0 → Level 1、 Level 1 → Level 0 or Level 2、 Level 2 → Level 1 or Level 3、 Level 3 → Level 2 MSB Only: Level 0 → Level 2、Level 1 → Level 3、 Level 2 → Level 0、Level 3 → Level 1 LSB Only: Level 0 → Level 1、Level 1 → Level 0、 Level 2 → Level 3、Level 3 → Level 2 MSB or LSB: Level 0 → Level 1 or Level 2、 Level 1 → Level 0 or Level 3、 Level 2 → Level 0 or Level 3、 Level 3 → Level 1 or Level 2 MSB and LSB: Level 0 → Level 3、Level 1 → Level 2、 Level 2 → Level 1、Level 3 → Level 0

表 1.3.2.3-10 エラー付加 (続き)

項目	規格
PAM3 Error Addition	Coding が PAM3 選択時に設定可能
Error on LSB&MSB	設定した Symbol Error を付加する
Source	Internal、External-Trigger (Rise edge trigger)、External-Disable (L: Disable)
Error Variation	Repeat、Single (Source External-Trigger 時は Variation の選択不可)
Symbol Error Rate	*E–n (* = 1～9、n = 3～12)。上限は 3.0E–3
Symbol/Burst	Symbol、Burst 切り替え
Burst Length	1～256、1 step
Error Addition Method	Type6: Level 0 → Level 2、Level 1 → Level 0、 Level 2 → Level 0

表 1.3.2.3-11 データ出力

項目	規格*1
出力数	2 (Data、XData) 個別設定不可
Coding	NRZ、PAM4、PAM3
NRZ Eye Amplitude	
Setting Range	NRZ: 70～800 mVp-p、2 mV step (Single-Ended)
Accuracy	J1789A 使用時: ±35 mV ±12 % (Single-Ended)*2 J1790A 使用時: ±35 mV ±12 % (Single-Ended)*3、*4

＊1: 記載がない限り、PRBS2^{31}–1、Mark Ratio 1/2、Cross Point 50 %にて規定

応用部品 J1790A、およびサンプリングオシロスコープ帯域 100 GHz で観測したときの値

＊2: Setting Range ≤ 700 mVp-p

＊3: Setting Range ≤ 700 mVp-p (≤ 32.1 Gbit/s)

＊4: Setting Range ≤ 650 mVp-p (32.1 < Bit rate ≤ 64.2 Gbit/s)

表 1.3.2.3-11　データ出力 (続き)

項目	規格*1
PAM3/4 Eye Amplitude	
PAM4 (0/3 Level) Setting Range	PAM4(0/3 Level): 70～800 mVp-p、1 mV step (Single-Ended)*5
PAM4 (0/3 Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*2、*6 J1790A 使用時:　±35 mV ±12 % of Amplitude*3、*4、*6
PAM4 (0/1、1/2、2/3 Level) 独立可変機能	あり、20～50 %、1 mV Step (Eye 振幅換算) (PAM4 Amplitude 0/3 レベルを 100 %とする)
PAM4 (0/1、1/2、2/3 Level) Setting Range	PAM4(0/1 Level): 23～266 mVp-p、1 mV step (Single-Ended) PAM4(1/2 Level): 24～268 mVp-p、1 mV step (Single-Ended) PAM4(2/3 Level): 23～266 mVp-p、1 mV step (Single-Ended)
PAM4 (0/1、1/2、2/3 Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*7 J1790A 使用時:　±35 mV ±12 % of Amplitude*8、*9
PAM3 (0/2 Level) Setting Range	PAM3(0/2 Level): 48～532 mVp-p、1 mV step (Single-Ended)
PAM3(0/2Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*10、*13 J1790A 使用時:　±35 mV ±12 % of Amplitude*11、*12、*13
PAM3 (0/1、1/2 Level) 独立可変機能	有り、20.0～80.0 %、0.1 % Step (PAM3 Amplitude 0/2 レベルを 100 %とする)
PAM3 (0/1、1/2 Level) Setting Range	PAM3(0/1 Level): 24～266 mVp-p、1 mV step (Single-Ended) PAM3(1/2 Level): 24～266 mVp-p、1 mV step (Single-Ended) ただし Eye 比率設定時は 1mV より細かい分解能で振幅設定可能
PAM3 (0/1、1/2 Level) Accuracy	J1789A 使用時:　±35 mV ±12 % of Amplitude*14 J1790A 使用時:　±35 mV ±12 % of Amplitude*15、*16

＊5: PAM4 出力信号を ED に直接入力したときにエラーフリーとなる下限設定振幅は、使用する ED の性能に依存する。

ED として MP1862A を使用した場合のエラーフリーとなる下限設定振幅 (参考データ) は、次のとおりです。

125 mV (0/3 Level、≤ 32.1 Gbaud)

250 mV (0/3 Level、≤ 58.2 Gbaud)

Pattern: PRBS15、20～30 °C (温度一定) にて

＊6: Single-Ended、PAM4 0/3 Level、PAM4 Amplitude (3/2、2/1、1/0) の振幅均等 33 %設定時

＊7: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて

＊8: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて (≤ 32.1 Gbaud)

＊9: Setting Range ≤ 217 mVp-p、Single-Ended、Upper、Middle、Lower それぞれの振幅レベルにおいて (32.1 < Baud rate ≤ 64.2 Gbaud)

＊10: Setting Range ≤ 466 mVp-p

＊11: Setting Range ≤ 466 mVp-p (≤ 32.1 Gbaud)

＊12: Setting Range ≤ 433 mVp-p (32.1 < Baud rate ≤ 64.2 Gbaud)

＊13: Single-Ended、PAM3 0/2 Level、PAM3 Amplitude (2/1、1/0) の振幅均等 50 %設定時

＊14: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて

＊15: Setting Range ≤ 234 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて (≤ 32.1 Gbaud)

＊16: Setting Range ≤ 217 mVp-p、Single-Ended、Upper、Lower それぞれの振幅レベルにおいて (32.1 < Baud rate ≤ 64.2 Gbaud)

表 1.3.2.3-11　データ出力 (続き)

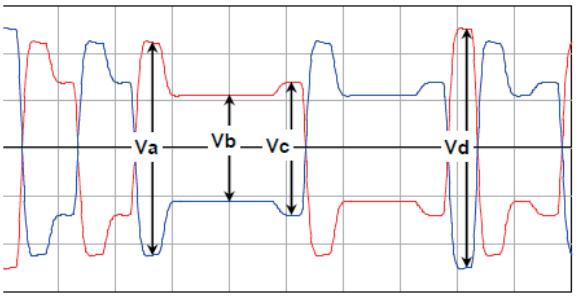
項目	規格*1
Offset	
Offset 基準	Vth
Setting Range	–2.0–Eye Amplitude/2～+3.3–Eye Amplitude/2 Vth、 1 mV step (Single-Ended)
Accuracy	±65 mV ±10 % of offset (Vth) ± (Total Amplitude Accuracy / 2) (オプション x11 実装時の Emphasis 設定時は除く)
Cross Point	Typ. 50 % (固定)
Tr/Tf	Typ. 6.0 ps (20-80%) at 32,64Gbaud、J1789A 使用時 Typ. 7.0 ps (20-80%) at 32,64Gbaud、J1790A 使用時
Half Period Jitter	
Setting Range	–20.0～+20.0、0.1 step
Accuracy	Typ. ±0.04 UI
Jitter	
測定条件	NRZ、32、64 Gbit/s MU191000A+MU181500B または MG369xA/B/C + MU181500B を使用 Clock Input 8GHz
Jitter RMS	≦ 600 fs rms (測定カウント 30)
Intrinsic RJ	≦ 108 fs rms (1、0 繰り返しパターン)*17
Peak to Peak Jitter	≦ 6 ps p-p (測定カウント 30)
Random Noise	≦ 4.75 mVrms*17
Waveform Distortion (0-peak)	±110 mV
PAM4 Level Separation Mismatch Ratio (R_{LM})	≧ 0.95 ≧ 0.975 (Adjustable.)
Signal to noise and distortion ratio (SNDR)	PAM4: typ. 35 dB*18 PAM3: typ. 41 dB*19

＊17: Bit Rate 64.0 Gbit/s (オプション 003、y13、y23 実装時)

＊18: Baud Rate 64.0 Gbaud (オプション 003、y13、y23 実装時)
PRBS13Q、0.8 Vp-p (Differential)、J1793A Pick OFF Tee を使用。
算出方法の詳細は、PCIe7 規格を参照してください。

＊19: Baud Rate 25.600 004 Gbaud、1.0 Vp-p (Differential)、リアルタイムオシロスコープにて観測。
算出方法の詳細は、USB4 Gen4 規格を参照してください。

表 1.3.2.3-11 データ出力 (続き)

項目	規格*1
電気 TDECQ	0.9 dB*20
Output ON/OFF	ON/OFF 切り替えあり
Glitch-free	ON/OFF 切り替えあり 周波数変動時 PPG 出力を瞬断せず Glitch-free 動作させる。
Data / XData Skew	±1 ps ケーブル誤差含まず
終端	AC、DC 切り替え DC 時 GND、–2V、+1.3V、+3.3V、Open (LVDS)、50 Ω
コネクタ	V コネクタ (j.)
Level Guard	Amplitude、Voh、Vol の設定可能
External ATT Factor	–40～0 dB、0.1 dB step 固定アッテネータを接続した場合に、固定アッテネータ経由で出力される信号の振幅とオフセットを表示
Emphasis	オプション x11 実装時
Emphasis Tap	4 Tap
Cursor Setting Range/Step	Coeficient: -2.0000～+2.0000, 0.0001 step De-Emphasis: –20～+20 dB、0.01 dB step (Post-Cursor: $20\log_{10}Va/Vb$、Pre-Cursor: $20\log_{10}Vc/Vb$) 各 Tap の係数は Upper/Middle/Lower Eye すべての Eye において同じ値となる。つまり Upper, Middle, Lower Eye の各 Tap の係数は独立して操作することはできない。 
Accuracy	± (35 mV + 10 % of Total Amplitude x Coeficient)
Setting Range of Emphasis Peak Voltage	・NRZ、PAM4 モード時 Max. 800 mVp-p (Single-Ended) ・PAM3 モード時 Max. 532 mVp-p (Single-Ended)
Emphasis ON/OFF	ON/OFF 切り替えあり

＊20: Baud Rate 64.0 Gbaud (オプション 003、y13、y23 実装時)

表 1.3.2.3-11　データ出力 (続き)

項目	規格*1
Channel Emulator*21、*22	Normal:　PPG 出力 Data 信号に、読み込み S パラメータ相当の伝送路を接続した波形をエミュレートして出力する。 Inverse:　PPG 出力 Data 信号に、読み込み S パラメータ相当の伝送路の逆特性をエミュレートして出力する。
Response	Normal、Inverse 切り替えあり
S-Parameter file	S2P ファイル（拡張子“*.s2p”）、S4P ファイル（拡張子“*.s4p”） MS4640B Series ベクトルネットワークアナライザの出力 S2P、S4P ファイルに対応
Channel Emulator ON/OFF	ON/OFF 切り替えあり
Gain Adjust	Response が Normal のとき、指定した周波数においてエミュレートする損失量と読み込んだ S パラメータファイルの損失量を合わせこむ。 0GHz、1GHz、Nyquist Frequency 切り替え
Adjustable ISI*21	PPG 出力 Data 信号に、ISI を発生させるチャネルの損失を設定、そのエミュレート波形を出力する(出力波形振幅は設定振幅で規格化)。
Loss Channel	MU196020C と以下のどれかを組み合わせて使用可能 Not Specified:　外部の Loss チャネルボードとの組み合わせ J1800A×1 Short Channel:　応用部品 J1800A 1 枚との組み合わせ J1800A×2 Middle Channel:　応用部品 J1800A 2 枚との組み合わせ J1800A×3 Long Channel:　応用部品 J1800A 3 枚との組み合わせ J1758A:　応用部品 J1758A との組み合わせ MU195050A Noise:　MU195050A Noise Module との組み合わせ J1793A Pick OFF Tee:　応用部品 J1793A Pick OFF Tee との組み合わせ
Frequency	Insertion Loss を設定できるのは、Nyquist および 1/2 Nyquist Frequency

＊21: オプション z40 実装時

＊22: 伝送路の損失を補償する目的での使用を想定する。

補正可能な挿入損失の代表的な限界値を次のグラフに示します。
S-Parameter ファイルからエミュレートされたすべての応答がこのグラフの特性と同様に補償されることを保証するものではありません。

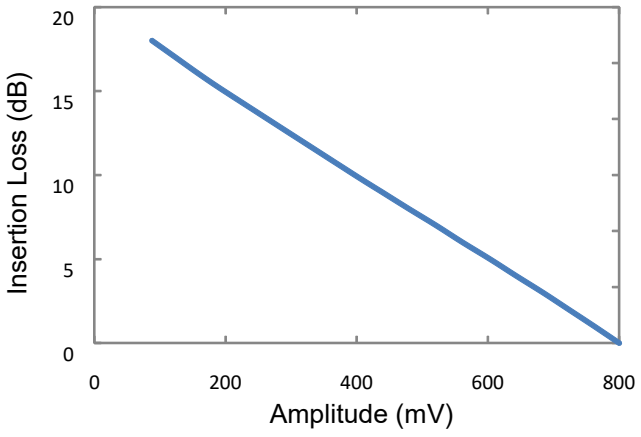


表 1.3.2.3-11 データ出力 (続き)

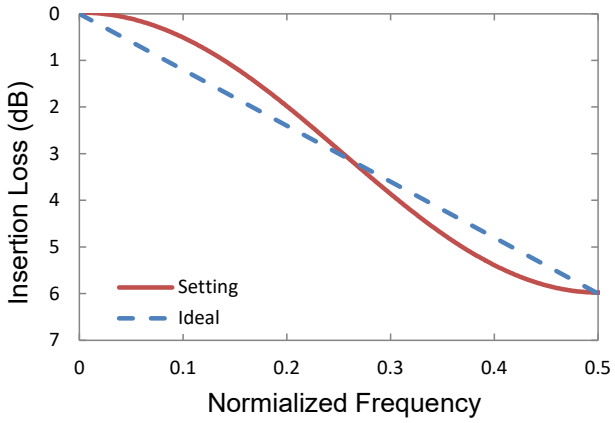
項目	規格*1
Insertion Loss	Nyquist Frequency と 1/2 Nyquist Frequency における、Loss Channel で選択した損失量と Tuning Insertion Loss の設定値を足し合わせた絶対損失を表示する。
Tuning Insertion Loss	Loss Channel の損失値からの相対損失量を設定可能 –8.00～8.00 dB、0.01 dB step、Nyquist Frequency –8.00～8.00 dB、0.01 dB step、1/2 Nyquist Frequency
Insertion Loss Accuracy	±1.0 dB Nominal @Nyquist Frequency 6 dB、1、0 繰り返しパターン*23、*25、*26 ±1.5 dB Nominal @ Nyquist Frequency 6 dB、1、0 繰り返しパターン*24、*25、*26 ±1.0 dB Nominal @1/2 Nyquist Frequency 3 dB、1、1、0、0 繰り返しパターン*23、*25、*26 ±1.5 dB Nominal @1/2 Nyquist Frequency 3 dB、1、1、0、0 繰り返しパターン*24、*25、*26
Adjustable ISI ON/OFF	ON/OFF 切り替えあり
Insertion Loss Compensation	Option11,45 実装時 Modulation：PAM3、Baud Rate：USB4 Gen4 設定時、ナイキスト周波数における Insertion Loss を Emphasis によって補正します
Setting Range	0.0～2.0 dB、0.1 dB step
Insertion Loss Accuracy	オシロスコープを用いて BERT Insertion Loss*27の Calibration を行うため本設定値の Accuracy は保証せず設定値は Typ.となります
Insertion Loss Compensation ON/OFF	ON/OFF 切り替えあり

＊23: Baud Rate 26.6 Gbaud (オプション 001、002、y12、003、y13、y23 実装時)

＊24: Baud Rate 53.1 Gbaud (オプション 002、y12、003、y13、y23 実装時)

＊25: Eye Amplitude 0.5 Vp-p、各スペクトラムにて、20～30 °C (温度一定) にて規定

＊26: Insertion Loss を、6 dB@Nyquist Frequency、3 dB@1/2 Nyquist Frequency に設定したときの Insertion Loss Accuracy 周波数特性は以下のようになります。



＊27: BERT Insertion Loss は USB4 Version2 GEN4 Electrical Compliance Test Specification (CTS) にて測定器に求められる規格です。

表 1.3.2.3-12　クロック出力

項目	規格*
周波数	
Full Rate	Operation Baud Rate = Clock Output Frequency 2.4～32.1 GHz (オプション 001)
Half Rate	Operation Baud Rate = (Clock Output Frequency) × 2 1.2～16.05 GHz (オプション 001) 1.2～29.1 GHz (オプション 002、y12 実装時) 1.2～32.1 GHz (オプション 003、y13、y23 実装時)
Quarter Rate	Operation Baud Rate = (Clock Output Frequency) × 4 0.6～8.025 GHz (オプション 001) 0.6～14.55 GHz (オプション 002、y12 実装時) 0.6～16.05 GHz (オプション 003、y13、y23 実装時)
出力数	1
振幅	Min. 0.3 Vp-p、Max. 1.0 Vp-p (Output Frequency ≤ 16.05 GHz) Min. 0.4 Vp-p、Max. 1.0 Vp-p (Output Frequency > 16.05 GHz)
出力制御	ON、OFF 切り替えあり
終端	50 Ω、AC Coupling
コネクタ	K コネクタ (j.)

＊: 応用部品 J1439A およびサンプリングオシロスコープ帯域 70 GHz で観測したときの値

表 1.3.2.3-13 データディレイ*1

項目	規格
位相設定範囲	–1000～+1000 mUI、2 mUI step
確度	±50 mUIp-p*2、*3、*4 ±100 mUIp-p*2、*3、*5
mUI-ps 変換	あり (内部的に ps 換算)
Calibration	あり (ジッタ無変調時)
Calibration 推奨表示	次のどちらかの状態になったときに画面に表示 • 1/1 Clock の周波数が±250 kHz 変化したとき • 機器周囲温度が±5 °C 変化した場合

＊1: オプション x30 実装時

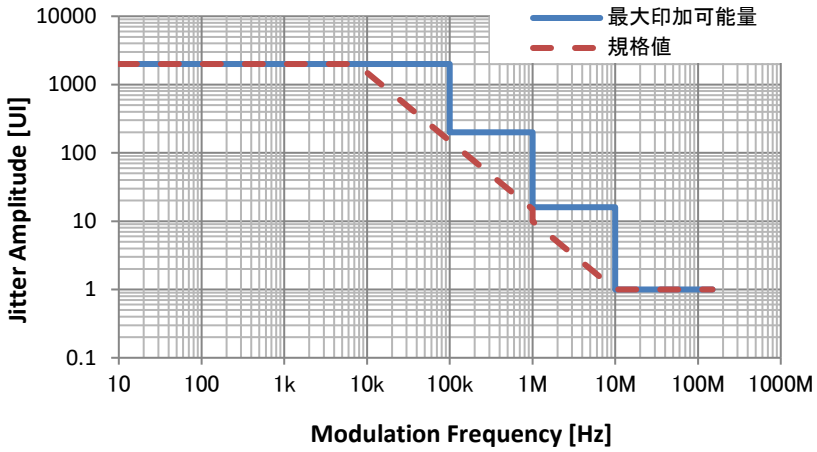
＊2: 記載がない限り以下の測定条件とする。
帯域 70 GHz のサンプリングオシロスコープを使用
Eye Amplitude 0.5Vp-p (NRZ/PAM4)
応用部品 J1790A を使用

＊3: 代表値

＊4: Baud rate ≤ 32.1 Gbaud

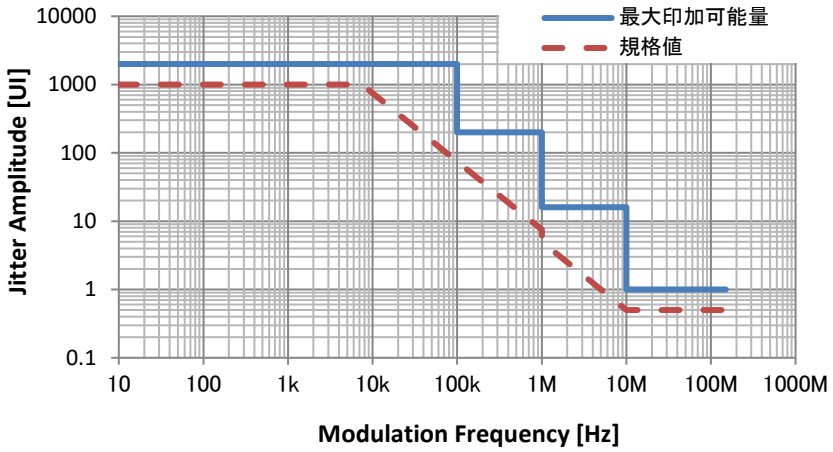
＊5: Baud rate > 32.1 Gbaud

表 1.3.2.3-14　ジッタ耐力

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力</td><td>PCIe 5/6
Baud rate 32.0 Gbaud
PRBS 2^{23}–1, PAM4
MU181500B により SSC 33 kHz 5300 ppm Down Spread, RJ 500 fs rms 同時に印加した時
 

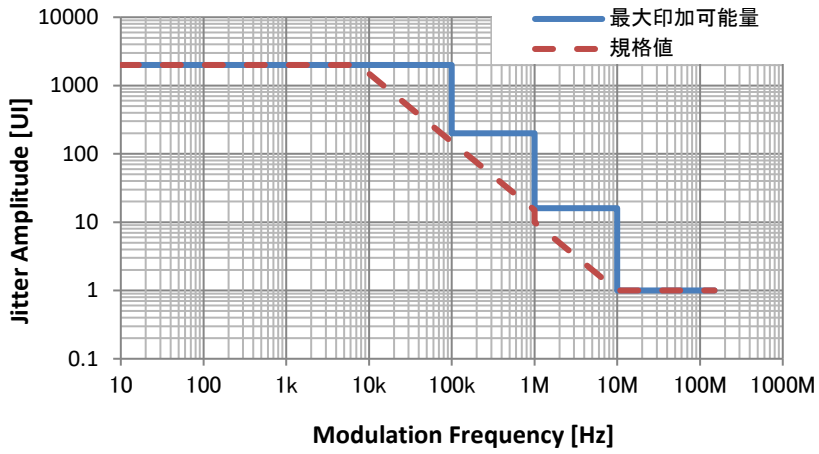
<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量 [UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2 000</td><td>2 000</td></tr>
<tr><td>7 500</td><td>2 000</td><td>2 000</td></tr>
<tr><td>10 000</td><td>2 000</td><td>1 500</td></tr>
<tr><td>100 000</td><td>2 000</td><td>150</td></tr>
<tr><td>1 000 000</td><td>200</td><td>15</td></tr>
<tr><td>10 000 000</td><td>16</td><td>1</td></tr>
<tr><td>150 000 000</td><td>1</td><td>1</td></tr>
</table>
</td></tr>
</table>

表 1.3.2.3-14 ジッタ耐力（続き）

項目	規格
ジッタ耐力（続き）	PCIe 7 Baud rate 64.0 Gbaud PRBS 2^{23}–1, PAM4 MU181500B により SSC 33 kHz 5300 ppm Down Spread, RJ 125 fs rms 同時印加時 Modulation Frequency≧400 kHz、BER < 1E-12 を満たすポイントで規定  $\frac{1.9156 \times 10^{12}}{F^{1.9969}}$ (400 kHz $\leq F <$ 1 MHz) $\frac{8.192 \times 10^{9}}{F^{1.6021}}$ (1 MHz $\leq F <$ 10 MHz) 0.05 ($F \leq$ 10 MHz) (PCI Express® Base Specification Revision 7.0 で記載されている F≧400kHz の規格値と同じ)

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	
7 500	2 000	
10 000	2 000	
100 000	2 000	
400 000	200	12.46
1 000 000	200	2.00
10 000 000	16	0.05
150 000 000	1	0.05

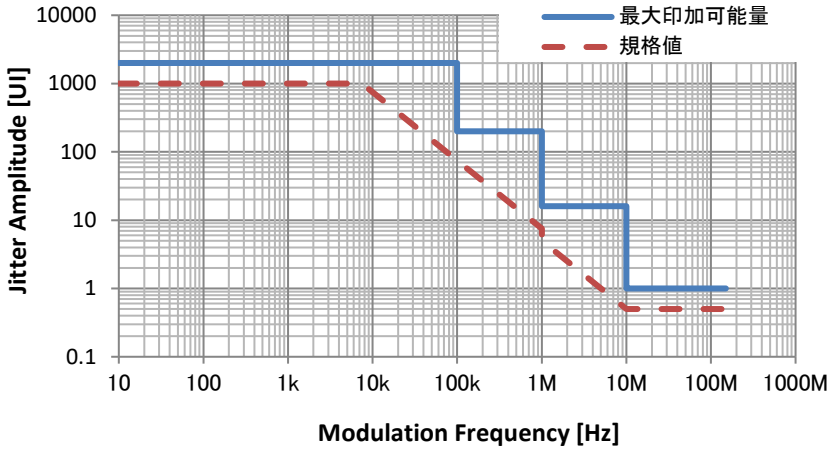
表 1.3.2.3-14　ジッタ耐力（続き）

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力（続き）</td><td>Ethernet 26G
Baud rate 26.5625 Gbaud
PRBS 2^{31}-1, PAM4 または NRZ
 

<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量
[UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2 000</td><td>2 000</td></tr>
<tr><td>7 500</td><td>2 000</td><td>2 000</td></tr>
<tr><td>10 000</td><td>2 000</td><td>1 500</td></tr>
<tr><td>100 000</td><td>2 000</td><td>150</td></tr>
<tr><td>1 000 000</td><td>200</td><td>15</td></tr>
<tr><td>10 000 000</td><td>16</td><td>1</td></tr>
<tr><td>150 000 000</td><td>1</td><td>1</td></tr>
</table></td></tr>
</table>

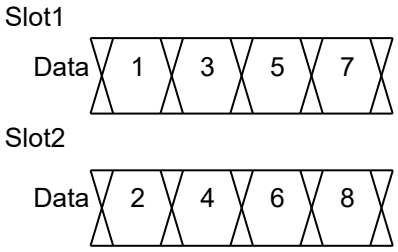
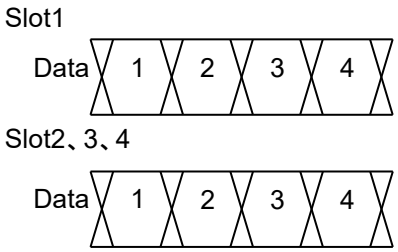
表 1.3.2.3-14 ジッタ耐力 (続き)

項目	規格
ジッタ耐力 (続き)	Ethernet 53G Baud rate 53.125 Gbaud PRBS 2^{31}-1, PAM4 または NRZ



変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	1 000
7 500	2 000	1 000
10 000	2 000	750
100 000	2 000	75
1 000 000	200	7.5
10 000 000	16	0.5
150 000 000	1	0.5

表 1.3.2.3-15　マルチチャネル動作*1

項目	規格
モジュール間同期設定	複数モジュール間のパターン発生タイミングの同期をとる機能*2、*3、*4、*5、*6 Baud Rate ≤ 32.1 Gbaud: 1 UI 未満の精度でビット発生タイミングをそろえて発生可能 Baud Rate > 32.1 Gbaud: 5 UI 未満の精度でビット発生タイミングをそろえて発生可能
Inter-Module 2ch Combination	NRZ のときのみ設定可能 モジュール間で先頭ビット発生タイミングをそろえた信号を発生 かつ モジュール間で発生ビットパターンをビットインターリーブして発生 対象アプリケーション:CEI-112G-NRZ (56 Gbit/s × 2ch)など 
Inter-Module CH Synchronization	モジュール間で先頭ビット発生タイミングをそろえた信号を発生 対象アプリケーション:400GbE(53.125 Gbaud x 4-ch)、CEI-112G-PAM4(56 Gbaud × 4ch)など 

＊1: オプション x30 および x50 実装時

＊2: 以下のオプションが同期対象のモジュールで同一であること。
オプション 001
オプション 002 または y12
オプション 003、y13、または y23

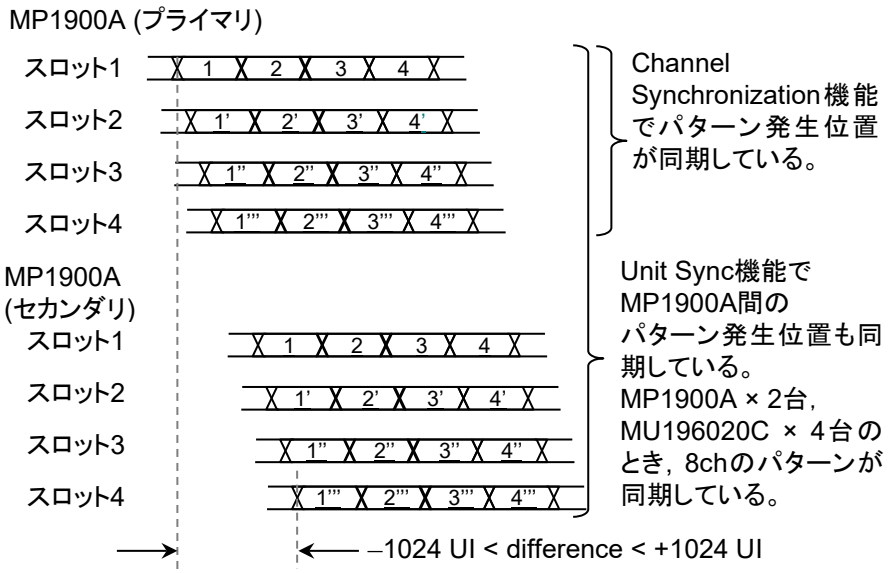
＊3: スロット 1～2:Inter-Module 2ch Combination (NRZ のみ)

＊4: スロット 1～4:Inter-Module CH Synchronization

＊5: 対象となるモジュールがスロット 1 から連続して装着されていること

＊6: ビット発生タイミングは Multi Channel Calibration 実施時の温度から±3 °C の範囲内において保証

表 1.3.2.3-15 マルチチャネル動作*1 (続き)

項目	規格
出力設定 位相設定範囲 位相設定分解能	モジュール間同期設定時に変更となる項目のみ記載 –64 000～+64 000 mUI*7 2 mUI*7
パターン Data Length	 CH Combination 時: 4～536 870 912 bits、2 bits step CH Synchronization 時: Sync OFF と同じ。
Unit Sync*8	ON/OFF 切り替えあり
Number of Unit	最大 2 台の MP1900A 間の同期制御が可能 (PAM4 PPG x 4 台 x 2 筐体＝最大 8-channel 同期制御可能)
Unit Sync Output*9	Unit Sync ボタンをタッチするとタイミング信号を Gating Out コネクタから出力 MP1900A 間同期の状態監視表示あり。タイミング合わせが必要なときに Unit Sync ボタンの LED (オレンジ) が点灯する。
Unit Sync Input*9	タイミング信号を AUX In コネクタから入力
Unit 間のビット位相差	±1024 UI 以内 Unit Sync ボタンをタッチしたときのビット発生タイミングの差 

＊7: 各チャネル独立して設定可能

＊8: Inter Module Synchronization 実行時のみ有効

＊9: Unit Sync On 時のみ有効

表 1.3.2.3-16　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～30 °C MP1900A 機器周囲温度。組み込み時に本モジュールが動作すること
保存温度	–20～60 °C 機器に組み込んだ状態で MIL-T-28800E クラス 5 に適合すること

1.3.3 ED

1.3.3.1 MU195040A規格

表 1.3.3.1-1 動作ビットレート

項目	規格
動作ビットレート	2.4～21.0 Gbit/s*1 2.4～32.1 Gbit/s*2

＊1: オプション x01 無し

＊2: オプション x01 有り

表 1.3.3.1-2 システムクロック

項目	規格
システムクロック	External、Clock Recovery、Clock and Data Recovery 選択可能*

＊: オプション x22 実装時に選択可能。未実装時は External のみ。Data1 Input に入力されたデータからクロック再生。

表 1.3.3.1-3 データ入力

項目	規格
入力数	2 (Data、XData) (Differential)*1 4 (Data1、XData1、Data2、XData2) (Differential)*2
Amplifier	Single-Ended 50 Ω、Differential 50 Ω、Differential 100 Ω選択可能 Single-ended 50 Ω選択時: Data、XData 選択可能 Differential 50/100 Ω設定時: Tracking、Independent、Alternate 選択可能 Alternate 設定時: Data-XData、XData-Data 選択可能*3 CTLE: ON、OFF 切り替え有り*4
フォーマット	NRZ、PAM4
振幅*5	0.05～1.0 Vp-p (NRZ) 0.3～1.0 Vp-p (PAM4、≤ 28.1 Gbaud) 0.4～1.0 Vp-p (PAM4、> 28.1 Gbaud)
しきい値	–3.5～+3.3 V (1 mV step) (独立設定可能) (Data、XData Threshold の差分の絶対値は 3 V 以下)

＊1: オプション x10

＊2: オプション x20

＊3: Data、XData Threshold の差分の絶対値は 1.5 V 以下

＊4: オプション x11 またはオプション x21

＊5: NRZ 入力時の振幅は Auto Adjust 機能が動作する範囲です。PAM4 入力時の振幅は PAM4 Auto Search 機能が動作する範囲です。感度はエラーフリーとなる最小入力振幅です。

表 1.3.3.1-3　データ入力 (続き)

項目	規格
感度	NRZ*5、*6*、7 19 mVp-p*9、≤27 mVp-p (21.0 Gbit/s) 22 mVp-p*9、≤31 mVp-p (28.0 Gbit/s*8) PAM4*5、*7、*11 120 mVp-p*9、40 mV/Eye (21.0 Gbaud、Eye Height 24 mV/Eye*9) 120 mVp-p*9、40 mV/Eye (28.1 Gbaud*8、Eye Height 26 mV/Eye*9)
アイ高さ (NRZ)*10	13 mV*9 (21.0 Gbit/s) 15 mV*9 (28.0 Gbit/s*8)

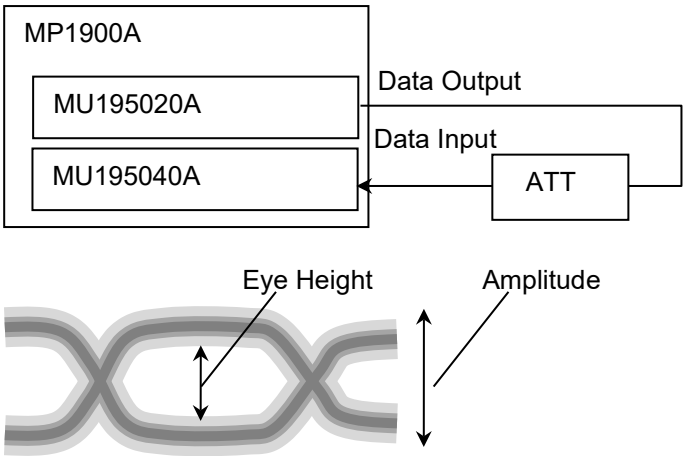
＊6: PRBS31、Single-Ended、マーク率 1/2、CTLE OFF

＊7: 20～30 °C のある 1 つの温度で規定

＊8: オプション x01

＊9: 代表値

＊10: Eye Height の感度です。
次の図に示す測定系（出力振幅の観測には帯域 70 GHz 以上のサンプリングオシロスコープを使用）で、MU195020A + ATT の出力信号を受信したときにエラーフリーとなる最小の Eye Height です。



＊11: PRBS15、Single-Ended、マーク率 1/2 相当、CTLE OFF、MU195020A + G375A 対向

表 1.3.3.1-3 データ入力 (続き)

項目	規格
位相マージン	NRZ*6、*12 33 ps*9 (21.0 Gbit/s) 27 ps*9 (25.0 Gbit/s*8) 20 ps*9 (28.1 Gbit/s*8) 18 ps*9 (32.1 Gbit/s*8) PAM4 Middle*11、*13 13 ps*9 (21.0 Gbaud、Eye Width 26.5 ps*9) 8 ps*9 (25.0 Gbaud*8、Eye Width 20.0 ps*9) 5 ps*9 (28.1 Gbaud*8、Eye Width 15 ps*9) 2 ps*9 (32.1 Gbaud*8、Eye Width 13 ps*9) PAM4 Upper/Lower*11、*13 8 ps*9 (21.0 Gbaud*8、Eye Width 26.5 ps*9) 5 ps*9 (25.0 Gbaud*8、Eye Width 20.0 ps*9) 3 ps*9 (28.1 Gbaud*8、Eye Width 15.0 ps*9)
終端	GND、50 Ω、 Variable、50 Ω
終端電圧	Termination Variable 設定時: –2.5～+3.5 V、10 mV step
コネクタ	K コネクタ (f.)
CTLE*4	
Band	OFF、8-10 Gbit/s、16-20 Gbit/s、25-28 Gbit/s、PCIe3、PCIe4、PCIe5
CTLE ゲイン	
設定範囲	0～–12 dB、0.1 dB step
確度	±0.5 dB*9
振幅	0.05～0.4 Vp-p*14

＊12: 0.5 Vp-p Input、External Clock 使用時

＊13: Emphasis ON (1Pre≤3 dB/1Post≤1 dB の範囲内の最良値)、IEEE802.3bs の測定方法に準拠

＊14: CTLE が ON 時に飽和しない入力範囲です。

表 1.3.3.1-4　クロック入力

項目	規格
入力数	1 (シングルエンド)
周波数	1.2～16.05 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm)
終端	AC、50 Ω
コネクタ	SMA コネクタ (f.)

表 1.3.3.1-5　補助入力、補助出力

項目	規格
補助入力 (Aux Input)	
入力数	1 (シングルエンド)
Variation	External Mask、Burst、Capture External Trigger
最小パルス幅	データレートの 1/128
入力レベル	・ 0/–1 V (H: –0.25～0.05 V、L: –1.1～–0.8 V) ・ 0/–0.5 V (H: –0.05～0.05 V、L: –0.55～–0.45 V) ・ Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	GND、50 Ω
コネクタ	SMA コネクタ (f.)
補助出力 (Aux Output)	
出力数	2 (差動出力)
Variation	1/n Clock (n = 4、6、8、10…510、512)、Pattern Sync*、Sync. Gain、Error Output
パターン同期	
PRBS、PRGM	Position:　1～(Pattern Length'と 128 の最小公倍数 – 135)、8 step Pattern Length'は Pattern Length が 511 以下のとき、512 以上になるように整数倍した値
Mixed Data	Block No 設定:　1～(Mixed Data 指定の Block No)、1 step Row No 設定:　1～(Mixed Data 指定の Row No)、1 step
出力レベル	0/–0.6 V (H: –0.25～0.05V、L: –0.80～–0.45 V)
終端	GND、50 Ω
コネクタ	SMA コネクタ (f.)

＊:　Test Pattern が HSSB Data のときは選択できません。

表 1.3.3.1-6 パターン検出

項目	規格
PRBS	
パターン長	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
マーク率	1/2 (論理反転により 1/2INV が可能)
Zero-Substitution	
付加ビット	0 bit、1 bit
パターン長	2^n または 2^n–1 (n = 7、9、10、11、15、20、23)
開始位置	最大“0”連続ビット位置の次ビットから置換
ゼロビットの長さ	1～(Pattern Length – 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
データ長	2～268435456 bits、1 bit step
Mixed Pattern	
パターン切り替え	Data
Mixed Block	下記のいずれか小さい数まで 1～511 Block、1 Block step $\mathrm{INT}\left(\frac{268435456}{\text{ROW数}}\times\text{データ長}\right)$ bits $\mathrm{INT}\left(\frac{268435456+2^{31}}{\text{ROWの長さ}}\times\text{ROW数}\right)$ bits
Mixed Row Length	2048～268435456+2^{31} bits、1024 bits step (Data + PRBS Length)
データ長	1024～268435456 bits、1 bit step
Row 数	1～16、1 step
Block 数	1～511、1 step
PRBS 段数、マーク率	PRBS と同様
PRBS Sequence	Restart、Consecutive
デスクランブル	各 Block の PRBS、Data ごとに設定可能 (Block1 の Data 領域を除く)
PAM4*1	
パターン種別	Square Wave、JP03A、JP03B、PRQS10、SSPR、QPRBS13、QPRBS13-CEI、SSPRQ、Transmitter Linearity、PRBS13Q、PRBS31Q、User Define
User Define 選択時	
Raw Data	PRBS、Data
PRBS 段数	PRBS と同様
PRBS Inversion	PRBS 部の Logic 設定
データ長	Data と同様
Gray Coding	グレイコード機能の ON、OFF 設定

＊1: 2ch コンビネーション設定時のみ設定可能

表 1.3.3.1-6　パターン検出 (続き)

項目	規格
HSSB Data*2	
Specification	PCIe1、PCIe2、PCIe3、PCIe4、PCIe5、USB3.0、USB3.1 Gen2
EIEOSQ	EIEOSQ Insertion:　ON、OFF EIEOSQ Interval:　1～65536 pattern repeats、1 step Specification PCIe1、PCIe2、PCIe3、PCIe4、および PCIe5 のとき有効 PCIe3、PCIe4、PCIe5 のとき、EIEOSQ Insertion ON のみ選択可能
SYNCOS	SYNC OS Insertion:　ON、OFF SYNC OS Interval:　1～65536 pattern repeats、1 step Specification USB3.0 のとき OFF のみ選択可能 Specification USB3.1 Gen2 のとき有効
Scrambler Seed	Specification で PCIe1、PCIe2、USB3.0 選択時:　FFFF Specification で PCIe3、PCIe4、PCIe5 選択時以下から選択: Lane0、Lane1、Lane2、Lane3、Lane4、Lane5、Lane6、Lane7 Specification で USB3.1 Gen2 選択時:　1DBFBC
Pre Coder	ON、OFF PCIe5 のときのみ設定可能
PCIe1	
Length	32～1024 bit、8bit step
Coding	8b10b
PCIe2	
Length	32～1024 bit、8bit step
Coding	8b10b
PCIe3	
Length	128～1024 bit、128bit step
Coding	128b130b
PCIe4	
Length	128～1024 bit、128bit step
Coding	128b130b
PCIe5	
Length	128～1024 bit、128bit step
Coding	128b130b

＊2:　Data1 かつ Independent 時のみ設定可能

表 1.3.3.1-6 パターン検出 (続き)

項目	規格
HSSB Data*2 (続き)	
USB3.0	
Length	32～1024 bit、8bit step
Coding	8b10b
USB3.1 Gen2	
Length	128～1024 bit、128bit step
Coding	128b132b
8b10b Pattern Editor	
Notation	Symbol、Bin、Hex
Scrambler Enable	対象 Symbol に Scramble をかけます。 ON、OFF
Scrambler Reset	対象 Symbol で Scrambler の Seed 値を Reset します。 ON、OFF
Code	K-code、D-code
K code	K28.0、K28.1、K28.2、K28.3、K28.4、K28.5、K28.6、K28.7 K23.7、K27.7、K29.7、K30.7
D code	D0.0～D31.7
MSB First / LSB First	MSB First、LSB First
128b130b Pattern Editor	
Notation	Bin、Hex
Scrambler Enable	対象 Symbol に Scramble をかけます。 ON、OFF
Scrambler Reset	対象 Symbol で Scrambler の Seed 値を Reset します。 ON、OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。 ON、OFF
Sync Header	2 bit の Sync Header を定義します。
MSB First / LSB First	MSB First、LSB First

表 1.3.3.1-6　パターン検出 (続き)

項目	規格
HSSB Data*2 (続き)	
128b132b Pattern Editor	
Notation	Symbol Bin、Symbol Hex
Scrambler Enable	対象 Symbol に Scramble をかけます。 ON、OFF
Scrambler Reset	対象 Symbol で Scrambler の Seed 値を Reset します。 ON、OFF
DC Balance	Symbol14 および 15 に DC Balance を付加します。 ON、OFF
Sync Header	4 bit の Sync Header を定義します。
MSB First / LSB First	MSB First、LSB First

表 1.3.3.1-7　パターンシーケンス

項目	規格
Sequence	Repeat、Burst
Repeat	連続 Pattern
バースト	
トリガ源	Internal、External-Trigger (Aux Input)、External-Enable (Aux Input)
ディレイ	Internal: 0～2147483640 bits、8 bits step Ext Trigger、Enable: 0～2147483520 bits、8 bits step Adjust Method: Auto、Manual
周期	Internal: 12800～2147482624 bits、256 bits step Ext Trigger: 12800～2147483392 bits、256 bits step
バーストサイクル	25600～2147483648 bits、1024 bits step

表 1.3.3.1-8 測定

項目	規格	
測定種別	エラーレート:	0.0001E–18～1.0000E00
	エラー数:	0～9999999、1.0000E07～9.9999E17
	エラーインターバル:	0～9999999、1.0000E07～9.9999E17
	エラーフリーインターバル (%):	0.0000～100.0000
	周波数:	2400.000～32100.000 MHz
	周波数測定確度:	±1 ppm ±1 kHz*1
	クロック数:	0～9999999、1.0000E07～9.9999E17
	Confidence Level:	0.0～99.9 %
	同期ロスインターバル:	0～9999999、1.0000E07～9.9999E17
	クロックロスインターバル:	0～9999999、1.0000E07～9.9999E17
ゲート方法	Time、Clock Count、Error Count、Block Count	
ゲート単位、設定範囲	時間:	1 秒～99 日 23 時間 59 分 59 秒
	クロック数:	> E+4～> E+16
	エラー数:	> E+4～> E+16
	ブロック数:	> E+2～> E+14
サイクル	Single、Repeat、Untimed、Single (Target CL)	
Confidence Level	MX190000A VER10.07.00 以降のソフトウェアで有効	
	Target CL:	0～99.9 %
	Target ER:	1E-15～9E-3
	Target EC:	0～10
	Target Bitrate:	2.4～21.0 Gbit/s*2、*4
		2.4～32.1 Gbit/s*3、*4
	PPG Target Bitrate Tracking:	同じ MP1900A に装着されている PPG の中から、選択された PPG の動作 Bitrate にトラッキングする。
現在値表示	On、Off	
	Calculation:	Progressive、Immediate
	Interval:	100 ms、200 ms、500 ms

＊1: Gating 方式は MP1900A の基準クロック 10 MHz が校正された状態にて

＊2: オプション x01 無し

＊3: オプション x01 有り

＊4: Combination Setting で 2ch Combination を選択している場合は、Confidence Level の計算に用いる Bitrate を倍にする

表 1.3.3.1-8　測定 (続き)

項目	規格
自動同期	On、Off Sync. Threshold:　INT、E–2～E–8
同期制御	PRBS:　読み込み方式 Data:　Frame On、Quick Mixed-Data:　Frame On HSSB Data:　読み込み方式
フレーム長	4～64 bits、4 bits step
フレームマスク	有り
フレーム位置	1～(Pattern Length – Frame Length +1) bits、1 bit step
エラー/アラーム状態	
エラー検出	・ Total、Insertion、Omission ・ Transition、Non Transition
EI/EFI インターバル	1 ms、10 ms、100 ms、1 s
SKP OS Filtering	以下の規格に準拠した SKP OS を除去する機能。 ・ PCIe:　Gen1、Gen2、Gen3、Gen4、Gen5 ・ USB:　USB3.0、USB3.1 Gen2 それぞれの規格のビットレートでのみ動作可能。 パターンが HSSB Data のとき、ON のみ有効

表 1.3.3.1-9 エラー解析

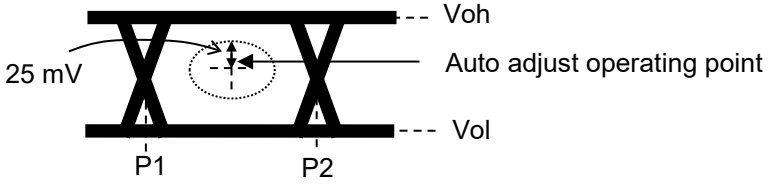
項目	規格	
ブロックウィンドウ	Data パターンを設定に応じて測定対象から除外 Mixed Pattern 時、HSSB Data 時は無効	
設定分解能	パターン長 (bits)	Step [bits]
	2～2097152	1
	2097153～4194304	2
	4194305～8388608	4
	8388609～16777216	8
	16777217～33554432	16
	33554433～67108864	32
	67108865～134217728	64
	134217729～268435456	128
ビットウィンドウ*1	内部 32ch のうち任意の ch を測定対象から除外	
外部マスク*1	H: 測定 L: Mask	
キャプチャ機能*1		
ブロック数	1、2、4、8、16、32、64、128	
ブロック長	$\frac{8\text{Mbits}}{n}$ (n = ブロック数)	
トリガ	Error Detect、Match Pattern、Manual Trigger、External Trigger (Rising Edge)	
トリガ位置	Top、Middle、Bottom	
マッチパターン	4～64、4 bits step	
自動測定	アイマージン*1、*2、バスタブ曲線*1、*2、Eye Contour*1、*2、PAM4 BER 測定 Auto Adjust*3、*4、*5、Auto Search*3、Auto Search PAM4 モード*6	

＊1: HSSB Data 時は無効

＊2: システムクロックを Clock and Data Recovery に設定したときは選択不可

＊3: NRZ、PRBS パターンかつマーク率 1/2

＊4: Auto Adjust 機能で得られる最適点は、電圧方向は (Voh + Vol) / 2 付近、位相方向は (P1 + P2) / 2 付近のポイントです。Auto Adjust 機能は、オシロスコープで波形を観測したとき、Auto adjust operating point から電圧方向に±25 mV 以内にサンプルポイントがない波形で正常に動作します。



＊5: 入力信号の Eye 波形が対称ではないときは、Auto Adjust 機能で最適点を得られません。入力信号の Eye 波形が非対称のときは、Auto Search Fine の使用を推奨します。

＊6: PAM4 波形の各レベルが均等であること。PRBS パターンかつマーク率 1/2

表 1.3.3.1-10　PAM4 BER Measurement

項目	規格
PAM4 BER Measurement	下記パターンを設定可能 ・ GrayPRBS7、9、10、11、13Q-IEEE200G_400G[Draft2]、15、20 ・ GrayPrePRBS20 ・ GrayPreQPRBS13-CEI ・ GrayPreQPRBS13-IEEE100GBASE-KP4_Lane0、1、2、3 ・ GrayPRQS10 ・ GrayQPRBS13-CEI ・ GrayQPRBS13-IEEE100GBASE-KP4_Lane0、1、2、3 ・ GraySSPR ・ PRBS7、9、10、11、13Q-IEEE200G_400G[Draft2]、15、20 ・ PrePRBS20 ・ PreQPRBS13-CEI ・ PRQS10 ・ QPRBS13-CEI ・ QPRBS13-IEEE100GBASE-KP4_Lane0、1、2、3 ・ Squarewave ・ SSPR ・ SSPRQ ・ Transmitter_Linearity

表 1.3.3.1-11　可変クロックディレイ

項目	規格
位相設定範囲	–1000～+1000 mUI、2 mUI step
確度	±50 mUIp-p*1、*2
mUI - ps 変換	有り
Calibration	有り
Calibration 推奨表示	Calibration 実施後、次の状態になったときに画面に表示 ・ 1/1Clock の周波数が±250 kHz 変化した場合 ・ 機器周囲温度が±5 °C 変化した場合

＊1: 残留ジッタ <200 fs (RMS) のオシロスコープを使用

＊2: 代表値

表 1.3.3.1-12 クロックリカバリ

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>クロックソース切り替え</td><td>Clock Recovery、Clock and Data Recovery 選択可能*1</td></tr>
<tr><td>動作ビットレート</td><td>
<table>
<tr><th>NRZ</th><th>PAM4</th></tr>
<tr><td>2.4～21.0 Gbit/s*2
2.4～32.1 Gbit/s*3</td><td>2.4～21.0 Gbaud*2
2.4～28.1 Gbaud*3
28.100 001～32.1 Gbaud*3、*4</td></tr>
</table>
</td></tr>
<tr><td>設定範囲</td><td>2.400000～21.000000 Gbit/s、0.000001 Gbit/s step*2
2.400000～32.100000 Gbit/s、0.000001 Gbit/s step*3</td></tr>
<tr><td>対応規格ビットレート</td><td>
<table>
<tr><th>規格</th><th>Bit rate [Gbit/s]</th></tr>
<tr><td>100G ULH</td><td>32.100000*3</td></tr>
<tr><td>PCI Express Gen5</td><td>32.000000*3</td></tr>
<tr><td>32GFC</td><td>28.050000*3</td></tr>
<tr><td>100G OTU4</td><td>27.952496*3</td></tr>
<tr><td>100GbE(25.78x4)</td><td>25.781250*3</td></tr>
<tr><td>InfiniBand EDR</td><td>25.781250*3</td></tr>
<tr><td>SAS</td><td>24.000000*3</td></tr>
<tr><td>SAS4</td><td>22.500000*3</td></tr>
<tr><td>Thunderbolt2</td><td>20.625000</td></tr>
<tr><td>DisplayPort UHBR 20</td><td>20.000000</td></tr>
<tr><td>USB4 Gen3</td><td>20.000000</td></tr>
<tr><td>PCI Express Gen4</td><td>16.000000</td></tr>
<tr><td>InfiniBand FDR</td><td>14.062500</td></tr>
<tr><td>16G FC</td><td>14.025000</td></tr>
<tr><td>DisplayPort UHBR 13.5</td><td>13.500000</td></tr>
<tr><td>10G FC Over FEC</td><td>11.316800</td></tr>
<tr><td>10GbE Over FEC</td><td>11.095700</td></tr>
<tr><td>OTU2</td><td>10.709225</td></tr>
<tr><td>G975 FEC</td><td>10.664228</td></tr>
</table>
</td></tr>
</table>

＊1: オプション x22 実装時に選択可能。Data1 Input に入力されたデータからクロック再生。
入力パターンは、NRZ、PRBS パターンかつマーク率 1/2。
PAM4 指定時は PRBS15 Data1 Middle でクロックリカバリを行い、Data2 にて Upper/Middle/Lower 測定を行う。MU195020A + J1741A + G0375A + J1728A 対向時、Target ループ帯域は各 Bit rate の最大設定値で規定。

＊2: オプション x22 有り

＊3: オプション x01 有り

＊4: 代表値、BER 1.0E–7

表 1.3.3.1-12　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>対応規格ビットレート (続き)</td><td>
<table>
<tr><th>規格</th><th>Bit rate [Gbit/s]</th></tr>
<tr><td>10G FC</td><td>10.518750</td></tr>
<tr><td>10GbE</td><td>10.312500</td></tr>
<tr><td>Thunderbolt1</td><td>10.312500</td></tr>
<tr><td>DisplayPort UHBR 10</td><td>10.000000</td></tr>
<tr><td>USB4 Gen2</td><td>10.000000</td></tr>
<tr><td>InfiniBand QDR</td><td>10.000000</td></tr>
<tr><td>USB3.1</td><td>10.000000</td></tr>
<tr><td>OC-192/STM-64</td><td>9.953280</td></tr>
<tr><td>8G FC</td><td>8.500000</td></tr>
<tr><td>DisplayPort HBR3</td><td>8.100000</td></tr>
<tr><td>PCI Express Gen3</td><td>8.000000</td></tr>
<tr><td>HSBI</td><td>6.250000</td></tr>
<tr><td>SATA 6Gb/s</td><td>6.000000</td></tr>
<tr><td>DisplayPort HBR2</td><td>5.400000</td></tr>
<tr><td>PCI Express Gen2</td><td>5.000000</td></tr>
<tr><td>USB3.0</td><td>5.000000</td></tr>
<tr><td>InfiniBand DDR</td><td>5.000000</td></tr>
<tr><td>4G FC</td><td>4.250000</td></tr>
<tr><td>XAUI</td><td>3.125000</td></tr>
<tr><td>SATA 3Gb/s</td><td>3.000000</td></tr>
<tr><td>DisplayPort HBR</td><td>2.700000</td></tr>
<tr><td>OTU1</td><td>2.666060</td></tr>
<tr><td>InfiniBand SDR</td><td>2.500000</td></tr>
<tr><td>PCI Express Gen1</td><td>2.500000</td></tr>
<tr><td>OC-48/STM-16</td><td>2.488320</td></tr>
</table>
</td></tr>
</table>

表 1.3.3.1-12 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>動作ビットレート追従機能

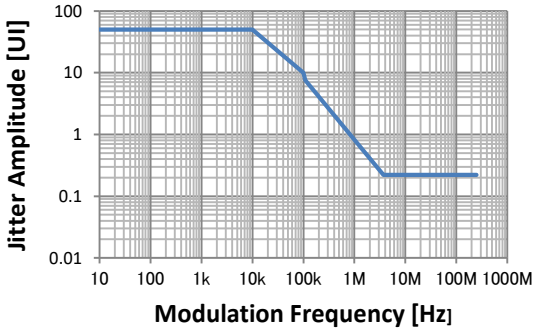
0 連続耐力*5
ロック範囲*5
ターゲットループ帯域</td><td>有り
同一筐体内にある PPG の動作ビットレートに追従します。
72 bit (Zero Substitution 2^{15})
±200 ppm
$\frac{\text{Bit rate}}{1667}$ MHz、$\frac{\text{Bit rate}}{2578}$ MHz、Jitter Tolerance*6、Variable から選択可能。
Variable 選択時は下記の設定が可能。
<table>
<tr><th>Bit rate [Gbit/s]</th><th>設定範囲 [MHz]</th><th>Step [MHz]</th></tr>
<tr><td>2.400000～5.500000</td><td>3</td><td>-</td></tr>
<tr><td>5.500001～7.500000</td><td>3～4</td><td>1</td></tr>
<tr><td>7.500001～9.500000</td><td>3～5</td><td>1</td></tr>
<tr><td>9.500001～10.500000</td><td>3～6</td><td>1</td></tr>
<tr><td>10.500001～12.500000</td><td>3～7</td><td>1</td></tr>
<tr><td>12.500001～14.500000</td><td>3～8</td><td>1</td></tr>
<tr><td>14.500001～15.500000</td><td>3～9</td><td>1</td></tr>
<tr><td>15.500001～17.500000</td><td>3～10</td><td>1</td></tr>
<tr><td>17.500001～19.500000</td><td>3～11</td><td>1</td></tr>
<tr><td>19.500001～20.500000</td><td>3～12</td><td>1</td></tr>
<tr><td>20.500001～22.500000</td><td>3～13</td><td>1</td></tr>
<tr><td>22.500001～24.500000</td><td>3～14</td><td>1</td></tr>
<tr><td>24.500001～25.500000</td><td>3～15</td><td>1</td></tr>
<tr><td>25.500001～27.500000</td><td>3～16</td><td>1</td></tr>
<tr><td>27.500001～29.500000</td><td>3～17</td><td>1</td></tr>
<tr><td>29.500001～30.500000</td><td>11～18</td><td>1</td></tr>
<tr><td>30.500001～32.100000</td><td>11～19</td><td>1</td></tr>
</table></td></tr>
</table>

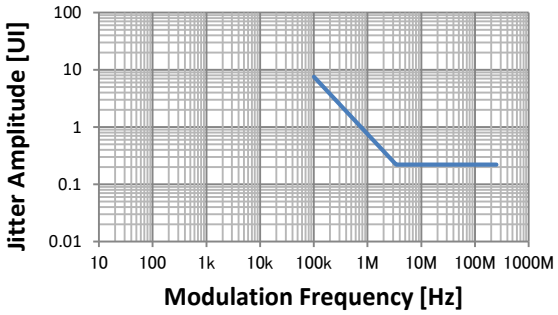
＊5: オプション x22 実装時:

ターゲットループ帯域は各ビットレートの最大設定値で規定。

＊6: Jitter Tolerance 測定用に、ループ帯域を広く設定します。

表 1.3.3.1-12　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
　クロックリカバリ*7、*8</td><td>ビットレート 28.05 Gbit/s、32G FC Jitter Tolerance Mask 準拠
 

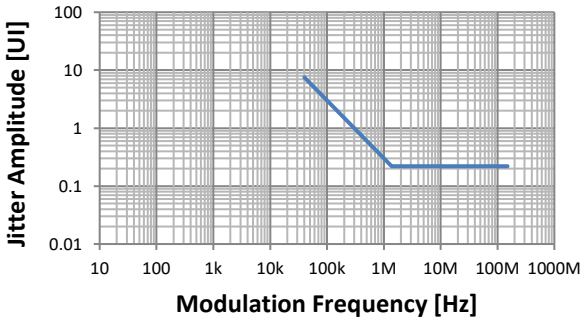
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>10</td><td>50</td></tr>
<tr><td>10,000</td><td>50</td></tr>
<tr><td>100,000</td><td>10</td></tr>
<tr><td>108,805</td><td>7.5</td></tr>
<tr><td>3,709,271</td><td>0.22</td></tr>
<tr><td>250,000,000</td><td>0.22</td></tr>
</table>
ビットレート 25.78125 Gbit/s、100GbE (25.78 × 4) Jitter Tolerance Mask 準拠
 

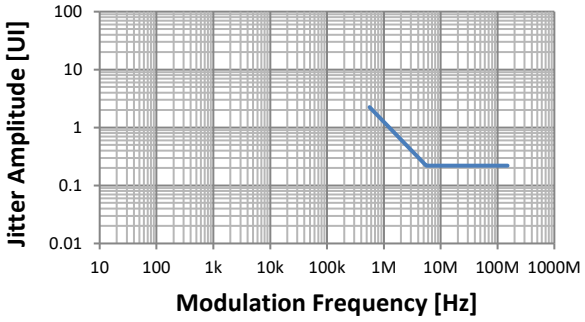
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>100,000</td><td>7.5</td></tr>
<tr><td>3,409,256</td><td>0.22</td></tr>
<tr><td>250,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

＊7: MU195020A とのループバック、PRBS2^31–1、データ入力振幅 0.05 Vp-p にて規定

＊8: 代表値、20～30 °C にて規定

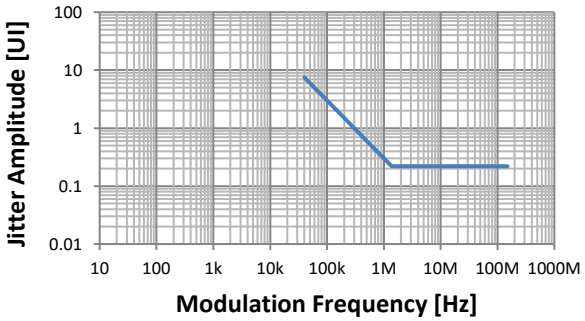
表 1.3.3.1-12 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
クロックリカバリ（続き)</td><td>ビットレート 14.0625 Gbit/s、InfiniBand FDR Jitter Tolerance Mask 準拠
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>7.5</td></tr>
<tr><td>1,363,636</td><td>0.22</td></tr>
<tr><td>150,000,000</td><td>0.22</td></tr>
</table>
ビットレート 14.025 Gbit/s、16G FC Jitter Tolerance Mask 準拠
 

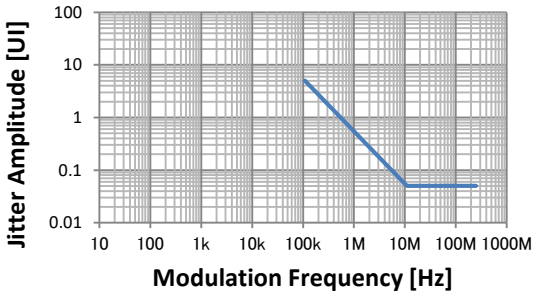
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>561,000</td><td>2.25</td></tr>
<tr><td>5,535,929</td><td>0.22</td></tr>
<tr><td>150,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

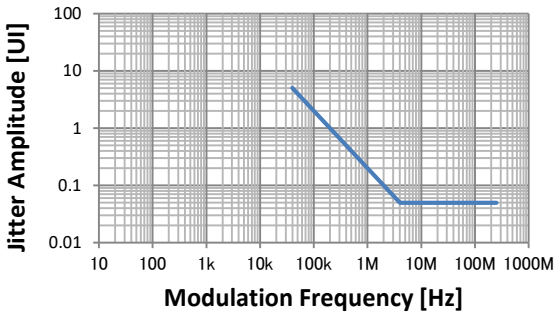
表 1.3.3.1-12　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
　クロックリカバリ（続き)</td><td>ビットレート 10.3125 Gbit/s、10GbE Jitter Tolerance Mask 準拠
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>7.5</td></tr>
<tr><td>1,363,636</td><td>0.22</td></tr>
<tr><td>150,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

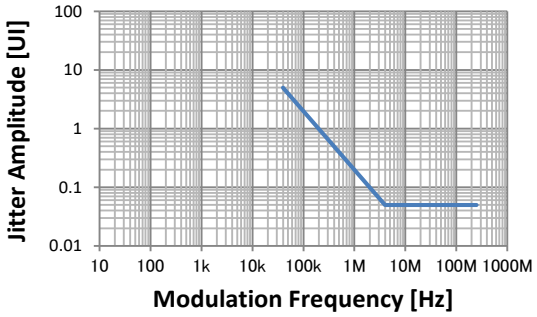
表 1.3.3.1-12 クロックリカバリ (続き)

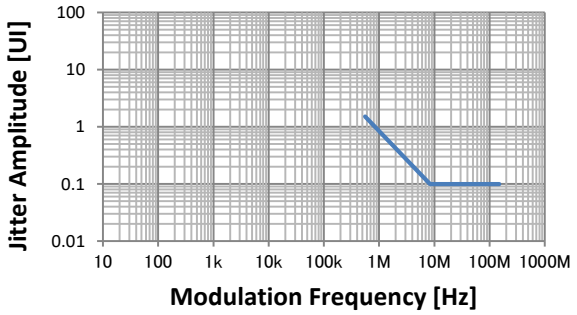
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
クロックデータリカバリ</td><td>MU181500B を使用して、振幅 5300 ppm の SSC を同時に印加可能。
ビットレート 28.05 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>108,805</td><td>5</td></tr>
<tr><td>10,880,528</td><td>0.05</td></tr>
<tr><td>250,000,000</td><td>0.05</td></tr>
</table>
ビットレート 25.78125 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>5</td></tr>
<tr><td>4,000,000</td><td>0.05</td></tr>
<tr><td>250,000,000</td><td>0.05</td></tr>
</table></td></tr>
</table>

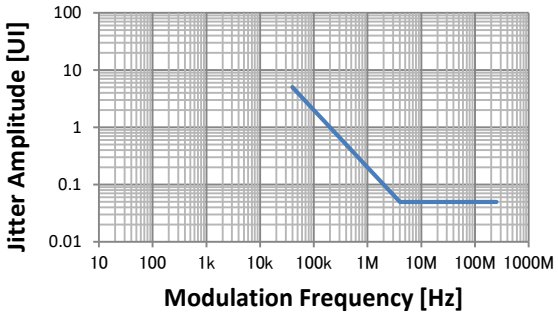
表 1.3.3.1-12　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
　クロックデータリカバリ
(続き)</td><td>ビットレート 14.0625 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>5</td></tr>
<tr><td>4,000,000</td><td>0.05</td></tr>
<tr><td>150,000,000</td><td>0.05</td></tr>
</table>
ビットレート 14.025 Gbit/s
 

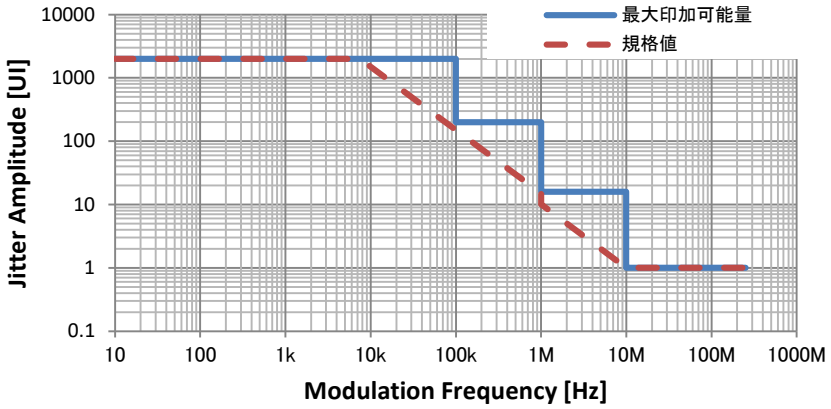
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>561,000</td><td>1.5</td></tr>
<tr><td>8,413,317</td><td>0.1</td></tr>
<tr><td>150,000,000</td><td>0.1</td></tr>
</table></td></tr>
</table>

表 1.3.3.1-12 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
クロックデータリカバリ
(続き)</td><td>ビットレート 10.3125 Gbit/s
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>5</td></tr>
<tr><td>4,000,000</td><td>0.05</td></tr>
<tr><td>250,000,000</td><td>0.05</td></tr>
</table></td></tr>
<tr><td>SSC 耐力</td><td>PCI Express Gen 5.0 準拠</td></tr>
</table>

表 1.3.3.1-13　ジッタ耐力

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
　外部クロック使用時</td><td>ビットレート:　16 Gbit/s、28.1 Gbit/s*、32.1 Gbit/s*
パターン:　PRBS2³¹–1
MU181500B を使用して、振幅 5300 ppm の SSC と、0.3 UI の RJ を同時に印加可能。
MU195020A とのループバック接続、20～30 °C のある 1 つの温度で規定
RJ+BUJ/SJ3 > 0.5 UIp-p、または SJ + RJ + BUJ/SJ3 > 規格値+0.3 UIp-p のとき、
MU181500B の画面が Overload 表示となる。
ただし変調周波数が 33 kHz であって、RJ+BUJ/SJ3 >0.5 UIp-p、または SJ1 >550UIp-p のとき、MU181500B の画面が Overload 表示となる。
 

<table>
<tr><th>変調周波数 (Hz)</th><th>最大印加可能量 (UIp-p)</th><th>規格値 (UIp-p)</th></tr>
<tr><td>10</td><td>2,000</td><td>2,000</td></tr>
<tr><td>7,500</td><td>2,000</td><td>2,000</td></tr>
<tr><td>100,000</td><td>2,000</td><td>150</td></tr>
<tr><td>1,000000</td><td>200</td><td>15</td></tr>
<tr><td>10,000,000</td><td>16</td><td>1</td></tr>
<tr><td>250,000,000</td><td>1</td><td>1</td></tr>
</table>
</td></tr>
</table>

＊:　オプション x01 有り

表 1.3.3.1-14 マルチチャネル動作*1

項目	規格
コンビネーション*2	
チャネル数	2
パターン	Combination 時の設定 以下、n = 2 (2ch Combination 時) とする
Data	
データ長	2 × n～268435456 × n bits、n bits step*3
Mixed	
列の長さ	2048 × n～(268435456+2^{31}) × n bits、1024 × n bits step*3
データ長	1024 × n～268435456 × n bits、n bits step*3
HSSB Data	Combination 時は設定できません。
Block Window	Data パターンを設定に応じて測定対象から除外 Mixed Pattern 時は無効 Zero-Substitution が 2^n–1 時は無効 以下、n = 2 (2ch Combination 時) とする
設定分解能	パターン長 (bits) → Step [bits] 2～2 097152 × n → 1 × n 2097153～4194304 × n → 2 × n 4194305～8388608 × n → 4 × n 8388609～16777216 × n → 8 × n 16777217～33554432 × n → 16 × n 33554433～67108864 × n → 32 × n 67108865～134217728 × n → 64 × n 134217729～268435456 × n → 128 × n
バースト	
バーストサイクル	25600 × n～2147483648 × n bits、1024 × n bits step*3
周期	Internal: 12800 × n～2147482624 × n bits、256 × n bits step*3 Ext Trigger: 12800 × n～2147483392 × n bits、256 × n bits step*3
ディレイ	Internal: 0～2147483640 × n bits、8 × n bits step*3 Ext Trigger、Enable: 0～2147483520 × n bits、8 × n bits step*3
測定	
同期制御	
フレーム長	4 × n～64 × n bits、4 × n bits step*3
フレーム位置	1～(Pattern Length' – Frame Length + n) bits、n bits step

＊1: Test Pattern が HSSB Data のときは設定できません。

＊2: 複数のスロットをまたいでコンビネーションを設定できません。

＊3: コンビネーション設定されているすべてのチャネルで共通

表 1.3.3.1-14　マルチチャネル動作*1 (続き)

項目	規格
エラー検出	Total、Insertion、Omission
Eye Contour	
測定対象	Data 1～Data n*4
Eye Margin	
測定対象	Data 1～Data n*4
Bathtub	
測定対象	Data 1～Data n*4
Capture	2ch コンビネーション可能*3

＊4: 各チャネル独立

表 1.3.3.1-15　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～35 °C
保存温度	–20～60 °C

表 1.3.3.1-16　拡張機能

項目	規格
PCIe	
対応規格	PCI Express Base Specification Revision 4.0 Version 0.5、0.7、1.0 PCI Express Base Specification Revision 5.0 Version 1.0 ビットレート: PCIe Gen1、Gen2、Gen3、Gen4、Gen5 レーン数: ×1 テスト対象: Root Complex、End Point
必要オプション	オプション x10/x11/x22 または x20/x21/x22
必要ソフトウェア	MX183000A-PL011: PCIe LTSSM に従い、Loopback ステートに遷移させるために必要な Training Sequence を発生し、DUT を Loopback 状態にすることが可能。 MX183000A-PL021: PCIe LTSSM に従い、DUT との Negotiation をサポートし、DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL021 では、MU195020A、MU195040A が各 1 枚必要。) MX183000A-PL025: PL021 の機能を PCIe 5.0 まで拡張することが可能。 上記ソフトウェアの各オプションに、MX183000A-PL001 を追加することで、MU195020A、MU181500B、MU195040A を制御し、Jitter Tolerance Test をサポート可能。

表 1.3.3.1-16 拡張機能 (続き)

項目	規格
Loopback Through	Configuration、Recovery
テストパターン	Modified Compliance Pattern Insert Delay Symbol: Enable、Disable (Gen1、Gen2 のとき有効) Insert SRIS: Enable、Disable (Gen3、Gen4、PCIe5 のとき有効) Compliance Pattern Insert Delay Symbol: Enable、Disable (Gen1、Gen2 のとき有効) User PRBS、Data
SKP Ordered Set Insertion	Enable、Disable
SKP Length/Insertion	Gen1、Gen2 のとき Length: COM+1、COM+2、COM+3、COM+4、COM+5 Interval: 768～3076、1 step Gen3、Gen4、Gen5 のとき Length: 8、12、16、20、24 Interval: 187～750、1 step
Dynamic Link Training	MX183000A-PL021 使用時対応
カウンタ	Tx SKP Count、 Rx SKP Count (MX183000A-PL021 使用時) Error Rate、Error Count (MX183000A-PL021 使用時)
LTSSM ログ	
Log Item	LTSSM State、Link Speed、Time[ns]
Log Size	16384 回
停止条件	Memory full
USB	MX183000A で制御されることで下記 USB のテストをサポートします。
対応規格	USB3.0/3.1/3.2
必要オプション	USB3.2x1 のとき*1: オプション 10 または 20 USB3.2x2 のとき*1: オプション 20*2
必要ソフトウェア	MX183000A-PL022: USB LTSSM に従い、DUT との Negotiation をサポートし、DUT を Loopback 状態にすることが可能。LTSSM の状態遷移は Log として解析可能。(MX183000A-PL022 では、MU195020A、MU195040A が各 1 枚必要。) MX183000A-PL022 に、MX183000A-PL001 を追加することで、MU195020A、MU181500B、MU195040A を制御し、Jitter Tolerance Test をサポート可能。 MX183000A-PL022 に MX183000A-PL023 追加することで、MU195020A と MU195040A を制御し、USB3.2x2 Link Training をサポート可能。

＊1: オプション 22 が必要

＊2: MX183000A-PL023 が必要

1.3.3.2　MU196040A規格

表 1.3.3.2-1　Operating Baud Rate

項目	規格
Operating Baud Rate	オプション 001 実装時 PAM4 入力:　2.4～32.1 Gbaud NRZ 入力:　2.4～32.1 Gbit/s

表 1.3.3.2-2　システムクロック

項目	規格
システムクロック	External、Recovered Clock (オプション 022 実装時) 選択可能 External:　Ext Clock Input からの入力クロック Recovered Clock: Data Input に入力したデータから再生したクロック

表 1.3.3.2-3 データ入力

項目	規格
入力数	2 (Data、XData) (Differential)
Input Condition	Single-Ended、Differential 50 Ohm、Differential 100 Ohm 選択可能 Differential 50 Ohm または Differential 100 Ohm 選択時 Independent、Tracking、Alternate 選択可能*1 Alternate 設定時 Data-XData、XData-Data 選択可能*2 Single-Ended 選択時 Data、XData 選択可能*3
Signal Type LSB/MSB Diagnostics	NRZ、PAM4 PAM4 で以下のモードが切り替え可能 Diagnostics Mode OFF: LSB と MSB を同期して受信することで信号を Symbol として扱うモード Diagnostics Mode ON: LSB と MSB を非同期で受信するモード
Amplitude	NRZ: Auto Adjust 機能が動作する範囲 PAM4: Auto Search PAM4 Fine 機能が動作する範囲 NRZ: 0.05～1.0 Vp-p*4 PAM4: 0.3～1.0 Vp-p*5
Threshold	NRZ、PAM4 Middle Eye Threshold: –3.5～+3.3 V、1 mV step*2、*6 PAM4 Upper Eye Threshold: –3.9～+3.7 V、1 mV step*7 PAM4 Lower Eye Threshold: –3.9～+3.7 V、1 mV step*7

＊1: Tracking は NRZ のみ設定可能

＊2: Data、XData Threshold の差分の絶対値は 1.5 V 以下

＊3: PAM4 Upper eye、Lower eye は–0.4 V～+0.4 V の範囲で Middle に対して相対値を設定可能

＊4: Single-Ended、Differential

＊5: 0/3 Level、PRBS31、Single-Ended、Differential、MU196020A と直接接続した場合

＊6: Data と XData は独立して設定可能

＊7: Data と XData は独立して設定不可、Middle Eye Threshold に対して、±0.4 V の範囲内で設定可能

表 1.3.3.2-3　データ入力 (続き)

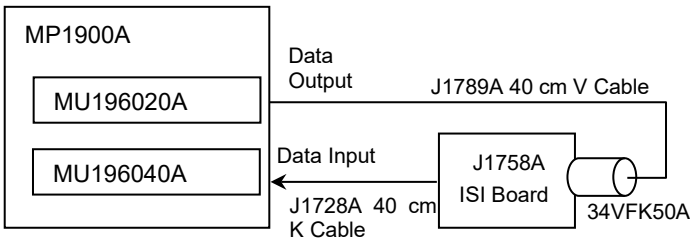
項目	規格
Sensitivity	Single-Ended、Mark Ratio1/2、J1789A を使用して MU196020A と直接接続した場合 オプション 001 実装時は 34VKF50A を含む。 20～30 °C (温度一定) にて
Eye Amplitude	NRZ、PRBS31 Typ. 32 mVp-p、≤ 50 mVp-p*8　(26.5625 Gbit/s、32.1 Gbit/s)
Eye Height	NRZ、PRBS31 Typ. 23 mV*8　(26.5625 Gbit/s、32.1 Gbit/s) PAM4 0/1 1/2 2/3 Level、PRBS31、BER が 1E–06 となる Eye Height において、External Clock 使用時 Typ. 23 mV、≤ 50 mV*8　(26.5625 Gbaud、32.1 Gbaud)
Phase Margin	J1789A を使用して MU196020A と直接接続した場合 オプション 001 実装時は、34VKF50A を含む。 20～30 °C (温度一定) にて、External Clock 使用時。 NRZ、PRBS31、Differential、Mark Ratio 1/2、1.0 Vp-p 入力時 Typ. 25.8 ps*8　(26.5625 Gbit/s) Typ. 18.0 ps*8　(32.1 Gbit/s) PAM4 0/3 Level、BER が 1E–06 となる Eye Width において、PRBS31、Single-Ended、Mark Ratio1/2、0.5 Vp-p 入力時、 Emphasis ON (1Pre ≤ 5 dB、1Post ≤ 5 dB の範囲内の最良値) Typ. 5.3 ps*8　(26.5625 Gbaud) Typ. 4.5 ps*8　(32.1 Gbaud)

＊8: オプション 001 実装時

表 1.3.3.2-3 データ入力 (続き)

項目	規格
Stressed Margin*9	
Stressed Eye Height	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BER が 1E–06 となる Eye Height において、External Clock 使用時。 ≥32 mV*10
Stressed Eye Width	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BER が 1E–06 となる Eye Width において、External Clock 使用時。 ≥7.15 ps*10
終端	50 Ω、GND、Variable
終端電圧	Termination Variable 設定時: –2.5～+3.5 V、10 mV step
コネクタ	K コネクタ (f.) (オプション 001 実装時)

＊9: Differential、Mark Ratio1/2、J1789A+34VKF50A+J1728A を使用して J1758A と MU196020A を接続した場合



残留ジッタ < 200 fs (RMS)、帯域 70 GHz のサンプリングオシロスコープを使用し、20～30 °C (温度一定) にて測定する。

Differential 波形において Eye Height (1E–06) と Eye Width (1E–06) の積が最大となるよう MU196020A の De-Emphasis (2 つの Pre Cursor と 1 つの Post Cursor) を調整する。

4th-order Bessel Filter (Cutoff Frequency 50 GHz) + CTLE (+1 dB Peaking at 14 GHz) の演算を行い、Eye Amplitude 0.88 Vp-p (Diff) 以下、Eye Linearity RLM 0.85 以上の PAM4 波形に校正する。

＊10: 28 Gbaud、オプション 001 実装時、BER 1E–12

表 1.3.3.2-4　クロック入力

項目	規格
外部クロック入力	Operation Baud Rate = Clock Input Frequency (オプション 001 実装時)
入力数	1 (Single-Ended)
周波数	オプション 001 実装時:　　2.4～32.1 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm) (Input Frequency ≤ 16.05 GHz) 0.4～1.0 Vp-p (–3.9～+4.0 dBm) (Input Frequency > 16.05 GHz)
終端	50 Ω、AC Coupling
コネクタ	K コネクタ (f.)

表 1.3.3.2-5　AUX Input

項目	規格
入力数	1 (Single-Ended)
Variation	External Mask、Burst
最小パルス幅	データレートの 1/256
入力レベル	• 0/–1 V (H: –0.25～0.05 V、L: –1.1～–0.8 V) • 0/–0.5 V (H: –0.05～0.05 V、L: –0.55～–0.45 V) • Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

表 1.3.3.2-6　AUX Output

項目	規格
出力数	2 (Differential)
Variation	1/n Clock (n = 8、12、16、20…1020、1024)、Pattern Sync、Sync Gain、Error Output
パターン同期 PRBS、PRGM	Position:　1～(Pattern Length'と 128 の最小公倍数 – 135)、8 step (オプション 001 実装時) Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
出力レベル	0/–0.6 V (H: –0.25～0.05V、L: –0.80～–0.45 V)
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

表 1.3.3.2-7 パターン検出

項目	規格
PRBS	
Pattern Length	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
Mark Ratio	1/2、1/2inv
PRBS generator polynomial	n=7: $1 + X^6 + X^7$ n=9: $1 + X^5 + X^9$ n=10: $1 + X^7 + X^{10}$ n=11: $1 + X^9 + X^{11}$ n=13: $1 + X + X^2 + X^{12} + X^{13}$ n=15: $1 + X^{14} + X^{15}$ n=20: $1 + X^3 + X^{20}$ n=23: $1 + X^{18} + X^{23}$ n=31: $1 + X^{28} + X^{31}$
PRBS Inversion	PAM4 モード時のみ設定可能 PRBS の論理反転を MSB/LSB それぞれ独立に設定可能
Zero-Substitution	NRZ モード時のみ
Additional bit	0 bit、1 bit
Pattern Length	2^n または 2^n–1 (n = 7、9、10、11、15、20、23)
開始位置	最大“0”連続ビット位置の次ビットから置換
Zero-Length	1～(Pattern Length – 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
Data Length	NRZ: 2～268 435 456 bits、1 bit step PAM4: 2～268 435 456 symbol、1 symbol step
Coding	NRZ、PAM4
NRZ	Normal、Invert
PAM4 Gray Coding	ON、OFF
PAM4 Precoding (1/(1 + D) mod 4) *	ON、OFF
PAM4 Standard Pattern	PAM4 モードの規格準拠パターン
CEI	QPRBS13-CEI、QPRBS31-CEI
IEEE	IEEE802.3bs/cd: PRBS13Q、PRBS31Q、SSPRQ、Square Wave IEEE802.3bj: QPRBS13、JP03A、JP03B、Transmitter Linearity
InfiniBand	PRBS13Q (InfiniBand)、PRBS23Q、PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
NRZ Standard Pattern	NRZ モードの規格準拠パターン
CEI	SSPR

＊: (1/(1+D) mod 4) は IEEE802.3 規定の生成多項式

表 1.3.3.2-8　パターンシーケンス

項目	規格
Sequence	Repeat、Burst
Repeat	連続パターン
Burst	Coding が NRZ のときのみ有効
Source	Internal、External-Enable (AUX Input)、External-Trigger (AUX Input)
Delay	Internal: 0～2 147 483 640 bits、8 bits step External-Trigger、External-Enable: 0～2 147 483 520 bits、8 bits step Adjust Method: Auto、Manual
Enable period	Internal: 12 800～2 147 482 624 bits、256 bits step External-Trigger: 12 800～2 147 483 136 bits、256 bits step
Burst Cycle	25 600～2 147 483 648 bits、1024 bits step

表 1.3.3.2-9 測定

項目	規格
カウンタ	Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 %Error Free Interval: 0.000 0～100.000 0 Error Rate (ER) Insertion (INS): 0.000 1E–18～1.000 0E00 Error Count (EC) Insertion (INS): 0～9 999 999、1.000 0E07～9.999 9E17 Error Rate (ER) Omission (OMI): 0.000 1E–18～1.000 0E00 Error Count (EC) Omission (OMI): 0～9 999 999、1.000 0E07～9.999 9E17 Frequency: 2 400.000～58 200.000 MHz 周波数測定確度: ±1 ppm ±1 kHz* Clock Count: 0～9 999 999、1.000 0E07～9.999 9E17 Sync. Loss Interval: 0～9 999 999、1.000 0E07～9.999 9E17 Clock Loss Interval: 0～9 999 999、1.000 0E07～9.999 9E17 括弧の記載は省略表記
	以下は、PAM4 (Diagnostics Mode ON) 測定のときのみ有効 MSB Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 MSB Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 MSB Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 MSB %Error Free Interval: 0.000 0～100.000 0 MSB Error Rate (ER) Insertion (INS): 0.000 1E–18～1.000 0E00 MSB Error Count (EC) Insertion (INS): 0～9 999 999、1.000 0E07～9.999 9E17 MSB Error Rate (ER) Omission (OMI): 0.000 1E–18～1.000 0E00 MSB Error Count (EC) Omission (OMI): 0～9 999 999、1.000 0E07～9.999 9E17 LSB Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 LSB Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 LSB Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 LSB %Error Free Interval: 0.0000～100.000 0 LSB Error Rate (ER) Insertion (INS): 0.000 1E–18～1.000 0E00 LSB Error Count (EC) Insertion (INS): 0～9 999 999、1.000 0E07～9.999 9E17 LSB Error Rate (ER) Omission (OMI): 0.0001E–18～1.000 0E00 LSB Error Count (EC) Omission (OMI): 0～9 999 999、1.000 0E07～9.999 9E17 括弧の記載は省略表記

＊: Gating 方式、MP1900A の基準クロック 10 MHz が校正された状態において

表 1.3.3.2-9　測定 (続き)

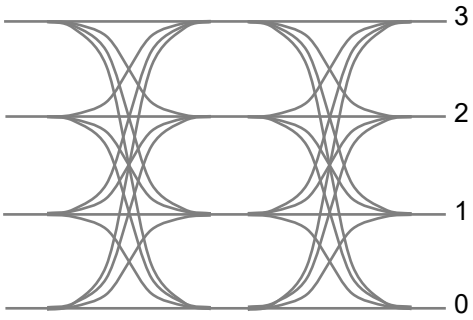
項目	規格
カウンタ (続き)	以下は、オプション x41 SER Measurement ありのとき有効 以下は、PAM4 (Diagnostics Mode OFF) 測定のときのみ有効  Symbol Error Rate (SER): 0.000 1E–18～1.000 0E00 Symbol Error Count (SEC): 0～9 999 999、1.000 0E07～9.999 9E17 Symbol Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 Symbol %Error Free Interval: 0.000 0～100.000 0 Level 0 → 3 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 → 2 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 → 1 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 → 3 ER: 0.000 1E–18～1.000 0E00 Level 0 → 2 ER: 0.000 1E–18～1.000 0E00 Level 0 → 1 ER: 0.000 1E–18～1.000 0E00 Level 0 EC Total: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 ER Total: 0.000 1E–18～1.000 0E00 Level 1 → 3 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 → 2 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 → 0 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 → 3 ER: 0.000 1E–18～1.000 0E00 Level 1 → 2 ER: 0.000 1E–18～1.000 0E00 Level 1 → 0 ER: 0.000 1E–18～1.000 0E00 Level 1 EC Total: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 ER Total: 0.000 1E–18～1.000 0E00

表 1.3.3.2-9 測定 (続き)

項目	規格	
カウンタ (続き)	Level 2 → 3 EC:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 2 → 1 EC:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 2 → 0 EC:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 2 → 3 ER:	0.000 1E–18～1.000 0E00
	Level 2 → 1 ER:	0.000 1E–18～1.000 0E00
	Level 2 → 0 ER:	0.000 1E–18～1.000 0E00
	Level 2 EC Total:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 2 ER Total:	0.000 1E–18～1.000 0E00
	Level 3 → 2 EC:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 3 → 1 EC:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 3 → 0 EC:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 3 → 2 ER:	0.000 1E–18～1.000 0E00
	Level 3 → 1 ER:	0.000 1E–18～1.000 0E00
	Level 3 → 0 ER:	0.000 1E–18～1.000 0E00
	Level 3 EC Total:	0～9 999 999、1.000 0E07～9.999 9E17
	Level 3 ER Total:	0.000 1E–18～1.000 0E00
	括弧の記載は省略表記	
Gating	Time、Clock Count、Error Count	
Gating Unit	Time:	1 秒～99 日 23 時間 59 分 59 秒
	Clock Count:	>E+4～>E+16
	Error Count:	>E+4～>E+16
Cycle	Single、Repeat、Untimed	
Current	On、Off	
	Calculation:	Progressive、Immediate
	Interval:	100 ms、200 ms
Auto Sync	On、Off	
	Sync. Threshold:	INT、E–2～E–8
Sync Control	PRBS:	読み込み方式
	Data:	Frame On
Frame Length	NRZ:	4～64 bits、4 bits step
	PAM4:	4～64 symbols、4 symbol step
Frame Mask	あり	
Frame Position	NRZ:	1～(Pattern Length – Frame Length +1) bits、1 bit step
	PAM4:	1～(Pattern Length – Frame Length +1) symbols、1 symbol step
Error/Alarm Condition		
Error Detection	NRZ:	Insertion/Omission、Transition/Non transition
EI/EFI Interval	PAM4:	無し
	1 ms、10 ms、100 ms、1 s	

表 1.3.3.2-10　エラー解析

項目	規格	
Block Window	Data パターンを設定に応じて測定対象から除外	
設定分解能	パターン長（bits）	Step (bits)
	2～2 097 152	1
	2 097 153～4 194 304	2
	4 194 305～8 388 608	4
	8 388 609～16 777 216	8
	16 777 217～33 554 432	16
	33 554 433～67 108 864	32
	67 108 865～134 217 728	64
	134 217 729～268 435 456	128
Bit Window	内部 32ch のうち任意の ch を測定対象から除外（NRZ モード時のみ有効）	
External Mask	H:　測定 L:　Mask	

表 1.3.3.2-11　自動測定

項目	規格
Auto Adjust	NRZ:　Vth 方向のみ対応、位相方向には対応せず*1 PAM4:　MSB Vth 方向のみ対応、位相方向には対応せず*1、*2
Auto Search	NRZ:　あり*1 PAM4 (LSB/MSB Diagnostics OFF/ON):　あり*1、*2

＊1: PRBS Pattern、Mark Ratio 1/2

＊2: 各振幅が均等であること

表 1.3.3.2-12　可変クロックディレイ

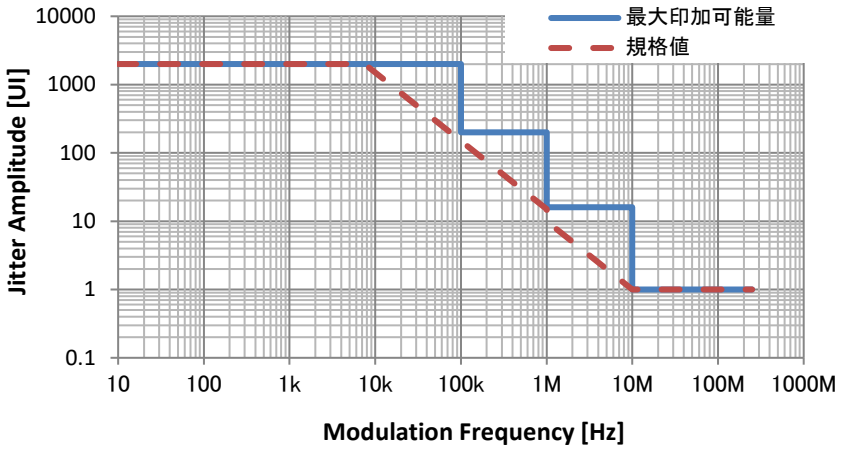
項目	規格
位相設定範囲	–1000～+1000 mUI、2 mUI step
確度	±50 mUIp-p*1、*2
mUI-ps 変換	あり（内部的に ps 換算）
Calibration	あり（ジッタ無変調時）
Calibration 推奨表示	Calibration 実施後、次の状態になったときに画面に表示 ・ 1/1Clock の周波数が±250 kHz 変化した場合 ・ 機器周囲温度が±5 °C 変化した場合

＊1: 残留ジッタ ＜ 200 fs (RMS) のオシロスコープを使用して測定

＊2: 代表値

表 1.3.3.2-13 ジッタ耐力

項目	規格
ジッタ耐力	NRZ 出力時 ビットレート: 32.1 Gbit/s パターン: PRBS2^{31}–1 MU181500B により 33 kHz 5300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 MU196020A とのループバック接続時、20～30 °C (温度一定) にて RJ + BUJ > 0.5 UIp-p、または SJ + RJ + BUJ > 規格値 + 0.3 UIp-p のとき、MU181500B の画面に Overload が表示される。



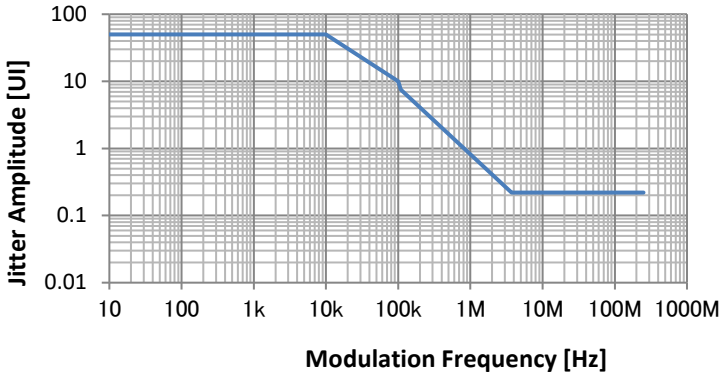
変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
250 000 000	1	1

表 1.3.3.2-14　クロックリカバリ

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>動作ビットレート

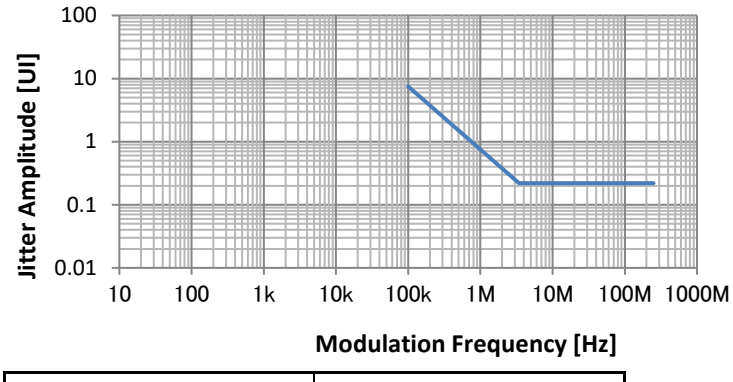
設定範囲
対応規格とビットレート

表 1.3.3.2-14 クロックリカバリ (続き)

項目	規格
ジッタ耐力 クロックリカバリ*4、*5	28.05 Gbaud 32G FC Jitter Tolerance Mask 準拠、下記のマスクを代表値とする。 

変調周波数 (Hz)	ジッタ耐力マスク (UIp-p)
10	50
10 000	50
100 000	10
108 805	7.5
3 709 271	0.22
250 000 000	0.22

25.78125 Gbaud
100GbE (25.78G × 4) Jitter Tolerance Mask 準拠、下記のマスクを代表値とする。



変調周波数 (Hz)	ジッタ耐力マスク (UIp-p)
100 000	7.5
3 409 256	0.22
250 000 000	0.22

＊4: MU196020A とのループバック接続時、NRZ 入力、PRBS2^{31}–1、データ入力振幅 0.1 Vp-p にて規定

＊5: 代表値、20～30 °C (温度一定) にて規定

表 1.3.3.2-15　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～30 °C MP1900A 機器周囲温度。組み込み時に本モジュールが動作すること
保存温度	–20～60 °C 機器に組み込んだ状態で MIL-T-28800E クラス 5 に適合すること

1.3.3.3 MU196040B規格

表 1.3.3.3-1 Operating Baud Rate

項目	規格
Operating Baud Rate	オプション 001 実装時 PAM4 入力: 2.4～32.1 Gbaud NRZ 入力: 2.4～32.1 Gbit/s オプション 002 または y12 実装時 PAM4 入力: 2.4～58.2 Gbaud* NRZ 入力: 2.4～64.2 Gbit/s* オプション 005 または 115、125 実装時 PAM4 入力: 2.4～64.2 Gbaud* NRZ 入力: 2.4～64.2 Gbit/s*

＊: “BERT for PCIe1-7”、”BERT for PCIe1-6 Forced Link”および”BERT for PCIe1-5 and PCIe6 Base”アプリケーション選択時
PAM4 入力: 2.4～32.1 Gbaud
NRZ 入力: 2.4～32.1 Gbit/s

“BERT for PCIe1-7” アプリケーション選択時
PAM4 入力: 2.4～64.2 Gbaud
NRZ 入力: 2.4～64.2 Gbit/s

表 1.3.3.3-2 システムクロック

項目	規格
システムクロック	External、Recovered Clock (オプション x21、x22、x23 または y24 実装時) 選択可能 External: Ext Clock Input からの入力クロック PAM4 は 2.4 to 32.1 Gbaud、32.1 to 58.2 Gbaud または 64.2 Gbaud (オプション 005 または 115、125 実装時)、Auto から選択 NRZ は 2.4 to 32.1 Gbit/s 32.1 to 64.2 Gbit/s、Auto から選択 Recovered Clock: Data Input に入力したデータから再生したクロック

表 1.3.3.3-3　データ入力

項目	規格
入力数	2 (Data、XData) (Differential)
Input Condition	Single-Ended、Differential 50 Ohm、Differential 100 Ohm 選択可能 Differential 50 Ohm または Differential 100 Ohm 選択時 Independent、Tracking、Alternate 選択可能*1 Alternate 設定時 Data-XData、XData-Data 選択可能*2 Single-Ended 選択時 Data、XData 選択可能*3
Signal Type LSB/MSB Diagnostics	NRZ、PAM4 PAM4 で以下のモードが切り替え可能 Diagnostics Mode OFF: LSB と MSB を同期して受信することで信号を Symbol として扱うモード Diagnostics Mode ON: LSB と MSB を非同期で受信するモード
Amplitude	NRZ:　Auto Adjust 機能と Auto Search Fine 機能が動作する範囲 0.05～1.0 Vp-p*4、*5 0.1～1.0 Vp-p*4、*6 PAM4:　Auto Search PAM4 Fine 機能が動作する範囲 0.3～1.0 Vp-p*7、*8 0.4～1.0 Vp-p*7、*9
Threshold	NRZ、PAM4 Middle Eye Threshold:　–3.5～+3.3 V、1 mV step*2、*10 PAM4 Upper Eye Threshold:　–3.9～+3.7 V、1 mV step*11 PAM4 Lower Eye Threshold:　–3.9～+3.7 V、1 mV step*11

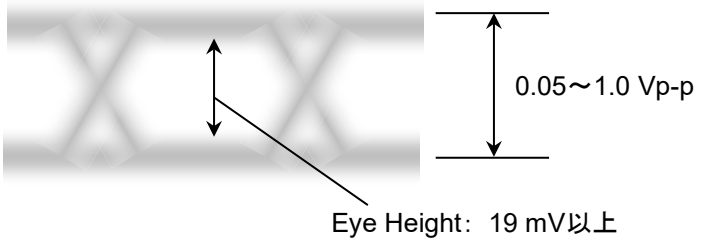
＊1: Tracking は NRZ のみ設定可能

＊2: Data、XData Threshold の差分の絶対値は 1.5 V 以下

＊3: PAM4 Upper eye、Lower eye は–0.4 V～+0.4 V の範囲で Middle に対して相対値を設定可能

＊4: Single-Ended、Differential、Mark Ratio1/2、Eye Height 規格を満たすこと

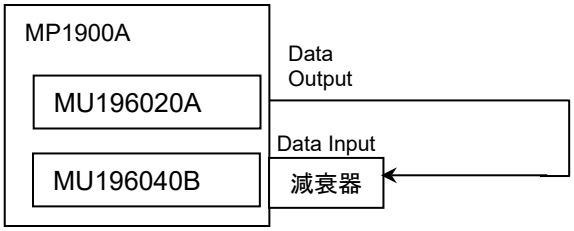
ビットレートが 32.1 Gbit/s のときの MU196040B に入力する波形の設定例



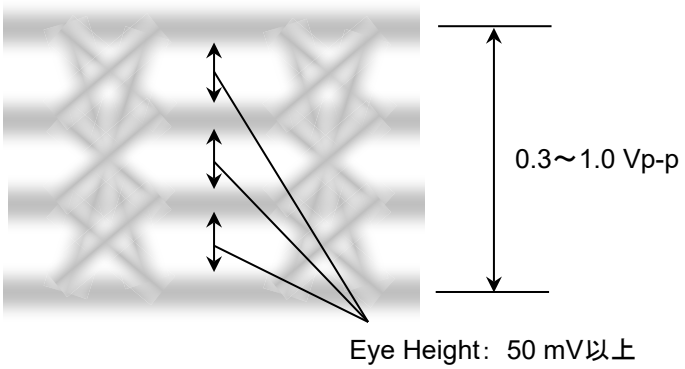
＊5: Bit rate ≤32.1 Gbit/s において

＊6: Bit rate >32.1 Gbit/s において

＊7: 0/3 Level、PRBS31、Mark Ratio1/2、MU196020A に減衰器を使用して接続し、Eye Height 規格を満たすように Emphasis を調整した場合



ボーレートが 32.1 Gbaud のときの MU196040B に入力する波形の設定例



＊8: Single-Ended、Differential、Baud rate ≤32.1 Gbaud において

＊9: Differential、Baud rate >32.1 Gbaud において

＊10: Data と XData は独立して設定可能

＊11: Data と XData は独立して設定不可、Middle Eye Threshold に対して、±0.4 V の範囲内で設定可能

表 1.3.3.3-3　データ入力 (続き)

項目	規格
Sensitivity	Single-Ended、Mark Ratio1/2、PRBS31、J1789A と減衰器を使用して MU196020A と直接接続した場合、Emphasis ON、MU196020A と MU196040B の未使用コネクタを終端時、 20～30 °C (温度一定) にて
Eye Amplitude	NRZ Typ. 25 mVp-p、≤ 50 mVp-p*12　(26.5625 Gbit/s、32.1 Gbit/s) Typ. 31 mVp-p、≤ 55 mVp-p*15　(53.125 Gbit/s) Typ. 43 mVp-p、≤ 60 mVp-p*15　(64.2 Gbit/s)
Eye Height	NRZ Typ. 19 mV*12　(26.5625 Gbit/s、32.1 Gbit/s) Typ. 21 mV*15　(53.125 Gbit/s) Typ. 32 mV*15　(64.2 Gbit/s) PAM4 0/1 1/2 2/3 Level、PRBS31、External Clock 使用時 Typ. 23 mV、≤ 50 mV*12　(26.5625 Gbaud、32.1 Gbaud) Typ. 36 mV、≤ 60 mV*15　(53.125 Gbaud) Typ. 49 mV、≤ 70 mV*13　(58.2 Gbaud) Typ. 49 mV、≤ 70 mV*16　(64.2 Gbaud) ただし、53.125 Gbaud、58.2 Gbaud、64.2 Gbaud は、テストパターンを PRBS31 にして振幅を設定した後、QPRBS13-CEI に変更して差動波形で BER が 1E–06 となる Eye Height の値で定義する。
Phase Margin	Differential、Mark Ratio1/2、PRBS31、0.5 Vp-p、J1789A と減衰器を使用して MU196020A と直接接続した場合 20～30 °C (温度一定) にて、External Clock 使用時。 NRZ*14 Typ. 25.8 ps*12　(26.5625 Gbit/s) Typ. 18.0 ps*12　(32.1 Gbit/s) Typ. 10.5 ps*15　(53.125 Gbit/s) Typ. 8.7 ps*15　(64.2 Gbit/s) PAM4 Typ. 5.3 ps*12　(26.5625 Gbaud) Typ. 4.5 ps*12　(32.1 Gbaud) Typ. 4.1 ps*14、*15　(53.125 Gbaud) Typ. 2.5 ps*14、*15　(58.2 Gbaud) Typ. 0.7 ps*16　(64.2 Gbaud)

＊12: オプション 001、002、005 または y12、115、125 実装時

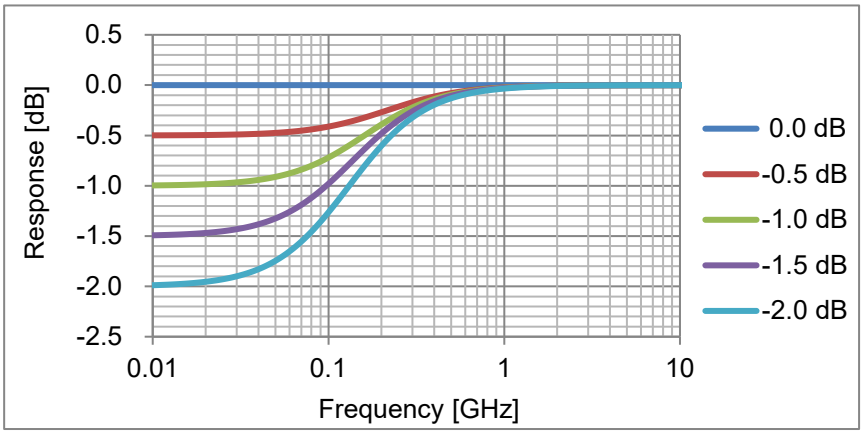
＊13: オプション 002 または y12 実装時

＊14: 入力信号の BER 1E–12 相当の RJ を含む値

＊15: オプション 002、005 または y12、115、125 実装時

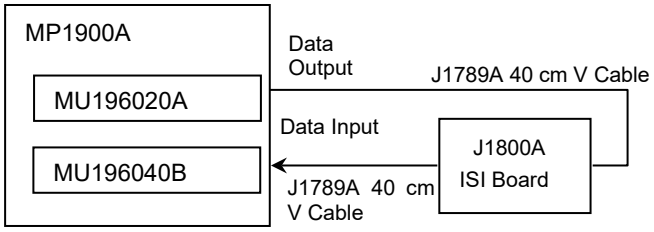
＊16: オプション 005 または 115、125 実装時

表 1.3.3.3-3 データ入力 (続き)

項目	規格
Stressed Margin	
Stressed Eye Height	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BER が 1E–06 となる Eye Height において、External Clock 使用時。 ≥32 mV*17、*18 ≥37 mV*19、*20
Stressed Eye Width	PAM4 0/1 1/2 2/3 Level、QPRBS13-CEI、BER が 1E–06 となる Eye Width において、External Clock 使用時。 ≥7.53 ps*17、*18 ≥3.76 ps*19、*20
終端	50 Ω、GND、Variable
終端電圧	Termination Variable 設定時: –2.5～+3.5 V、10 mV step
コネクタ	V コネクタ (f.)
Decision Feedback Equalizer	Decision Feedback Equalizer (DFE) を内蔵*21
Tap	1
Coefficient	
Setting Range	0～30、1 step
Loss Compensation	公称値 1.4 dB*22
Low Frequency Equalizer	Low Frequency Equalizer を内蔵*21
Gain	
Setting Range	–2.0～0 dB、0.5 dB step
Accuracy	Typ. ±1.0 dB
Ideal Frequency Response	

＊17: 26.5625 Gbaud、オプション 001、002、005 または y12、115、125 実装時、オプション x11 実装時、BER 1E–12

＊18: 26.5625 Gbaud、Differential、Mark Ratio1/2、J1789A を使用して J1800A (1 枚) と MU196020A を接続した場合



残留ジッタ < 200 fs (RMS)、帯域 70 GHz のサンプリングオシロスコープを使用し、20～30 °C (温度一定) にて測定する。

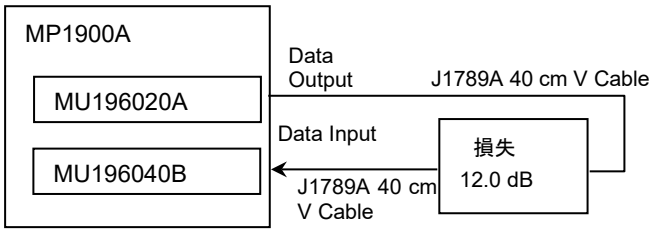
Differential 波形において Eye Height (1E–06) と Eye Width (1E–06) の積が最大となるよう MU196020A の De-Emphasis (2 つの Pre Cursor と 1 つの Post Cursor) を調整する。

4th-order Bessel Filter (Cutoff Frequency 40 GHz) + CTLE (+1 dB Peaking at 14 GHz) の演算を行い、Eye Amplitude 0.88 Vp-p (Diff) 以下、Eye Linearity R_{LM} 0.85 以上の PAM4 波形に校正する。

MU196040B の DFE および Low Frequency Equalizer を有効にして調整する。

＊19: 53.125 Gbaud、オプション 002、005 または y12、115、125、x11 実装時、BER 1E–8 公称値

＊20: 53.125 Gbaud、オプション 002、005 または y12、115、125、x11 実装時、Differential、Mark Ratio1/2、Insertion Loss12.0 dB の測定系と MU196020A を接続した場合



残留ジッタ < 200 fs (RMS)、帯域 70 GHz のサンプリングオシロスコープを使用し、20～30 °C (温度一定) にて測定する。

Differential 波形において Eye Height (1E–06) と Eye Width (1E–06) の積が最大となるよう MU196020A の De-Emphasis (2 つの Pre Cursor と 1 つの Post Cursor) を調整する。

4th-order Bessel Filter (Cutoff Frequency 43 GHz) + CTLE (+1 dB Peaking at 28 GHz) の演算を行い、Eye Amplitude 0.88 Vp-p (Diff) 以下、Eye Linearity R_{LM} 0.85 以上の PAM4 波形に校正する。

MU196040B の DFE および Low Frequency Equalizer を有効にして調整する。

＊21: オプション x11 実装時

＊22: 53.125 Gbaud、
＊20 の条件において DFE OFF 時の BER 結果と、さらに 1.8 dB のロスを追加した場合の DFE OFF 時の BER 結果と DFE ON 時の最良の BER 結果から算出。

表 1.3.3.3-4 クロック入力

項目	規格
外部クロック入力	Operation Baud Rate = Clock Input Frequency ×2
入力数	1 (Single-Ended)
周波数	1.2～32.1 GHz
振幅	0.3～1.0 Vp-p (–6.5～+4.0 dBm) (Input Frequency ≤ 16.05 GHz) 0.4～1.0 Vp-p (–3.9～+4.0 dBm) (Input Frequency > 16.05 GHz)
終端	50 Ω、AC Coupling
コネクタ	K コネクタ (f.)

表 1.3.3.3-5 AUX Input

項目	規格
入力数	1 (Single-Ended)
Variation	External Mask、Burst、Capture External Trigger
最小パルス幅	データレートの 1/256
入力レベル	• 0/–1 V (H: –0.25～0.05 V、L: –1.1～–0.8 V) • 0/–0.5 V (H: –0.05～0.05 V、L: –0.55～–0.45 V) • Vth 0 V (入力振幅 0.5～1.0 Vp-p) いずれか選択
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

表 1.3.3.3-6 AUX Output

項目	規格
出力数	2 (Differential)
Variation*	1/n Clock (n = 8、12、16、20…1020、1024)、Pattern Sync、Sync Gain、Error Output、Capture Trigger
パターン同期 PRBS、PRGM	Position: 1～(Pattern Length'と 256 の最小公倍数 – 263)、8 steps Pattern Length'は Pattern Length が 1023 以下のとき、1024 以上になるように整数倍した値
出力レベル	0/–0.6 V (H: –0.25～0.05V、L: –0.80～–0.45 V)
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

＊: HSSB Data パターン選択時は Pattern Sync は選択不可

表 1.3.3.3-7　パターン検出

項目	規格
PRBS	
Pattern Length	2^n–1 (n = 7、9、10、11、13、15、20、23、31)
Mark Ratio	1/2、1/2inv
PRBS generator polynomial	n=7:　$1 + X^6 + X^7$ n=9:　$1 + X^5 + X^9$ n=10:　$1 + X^7 + X^{10}$ n=11:　$1 + X^9 + X^{11}$ n=13:　$1 + X + X^2 + X^{12} + X^{13}$ n=15:　$1 + X^{14} + X^{15}$ n=20:　$1 + X^3 + X^{20}$ n=23:　$1 + X^{18} + X^{23}$ n=31:　$1 + X^{28} + X^{31}$
PRBS Inversion	PAM4 モード時のみ設定可能 PRBS の論理反転を MSB/LSB それぞれ独立に設定可能
PRBS 1st Bit	PRBS Generator の 1st Bit を MSB/LSB どちらかを選択して設定可能
Zero-Substitution	NRZ モード時のみ
Additional bit	0 bit、1 bit
Pattern Length	2^n または 2^n–1 (n = 7、9、10、11、15、20、23)
開始位置	最大“0”連続ビット位置の次ビットから置換
Zero-Length	1～(Pattern Length – 1) bits “0”置換後の次ビットが“0”の場合は、“1”に置換します。
Data	
Data Length	NRZ:　2～268 435 456 bits、1 bit step PAM4:　2～268 435 456 symbols、1 symbol step

表 1.3.3.3-7 パターン検出 (続き)

項目	規格
Coding	NRZ、PAM4
NRZ	Normal、Invert
PAM4 Gray Coding	ON、OFF*3
PAM4 Precoding (1/(1 + D) mod 4)*1	ON、OFF*3
PAM4 Inverse Gray Coder	ON、OFF*4
PAM4 Pre Code Remover*2	ON、OFF*4
Input Signal Decoder	ON、OFF 以下の特定パターンの場合 OFF 固定となります PRBS13Q、QPRBS13-CEI、PRBS13Q (InfiniBand)、 PRBS23Q、PRBS31Q、QPRBS-CEI、PRBS31Q (InfiniBand)、 PRBS31Q (Fiber Channel)、SSPRQ、QPRBS13、JP03A、JP03B、 Transmitter Linearity、Square Wave
Delay Symbol	ON、OFF
SKP	No SKP、SKPx1、SKPx2
Preset	P0、P1、P2、P3、P4、P5、P6、P7、P8、P9、P10
SRIS	ON、OFF
EIEOS	ON
SKP OS Filter	ON、OFF

＊1: (1/(1+D) mod 4) は IEEE802.3 規定の生成多項式

＊2: IEEE802.3 規定の生成多項式 (1+D) mod 4 を使用

＊3: Input Signal Decoder が [OFF] のときのみ有効。[ON] のときは無効となる。

＊4: Input Signal Decoder が [ON] のときのみ有効。[OFF] のときは無効となる。

表 1.3.3.3-7　パターン検出 (続き)

項目	規格
PAM4 Standard Pattern	PAM4 モードの規格準拠パターン
CEI	QPRBS13-CEI、QPRBS31-CEI
IEEE	IEEE802.3bs/cd: PRBS13Q、PRBS31Q、SSPRQ、Square Wave IEEE802.3bj: QPRBS13、JP03A、JP03B、Transmitter Linearity
InfiniBand	PRBS13Q (InfiniBand)、PRBS23Q、PRBS31Q (InfiniBand)
Fibre Channel	PRBS31Q (Fibre Channel)
RS-FEC	RS-FEC Scrambled Idle 50G 1Lane*5、 RS FEC Scrambled Idle 100G 1Lane*5、 RS FEC-Int Scrambled Idle 100G 1Lane*5、 RS FEC Scrambled Idle 100G 2Lanes*5、 RS-FEC Scrambled Idle 200G 2Lanes*5、 RS-FEC Scrambled Idle 200G 4Lanes*5、 RS-FEC Scrambled Idle 400G 4Lanes*5、 RS-FEC Scrambled Idle 400G 8Lanes*5
PCIe	CP in 1b/1b Encoding for PCIe6 MCP in 1b/1b Encoding for PCIe6 CP in 1b/1b Encoding for PCIe7*7 MCP in 1b/1b Encoding for PCIe7*7 NOP Flit Layout in a x1 Link*6 NOP Flit Layout in a x2 Link*6 NOP Flit Layout in a x4 Link*6 NOP Flit Layout in a x8 Link*6 NOP Flit Layout in a x16 Link*6

＊5: オプション w42 実装時

＊6: オプション w43 実装時

＊7: オプション 005 または 115、125 実装時

表 1.3.3.3-7 パターン検出 (続き)

項目	規格
NRZ Standard Pattern	NRZ モードの規格準拠パターン
CEI	SSPR
RS-FEC	RS-FEC Scrambled Idle 25G 1Lane*5、 RS-FEC Scrambled Idle 50G 2Lanes RS(544,514)*5、 RS-FEC Scrambled Idle 100G 4Lanes*5、 RS-FEC Scrambled Idle 100G 4Lanes RS(544,514)*5
PCIe	CP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe1 CP in 8b/10b Encoding for PCIe2 MCP in 8b/10b Encoding for PCIe2 CP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe3 CP in 128b/130b Encoding for PCIe4 MCP in 128b/130b Encoding for PCIe4 CP in 128b/130b Encoding for PCIe5 MCP in 128b/130b Encoding for PCIe5

表 1.3.3.3-7　パターン検出 (続き)

項目	規格
HSSB Data	MX190000A バージョン 10.05.00 以降で動作します*8 BERT for PCIe1-6 Forced Link アプリケーション実行時
Specification	NRZ:　PCIe1、PCIe2、PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2 PAM4:　PCIe6/CXL3
Pattern Length	PCIe1、PCIe2:　32～1024 bits、8 bits step PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2: 128～1024 bits、128 bits step PCIe6/CXL3:　128～2048 bits、128 bits step
Coding	PCIe1、PCIe2:　8b10b PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2:　128b130b PCIe6/CXL3:　1b1b
EIEOSQ	
EIEOSQ Insertion	ON、OFF*9
EIEOSQ Interval	1～65536 pattern repeats、1 step
EIEOS Count	EIEOSQ における EIEOS の回数を設定します 2.5G、5.0G、8.0G、16.0G:　1 32.0G:　2 64.0G:　1, 4
Coding	
Scrambler Seed	PCIe1、PCIe2:　FFFF PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2、PCIe6/CXL3: Lane0、Lane1、Lane2、Lane3、Lane4、Lane5、Lane6、Lane7
Scrambler Mode	PCIe1、PCIe2、PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2: NRZ PCIe6/CXL3: NRZ、PAM4
Pre Coder	PCIe1、PCIe2、PCIe3/CXL1-2、PCIe4/CXL1-2:　OFF PCIe5/CXL1-2、PCIe6/CXL3:　ON、OFF
Gray Coder	PCIe1、PCIe2、PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2: OFF PCIe6/CXL3: ON、OFF
Input Signal Decoder	OFF
128b130b Encoder*10	128b130b Encoding における Sync Header を付与します PCIe1、PCIe2、PCIe6/CXL3:　OFF PCIe3/CXL1-2、PCIe4/CXL1-2、PCIe5/CXL1-2:　ON、OFF

＊8: オプション z51 実装時

＊9: PCIe3、PCIe4、PCIe5、PCIe6 選択時。ON のみ有効

＊10: MX190000A VER10.08.00 以降で有効

表 1.3.3.3-7 パターン検出 (続き)

項目	規格
PCIe Encoding Pattern	
8b10b Pattern Editor	
Notation	Symbol(8b10b)、Bin、Hex
Scrambler Enable	選択した Symbol に Scramble をかけます ON、OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します ON、OFF
Code	K-code、D-code
K code	K28.0、K28.1、K28.2、K28.3、K28.4、K28.5、K28.6、K28.7、K23.7、K27.7、K29.7、K30.7
D code	D0.0～D31.7
MSB/LSB First	MSB First、LSB First
128b130b Pattern Editor	
Notation	Bin、Hex
Scrambler Enable	選択した Symbol に Scramble をかけます ON、OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します ON、OFF
DC Balance	Symbol 14 および 15 に DC Balance を付加します ON、OFF
Sync Header	2 bit の Sync Header を定義します
MSB/LSB First	MSB First、LSB First
1b1b Pattern Editor	
Notation	Symbol (PAM4)、Bin、Hex
Scrambler Enable	選択した Symbol に Scramble をかけます ON、OFF
Scrambler Reset	選択した Symbol で Scrambler の Seed 値を Reset します ON、OFF
DC Balance	Symbol 7 および 15 に DC Balance を付加します ON、OFF
MSB/LSB First	MSB First、LSB First

表 1.3.3.3-8　パターンシーケンス

項目	規格
Sequence	Repeat、Burst
Repeat	連続パターン
Burst	Coding が NRZ のときのみ有効
Source	Internal、External-Enable (AUX Input)、External-Trigger (AUX Input)
Delay	Internal: 0～2 147 483 640 bits、8 bits step External-Trigger、External-Enable: 0～2 147 483 520 bits、8 bits step Adjust Method: Auto、Manual
Enable period	Internal: 12 800～2 147 482 624 bits、256 bits step External-Trigger: 12 800～2 147 483 136 bits、256 bits step
Burst Cycle	25 600～2 147 483 648 bits、1024 bits step

表 1.3.3.3-9　測定

項目	規格
カウンタ	Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 %Error Free Interval: 0.000 0～100.000 0 Error Rate (ER) Insertion (INS): 0.000 1E–18～1.000 0E00 Error Count (EC) Insertion (INS): 0～9 999 999、1.000 0E07～9.999 9E17 Error Rate (ER) Omission (OMI): 0.000 1E–18～1.000 0E00 Error Count (EC) Omission (OMI): 0～9 999 999、1.000 0E07～9.999 9E17 Frequency: 2 400.000～58 200.000 MHz 周波数測定確度: ±1 ppm ±1 kHz*1 Clock Count: 0～9 999 999、1.000 0E07～9.999 9E17 Confidence Level: 0.0～99.9 % Sync. Loss Interval: 0～9 999 999、1.000 0E07～9.999 9E17 Clock Loss Interval: 0～9 999 999、1.000 0E07～9.999 9E17 括弧の記載は省略表記

＊1: Gating 方式、MP1900A の基準クロック 10 MHz が校正された状態において

表 1.3.3.3-9 測定 (続き)

項目	規格
カウンタ (続き)	MSB Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 MSB Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 MSB Error Interval*2: 0～9 999 999、1.000 0E07～9.999 9E17 MSB %Error Free Interval*2: 0.000 0～100.000 0 MSB Error Rate (ER) Insertion (INS): 0.000 1E–18～1.000 0E00 MSB Error Count (EC) Insertion (INS): 0～9 999 999、1.000 0E07～9.999 9E17 MSB Error Rate (ER) Omission (OMI): 0.000 1E–18～1.000 0E00 MSB Error Count (EC) Omission (OMI): 0～9 999 999、1.000 0E07～9.999 9E17 LSB Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 LSB Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 LSB Error Interval*2: 0～9 999 999、1.000 0E07～9.999 9E17 LSB %Error Free Interval*2: 0.0000～100.000 0 LSB Error Rate (ER) Insertion (INS): 0.000 1E–18～1.000 0E00 LSB Error Count (EC) Insertion (INS): 0～9 999 999、1.000 0E07～9.999 9E17 LSB Error Rate (ER) Omission (OMI): 0.0001E–18～1.000 0E00 LSB Error Count (EC) Omission (OMI): 0～9 999 999、1.000 0E07～9.999 9E17 以下は、PAM4 (Diagnostics Mode ON) 測定のときのみ有効 MSB Bit Count: 0～9 999 999、1.000 0E07～9.999 9E17 MSB Clock Count: 0～9 999 999、1.000 0E07～9.999 9E17 MSB Sync. Loss Interval: 0～9 999 999、1.000 0E07～9.999 9E17 LSB Bit Count: 0～9 999 999、1.000 0E07～9.999 9E17 LSB Clock Count: 0～9 999 999、1.000 0E07～9.999 9E17 LSB Sync. Loss Interval: 0～9 999 999、1.000 0E07～9.999 9E17 括弧の記載は省略表記

＊2: リモートコマンドのみで取得可能

表 1.3.3.3-9　測定 (続き)

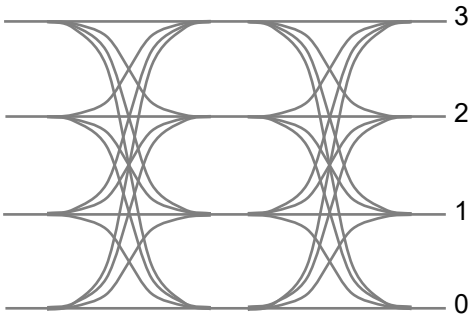
項目	規格
カウンタ (続き)	以下は、オプション z41 SER Measurement ありのとき有効 以下は、PAM4 (Diagnostics Mode OFF) 測定のときのみ有効  Symbol Error Rate (SER): 0.000 1E–18～1.000 0E00 Symbol Error Count (SEC): 0～9 999 999、1.000 0E07～9.999 9E17 Symbol Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 Symbol %Error Free Interval: 0.000 0～100.000 0 PAM4 Symbol Count: 0～9 999 999、1.000 0E07～9.999 9E17 Level 3 PAM4 Count: 0～9 999 999、1.000 0E07～9.999 9E17 Level 2 PAM4 Count: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 PAM4 Count: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 PAM4 Count: 0～9 999 999、1.000 0E07～9.999 9E17 Details-Result PAM4- Transition Level 0 → 3 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 → 2 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 → 1 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 EC Total: 0～9 999 999、1.000 0E07～9.999 9E17 Level 0 ER Total: 0.000 1E–18～1.000 0E00 Level 1 → 3 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 → 2 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 → 0 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 EC Total: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 ER Total: 0.000 1E–18～1.000 0E00

表 1.3.3.3-9 測定 (続き)

項目	規格
カウンタ（続き）	Level 2 ➔ 3 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 2 ➔ 1 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 2 ➔ 0 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 2 EC Total: 0～9 999 999、1.000 0E07～9.999 9E17 Level 2 ER Total: 0.000 1E–18～1.000 0E00 Level 3 ➔ 2 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 3 ➔ 1 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 3 ➔ 0 EC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 3 EC Total: 0～9 999 999、1.000 0E07～9.999 9E17 Level 3 ER Total: 0.000 1E–18～1.000 0E00 Details-Result PAM4- Eye*3 Transition 1level Level 0 ➔ 1 および Level 1 ➔ 0 SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 ➔ 2 および Level 2 ➔ 1 SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 2 ➔ 3 および Level 3 ➔ 2 SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Transition 2level Level 0 ➔ 2 および Level 2 ➔ 0 SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Level 1 ➔ 3 および Level 3 ➔ 1 SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Transition 3level Level 0 ➔ 3 および Level 3 ➔ 0 SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Upper Eye Total SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Middle Eye Total SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Lower Eye Total SEC: 0～9 999 999、1.000 0E07～9.999 9E17 Upper Eye Total SER: 0.000 1E–18～1.000 0E00 Middle Eye Total SER: 0.000 1E–18～1.000 0E00 Lower Eye Total SER: 0.000 1E–18～1.000 0E00

＊3: Input Signal Decoder が [OFF] のとき有効

表 1.3.3.3-9　測定 (続き)

項目	規格
カウンタ（続き）	以下は、オプション w42 FEC Analysis ありのとき有効 Uncorrectable Codeword Error Rate (UCWER): 0.000 1E–18～1.000 0E00 Uncorrectable Codeword Error Count (UCWEC): 0～9 999 999、1.000 0E07～9.999 9E17 Uncorrectable Codeword Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 Uncorrectable Codeword %Error Free Interval: 0.000 0～100.000 0 FEC Symbol Error Rate (ER): 0.000 1E–18～1.000 0E00 FEC Symbol Error Count (EC): 0～9 999 999、1.000 0E07～9.999 9E17 FEC Symbol Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 FEC Symbol %Error Free Interval: 0.000 0～100.000 0 Total Codeword Count: 0～9 999 999、1.000 0E07～9.999 9E17 Details-Result RS-FEC MSB FEC Symbol Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 MSB FEC Symbol Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 LSB FEC Symbol Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 LSB FEC Symbol Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 FEC Symbol Error Count N = 0～31 Codeword Rate: 0.000 1E–18～1.000 0E00 N = 0～31 Codeword Count: 0～9 999 999、1.000 0E07～9.999 9E17 Uncorrectable Codeword Rate (UCWR): 0.000 1E–18～1.000 0E00 Uncorrectable Codeword Count (UCWC): 0～9 999 999、1.000 0E07～9.999 9E17 括弧の記載は省略表記

表 1.3.3.3-9 測定 (続き)

項目	規格
カウンタ (続き)	以下は、「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」および「BERT for PCIe1-5 and PCIe6 Base」アプリケーション選択時のとき有効 First Bit Error Rate (ER): 0.000 1E–18～1.000 0E00 First Bit Error Count (EC): 0～9 999 999、1.000 0E07～9.999 9E17 First Bit Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 First Bit %Error Free Interval: 0.000 0～100.000 0 Details-Result PAM4 MSB First Bit Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 MSB First Bit Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 LSB First Bit Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 LSB First Bit Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 以下は、「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」および「BERT for PCIe1-5 and PCIe6 Base」アプリケーション選択時かつオプション w43 FEC Analysis for PCIe6 ありのとき有効 Flit Error Rate (FER): 0.000 1E–18～1.000 0E00 Flit Error Count (FEC): 0～9 999 999、1.000 0E07～9.999 9E17 Flit Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 Flit %Error Free Interval: 0.000 0～100.000 0 FEC Symbol Error Rate (ER): 0.000 1E–18～1.000 0E00 FEC Symbol Error Count (EC): 0～9 999 999、1.000 0E07～9.999 9E17 FEC Symbol Error Interval: 0～9 999 999、1.000 0E07～9.999 9E17 FEC Symbol %Error Free Interval: 0.000 0～100.000 0 Total Flit Count: 0～9 999 999、1.000 0E07～9.999 9E17

表 1.3.3.3-9　測定 (続き)

項目	規格
カウンタ（続き）	Details-Result FEC FEC Symbol Error Count N = 0～Over8 Flit Rate: 0.000 1E–18～1.000 0E00 N = 0～Over8 Flit Count: 0～9 999 999、1.000 0E07～9.999 9E17 N = 0～Over8 ECC Group Rate: 0.000 1E–18～1.000 0E00 N = 0～Over8 ECC Group Count: 0～9 999 999、1.000 0E07～9.999 9E17 Flit Error Rate (FER): 0.000 1E–18～1.000 0E00 Flit Error Count (FEC): 0～9 999 999、1.000 0E07～9.999 9E17 Consecutive Flit Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 Consecutive Flit Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 Consecutive FEC Symbol Error Rate (ER) Total: 0.000 1E–18～1.000 0E00 Consecutive FEC Symbol Error Count (EC) Total: 0～9 999 999、1.000 0E07～9.999 9E17 括弧の記載は省略表記
RS-FEC Error Distribution	オプション w42 FEC Analysis ありのとき有効 1 Codeword に含まれる FEC Symbol Error Count に対する Codeword 数をグラフで表示
PCIe6 FEC Error Distribution	「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」および「BERT for PCIe1-5 and PCIe6 Base」アプリケーション選択時かつオプション w43 FEC Analysis for PCIe6 ありのとき有効 1 Flit に含まれる FEC Symbol Error Count に対する Flit 数をグラフで表示

表 1.3.3.3-9 測定 (続き)

項目	規格
Input Signal Decoder 表示	PAM4 モードのエラー測定時のコーディング状態を示す。 Raw Signal: 入力データのコーディングは解除せずエラー測定した結果を表示 Decoded Signal: 入力データのコーディングを解除した後のエラー測定結果を表示
Gating	Time、Clock Count、Error Count
Gating Unit	Time: 1 秒～99 日 23 時間 59 分 59 秒 Clock Count: >E+4～>E+16 Error Count: >E+4～>E+16
Cycle	Single、Repeat、Untimed、Single(Target CL)
Current	On、Off Calculation: Progressive、Immediate Interval: 100 ms、200 ms
Auto Sync	On、Off Sync. Threshold: INT、E–2～E–8

表 1.3.3.3-9　測定 (続き)

項目	規格		
Sync Control	PRBS:	読み込み方式	
	Data:	Frame On	
	HSSB Data:	読み込み方式	
Frame Length	NRZ:	4～64 bits、4 bits step	
	PAM4:	4～64 symbols、4 symbols step	
Frame Mask	あり		
Frame Position	NRZ:	1～(Pattern Length – Frame Length +1) bits、1 bit step	
	PAM4:	1～(Pattern Length – Frame Length +1) symbols、1 symbol step	
Error/Alarm Condition			
Error Detection	NRZ:	Insertion/Omission、Transition/Non transition	
	PAM4:	無し	
EI/EFI Interval	1 ms、10 ms、100 ms、1 s		
Confidence Level	MX190000A バージョン 10.07.00 以降で動作します		
	Target CL:	0～99.9 %	
	Target ER:	1E-15～9E-3	
	Target EC:	0～10	
	Target Unit:	NRZ:	Bit、Codeword*4
		PAM4:	Bit、PAM4 Symbol*5、Codeword*4
		「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」および「BERT for PCIe1-5 and PCIe6 Base」アプリケーション起動時	
		NRZ:	Bit
		PAM4:	Bit、First Bit、PAM4 Symbol*5、Flit*6
	Target Baud Rate/Bitrate:	NRZ:	2.4～64.2 Gbit/s
		PAM4:	2.4～58.2 Gbaud
		「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」 および「BERT for PCIe1-5 and PCIe6 Base」アプリケーション起動時	
		NRZ:	2.4～32.1 Gbit/s
		PAM4:	2.4～32.1 Gbaud
	PPG Target Baud Rate/Bitrate Tracking:	同じ MP1900A に装着されている PPG の中から、選択された PPG の動作 Baud Rate/Bitrate にトラッキングする。	

＊4: オプション w42 実装時

＊5: オプション z41 実装時

＊6: オプション z41 および w43 実装時

表 1.3.3.3-10 エラー解析

項目	規格
Bit Mask (Block Window)	Data パターンを設定に応じて測定対象から除外*1 「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」および「BERT for PCIe1-5 and PCIe6 Base」アプリケーションにおいて、Modulation が PAM4 の場合無効となる
設定分解能	パターン長に応じて下記のとおりの設定分解能となる。 パターン長 (bits) / 設定分解能 (bits) 2～2 097 152 / 1 2 097 153～4 194 304 / 2 4 194 305～8 388 608 / 4 8 388 609～16 777 216 / 8 16 777 217～33 554 432 / 16 33 554 433～67 108 864 / 32 67 108 865～134 217 728 / 64 134 217 729～268 435 456 / 128
Lane Mask (Bit Window)	内部 32ch のうち任意の ch を測定対象から除外*1 (NRZ モード時のみ有効)
External Mask*2	H: 測定 L: Mask

＊1: RS-FEC および HSSB Data パターンは対象外

＊2: HSSB Data 選択時は無効

表 1.3.3.3-10　エラー解析 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>Capture*2

Capture Mode</td><td>NRZ、PAM4 (LSB/MSB Diagnostics ON 設定時は FEC Symbol Capture のみ実行可能)
PAM4 はオプション z41 SER Measurement ありのとき有効
Sync Mode Capture
エラーを判定するモード。入力データと設定パターンが同期している必要がある。
Raw Data Capture
エラーを判定しないモード。入力データと設定パターンが同期している必要はない。
FEC Symbol Capture*3、*4
IEEE802.3 規格の FEC Symbol エラーを判定するモード。入力データと設定パターンが同期している必要がある。
FEC Symbol エラー数がしきい値を超えるか判定する。
PCIe6 FEC Symbol Capture*4、*5
PCIe6 規格の FEC Symbol エラーを判定するモード。入力データと設定パターンが同期している必要がある。
FEC Symbol エラー数がしきい値を超えるか判定する。
Input Signal Decoder 設定に応じて実行可能な Capture Mode は以下の表を参照

<table>
<tr><th rowspan="2">Capture Mode</th><th colspan="4">Input Signal Decoder</th></tr>
<tr><th colspan="2">(Diagnostics Mode = OFF)</th><th colspan="2">(Diagnostics Mode = ON)</th></tr>
<tr><th>OFF</th><th>ON</th><th>OFF</th><th>ON</th></tr>
<tr><td>Raw Data Capture</td><td>✓*6</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>Sync Mode Capture</td><td>✓</td><td>✓</td><td>–</td><td>–</td></tr>
<tr><td>FEC Symbol Capture</td><td>✓</td><td>✓</td><td>✓</td><td>✓</td></tr>
<tr><td>PCIe6 FEC Symbol Capture</td><td>✓</td><td>✓</td><td>–</td><td>–</td></tr>
</table>
</td></tr>
</table>

＊3: 1FEC Symbol は、10 または 20 ビットのデータで構成される。

＊4: 1FEC Symbol 内で 1 つ以上のビットエラーが発生すると、1FEC Symbol エラーとしてカウントする。

＊5: PCIe6 規格において 1FEC Symbol は、8 ビットのデータで構成される。

＊6: SKP OS Filter = OFF の場合のみ実行可能

表 1.3.3.3-10 エラー解析 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>Capture (続き)</td><td></td></tr>
<tr><td>Auto Launch</td><td>キャプチャ終了時、以下の自動で表示する結果画面を選択する。
・ Capture Data
キャプチャしたパターンデータを数値または文字列 (Bin、Hex、Symbol) で表示する。
・ Error Mapping
キャプチャしたエラーデータをマップで表示する。
Raw Data Capture、FEC Symbol Capture 時は選択不可。
・ Disable
自動実行しない。</td></tr>
<tr><td>Block 数</td><td>1、2、4、8、16、32、64、128</td></tr>
<tr><td>Block 長</td><td>NRZ: 8 Mbits / n (n=Block 数)
PAM4: 4 Msymbols / n (n=Block 数)</td></tr>
<tr><td>Trigger</td><td>Error Detect、Match Pattern、Manual Trigger、External Trigger (Rising Edge)、Consecutive Error Detect、Intermittent Error Detect

Capture Mode と設定可能な Trigger の関係は以下の表を参照
<table>
<tr><th>Trigger</th><th>Sync Mode Capture</th><th>Raw Data Capture</th><th>FEC Symbol Capture</th><th>PCIe6 FEC Symbol Capture</th></tr>
<tr><td>Error Detect</td><td>✓</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>Match Pattern</td><td>✓</td><td>✓</td><td>–</td><td>–</td></tr>
<tr><td>Manual Trigger</td><td>✓</td><td>✓</td><td>✓</td><td>✓</td></tr>
<tr><td>External Trigger</td><td>✓</td><td>✓</td><td>–</td><td>–</td></tr>
<tr><td>Consecutive FEC Symbol Error Detect*7</td><td>–</td><td>–</td><td>✓</td><td>✓</td></tr>
<tr><td>Intermittent FEC Symbol Error Detect*8</td><td>–</td><td>–</td><td>✓</td><td>✓</td></tr>
<tr><td>Consecutive Flit Error Detect*9</td><td>–</td><td>–</td><td>–</td><td>✓</td></tr>
<tr><td>Pattern Sync</td><td>✓</td><td>–</td><td>–</td><td>✓</td></tr>
</table>
</td></tr>
</table>

＊7: Consecutive FEC Symbol Error Detect は、Codeword または Flit に関係なく、連続した FEC Symbol Error がしきい値を超えた場合、またはしきい値と等しい場合にキャプチャを開始する。

＊8: Intermittent FEC Symbol Error Detect は、1 Codeword または 1 Flit 内で発生した FEC Symbol Error 数がしきい値以上になるとキャプチャを開始する。

＊9: Consecutive Flit Error Detect は、連続した Flit Error がしきい値以上になる場合、またはしきい値と等しい場合にキャプチャを開始する。

表 1.3.3.3-10　エラー解析 (続き)

項目	規格
Capture (続き)	
Capture Area	After the Trigger、Around the Trigger、Before the Trigger FEC Symbol Capture または PCIe6 FEC Symbol Capture のとき、After the Trigger、Before the Trigger は選択不可
Match Pattern Length	NRZ:　4～64 bits、1 bit step PAM4:　4～64 symbols、1 symbol step
Match Pattern Mask	NRZ:　4～64 bits、1 bit step PAM4:　4～64 symbols、1 symbol step
FEC Symbol Capture Setting	
Preset	NRZ のとき Variable、RS-FEC 25G 1Lane、RS-FEC 50G 2Lanes RS(544,514)、 RS-FEC 100G 4Lanes、RS-FEC 100G 4Lanes RS(544,514) PAM4 のとき Variable、RS-FEC 50G 1Lane、RS-FEC 100G 1Lane、 RS-FEC-Int 100G 1Lane、RS-FEC 100G 2Lanes、 RS-FEC 200G 2Lanes、RS-FEC 200G 4Lanes、 RS-FEC 400G 4Lanes、RS-FEC 400G 8Lanes
Number of FEC Symbols per Lane in a Codeword	68、132、136、272、528、544 FEC Symbols、1 FEC Symbol step
Bit Length in a FEC Symbol	10、20 bits
FEC Symbol Errors in a Codeword	Consecutive Error Detect 時: 1 to 32 FEC Symbols、1 FEC Symbol step Intermittent Error Detect 時: 1 to 32 FEC Symbols、1 FEC Symbol step
Comparison	Greater than or equal to、Equal to
PCIe6 FEC Symbol Capture Setting	
PCIe6 Standard	x1 Link Common CLK/SRNS Mode x2 Link Common CLK/SRNS Mode x4 Link Common CLK/SRNS Mode x8 Link Common CLK/SRNS Mode x16 Link Common CLK/SRNS Mode x1 Link SRIS Mode x2 Link SRIS Mode x4 Link SRIS Mode x8 Link SRIS Mode x16 Link SRIS Mode

表 1.3.3.3-10 エラー解析 (続き)

項目	規格
Capture (続き)	
SKP	No SKP、SKPx1、SKPx2
Flit Length	16、32、64、128、256 FEC Symbols
SKP Interval	4、9、18、37、46、74、93、187、374、748 Flits
FEC Symbol Error Threshold in One ECC Group	1 to 8 FEC Symbols、1 FEC Symbol step PCIe6 Standard が下記の場合上限値は“4”に制限される ・ x16 Link Common CLK/SRNS Mode ・ x16 Link SRIS Mode
FEC Symbol Error Threshold in One ECC Group Comparison	Greater than or equal to
FEC Symbol Error Threshold	1 to 8 FEC Symbols、1 FEC Symbol step
FEC Symbol Error Threshold Comparison	Greater than or equal to、Equal to
Errored Flit Threshold	1 to 4 Flits、1 Flit step
Errored Flit Threshold Comparison	Greater than or equal to、Equal to
Capture Result	
Capture Data	NRZ、PAM4 モードにてキャプチャ結果をビット、またはシンボル列で表示する機能 Sync Mode Capture、FEC Symbol Capture、PCIe6 FEC Symbol Capture 実行時はエラービット/シンボルを色付け表示する。
Trigger Position	Block ごとの Trigger 位置、Block ごとの全 Flit 数を表示する
Viewer Mode	キャプチャ結果パターンの表示方法の選択 NRZ: BIN、HEX PAM4: Symbol、BIN(MSB/LSB) Waveform 表示 ON/OFF あり ECC Group 表示 ON/OFF あり*10

＊10: PCIe6 FEC Symbol Capture モード時のみ選択可能

表 1.3.3.3-10　エラー解析 (続き)

項目	規格
Capture (続き) Capture Result (続き) Capture Data (続き) Error 表示	NRZ:　Insertion Error、Omission Error Input Signal Decoder が [OFF] のとき: PAM4(Symbol): Lower Eye Error、Middle Eye Error、Upper Eye Error、Middle/Lower Eye Error、Upper/Middle Eye Error、Upper/Middle/Lower Eye Error Input Signal Decoder が [ON] のとき: PAM4(Symbol): MSB、LSB、MSB+LSB PAM4(MSB/LSB): Insertion Error、Omission Error Sync Mode Capture、FEC Symbol Capture、PCIe6 FEC Symbol Capture 実行時のみ有効
Error Search	First:　最初のエラー Pre:　ひとつ前のエラー Next:　ひとつ先のエラー Last:　最後のエラー PAM4 モード時のみ All または Upper/Middle/Lower Eye を選択してサーチ可能 Sync Mode Capture、FEC Symbol Capture、PCIe6 FEC Symbol Capture 実行時のみ有効
Continuous Error	連続するエラービット/シンボルの検索 NRZ:　1～256 bits PAM4(Symbol):　1～256 symbols PAM4(MSB/LSB):　1～256 bits FEC Symbol:　1～256 FEC symbols 1b/1b Encoding:　1～256 1b/1b symbols Sync Mode Capture、FEC Symbol Capture、PCIe6 FEC Symbol Capture 実行時のみ有効
Codeword Head Position Jump	Codeword の先頭位置の検索 First:　最初の Codeword 先頭ビット/シンボル Pre:　ひとつ前の Codeword 先頭ビット/シンボル Next:　ひとつ先の Codeword 先頭ビット/シンボル Last:　最後の Codeword 先頭ビット/シンボル FEC Symbol Capture 実行時のみ有効

表 1.3.3.3-10 エラー解析 (続き)

項目	規格
Capture (続き)	
Capture Result (続き)	
Capture Data (続き)	
Flit Jump	Flit または Flit ブロックの先頭へジャンプ First Flit: 最初の Flit の先頭 Pre Flit Interval: ひとつ前の Flit ブロックの先頭 Pre Flit: ひとつ前の Flit の先頭 Next Flit: ひとつ先の Flit の先頭 Next Flit Interval: ひとつ先の Flit ブロックの先頭 Last Flit: 最後の Flit の先頭 PCIe6 FEC Symbol Capture 実行時のみ有効

表 1.3.3.3-10　エラー解析 (続き)

項目	規格
Capture (続き)	
File Save	キャプチャ結果のファイル保存とキャプチャパターンファイルの保存 NRZ: BIN/HEX Text: キャプチャ結果ファイル (Capture Data 画面でオープン可能) BIN/HEX Text(export): エラー情報を含むパターンファイル (Pattern Editor でオープン可能) PAM4: Symbol Text: キャプチャ結果ファイル (Capture Data 画面でオープン可能) Symbol Text(export): エラー情報を含むパターンファイル (Pattern Editor でオープン可能)
File Open	キャプチャ結果の再表示 NRZ: BIN/HEX Text: キャプチャ結果ファイル PAM4: Symbol Text: キャプチャ結果ファイル
Error Mapping	NRZ、PAM4 モードにてエラーの分布を色付けしたビットで視覚的に表示する機能 Sync Mode Capture 実行時のみ有効。
Error 表示	NRZ: Insertion Error、Omission Error Input Signal Decoder が [OFF] のとき: PAM4: Lower Eye Error、Middle Eye Error、 Upper Eye Error、Middle/Lower Eye Error、 Upper/Middle Eye Error、 Upper/Middle/Lower Eye Error Input Signal Decoder が [ON] のとき: PAM4: MSB、LSB、MSB+LSB
File Open	Error Mapping の再表示 NRZ: BIN/HEX Text: キャプチャ結果ファイル PAM4: Symbol Text: キャプチャ結果ファイル

表 1.3.3.3-11 自動測定

項目	規格
Bath-Tub	NRZ/PAM4: 測定可能*1、*2、*3、*4
Eye Contour	NRZ/PAM4: 測定可能*2、*3、*4、*5、*6
Auto Adjust	NRZ: Vth 方向のみ対応*7 PAM4: MSB Vth 方向のみ対応*7、*8
Auto Search	NRZ: あり*7 PAM4 (LSB/MSB Diagnostics OFF/ON): あり*7、*9
Advanced Search	PRBS Inv、Logic (MSB、LSB)、Gray Coder、Inverse Gray Coder、Eye Threshold (Middle、Upper、Lower)、Delay、DFE、LFEQ の調整に対応*10 NRZ: あり*7 PAM4: あり*7、*9、*11
BER/SER Logging	NRZ: BER Logging あり PAM4: SER Logging あり

＊1: PAM4 選択時 Upper/Middle/Lower Eye または SER のいずれか一つを選択して測定可能

＊2: 以下の条件では測定できません。

- RS-FEC Scrambled Idle Pattern において MSB と LSB パターンの Swap が発生した場合 (Swap ランプ点灯時)
- MSB/LSB Diff の測定値が 0 以外の場合

＊3: 機能を使用するためにはオプション z41 が必須

＊4: HSSB Data 選択時は無効

＊5: PAM4 選択時 Upper/Middle/Lower Eye から選択して測定可能

＊6: PAM4 波形の表示 (Upper/Middle/Lower Eye の測定器内部の位相方向の遅延量を最適化して同時に表示)

＊7: PRBS Pattern、Mark Ratio 1/2

＊8: 各振幅が均等であること

＊9: 0/1 1/2 2/3 の各レベルが均等であること

＊10: DFE、LFEQ の調整にはオプション x11 が必須

＊11: PRBS Inv、Logic (MSB、LSB)、Gray Coder、Inverse Gray Coder、Eye Threshold (Middle、Upper、Lower) は Modulation Type が PAM4 のときのみ有効

表 1.3.3.3-12　可変クロックディレイ

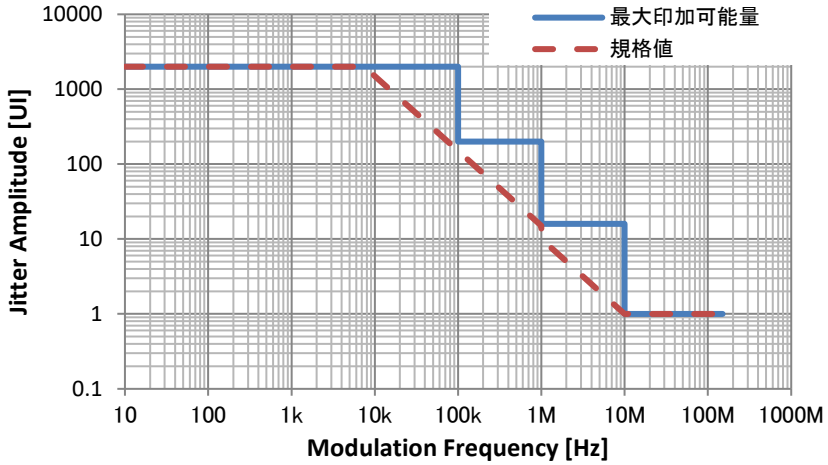
項目	規格
位相設定範囲	–1000～+1000 mUI、2 mUI step
確度	±50 mUIp-p*1、*2　　(Baud rate ≤32.1 Gbaud) ±100 mUIp-p*1、*2　　(Baud rate >32.1 Gbaud)
mUI-ps 変換	あり (内部的に ps 換算)
Calibration	あり (ジッタ無変調時)
Calibration 推奨表示	Calibration 実施後、次の状態になったときに画面に表示 ・ 1/1Clock の周波数が±250 kHz 変化した場合 ・ 機器周囲温度が±5 °C 変化した場合
Delay Stabilizer	あり*3 Phase Search を含む Auto Search を実行後に自動で有効化

＊1: 残留ジッタ ＜200 fs (RMS) のオシロスコープを使用して測定

＊2: 代表値

＊3: PAM4 かつ 26.0 to 32.1 Gbaud のときのみ有効

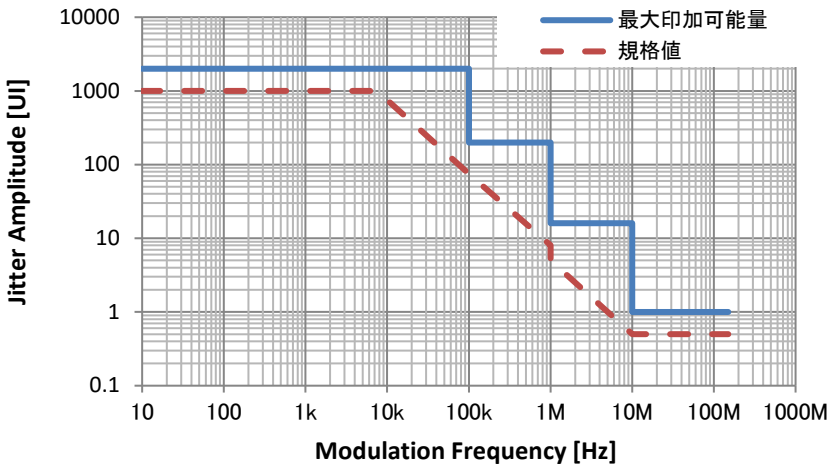
表 1.3.3.3-13 ジッタ耐力

項目	規格
NRZ 入力	Bit rate: 32.1 Gbit/s、64.2 Gbit/s*1 Pattern:PRBS2^{31}–1 32.1 Gbit/s: MU181500B により 33 kHz 5300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 64.2 Gbit/s: MU181500B により 33 kHz 3300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 MU196020A とのループバック接続時、20～30 °C (温度一定) にて RJ + BUJ/SJ3 > 0.5 UIp-p、または SJ + RJ + BUJ/SJ3 > 規格値 + 0.3 UIp-p のとき、MU181500B の画面に Overload が表示される。 ただし変調周波数が 33 kHz であって、RJ+BUJ/SJ3 >0.5 UIp-p、または SJ1 >550 UIp-p のとき、MU181500B の画面が Overload 表示となる。 32.1 Gbit/s 

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

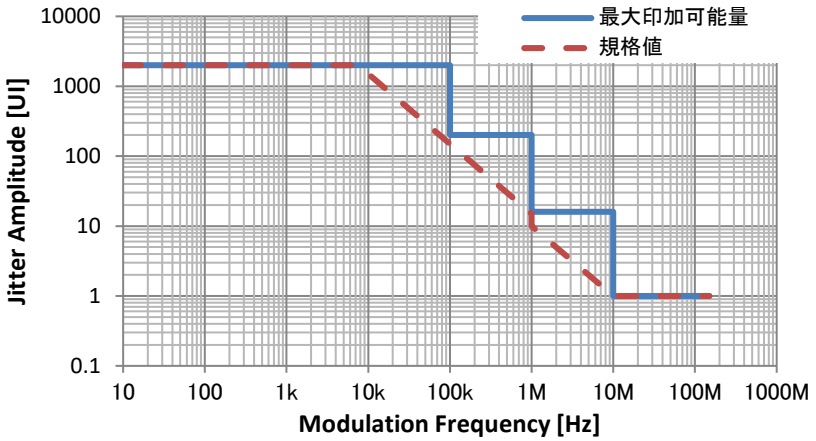
＊1: オプション 002、005 または y12、115、125 実装時

表 1.3.3.3-13　ジッタ耐力 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>NRZ 入力 (続き)</td><td>64.2 Gbit/s
 

<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量
[UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2 000</td><td>1 000</td></tr>
<tr><td>7 500</td><td>2 000</td><td>1 000</td></tr>
<tr><td>100 000</td><td>2 000</td><td>75</td></tr>
<tr><td>1 000 000</td><td>200</td><td>8</td></tr>
<tr><td>10 000 000</td><td>16</td><td>0.5</td></tr>
<tr><td>150 000 000</td><td>1</td><td>0.5</td></tr>
</table>
</td></tr>
</table>

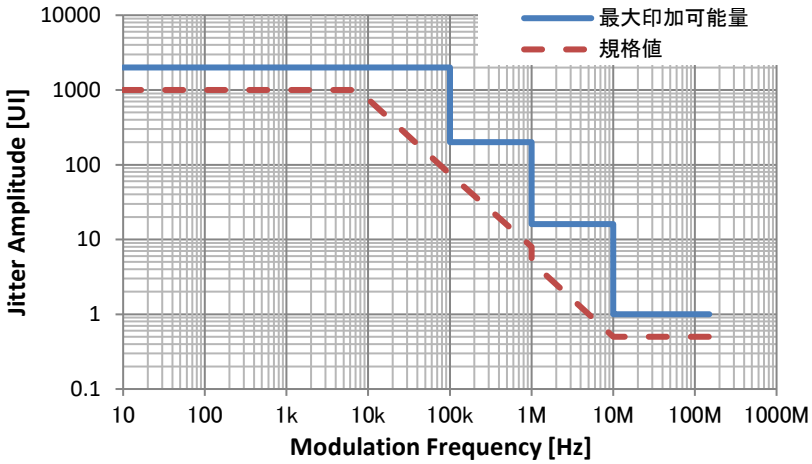
表 1.3.3.3-13 ジッタ耐力 (続き)

項目	規格
PAM4 入力	Baud rate: 32.1 Gbaud*2、58.2 Gbaud*1 Pattern:PRBS31Q 32.1 Gbaud: MU181500B により 33 kHz 5300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 58.2 Gbaud: MU181500B により 33 kHz 3300 ppm の SSC と 0.3 UI の RJ を同時に印加可能。 MU196020A とのループバック接続時、20～30 °C (温度一定) にて RJ + BUJ/SJ3 > 0.5 UIp-p、または SJ + RJ + BUJ/SJ3 > 規格値 + 0.3 UIp-p のとき、MU181500B の画面に Overload が表示される。 ただし Modulation Frequency 33kHz のときは、RJ+BUJ/SJ3 >0.5 UIp-p、または SJ1 >550UIp-p のとき MU181500B の画面に Overload が表示される。 32.1 Gbaud 

変調周波数 [Hz]	最大印加可能量 [UIp-p]	規格値 [UIp-p]
10	2 000	2 000
7 500	2 000	2 000
100 000	2 000	150
1 000 000	200	15
10 000 000	16	1
150 000 000	1	1

＊2: オプション 001 実装時

表 1.3.3.3-13　ジッタ耐力 (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>PAM4 入力 (続き)</td><td>58.2 Gbaud
 

<table>
<tr><th>変調周波数 [Hz]</th><th>最大印加可能量
[UIp-p]</th><th>規格値 [UIp-p]</th></tr>
<tr><td>10</td><td>2 000</td><td>1 000</td></tr>
<tr><td>7 500</td><td>2 000</td><td>1 000</td></tr>
<tr><td>100 000</td><td>2 000</td><td>75</td></tr>
<tr><td>1 000 000</td><td>200</td><td>8</td></tr>
<tr><td>10 000 000</td><td>16</td><td>0.5</td></tr>
<tr><td>150 000 000</td><td>1</td><td>0.5</td></tr>
</table>
</td></tr>
</table>

表 1.3.3.3-14 クロックリカバリ

項目	規格*1
Operating Baud Rate	オプション x21 実装時 NRZ: 2.4～29.0 Gbit/s PAM4: 2.4～29.0 Gbaud オプション x22、または x21 + y24 実装時 NRZ: 2.4～32.1 Gbit/s PAM4: 2.4～32.1 Gbaud オプション x23 実装時 NRZ: 51.0～58.2 Gbit/s PAM4: 51.0～58.2 Gbaud
Setting Range*2	オプション x21 実装時 NRZ: 2.400 000～29.000 000 Gbit/s、0.000 001 Gbit/s step PAM4: 2.400 000～29.000 000 Gbaud、0.000 001 Gbaud step オプション x22、または x21 + y24 実装時 NRZ: 2.400 000～32.100 000 Gbit/s、0.000 001 Gbit/s step PAM4: 2.400 000～32.100 000 Gbaud、0.000 001 Gbaud step オプション x23 実装時 NRZ: 51.000 000～58.200 000 Gbit/s、0.000 001 Gbit/s step*3 PAM4: 51.000 000～58.200 000 Gbaud、0.000 001 Gbaud step*3

＊1: オプション x21、x22、x23、または y24 実装時。
オプション x22 と x23 は同時実装可能。
オプション x23 はオプション x21、x22、オプション 002、005 または y12、115、125 が必須。
オプション x21 と x22 は同時実装不可。
オプション x21 と x23 は同時実装可能。
オプション y24 はオプション x21 が必須。
指定のない限り PRBS Pattern、Mark Ratio (PAM4 入力時は MSB の Mark Ratio とする) 1/2 入力で規定する。

＊2: MU181000A/B + MU181500B と連動している PPG にトラッキングしているとき、クロックリカバリを使用したシステムの動作ビットレート/ボーレートの範囲は PPG の設定範囲と同じになります。

＊3: 「BERT for PCIe1-7」、「BERT for PCIe1-6 Forced Link」および「BERT for PCIe1-5 and PCIe6 Base」アプリケーション選択時を除きます。

表 1.3.3.3-14　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>対応規格とボーレート</td><td>NRZ モード時
<table>
<tr><th>規格</th><th>Bit rate [Gbit/s]</th><th>備考</th></tr>
<tr><td>CEI 56G</td><td>56.000 000</td><td>*4</td></tr>
<tr><td>100G ULH</td><td>32.100 000</td><td>*5</td></tr>
<tr><td>PCIe5</td><td>32.000 000</td><td>*5</td></tr>
<tr><td>32G FC</td><td>28.050 000</td><td>*6</td></tr>
<tr><td>CEI 28G</td><td>28.000 000</td><td>*6</td></tr>
<tr><td>100G OTU4</td><td>27.952 496</td><td>*6</td></tr>
<tr><td>100GAUI-4</td><td>26.562 500</td><td>*6</td></tr>
<tr><td>50GAUI-2</td><td>26.562 500</td><td>*6</td></tr>
<tr><td>LAUI-2</td><td>25.781 250</td><td>*6</td></tr>
<tr><td>25GAUI</td><td>25.781 250</td><td>*6</td></tr>
<tr><td>CAUI-4 (100GbE (25.78 × 4))</td><td>25.781 250</td><td>*6</td></tr>
<tr><td>InfiniBand EDR</td><td>25.781 250</td><td>*6</td></tr>
<tr><td>SAS4</td><td>22.500 000</td><td>*6</td></tr>
<tr><td>Thunderbolt2</td><td>20.625 000</td><td>*6</td></tr>
<tr><td>DisplayPort UHBR 20</td><td>20.000 000</td><td>*6</td></tr>
<tr><td>USB4 Gen3</td><td>20.000 000</td><td>*6</td></tr>
<tr><td>PCIe4</td><td>16.000 000</td><td>*6</td></tr>
<tr><td>InfiniBand FDR</td><td>14.062 500</td><td>*6</td></tr>
<tr><td>16G FC</td><td>14.025 000</td><td>*6</td></tr>
<tr><td>DisplayPort UHBR 13.5</td><td>13.500 000</td><td>*6</td></tr>
<tr><td>SAS3</td><td>12.000 000</td><td>*6</td></tr>
<tr><td>10G FC Over FEC</td><td>11.316 800</td><td>*6</td></tr>
<tr><td>10GbE Over FEC</td><td>11.095 700</td><td>*6</td></tr>
<tr><td>OTU2</td><td>10.709 225</td><td>*6</td></tr>
<tr><td>G975 FEC</td><td>10.664 228</td><td>*6</td></tr>
<tr><td>10G FC</td><td>10.518 750</td><td>*6</td></tr>
<tr><td>CAUI-10 (10GbE)</td><td>10.312 500</td><td>*6</td></tr>
<tr><td>Thunderbolt1</td><td>10.312 500</td><td>*6</td></tr>
<tr><td>DisplayPort UHBR 10</td><td>10.000 000</td><td>*6</td></tr>
</table></td></tr>
</table>

＊4: オプション x23 実装時

＊5: オプション x22、または x21 + y24 実装時

＊6: オプション x21、x22、または x21 + y24 実装時

表 1.3.3.3-14 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>対応規格とビーレート</td><td>NRZ モード時
<table>
<tr><th>規格</th><th>Bit rate [Gbit/s]</th><th>備考</th></tr>
<tr><td>USB4 Gen2</td><td>10.000 000</td><td>*6</td></tr>
<tr><td>InfiniBand QDR</td><td>10.000 000</td><td>*6</td></tr>
<tr><td>USB3.1 Gen2</td><td>10.000 000</td><td>*6</td></tr>
<tr><td>OC-192/STM-64</td><td>9.953 280</td><td>*6</td></tr>
<tr><td>8G FC</td><td>8.500 000</td><td>*6</td></tr>
<tr><td>DisplayPort HBR3</td><td>8.100 000</td><td>*6</td></tr>
<tr><td>PCIe3</td><td>8.000 000</td><td>*6</td></tr>
<tr><td>HSBI</td><td>6.250 000</td><td>*6</td></tr>
<tr><td>SATA 6Gb/s</td><td>6.000 000</td><td>*6</td></tr>
<tr><td>DisplayPort HBR2</td><td>5.400 000</td><td>*6</td></tr>
<tr><td>PCIe2</td><td>5.000 000</td><td>*6</td></tr>
<tr><td>InfiniBand DDR</td><td>5.000 000</td><td>*6</td></tr>
<tr><td>USB3.0</td><td>5.000 000</td><td>*6</td></tr>
<tr><td>4G FC</td><td>4.250 000</td><td>*6</td></tr>
<tr><td>XAUI</td><td>3.125 000</td><td>*6</td></tr>
<tr><td>OTU1</td><td>2.666 060</td><td>*6</td></tr>
<tr><td>InfiniBand SDR</td><td>2.500 000</td><td>*6</td></tr>
<tr><td>PCIe1</td><td>2.500 000</td><td>*6</td></tr>
<tr><td>OC-48/STM-16</td><td>2.488 320</td><td>*6</td></tr>
</table></td></tr>
</table>

表 1.3.3.3-14　クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>対応規格とボーレート
(続き)</td><td>PAM4 モード時
<table><tr><th>規格</th><th>Baud rate [Gbaud]</th><th>備考</th></tr><tr><td>CEI 112G</td><td>56.000 000</td><td>*4</td></tr><tr><td>400GAUI-4 (400GbE (53.1 × 4))</td><td>53.125 000</td><td>*4</td></tr><tr><td>200GAUI-2</td><td>53.125 000</td><td>*4</td></tr><tr><td>100GAUI-1</td><td>53.125 000</td><td>*4</td></tr><tr><td>PCIe6</td><td>32.000 000</td><td>*5</td></tr><tr><td>64G FC</td><td>28.900 000</td><td>*6</td></tr><tr><td>CEI 56G</td><td>28.000 000</td><td>*6</td></tr><tr><td>400GAUI-8</td><td>26.562 500</td><td>*6</td></tr><tr><td>200GAUI-4 (200GbE (26.6 × 4))</td><td>26.562 500</td><td>*6</td></tr><tr><td>100GAUI-2</td><td>26.562 500</td><td>*6</td></tr><tr><td>50GAUI-1</td><td>26.562 500</td><td>*6</td></tr><tr><td>InfiniBand HDR</td><td>26.562 500</td><td>*6</td></tr></table></td></tr>
<tr><td>PPG Operating Baud Rate Tracking</td><td>同じ MP1900A に装着されている PPG の中から、選択された PPG の動作ボーレートにトラッキングする。クロックリカバリの対応範囲外表示あり。</td></tr>
<tr><td>0 連続耐力</td><td>オプション x21、x22、または x21 + y24 実装時
72 bit
Zero Substitution 2^{15}、
ターゲットループ帯域は 2.4～25.499 999 G のとき 1/1667、1/2578、
25.5～32.1 G のとき 1/1667、1/2578、1/6640 で規定する。
オプション x23 実装時
72 bit
Zero Substitution 2^{15}、
ターゲットループ帯域は 51.0～58.2G のとき 1/6640、1/13280 で規定する。</td></tr>
<tr><td>ロック範囲</td><td>オプション x21、x22、または x21 + y24 実装時
±200 ppm
2.4～25.499 999 G、ターゲットループ帯域 1/1667、1/2578 で規定
±100 ppm
25.5～32.1 G、ターゲットループ帯域 1/1667、1/2578、1/6640 で規定
オプション x23 実装時
±100 ppm
51.0～58.2 G、ターゲットループ帯域 1/6640、1/13280 で規定</td></tr>
</table>

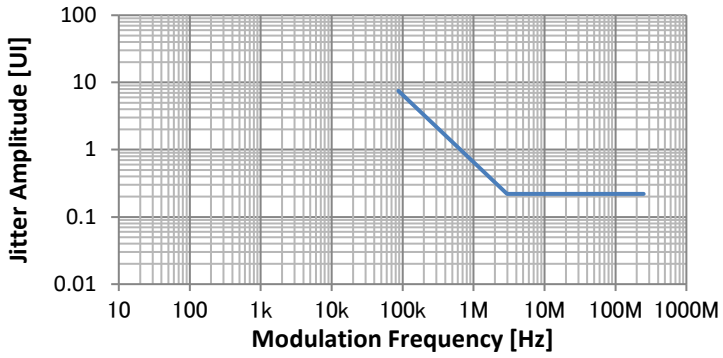
表 1.3.3.3-14 クロックリカバリ (続き)

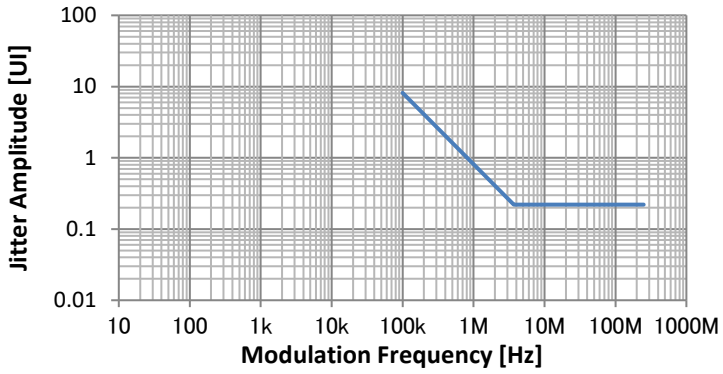
項目	規格*1
ターゲットループ帯域	オプション x21、x22、または x21 + y24 実装時 25.5～32.1 G*7 Baud rate / 1667 Baud rate / 2578 Baud rate / 6640 Jitter Tolerance 2.4～25.499 999 G Baud rate / 1667 Baud rate / 2578 Jitter Tolerance Variable Variable を選択したときの設定範囲は次のとおりです。 Baud rate [Gbaud] 設定範囲 [MHz] Step [MHz] 2.400 000～5.500 000 3 - 5.500 001～7.500 000 3～4 1 7.500 001～9.500 000 3～5 1 9.500 001～10.500 000 3～6 1 10.500 001～12.500 000 3～7 1 12.500 001～14.500 000 3～8 1 14.500 001～15.500 000 3～9 1 15.500 001～17.500 000 3～10 1 17.500 001～19.500 000 3～11 1 19.500 001～20.500 000 3～12 1 20.500 001～22.500 000 3～13 1 22.500 001～24.500 000 3～14 1 24.500 001～25.499 999 3～15 1 オプション x23 実装時 51.0～58.2 G*8 Baud rate / 6640 Baud rate / 13280 Jitter Tolerance

＊7: SSPRQ パターンは Baud rate / 6640 のみ対応。
Jitter Tolerance は Baud rate / 1667 以上。

＊8: SSPRQ パターンは Baud rate / 6640 のみ対応。
Jitter Tolerance は Baud rate / 6640 以上

表 1.3.3.3-14　クロックリカバリ (続き)

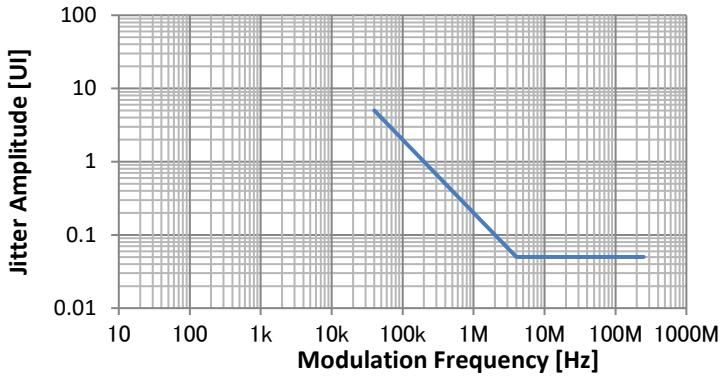
<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力
NRZ 入力*9</td><td>58.0 Gbit/s
CEI 56G Jitter Tolerance Mask 準拠、下記のマスクを公称値とする。
 

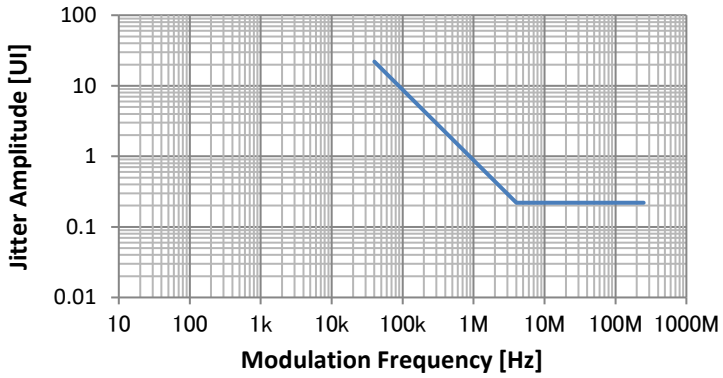
<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>87 349</td><td>7.5</td></tr>
<tr><td>2 977 820</td><td>0.22</td></tr>
<tr><td>250 000 000</td><td>0.22</td></tr>
</table>
28.05 Gbit/s
32G FC Jitter Tolerance Mask 準拠、下記のマスクを代表値とする。
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>100 000</td><td>8.16</td></tr>
<tr><td>3 709 271</td><td>0.22</td></tr>
<tr><td>250 000 000</td><td>0.22</td></tr>
</table></td></tr>
</table>

＊9: MU196020A とのループバック PRBS 2^{31}-1
20～30 °C (温度一定) にて規定

表 1.3.3.3-14 クロックリカバリ (続き)

<table>
<tr><th>項目</th><th>規格</th></tr>
<tr><td>ジッタ耐力 (続き)
PAM4 入力*10</td><td>53.125 Gbaud
CEI-112G-VSR Jitter Tolerance Mask 準拠、下記のマスクを公称値とする。
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40 004</td><td>5</td></tr>
<tr><td>4 000 377</td><td>0.05</td></tr>
<tr><td>250 000 000</td><td>0.05</td></tr>
</table>
26.5625 Gbaud
IEEE802.3bs Jitter Tolerance Mask 準拠、下記のマスクを代表値とする。
 

<table>
<tr><th>変調周波数 (Hz)</th><th>ジッタ耐力マスク (UIp-p)</th></tr>
<tr><td>40 000</td><td>22</td></tr>
<tr><td>4 000 000</td><td>0.22</td></tr>
<tr><td>250 000 000</td><td>0.22</td></tr>
</table></td></tr>
</table>

＊10: MU196020A とのループバック PRBS31Q
20～30 °C (温度一定) にて規定

表 1.3.3.3-15　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	2.5 kg 以下
使用温度範囲	15～30 °C MP1900A 機器周囲温度。組み込み時に本モジュールが動作すること
保存温度	–20～60 °C 機器に組み込んだ状態で MIL-T-28800E クラス 5 に適合すること

表 1.3.3.3-16　拡張機能

項目	規格
PCIe	MX183000A から制御されることで下記 PCIe のテストをサポートする。 サポートするインストーラバージョンは次のとおり。 ・ MX190000A V10.00.00 以降 ・ MX183000A V10.00.00 以降
対応規格	PCI Express Base Specification Revision 4.0 Version1.0 PCI Express Base Specification Revision 5.0 Version1.0 PCI Express Base Specification Revision 6.0 Version1.0 ビットレート:　PCIe1、PCIe2、PCIe3、PCIe4、PCIe5、PCIe6 レーン数:　x1 テスト対象:　Root Complex、End Point
必要オプション	オプション x41 (PCIe6 で必要)
必要ソフトウェア	MX183000A-PL021: PCIe1 から PCIe4 の LTSSM に従い、DUT との Negotiation をサポートし、DUT を Loopback 状態にすることが可能。 LTSSM の状態遷移は Log として解析可能。(MU196020A、MU195040A/MU196040B が各 1 枚必要。) MX183000A-PL025: PL021 の機能を PCIe5 まで拡張することが可能。 MX183000A-PL026: PL021、PL025 の機能を PCIe6 まで拡張することが可能。 (MU196020A、MU196040B が各 1 枚必要。) MX183000A-PL021、PL025、PL026 に、MX183000A-PL001 を追加することで次のモジュールを制御し、Jitter Tolerance Test をサポートすることが可能。 ・ MU196020A ・ MU181500B ・ MU195040A または MU196040B

1.3.4 Noise Generator

1.3.4.1 MU195050A規格

表 1.3.4.1-1 動作ビットレート

項目	規格
動作ビットレート	2.4～32.1 Gbit/s

表 1.3.4.1-2 データ入力

項目	規格
チャネル数	2
チャネルあたりの入力数	2 (Data、XData) (Differential)
振幅	1.5 Vp-p max. (Single-ended) 3.0 Vp-p max. (Differential)
オフセット	–2.0～3.3 V
終端	50 Ω
コネクタ	K コネクタ (f.)

表 1.3.4.1-3 データ出力*1

項目	規格
チャネル数	2
チャネルあたりの出力数	2 (Data、XData) (Differential)
挿入損失	–3 dB +1/–2.5 dB*2
終端	50 Ω
コネクタ	K コネクタ (f.)

＊1: ノイズ発生源から出力される信号は AC 結合されています。

＊2: 12.890625 GHz、正弦波で規定

表 1.3.4.1-4　外部入力*1

項目	規格
チャネル数	1*2
入力数	2 (Differential)
振幅	1.5 Vp-p max. (Single-ended) 3.0 Vp-p max. (Differential)
出力制御	Data Input 1 Channel のみ ON、OFF 切り替え可能 Data Input 1 Channel では DMI/CMI、White noise、および External Input を排他で選択可能 Data Input 2 Channel では DMI/CMI および White noise を排他で選択可能
終端	50 Ω、AC 結合
コネクタ	SMA コネクタ (f.)

＊1: MU195020A の Gating Output 信号と接続して使用する。

＊2: Data Input 1 Channel のみ対応

表 1.3.4.1-5　差動モードインターフェア (DMI)*1

項目	規格
振幅	0～200 mVp-p (Differential)*2
振幅設定ステップ	0.1 mV
振幅確度	±20 %±10 mV*3
周波数	2～10 GHz
周波数設定ステップ	10 MHz
波形	正弦波
Presets	PCIe3、PCIe 4、PCIe5、PCIe6
出力制御	Data Input 1 Channel と Data Input 2 Channel を同時に ON、OFF 切り替え可能 Data Input 1 Channel では DMI/CMI、White noise、および External Input を排他で選択可能 Data Input 2 Channel では DMI/CMI および White noise を排他で選択可能 DMI と CMI は同時出力が可能

＊1: Data Input 2 Channel に対して設定は共通。

＊2: 設定は 0 mVp-p から可能。ただし、確度は 4 mVp-p から保証

＊3: 周波数 2.1 GHz、4.2 GHz、および 10 GHz において、20～30 °C のある 1 つの温度で規定

表 1.3.4.1-6 コモンモードインターフェア (CMI)*1

項目	規格
振幅	0～250 mVp-p (Single-ended)*2
振幅設定ステップ	2 mV
振幅確度	±20 %±25 mV*3
周波数	Low Band: 100 MHz～1 GHz High Band: 1～6 GHz
周波数設定ステップ	Low Band: 1 MHz High Band: 10 MHz
波形	正弦波
Presets	TBT3、PCIe4、PCIe5、PCIe6
出力制御	Data Input 1 Channel と Data Input 2 Channel を同時に ON、OFF 切り替え可能 Data Input 1 Channel では DMI/CMI、White noise、および External Input を排他で選択可能 Data Input 2 Channel では DMI/CMI および White noise を排他で選択可能 DMI と CMI は同時出力が可能

＊1: Data Input 2 Channel に対して設定は共通。

＊2: 設定は 0 mVp-p から可能。ただし、確度は 10 mVp-p から保証

＊3: 周波数 120 MHz、400 MHz、1 GHz、および 6 GHz において 20～30 °C のある 1 つの温度で規定

表 1.3.4.1-7　ホワイトノイズ*1

項目	規格
フラットネス	±5 dB (10 MHz～10 GHz)
クレストファクタ	> 5 (p-p/rms)
振幅	0.2～25 mV rms
振幅設定ステップ	0.2 mV rms
振幅確度	±20 %±2.5 mV rms*2
出力制御	Data Input 1 Channel と Data Input 2 Channel を同時に ON、OFF 切り替え可能 Data Input 1 Channel では DMI/CMI、White noise、および External Input を排他で選択可能 Data Input 2 Channel では DMI/CMI および White noise を排他で選択可能

＊1: Data Input 2 Channel に対して設定は共通。

＊2: 帯域 50 GHz のサンプリングオシロスコープにおいて、残留ノイズを差し引き、20～30 °C のある 1 つの温度で規定

表 1.3.4.1-8　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	1.2 kg 以下
使用温度範囲	15～35 °C*
保存温度	–20～60 °C

＊:　MP1900A に組み込んだときの機器周囲温度

1.3.4.2 MU196050B規格

表 1.3.4.2-1 ノイズ出力

項目	規格
チャネル数	1
チャネルあたりの出力数	2 (Differential)
終端	50 Ω、AC 結合
コネクタ	SMA コネクタ (J.)

表 1.3.4.2-2 外部入力*

項目	規格
チャネル数	1
入力数	2 (Differential)
入力振幅	1.5 Vp-p max. (Single-ended) 3.0 Vp-p max. (Differential)
出力制御	ON、OFF 切り替え可能 (DMI/CMI と External Input は排他で選択可能)
終端	50 Ω、AC 結合
コネクタ	SMA コネクタ (J.)

＊: USB LFPS 信号入力用

表 1.3.4.2-3 差動モードインターフェア (DMI)*1

項目	規格
振幅	0～200 mVp-p (Differential)*2
振幅設定ステップ	0.1 mV
振幅確度	±20 %±10 mV*3
周波数	2～10 GHz
周波数設定ステップ	10 MHz
波形	正弦波
Presets	PCIe3、PCIe 4、PCIe5、PCIe6、PCIe7
出力制御	ON、OFF 切り替え可能 (DMI/CMI と External Input は排他で選択可能) (DMI/CMI は同時出力可能)

＊1: Noise Output に J1948A 同軸ケーブル (0.4 m、SMA コネクタ)および J1793A ピックオフティ(ピックオフ経路)を接続し、J1793A の Out 端子に 34VKF50A と J1821A 同軸ケーブル (0.8 m、K コネクタ)を繋いだ先を測定ポイントとして定義。

＊2: CMI ON、0mV、120MHz 設定で規定

＊3: 振幅 200mV、100mV、4mV、および 0mV において、20～30 °C のある 1 つの温度で規定

表 1.3.4.2-4　コモンモードインターフェア (CMI)*1

項目	規格
振幅	0～250 mVp-p (Single-ended)*2
振幅設定ステップ	2 mV
振幅確度	±20 %±25 mV*3
周波数	Low Band:　100 MHz～1 GHz High Band:　1～6 GHz
周波数設定ステップ	Low Band:　1 MHz High Band:　10 MHz
波形	正弦波
Presets	TBT3、PCIe4、PCIe5、PCIe6、PCIe7
出力制御	ON、OFF 切り替え可能 (DMI/CMI と External Input は排他で選択可能) (DMI/CMI は同時出力可能)

＊1: Noise Output に J1948A 同軸ケーブル (0.4 m、SMA コネクタ)および J1793A ピックオフティ(ピックオフ経路)を接続し、J1793A の Out 端子に 34VKF50A と J1821A 同軸ケーブル (0.8 m、K コネクタ)を繋いだ先を測定ポイントとして定義。

＊2: DMI ON、0mV、2.1GHz 設定で規定

＊3: 振幅 250mV、120mV、10mV、および 0mV において 20～30 °C のある 1 つの温度で規定

表 1.3.4.2-5　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) ただし、突起物含まず
質量	1.0 kg 以下
使用温度範囲	15～35 °C*
保存温度	–20～60 °C

＊:　MP1900A に組み込んだときの機器周囲温度

1.3.5 Re-Driver

1.3.5.1 MU196060A規格

ターゲットアプリケーション

PCIe 1.0 to 6.0 Link Training
PCIe 4.0: 16.0 Gbit/s、NRZ
PCIe 5.0: 32.0 Gbit/s、NRZ
PCIe 6.0: 32.0 Gbaud、PAM4
IEEE802.3bs 400GAUI-8 C2M: 26.5625 Gbaud, PAM4

サポート対象プラグインモジュール

MU196040B PAM4 ED
MU195040A 21G/32G bit/s SI ED

表 1.3.5.1-1 Data Input

項目	規格
入力数	2 (Data、XData) (Differential)
動作ボーレート	ターゲットアプリケーションと同じボーレートの範囲
振幅*1	
絶対最大入力振幅	Max. 1.4 Vp-p/Differential Max. 1.0 Vp-p/Single-ended ±1.0 VDC/Single-ended
推奨ループバック入力振幅	
PAM4 BERT	PAM4: 0.40 to 0.8 Vp-p / Differential*2、*3 Typ. BER 1E-12 BER < 1E-8 NRZ: 0.18 to 0.8 Vp-p / Differential*3 BER < 1E-12 20～30 °C のある一定温度にて規定
SI BERT	NRZ: 0.18 to 0.8 Vp-p / Differential*4 BER < 1E-12 20～30 °C のある一定温度にて規定
終端	50 Ω、AC Coupling with DC termination
コネクタ	V コネクタ (f.)

＊1: 動作ボーレートの範囲において、No Stress 波形入力かつ Equalizer OFF の条件で定義

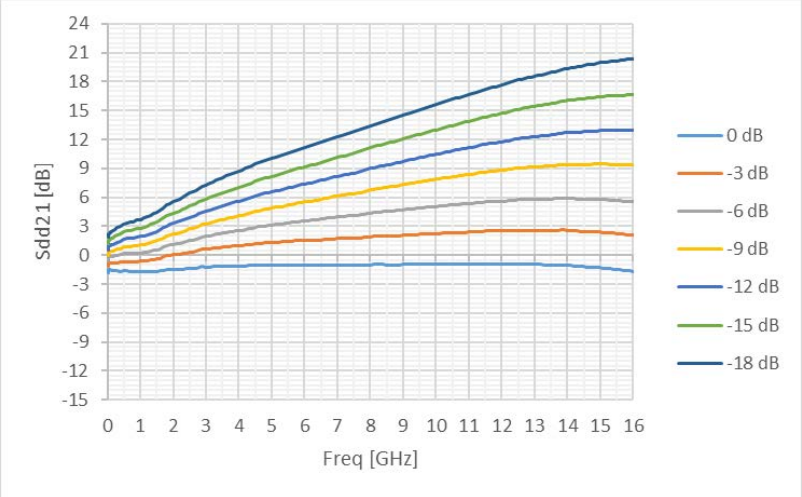
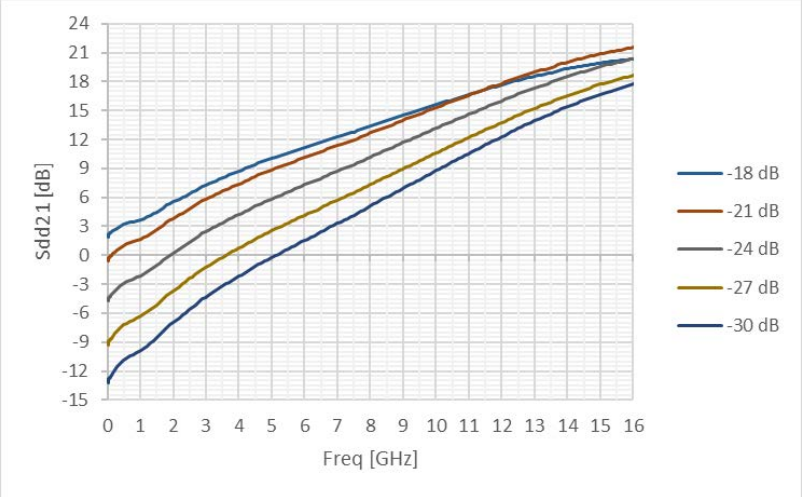
＊2: 32.0 Gbaud PAM4、16.0、32.0 Gbit/s NRZ、Differential, Modified Compliance Pattern 、MU196020A + MU195050A + J1790A, MU196060A Clock Recovery、SSC 5300 ppm Down spread

＊3: 19.0 to 32.1 Gbaud PAM4/NRZ、Differential、PRBS31、MU196020A + MU195050A + J1790A、MU196060A Clock Recovery、SSC OFF

＊4: 16.0 、32.0 Gbit/s 、Differential 、Modified Compliance Pattern 、

MU196020A + MU195050A + J1790A、MU196060A Clock Recovery、SSC 5300 ppm Down spread、Loss Channel Emulator ON

表 1.3.5.1-2　Equalizer

項目	規格
周波数応答	  (設計値)
損失補償	NRZ:　16 GHz において 30 dB*1 PCIe 5.0 に準拠した損失に対して BER < 1E–12 となる補償値 PAM4:　16 GHz において 14 dB*2 PCIe 5.0 に準拠した損失に対して BER < 1E-6 (Typ. BER 1E-9) となる補償値 13.3 GHz において 10 dB*3 PRBS31 パターンにおける損失に対して BER < 1E-9 (Typ. BER 1E-11) となる補償値

＊1: 32.0 Gbit/s、0.8 Vp-p Differential、Modified Compliance Pattern、33 kHz 5300 ppm Down spread SSC

＊2: 32.0 Gbaud、0.8 Vp-p Differential、Modified Compliance Pattern、33 kHz 5300 ppm Down spread SSC

＊3: 26.5625 Gbaud 0.8 Vp-p Differential、PRBS31、SSC OFF

表 1.3.5.1-2 Equalizer (続き)

項目	規格
設定範囲	–30.0～0.0 dB
設定ステップ	0.1 dB
確度	±2.5 dB*4
CTLE ON/OFF	ON/OFF 切り替えあり

＊4: EQ は設定値。16 GHz と 10 MHz の間の差分、–29.0～0.0 dB の範囲で規定。設定後温度変動±2.5 °C 以内で規定

表 1.3.5.1-3 Data Output

項目	規格
出力数	2 (Data、XData) (Differential)
動作ボーレート	入力データのボーレートと同じ
振幅	Max 0.7 Vp-p/Single-Ended*1 Max 1.4 Vp-p/Differential*1
ON/OFF	ON/OFF 切り替えあり*3
終端	50 Ω、AC Coupling
コネクタ	V コネクタ (f.)
システムスキュー	Typ. ±3 ps*2

＊1: MU196040B PAM4 ED または MU195040A 21G/32G bit/s SI ED の絶対定格入力振幅を超えない。

＊2: J1932A を含む。

＊3: Clock Output と連動。

表 1.3.5.1-4　Clock Output

項目	規格
出力数	1 (Single-Ended)
周波数	1.25 GHz、2.5 GHz、4 GHz (MX183000A PCIe Link Training のみ) 8 GHz、9.5～16.05 GHz (Half rate clock) *1
振幅	0.3～1.0 Vp-p (Fixed)*2
ON/OFF	ON/OFF 切り替えあり*5
Jitter	Typ. 700 fs rms (16.0 Gbit/s、NRZ)*3、*4 Typ. 600 fs rms (32.0 Gbit/s、NRZ)*3、*4 Typ. 650 fs rms (32.0 Gbaud、PAM4)*3、*4
終端	50 Ω、GND
コネクタ	SMA コネクタ (f.)

＊1: MU195040A 21G/32G bit/s SI ED との接続時は 16 GHz のみサポート

＊2: J1917A を使用し、サンプリングオシロスコープ帯域 40 GHz で規定

＊3: 入力条件:
PRBS31、Mark ratio 1/2 (PAM4 は MSB の Mark Ratio とする)、MU196020A + MU195050A + J1790A
0.8 Vp-p/Differential Input

＊4: 測定条件:
残留ジッタ < 200 fs (RMS)、帯域 40 GHz のサンプリングオシロスコープを使用して測定、測定時間 10 s とする。

＊5: Data Output と連動。

表 1.3.5.1-5　Clock Recovery

項目	規格*1
動作ボーレート	2.5 Gbit/s、5 Gbit/s、8 Gbit/s for NRZ (MX183000A PCIe Link Training のみ) 16 Gbaud、19.0 Gbaud to 32.1 Gbaud for NRZ and PAM4
設定範囲	動作ボーレートと同じ
設定ステップ	1 kbaud step または 1 kbit/s step
PPG Operating Baud Rate Tracking	同じ MP1900A に装着されている PPG の中から、選択された PPG の動作ボーレートにトラッキングする。クロックリカバリの対応範囲外表示あり。
データパターン	PRBS pattern、Mark ratio 1/2 (PAM4 は MSB の Mark Ratio とする) PCIe 規格レートに限り PCIe Training Sequence Pattern、PCIe Compliance Pattern、PCIe Modified Compliance Pattern をサポート

＊1: オプション x01 実装時。

表 1.3.5.1-5 Clock Recovery (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>0 連続耐力

ロック範囲
SSC 耐力
ジッタ耐力
NRZ 入力</td><td>72 bits
NRZ、Zero-Substitution 2^{15} で規定
±300 ppm*2
PCI Express Gen 4.0、5.0、6.0 準拠*3
MU196020A + MU196040B とのループバック接続時

32.0 Gbit/s
SSC 33 kHz、5300 ppm
PCIe 5.0 Jitter Tolerance Mask 準拠、下記の Mask を代表値とする。
<table>
<tr><th>変調周波数 (Hz)</th><th>JTOL マスク (UIp-p)</th></tr>
<tr><td>400,000</td><td>15.77</td></tr>
<tr><td>1,000,000</td><td>3.00</td></tr>
<tr><td>20,000,000</td><td>0.10</td></tr>
<tr><td>100,000,000</td><td>0.10</td></tr>
</table>
16.0 Gbit/s
SSC 33 kHz、5300 ppm
PCIe 4.0 Jitter Tolerance Mask 準拠、下記の Mask を代表値とする。
<table>
<tr><th>変調周波数 (Hz)</th><th>JTOL マスク (UIp-p)</th></tr>
<tr><td>400,000</td><td>3.54</td></tr>
<tr><td>1,000,000</td><td>1.00</td></tr>
<tr><td>20,000,000</td><td>0.10</td></tr>
<tr><td>100,000,000</td><td>0.10</td></tr>
</table></td></tr>
</table>

＊2: PRBS pattern, Mark ratio 1/2 (PAM4 は MSB の Mark Ratio とする)、PCIe Compliance Pattern、Modified Compliance Pattern および Training Sequence Pattern で規定

＊3: 16 Gbit/s、32 Gbit/s、32 Gbaud

MU196020A および MU196040B とのループバック接続において、PCIe Compliance Pattern、Modified Compliance Pattern および Training Sequence Pattern で規定

表 1.3.5.1-5　Clock Recovery (続き)

<table>
<tr><th>項目</th><th>規格*1</th></tr>
<tr><td>ジッタ耐力（続き）
PAM4 入力</td><td>32.0 Gbaud
SSC 33 kHz、5300 ppm
PCIe 6.0 Jitter Tolerance Mask 準拠、下記の Mask を代表値とする。
<table>
<tr><th>変調周波数 (Hz)</th><th>JTOL マスク (UIp-p)</th></tr>
<tr><td>400,000</td><td>12.47</td></tr>
<tr><td>1,000,000</td><td>2.00</td></tr>
<tr><td>10,000,000</td><td>0.05</td></tr>
<tr><td>100,000,000</td><td>0.05</td></tr>
</table>
26.5625 Gbaud
IEEE802.3bs Jitter Tolerance Mask 準拠、下記の Mask を代表値とする。
<table>
<tr><th>変調周波数 (Hz)</th><th>JTOL マスク (UIp-p)</th></tr>
<tr><td>40,000</td><td>22.00</td></tr>
<tr><td>4,000,000</td><td>0.22</td></tr>
<tr><td>100,000,000</td><td>0.22</td></tr>
</table></td></tr>
</table>

表 1.3.5.1-6　一般性能

項目	規格
寸法	21 mm (H)、234 mm (W)、175 mm (D) Compact-PCI 1 スロット、ただし突起物含まず
質量	1.0 kg 以下
使用温度範囲	15～35 °C MP1900A 機器周囲温度
保存温度	–20～60 °C

第2章　使用前の準備

この章では、MP1900A モジュールの使用前の準備について説明します。

2.1　MP1900A への装着 2-2
2.2　アプリケーションの操作方法 2-2
2.3　破損防止処理 2-3

2.1　MP1900A への装着

MP1900A へのモジュール装着方法と電源の投入手順については、『MP1900A シグナルクオリティアナライザ-R 取扱説明書』の「第 3 章 使用前の準備」を参照してください。

2.2　アプリケーションの操作方法

MP1900A に装着したモジュールの制御は、MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア（以下、MX190000A と呼びます）で行います。

MX190000A の立ち上げやシャットダウンの手順、アプリケーションの操作方法については、『MX190000A シグナルクオリティアナライザ-R 制御ソフトウェア 取扱説明書』を参照してください。

2.3 破損防止処理

MP1900A モジュールの入出力接続の際には必ず定格電圧の範囲内で使用してください。
範囲外で使用した場合、故障するおそれがあります。

⚠ 注意

- MP1900A モジュールに信号を入力する場合は、定格を超える過大な電圧が掛からないようにしてください。回路が破損するおそれがあります。
- 出力は 50 Ω GND 終端で使用し、電流を流し込んだり、電気信号を加えたりすることは決してしないでください。
- 静電気対策として入出力コネクタを接続する前に、接続されるほかの機器 (実験回路も含む) との間をアース線で必ず接地してください。
- 同軸ケーブルの外導体と芯線はコンデンサとして帯電することがありますので、外導体と芯線は金属などを用いて電荷を放電してから使用してください。
- MP1900A モジュールを絶対に開けないでください。開けたために故障、または性能低下が発生した場合、メンテナンスをお断りする場合がありますので注意してください。
- MP1900Aモジュールにはハイブリッド IC など重要な回路、部品が内蔵されています。これらの部品は静電気に非常に弱いので、MP1900A モジュールを開けて触るようなことは絶対にしないでください。
- MP1900A モジュールに内蔵されているハイブリッド IC は気密封止してありますので、絶対に開けないでください。開けたために故障、および性能低下が発生した場合、メンテナンスをお断りする場合がありますので注意してください。
- MP1900A モジュールを静電気破壊から守るため、作業机の上に導電マットを敷き、作業者はリストストラップを装着してください。リストストラップの反対側は導電マットまたは MP1900A のアースジャックに接続してください。

⚠ 注意

MP1900A モジュールの出力コネクタの外部に、バイアスティーなどを接続して、MP1900A モジュールの出力信号と直流電圧を合成する場合、直流電源の出力変動や負荷の変動によって、MP1900A モジュールの出力端子に信号が加わり、内部回路を破損させてしまうことがあります。以下のことに留意して、作業してください。

- 直流電圧を加えた状態で、各部品の接続、取り外しを行わないでください。
- 直流電源の出力 ON/OFF は、すべての部品の接続が完了したあとに行ってください。

<参考手順>

測定準備例 1:

1. MP1900A モジュールおよびすべての部品を接続する
2. 直流電源の出力を ON にする
3. MP1900A モジュールの出力を ON にし、測定を終了する

測定準備例 2:

1. MP1900A モジュールの出力を OFF にする
2. 直流電源の出力を OFF にする
3. MP1900A モジュールおよび各部品の取り外し、または DUT のつなぎ換えを実行する

不慮の直流電圧変動や負荷変動時 (MP1900A モジュール出力側でのオープンまたはショート、高周波プローブを使っている場合はその接触状態の変化など) でも、DUT や MP1900A モジュールを破損させないために、バイアスティーの直流端子には、直列抵抗約 50 Ωを接続することを推奨します。

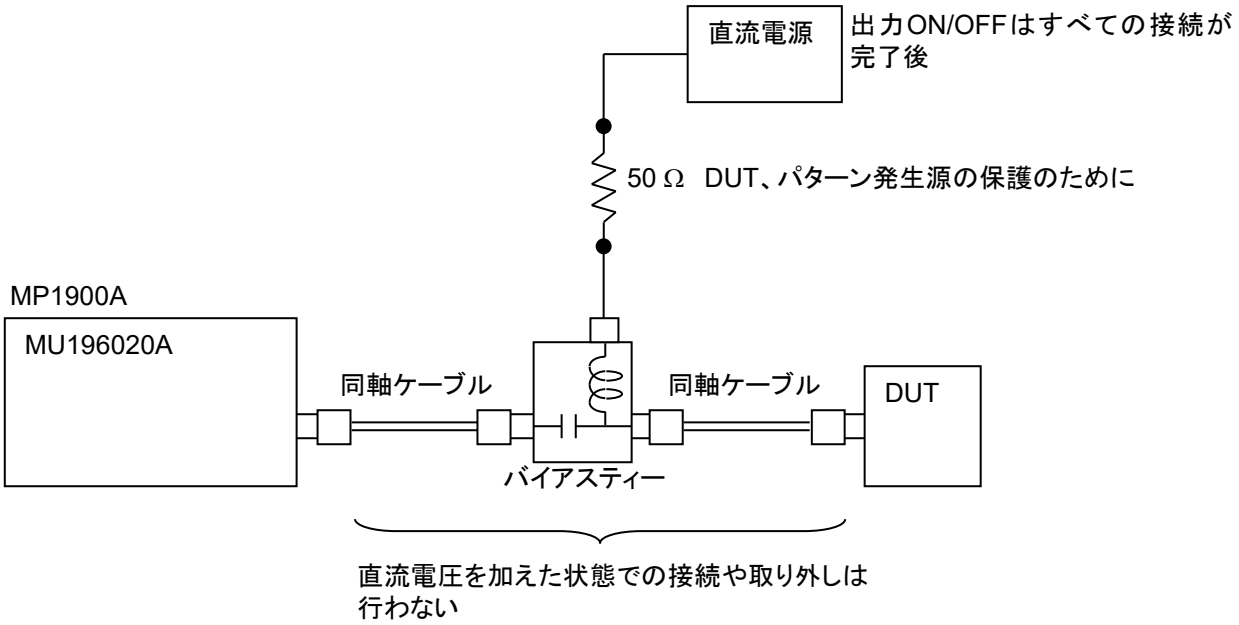


図 2.3-1 バイアスティーの接続例

第3章　パネルおよびコネクタの説明

この章では、MP1900A モジュールのパネル、およびモジュール間の接続について説明します。

3.1　パネルの説明 3-2
3.1.1　Synthesizer 3-2
3.1.2　PPG 3-3
3.1.3　ED 3-6
3.1.4　Noise Generator 3-9
3.1.5　Re-Driver 3-11
3.2　モジュール間の接続 3-12
3.2.1　エラー測定をする場合 3-14
3.2.2　Noise を付加してのエラー測定をする場合 3-16
3.2.3　ジッタを付加する場合 3-21
3.2.4　PPG の Multi Channel 同期をする場合 3-23
3.2.5　Re-Driver で Loss 補償してエラー測定をする場合 3-26

3.1　パネルの説明

3.1.1　Synthesizer

3.1.1.1　MU191000A

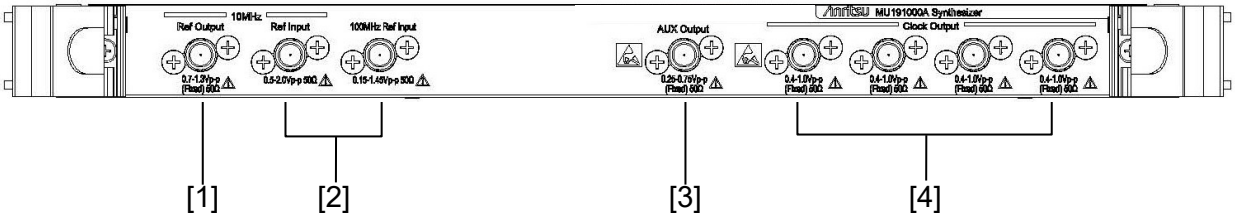


図 3.1.1.1-1　パネル外観図 (MU191000A)

表 3.1.1.1-1　各部の名称および機能

番号	名称	機能
[1]	10 MHz Ref. Output	10 MHz の基準クロックを出力するコネクタです。
[2]	10 MHz Ref. Input、 100 MHz Ref. Input	10 MHz/100 MHz の基準クロックを入力するコネクタです。本器のクロック出力を本リファレンスクロック入力に同期します。
[3]	AUX Output	補助信号出力用コネクタです。本器で発生したクロック信号を出力するコネクタです。
[4]	Clock Output (100 MHz ～ 16.05 GHz)	本器で発生したクロック信号を出力するコネクタです。

3.1.2 PPG

3.1.2.1 MU195020A

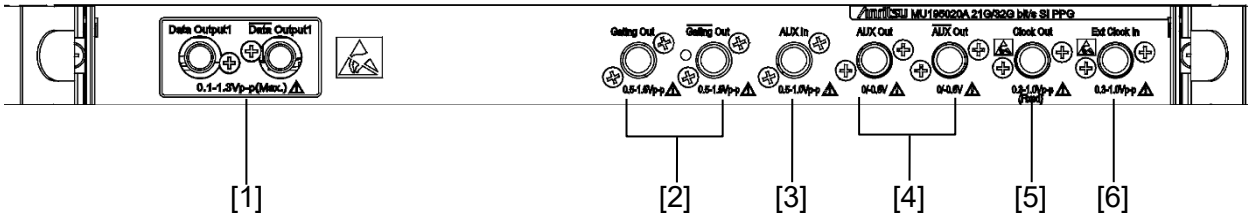


図 3.1.2.1-1 パネル外観図 (MU195020A-x10)

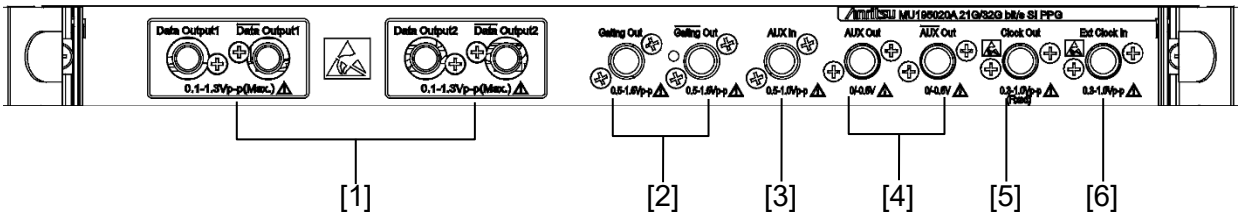


図 3.1.2.1-2 パネル外観図 (MU195020A-x20)

表 3.1.2.1-1 各部の名称および機能

番号	名称	機能
[1]	Data Output、 $\overline{\text{Data}}$ Output	差動の Data、$\overline{\text{Data}}$ 信号を出力するコネクタです。 オプションによりさまざまなインタフェースの出力をすることができます。
[2]	Gating Out、 $\overline{\text{Gating}}$ Out	Repeat 時: タイミング信号出力となります。 Burst 時: Burst 用のタイミング信号出力となります。
[3]	AUX In	補助信号入力用コネクタです。 Error Injection、Burst を選択できます。
[4]	AUX Out、 $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により、1/N Clock、Pattern Sync、Burst2 信号を出力します。 差動出力なので、使用しないコネクタは必ず同軸終端器 (J1632A) で終端してください。
[5]	Clock Out	クロック信号を出力するコネクタです。
[6]	Ext Clock In	次の機器から Clock 信号を入力するコネクタです。 MU181000A 12.5GHz シンセサイザ MU181000B 12.5GHz 4 ポート シンセサイザ MU191000A Synthesizer MU181500B ジッタ変調源 外部シンセサイザ*

＊: 外部シンセサイザの推奨品は MG3690C シリーズです。MG3690C シリーズの詳細は、当社または当社代理店にお問い合わせください。

3.1.2.2　MU196020A

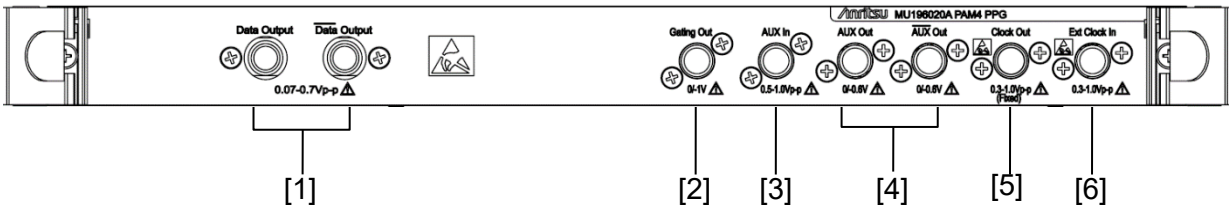


図 3.1.2.2-1　パネル外観図 (MU196020A)

表 3.1.2.2-1　各部の名称および機能

番号	名称	機能
[1]	Data Output、 $\overline{\text{Data}}$ Output	差動の Data、$\overline{\text{Data}}$ 信号を出力するコネクタです。 オプションによりさまざまなインタフェースの出力をすることができます。 差動出力ですので、使用しないコネクタは必ず同軸終端器で終端してください。
[2]	Gating Out	Repeat 時:　タイミング信号出力となります。 Burst 時:　Burst 用のタイミング信号出力となります。
[3]	AUX In	補助信号入力用コネクタです。 Error Injection、Burst を選択できます。
[4]	AUX Out、 $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により、1/N Clock、Pattern Sync、Burst Output2 信号を出力します。 差動出力なので、使用しないコネクタは必ず同軸終端器（J1632A）で終端してください。
[5]	Clock Out	クロック信号を出力するコネクタです。
[6]	Ext Clock In	次の機器から Clock 信号を入力するコネクタです。 MU181000A 12.5GHz シンセサイザ MU181000B 12.5GHz 4 ポート シンセサイザ MU191000A Synthesizer MU181500B ジッタ変調源 外部シンセサイザ*

＊:　外部シンセサイザの推奨品は MG3690C シリーズです。MG3690C シリーズの詳細は、当社または当社代理店にお問い合わせください。

3.1.2.3 MU196020C

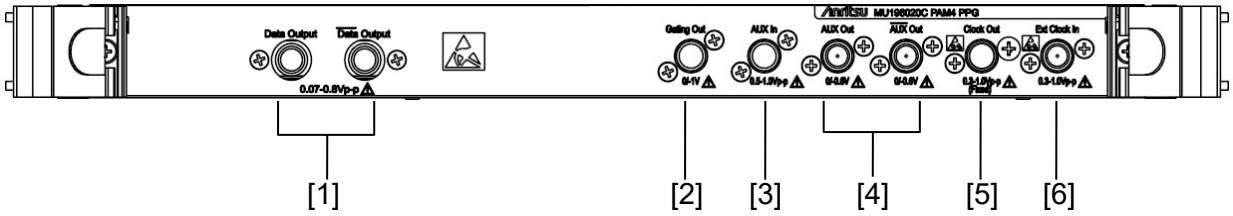


図 3.1.2.3-1 パネル外観図 (MU196020C)

表 3.1.2.3-1 各部の名称および機能

番号	名称	機能
[1]	Data Output、 $\overline{\text{Data}}$ Output	差動の Data、$\overline{\text{Data}}$ 信号を出力するコネクタです。 オプションによりさまざまなインタフェースの出力をすることができます。 差動出力ですので、使用しないコネクタは必ず同軸終端器で終端してください。
[2]	Gating Out	Repeat 時: タイミング信号出力となります。 Burst 時: Burst 用のタイミング信号出力となります。
[3]	AUX In	補助信号入力用コネクタです。 Error Injection、Burst を選択できます。
[4]	AUX Out、 $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により、1/N Clock、Pattern Sync、Burst Output2 信号を出力します。 差動出力なので、使用しないコネクタは必ず同軸終端器（J1632A）で終端してください。
[5]	Clock Out	クロック信号を出力するコネクタです。
[6]	Ext Clock In	次の機器から Clock 信号を入力するコネクタです。 MU181000A 12.5GHz シンセサイザ MU181000B 12.5GHz 4 ポート シンセサイザ MU191000A Synthesizer MU181500B ジッタ変調源 外部シンセサイザ*

＊: 外部シンセサイザの推奨品は MG3690C シリーズです。MG3690C シリーズの詳細は、当社または当社代理店にお問い合わせください。

3.1.3　ED

3.1.3.1　MU195040A

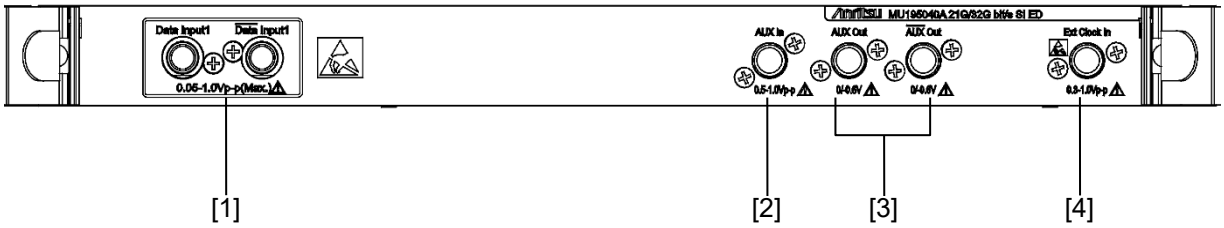


図 3.1.3.1-1　パネル外観図 (MU195040A-x10)

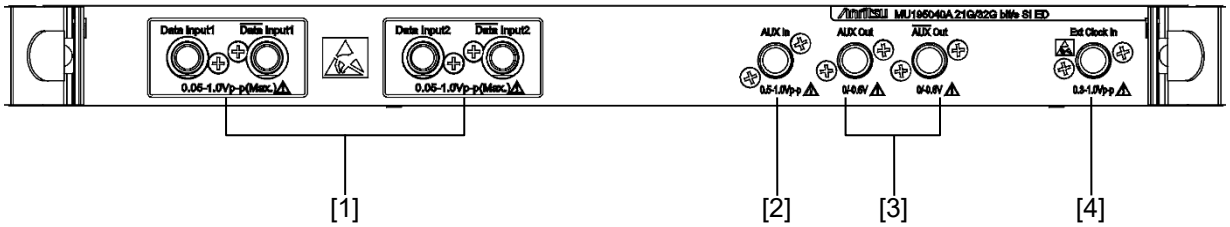


図 3.1.3.1-2　パネル外観図 (MU195040A-x20)

表 3.1.3.1-1　各部の名称および機能

番号	名称	機能
[1]	Data Input、 $\overline{\text{Data}}$ Input	Data、$\overline{\text{Data}}$ 信号を入力するコネクタです。 差動およびシングル入力両方に対応します。 MU195040A-x22 クロックリカバリーを実装している場合、Data Input1 に入力した信号からクロックが再生されます。
[2]	AUX In	補助信号入力用コネクタです。 設定により External Mask、Burst、Capture External Trigger を選択できます。
[3]	AUX Out、 $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により 1/N Clock、Pattern Sync、Error、Sync Gain 信号を出力します。 差動出力なので、使用しないコネクタは必ず同軸終端器 (J1632A) で終端してください。
[4]	Ext Clock In	クロック信号を入力するコネクタです。

3.1.3.2　MU196040A

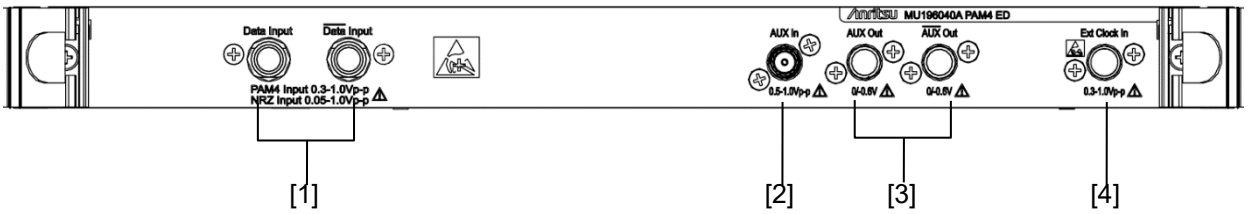


図 3.1.3.2-1　パネル外観図 (MU196040A)

表 3.1.3.2-1　各部の名称および機能

番号	名称	機能
[1]	Data Input、 $\overline{\text{Data}}$ Input	Data、$\overline{\text{Data}}$ 信号を入力するコネクタです。 差動およびシングル入力両方に対応します。
[2]	AUX In	補助信号入力用コネクタです。 設定により External Mask、Burst を選択できます。
[3]	AUX Out、 $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により 1/N Clock、Pattern Sync、Sync Gain、Error Output 信号を出力します。 差動出力なので、使用しないコネクタは必ず同軸終端器（J1632A）で終端してください。
[4]	Ext Clock In	クロック信号を入力するコネクタです。 主に PAM4 PPG の Clock Out と接続します。

3.1.3.3　MU196040B

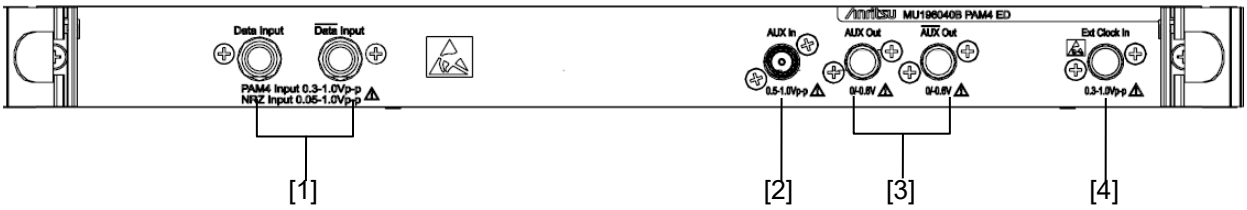


図 3.1.3.3-1　パネル外観図 (MU196040B)

表 3.1.3.3-1　各部の名称および機能

番号	名称	機能
[1]	Data Input、 $\overline{\text{Data}}$ Input	Data、$\overline{\text{Data}}$ 信号を入力するコネクタです。 差動およびシングル入力両方に対応します。 使用しないコネクタは必ず同軸終端器で終端してください。
[2]	AUX In	補助信号入力用コネクタです。 設定により External Mask、Burst、Capture External Trigger を選択できます。
[3]	$\overline{\text{AUX}}$ Out、 $\overline{\text{AUX}}$ Out	補助信号出力用コネクタです。 設定により 1/N Clock、Pattern Sync、Sync Gain、Error Output 信号を出力します。 差動出力なので、使用しないコネクタは必ず同軸終端器（J1632A）で終端してください。
[4]	Ext Clock In	クロック信号を入力するコネクタです。 主に PAM4 PPG の Clock Out と接続します。

3.1.4 Noise Generator

3.1.4.1 MU195050A

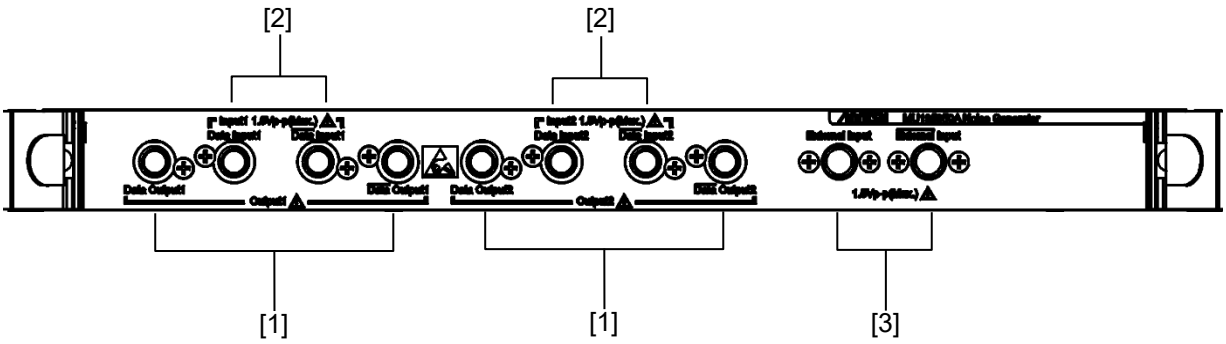


図 3.1.4.1-1 パネル外観図 (MU195050A)

表 3.1.4.1-1 各部の名称および機能

番号	名称	機能
[1]	Data Output、 $\overline{\text{Data}}$ Output	ノイズが付加された差動の Data、$\overline{\text{Data}}$ 信号を出力するコネクタです。
[2]	Data Input、 $\overline{\text{Data}}$ Input	ノイズを付加する Data、$\overline{\text{Data}}$ 信号を入力するコネクタです。 差動およびシングル入力両方に対応します。
[3]	External Input、 $\overline{\text{External}}$ Input	補助信号入力用コネクタです。 MU195020A の Gating Output 信号と接続して使用します。

3.1.4.2　MU196050B

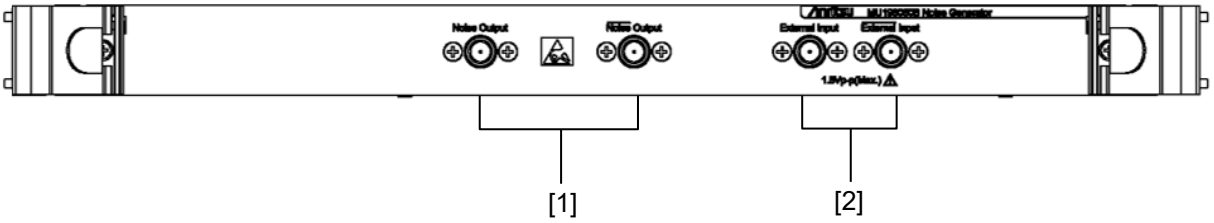


図 3.1.4.2-1　パネル外観図 (MU196050B)

表 3.1.4.2-1　各部の名称および機能

番号	名称	機能
[1]	Noise Output、 $\overline{\text{Noise}}$ Output	ノイズ付加用の差動の Noise、$\overline{\text{Noise}}$ 信号を出力するコネクタです。 Pick OFF Tee (J1793A) と組み合わせることで Data 信号にノイズを付加します。
[2]	External Input、 $\overline{\text{External}}$ Input	補助信号入力用コネクタです。 MU196020A/C の Gating Output 信号と接続して使用します。

3.1.5 Re-Driver

3.1.5.1 MU196060A

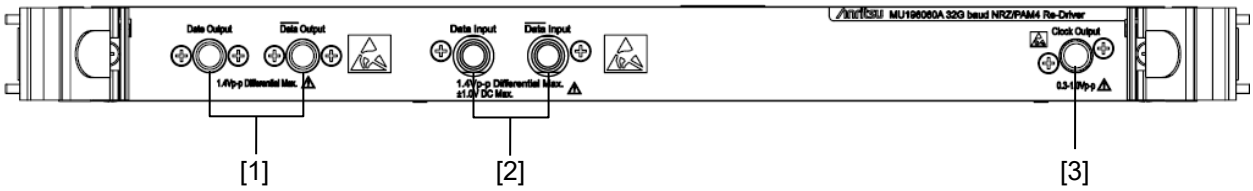


図 3.1.5.1-1 パネル外観図 (MU196060A)

表 3.1.5.1-1 各部の名称および機能

番号	名称	機能
[1]	Data Output、 $\overline{\text{Data}}$ Output	内蔵イコライザで補償された Data、$\overline{\text{Data}}$ 信号を出力するコネクタです。 必ず標準添付品に含まれる J1932A を使用して、本コネクタと MU195040A または MU196040B の Data Input、$\overline{\text{Data}}$ Input と差動で接続してください。 本コネクタと MU195040A を接続するときは、J1932A と一緒に 34VKF50A を使用してください。
[2]	Data Input、 $\overline{\text{Data}}$ Input	Data、$\overline{\text{Data}}$ 信号を入力するコネクタです。 DUT とは差動で接続してください。
[3]	Clock Output	Data Input、$\overline{\text{Data}}$ Input に入力したデータ信号から再生されたクロック信号を出力するコネクタです。 必ず標準添付品に含まれる J1917A を使用して、本コネクタと MU196040B の Ext Clock In を接続してください。 MU196060A-x01 オプションがあるときのみ、Clock Output を使用できます。本コネクタを使用しないときは、標準添付品のオープン (J1341A) を接続し、保護してください。

3.2　モジュール間の接続

機器取り扱いの際は、静電気に注意してください。

⚠ 警告

- MP1900A モジュールに信号を入力する場合は定格を超える過大な電圧がかからないようにしてください。回路が破損するおそれがあります。
- 静電気対策として入出力コネクタを接続する前に、接続されるほかの機器 (実験回路も含む) との間をアース線で必ず接地してください。
- 同軸ケーブルの外導体と芯線はコンデンサとして帯電することがありますので、外導体と芯線は金属などを用いて電荷を放電してから使用してください。
- MP1900A の電源電圧は、背面に表示されています。必ず定格電圧の範囲内で使用してください。範囲外の電圧を加えると破損するおそれがあります。
- MP1900A モジュールを静電気破壊から守るため、作業机の上に導電マットを敷き、作業者はリストストラップを装着してください。リストストラップの反対側は導電マットまたは MP1900A のアースジャックに接続してください。
- MP1900A モジュールのコネクタからケーブルを取り外すときは、コネクタに不要な力がかからないように注意してください。不要な力がコネクタに加わると、特性劣化、故障の原因となる可能性があります。また、ケーブルの取り付けおよび取り外しはトルクレンチを使用してください (推奨トルク値:0.9 N-M)。

⚠ 注意

MU195020A-x10/x20 の Data Output 最大設定出力レベルは 1.30 Vp-p (オプション x11/x21 実装時は 1.50 Vp-p) です。また、MU195050A の Data Output レベルは Data Input により決まりますが、最大 1.50 Vp-p です。これに対して、MU195040A の Data Input 最大入力レベルは 1.00 V です。

動作確認などの際に、MU195020A/MU195050A の Data Output を MU195040A の Data Input に直接接続する場合は、MU195020A/MU195050A の Data Output が 1 V 以下であることを必ず確認してください。

MU195040A の Data Input に最大入力レベルを超える信号を入力した場合、破損する原因となります。

⚠ 注意

MU196040A/B および MU196060A の Data Input 最大入力レベルは 1.00 Vp-p です。

動作確認などの際に、MU195020A/MU183020A の Data Output を MU196040A/B の Data Input に直接接続する場合は、MU195020A および MU183020A の Data Output が 1.00 Vp-p 以下であることを必ず確認してください。

MU196040A/B および MU196060A の Data Input に最大入力レベルを超える信号を入力した場合、破損する原因となります。

3.2.1　エラー測定をする場合

3.2.1.1　MU195020A/MU195040Aを使用した場合

エラー測定には、MU181000A 12.5GHz シンセサイザ（以下、MU181000A と呼びます）、MU181000B 12.5GHz 4 ポート シンセサイザ（以下、MU181000B と呼びます）、または MU191000A のいずれか、MU195020A、および MU195040A を使用します。

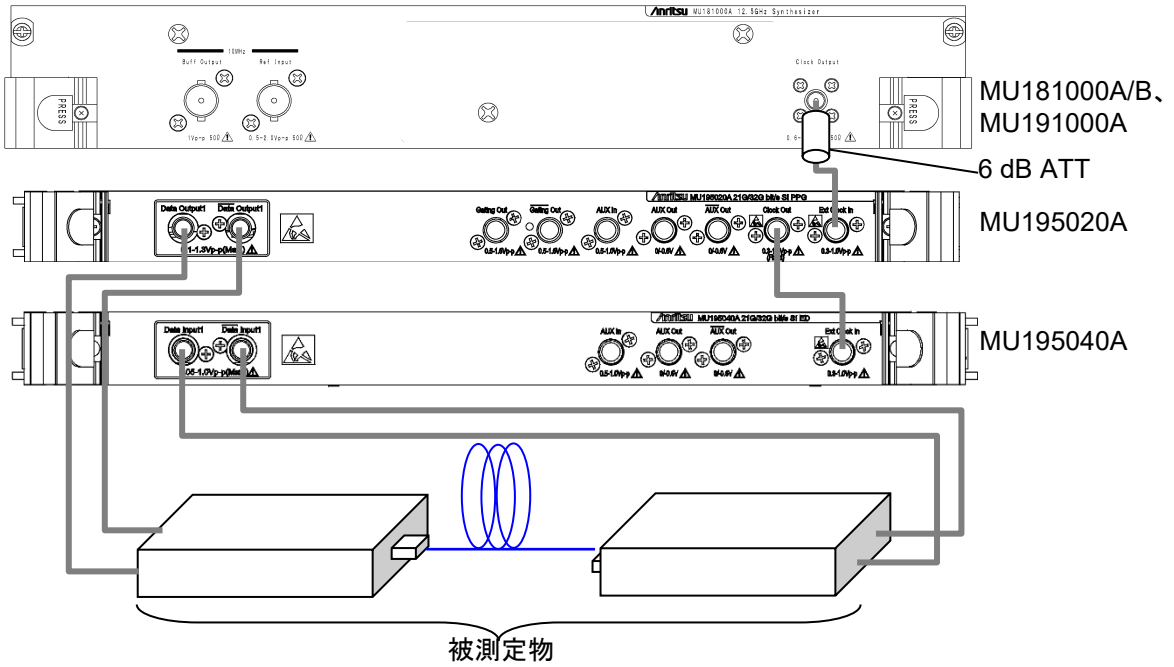


図 3.2.1.1-1　モジュール間接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU195020A の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU195020A の Clock Output コネクタと、MU195040A の Ext Clock Input コネクタを同軸ケーブルにて接続します。

4. MU195020A の Data Output、$\overline{\text{Data}}$ Output コネクタと、被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

5. 被測定物の出力コネクタと、MU195040A の Data Input、$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。

6. Main application を起動し、画面上のメニューバーから [Menu] → [Initialize] を選択し、機器全体の設定状態を初期化します。
   初期化が行われると、すべての設定内容が工場出荷時と同じになりますので、消去したくない設定がある場合には、初期化前に [Menu] → [Save] を選択して設定状態を保存してください。

3.2.1.2　MU196020A/C、MU196040A/Bを使用した場合

エラー測定には、MU181000A、MU181000B、またはMU191000Aのいずれか、MU196020A/C、およびMU196040A/Bを使用します。

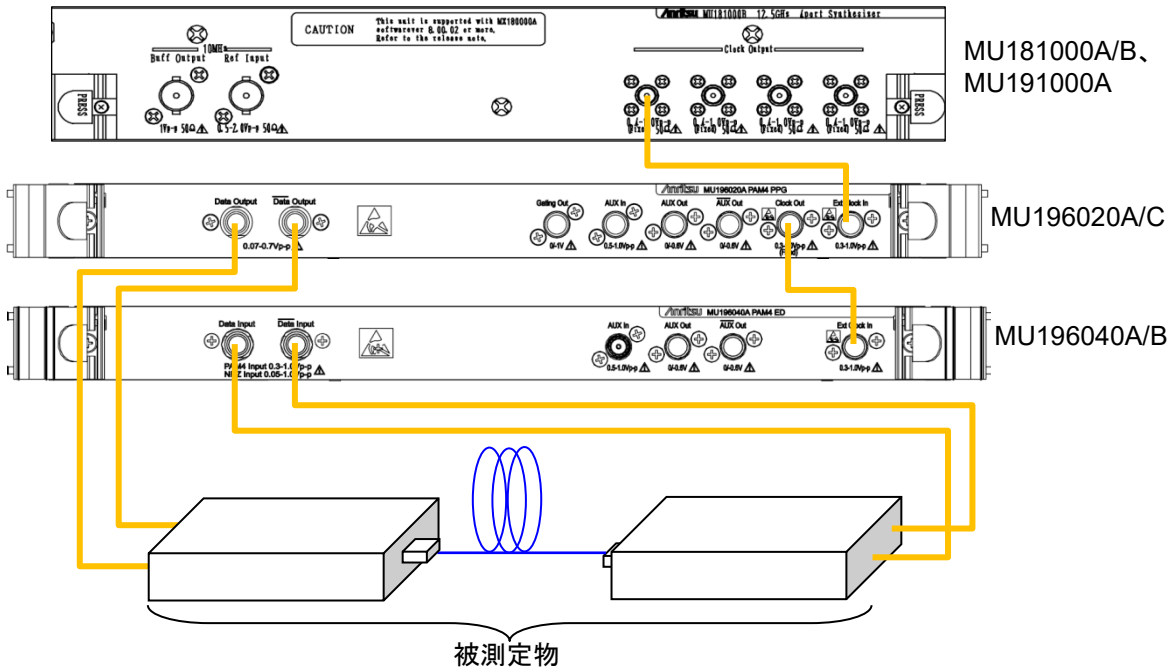


図 3.2.1.2-1　モジュール間接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU196020A/C の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU196020A/C の Clock Output コネクタと、MU196040A/B の Ext Clock Input コネクタを同軸ケーブルにて接続します。

4. MU196020A/C の Data Output、$\overline{\text{Data}}$ Output コネクタと、被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

5. 被測定物の出力コネクタと、MU196040A/B の Data Input、$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。

6. MX190000A を起動し、Application Selector の [Standard BERT for PAM4] をタッチします。
   ビットレート、パターン、振幅など、各モジュールの設定をします。

3.2.2　Noiseを付加してのエラー測定をする場合

3.2.2.1　MU195050Aを使用した場合

MU195020A、MU195040A を使用した場合

Noise を付加してエラー測定をするには、MU181000A、MU181000B、または MU191000A のいずれか、MU195020A、MU195050A、および MU195040A を使用します。

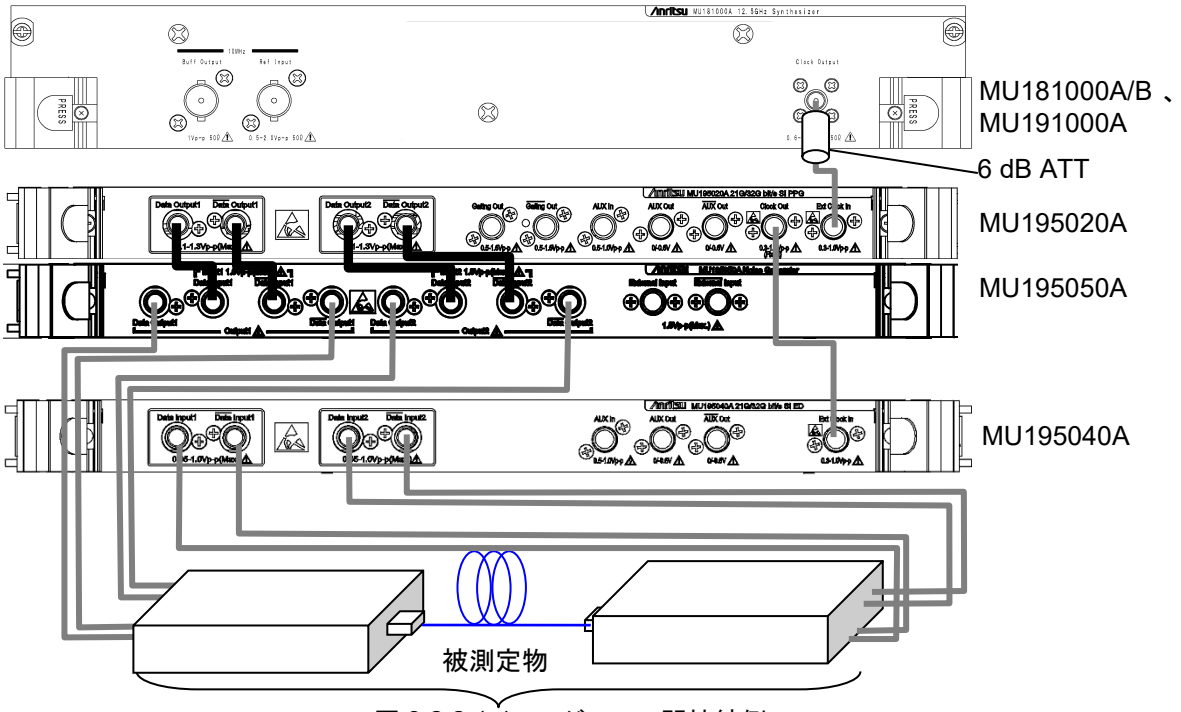


図 3.2.2.1-1　モジュール間接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU195020A の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU195020A の Data Output、$\overline{\text{Data}}$ Output コネクタと、MU195050A の Data Input、$\overline{\text{Data}}$ Input を MU195050A に付属の専用セミリジットケーブル (J1746A、J1747A) を使用して接続します。

4. MU195020A の Clock Out コネクタと MU195040A の Ext Clock In コネクタを同軸ケーブルにて接続します。

5. MU195050A の Data Output、$\overline{\text{Data}}$ Output コネクタと、被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

6. 被測定物の出力コネクタと、MU195040A の Data Input、$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。

7. Main application を起動し、画面上のメニューバーから [Menu] → [Initialize] を選択し、機器全体の設定状態を初期化します。
初期化が行われると、すべての設定内容が工場出荷時と同じになりますので、消去したくない設定がある場合には、初期化前に [Menu] → [Save] を選択して設定状態を保存してください。

MU196020A/C、MU196040A/B を使用した場合

Noise を付加してエラー測定をするには、MU181000A、MU181000B、または MU191000A のいずれか、MU196020A/C、MU181500B ジッタ変調源（以下、MU181500Bと呼びます）、MU195050A、およびMU196040A/Bを使用します。

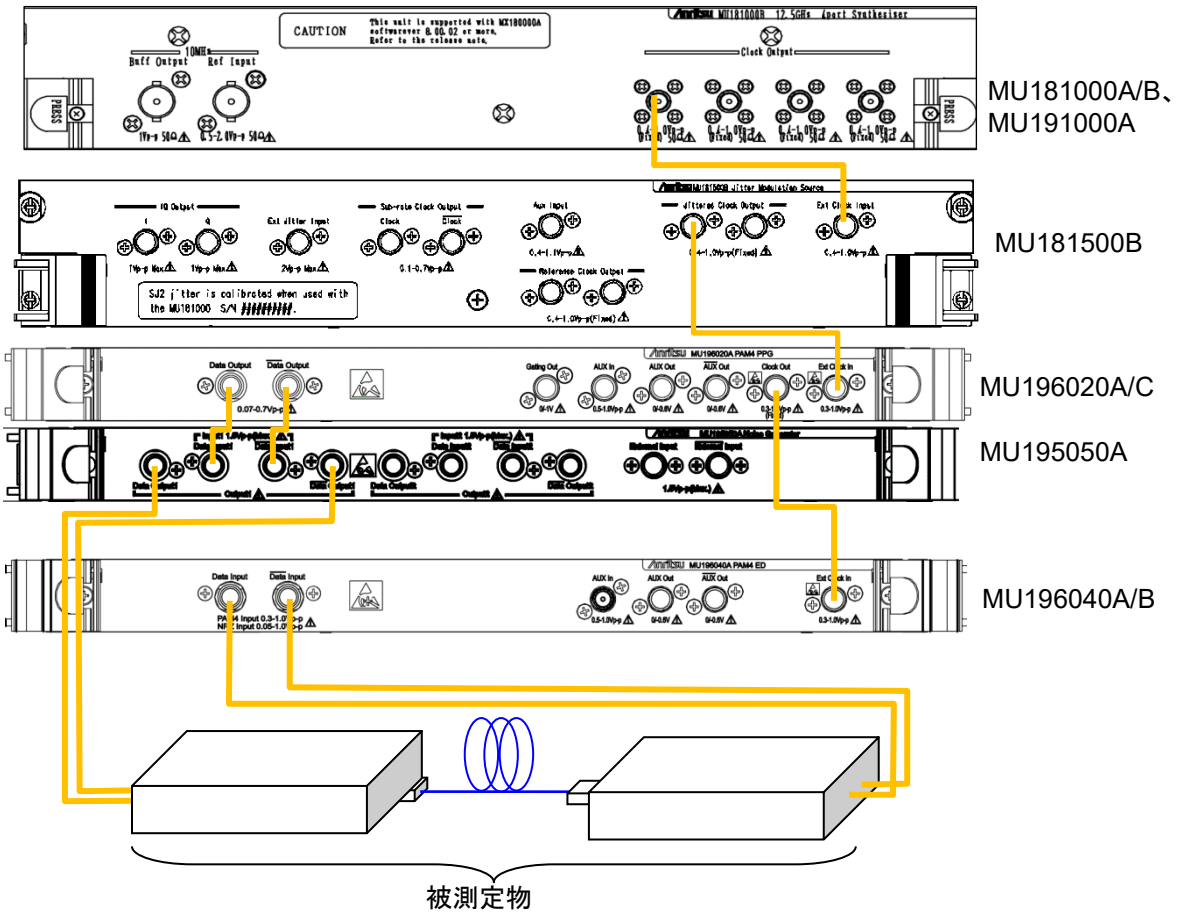


図 3.2.2.1-2　モジュール間接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU181500B の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU181500B の Jittered Clock Output コネクタと、MU196020A/C の Ext Clock Input コネクタを同軸ケーブルにて接続します。

4. MU196020A/C の Data Output、$\overline{\text{Data}}$ Output コネクタと、MU195050A の Data Input、$\overline{\text{Data}}$ Input を J1792A スキューマッチペアセミリジットケーブル（V-K コネクタ、Data Input1）を使用して接続します。
5. MU196020A/C の Clock Output コネクタと、MU196040A/B の Ext Clock In コネクタを同軸ケーブルにて接続します。
6. MU195050A の Data Output、$\overline{\text{Data}}$ Output コネクタと、被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。
7. 被測定物の出力コネクタと、MU196040A/B の Data Input、$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。
8. MX190000A を起動し、Application Selector の［Standard BERT for PAM4］をタッチします。
   ビットレート、パターン、振幅など、各モジュールの設定をします。
9. MU195050A の損失分として、MU196020A/C の［Output］タブの Ext ATT Factor に 3.3 dB（代表値）を設定します。

3.2.2.2　MU196050Bを使用した場合

MU196020A/C、MU196040A/B を使用した場合

Noise を付加してエラー測定をするには、MU181000A、MU181000B、または MU191000A のいずれか、MU196020A/C、MU181500B、MU196050B、および MU196040A/B を使用します。

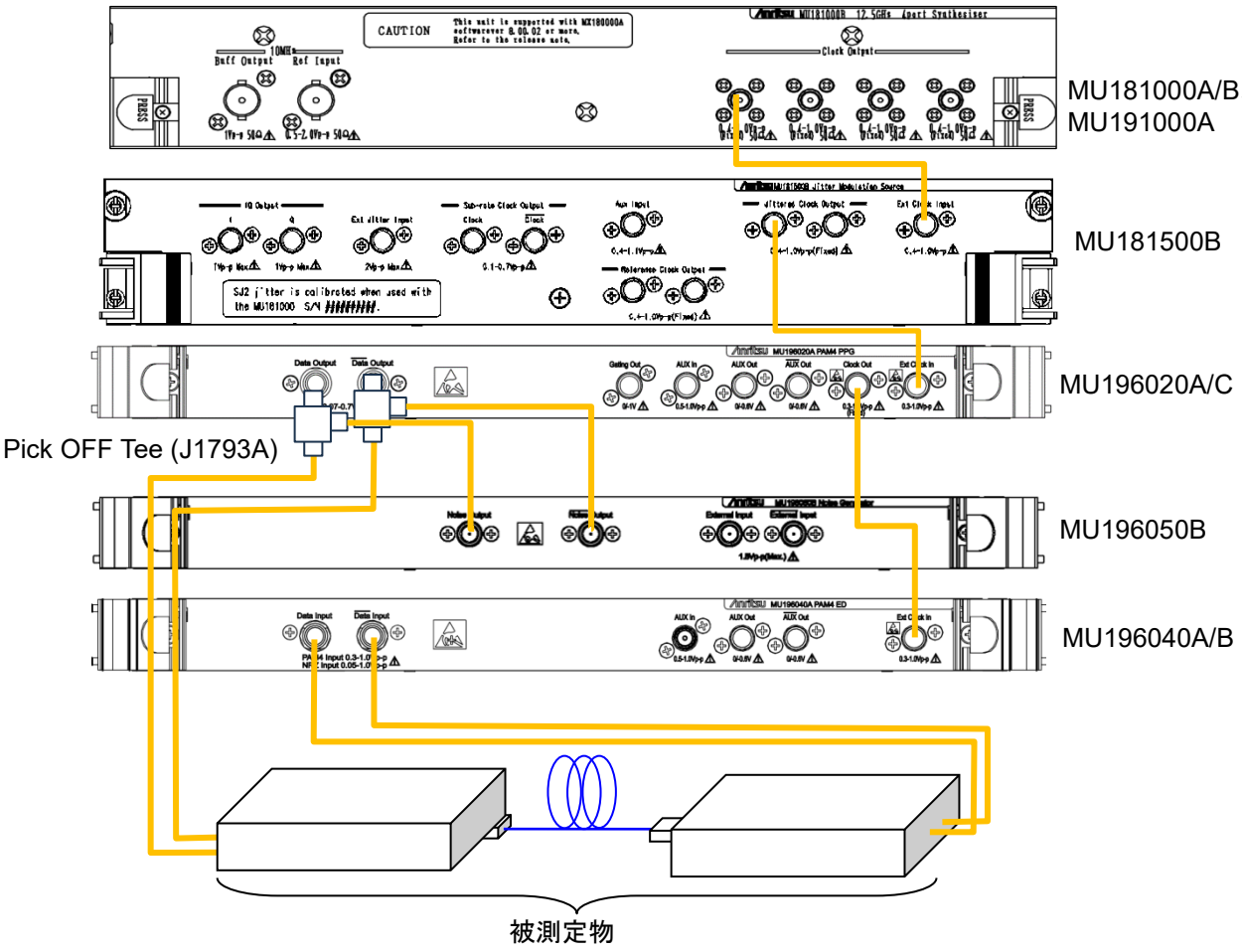


図 3.2.2.2-1　モジュール間接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU181500B の Ext Clock Input コネクタを同軸ケーブルにて接続します。

3. MU181500B の Jittered Clock Output コネクタと、MU196020A/C の Ext Clock Input コネクタを同軸ケーブルにて接続します。

4. MU196020A/C の Data Output、$\overline{\text{Data}}$ Output コネクタに Pick OFF Tee (J1793A) を取り付けます。

5. MU196050B の Noise Output、$\overline{\text{Noise}}$ Output コネクタと Pick OFF Tee

(J1793A) の Pick OFF ルートを電気長が規定された同軸ケーブル (J1948A) で接続します。このとき、Noise Output および $\overline{\text{Noise}}$ Output コネクタには同軸ケーブル (J1948A) のストレートコネクタを、J1793A には同軸ケーブル (J1948A) のライトアングルコネクタを接続します。

6. Pick OFF Tee (J1793A) の出力と、被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

7. 被測定物の出力コネクタと、MU196040A/B の Data Input、$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。

8. MX190000A を起動し、Application Selector の [Standard BERT for PAM4] をタッチします。
ビットレート、パターン、振幅など、各モジュールの設定をします。

9. Pick OFF Tee (J1793A) の損失分として、MU196020A/C の [Output] タブの Ext ATT Factor に 3.3 dB (代表値) を設定します。

3.2.3　ジッタを付加する場合

3.2.3.1　MU195020A/MU195040Aを使用した場合

PPG の出力信号にジッタを付加するには、MU181000A、MU181000B、または MU191000A のいずれか、MU181500B、MU195020A、および MU195040A を使用します。

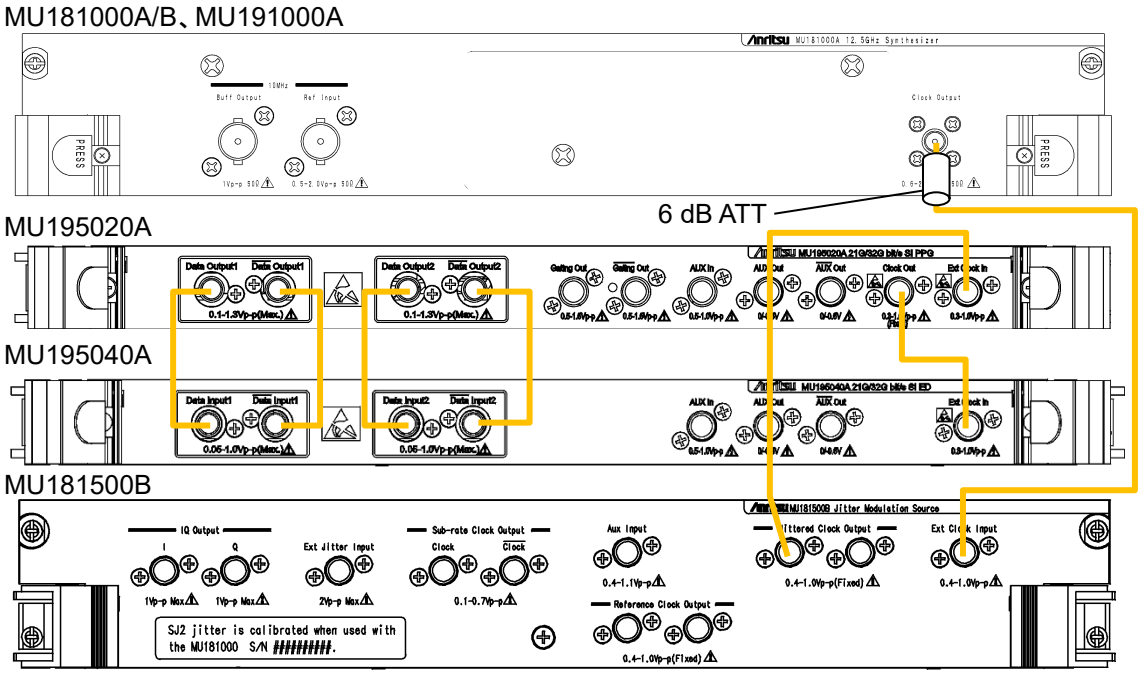


図 3.2.3.1-1　ジッタを付加する場合の接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU181500B の Ext Clock Input コネクタを同軸ケーブルで接続します。

3. MU181500B の Jittered Clock Output コネクタと、MU195020A の Ext Clock Input コネクタを同軸ケーブルで接続します。

4. MU195020A の Clock Output コネクタと、MU195040A の Ext Clock Input コネクタを同軸ケーブルで接続します。

5. MU195020A の Data Output、$\overline{\text{Data}}$ Output コネクタと、MU195040A の Data Input、$\overline{\text{Data}}$ Input コネクタを同軸ケーブルで接続します (2 か所)。

6. Main application を起動し、画面上のメニューバーから [Menu] → [Initialize] を選択し、機器全体の設定状態を初期化します。
   初期化が行われると、すべての設定内容が工場出荷時と同じになりますので、消去したくない設定がある場合には、初期化前に [Menu] → [Save] を選択して設定状態を保存してください。

3.2.3.2　MU196020A/C、MU196040A/Bを使用した場合

PAM4 PPG の出力信号にジッタを付加するには、MU181000A、MU181000B、または MU191000A のいずれか、MU181500B、MU196020A/C、および MU196040A/B を使用します。

MU196040A/B-001 は 32.1Gbit/s、32.1Gbaud までの動作となります。

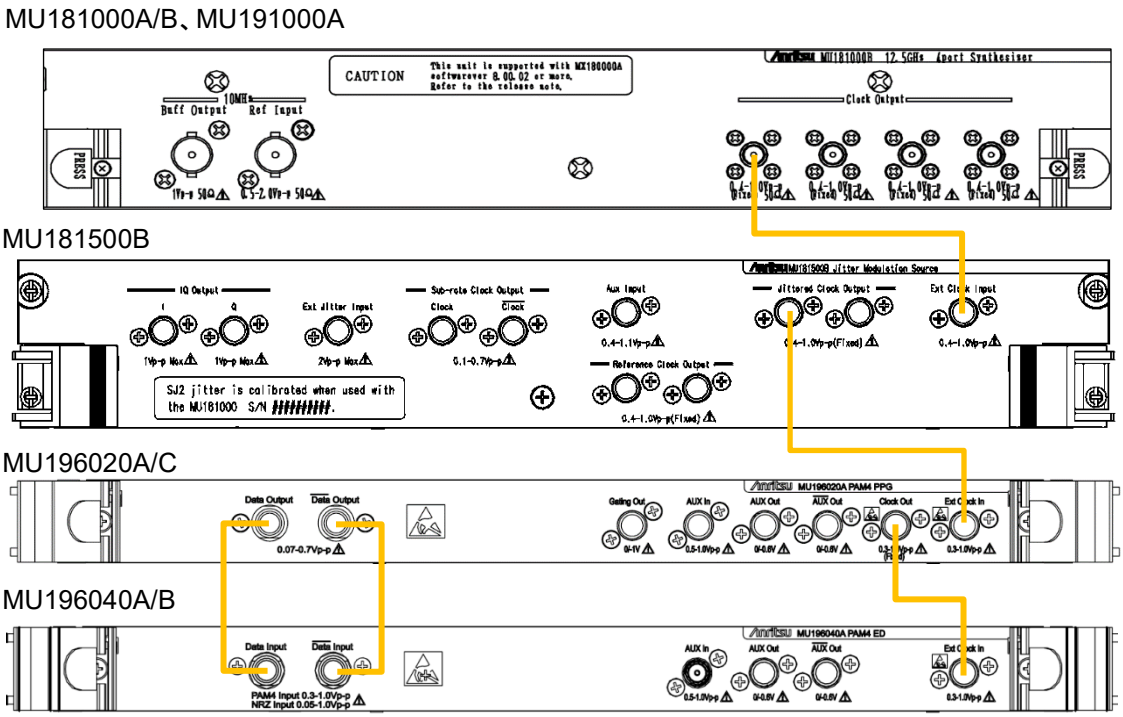


図 3.2.3.2-1　ジッタを付加する場合の接続例

1. MU181000A の場合、Clock Output コネクタに 6 dB 固定アッテネータ (ATT) を取り付けます。
   次のモジュールおよびオプションの場合、6 dB 固定アッテネータは不要です。

   MU181000A-x01、MU181000B、MU181000B-x01、MU191000A

2. MU181000A/B または MU191000A の Clock Output コネクタ (MU181000A の場合は ATT) と、MU181500B の Ext Clock Input コネクタを同軸ケーブルで接続します。

3. MU181500B の Jittered Clock Output コネクタと、MU196020A/C の Ext Clock Input コネクタを同軸ケーブルで接続します。

4. MU196020A/C の Clock Output コネクタと、MU196040A/B の Ext Clock Input コネクタを同軸ケーブルで接続します。

5. MU196020A/C の Data Output、$\overline{\text{Data}}$ Output コネクタと、MU196040A/B の Data Input、$\overline{\text{Data}}$ Input コネクタを同軸ケーブルで接続します (2 か所)。

6. MX190000A を起動し、Application Selector の [Standard BERT for PAM4] をタッチします。
   ビットレート、パターン、振幅など、各モジュールの設定をします。

3.2.4　PPGのMulti Channel同期をする場合

3.2.4.1　MU195020Aを使用した場合

同一の MP1900A に装着されている複数の MU195020A を同期させるには、MU181000A、MU181000B、MU191000A、または外部クロックのいずれか、および MU195020A を使用します。

MU181000A/B、MU191000A、または外部クロックを使用し、MU195020A を 2 台同期させる場合の接続例を示します。

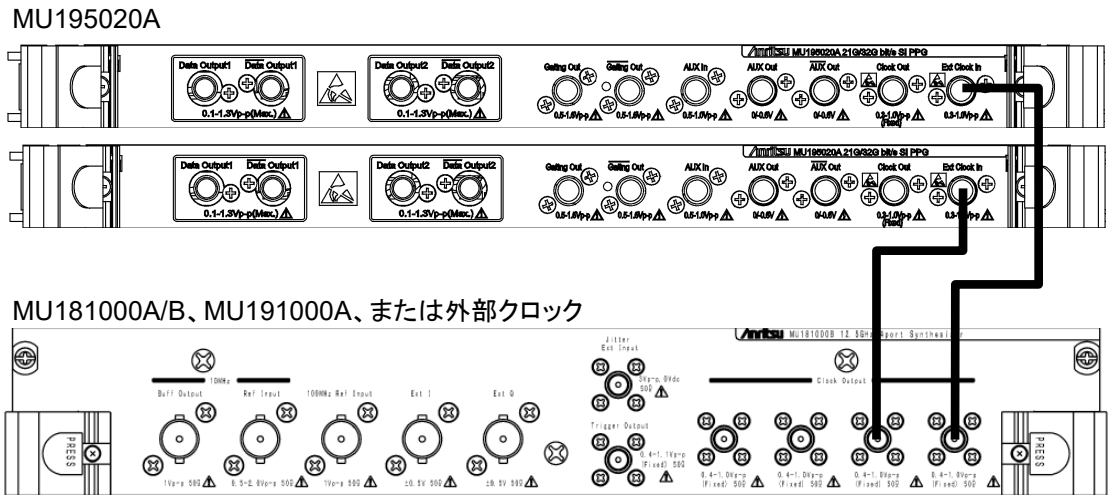


図 3.2.4.1-1　PPG の Multi Channel 同期する場合の接続例

1. MU181000A/B、MU191000A、または外部クロックの Clock Output コネクタと、MU195020A の Ext Clock Input コネクタを同軸ケーブルにて接続します。
2. MX190000A を起動し、画面上のメニューバーから [Menu] → [Combination Setting] を選択し、Inter module Combination で Sync ON/OFF を Channel Synchronization に設定してください。

注:

- MU195020A は Slot1 から順に装着してください。
- MU195020A に接続するクロックケーブルの位相差は 10 ps 以内になるようにしてください。

3.2.4.2　MU196020A/Cを使用した場合

同一の MP1900A に装着されている複数の MU196020A/C を同期させるには、MU181000A、MU181000B、MU191000A、または外部クロックを使用します。

MU181000A/B、MU191000A、または外部クロックを使用し、MU196020A/C を 2 台同期させる場合の接続例を示します。

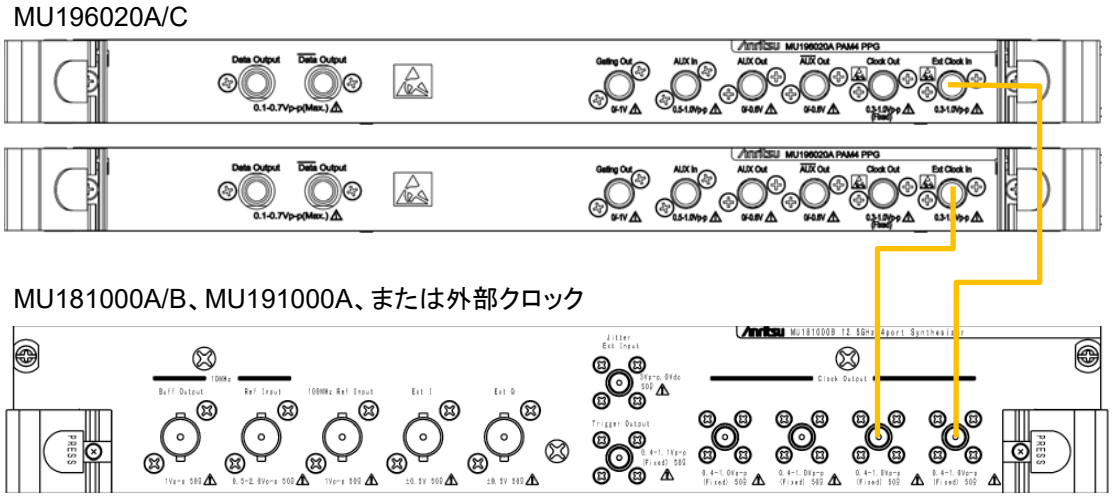


図 3.2.4.2-1　PPG 2 台を Multi Channel 同期する場合の接続例

1. MU181000A/B、MU191000A、または外部クロックの Clock Output コネクタと、MU196020A/C の Ext Clock Input コネクタを同軸ケーブルにて接続します（2 か所）。
2. MX190000A を起動し、画面上のメニューバーから［Menu］→［Combination Setting］を選択し、Inter module Combination で Sync ON/OFF を［Channel Synchronization］に設定してください。

注：

- MU196020A/C は Slot1 から順に装着してください。
- MU196020A/C に接続するクロックケーブルの位相差は 10 ps 以内になるようにしてください。

MU181000A/B、MU191000A、または外部クロックと MU181500B を使用し、MU196020A/C を 4 台同期させる場合の接続例を示します。

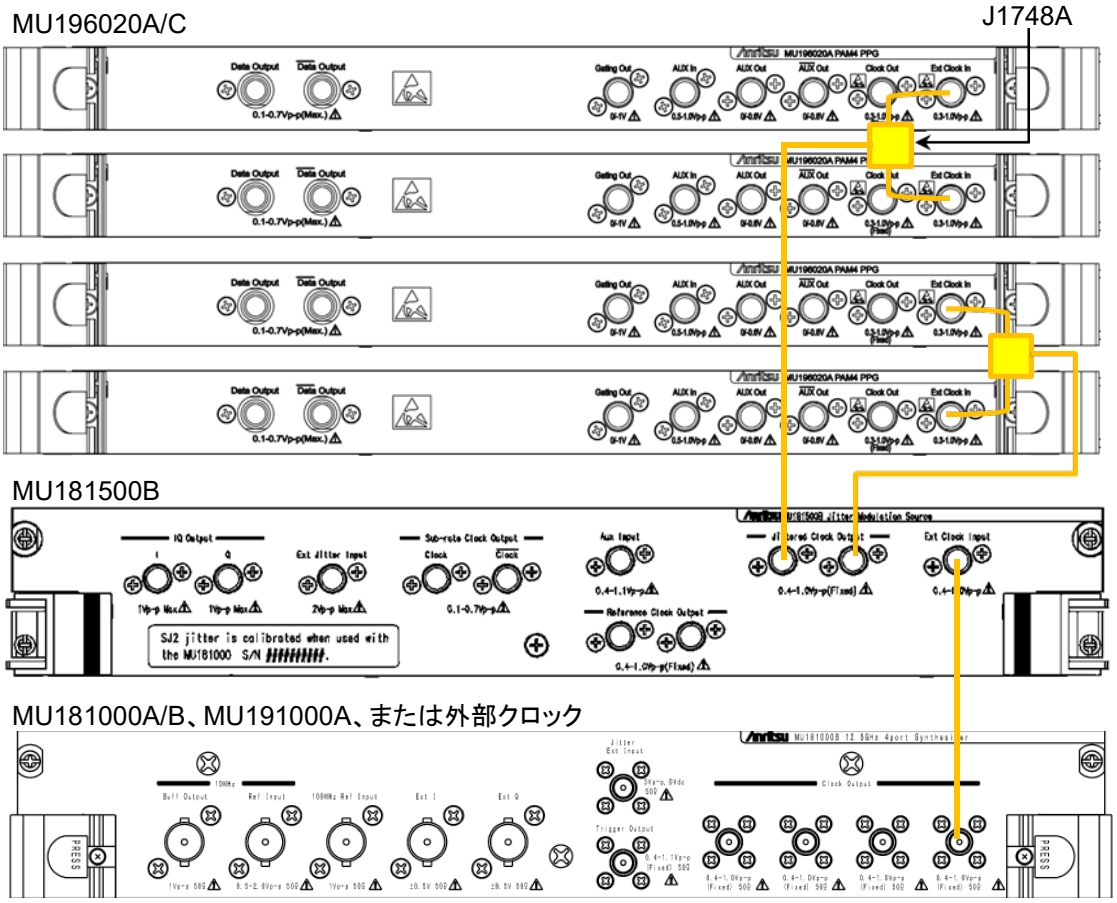


図 3.2.4.2-2　PPG 4 台を Multi Channel 同期する場合の接続例

1. MU181000A/B、MU191000A、または外部クロックの Clock Output コネクタと、MU181500B の Ext Clock Input コネクタを同軸ケーブルにて接続します。

2 MU181500B の Jittered Clock Output コネクタと応用部品 J1748A Power Splitter (1.5G-18GHz) を同軸ケーブルで接続します (2 か所)。

3 J1748A と MU196020A/C の Ext Clock Input コネクタと同軸ケーブルにて接続します (4 か所)。

4. MX190000A を起動し、画面上のメニューバーから [Menu] → [Combination Setting] を選択し、Inter module Combination で Sync ON/OFF を [Channel Synchronization] に設定してください。

注:

- MU196020A/C は Slot1 から順に装着してください。
- MU181500B から MU196020A/C に接続するクロックケーブルの位相差は 10 ps 以内になるようにしてください。

3.2.5　Re-DriverでLoss補償してエラー測定をする場合

Re-Driver で Loss 補償してエラー測定をするには、MU181000A、MU181000B、または MU191000A のいずれか、MU196020A/C 、MU181500B 、MU195050A/MU196050B、MU196040A/B、および MU196060A を使用します。

MU181000A/B または MU191000A 、MU181500B 、MU196020A/C と MU195050A の接続は、「3.2.2 Noise を付加してのエラー測定をする場合」を参照してください。

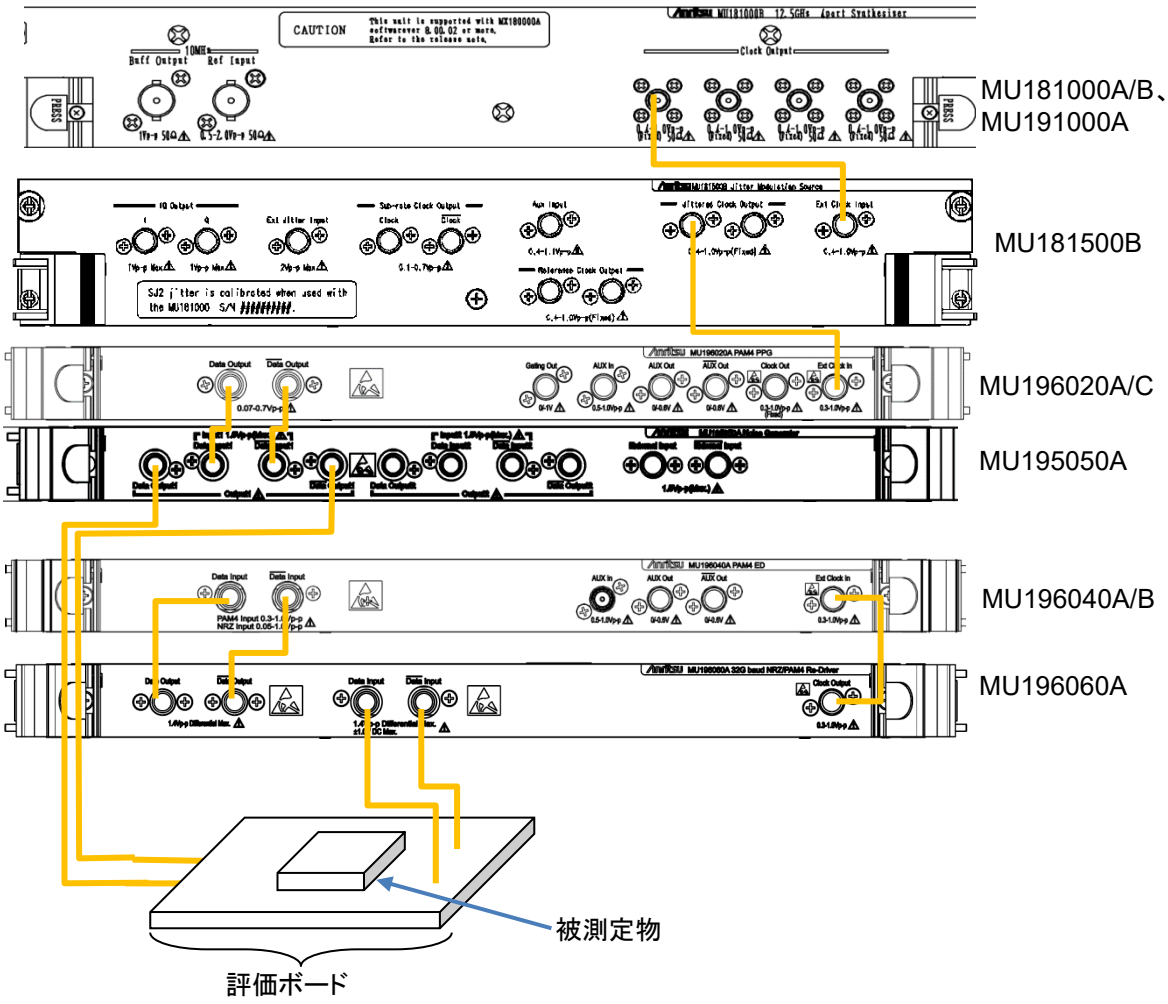


図 3.2.5-1　モジュール間接続例 (MU195050A の場合)

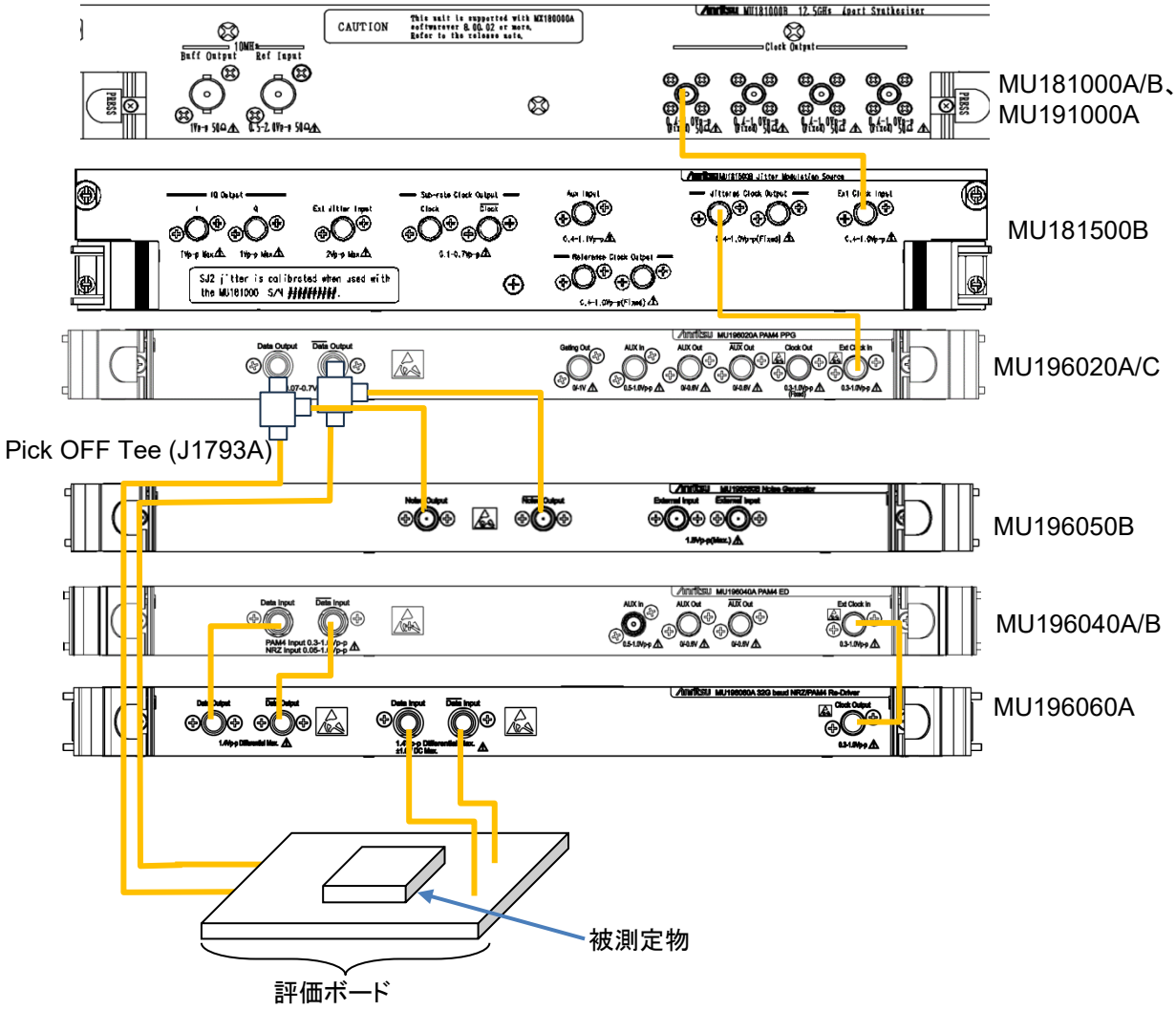


図 3.2.5-2　モジュール間接続例（MU196050B の場合）

1. MU195050A を使用している場合は、

   MU195050A の Data Output、$\overline{\text{Data}}$ Output コネクタと、被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

2. MU196050B を使用している場合は、

   2-1. MU196050B の Noise Output、$\overline{\text{Noise}}$ Output コネクタと Pick OFF Tee（J1793A）の Pick OFF ルートを電気長が規定された同軸ケーブル（J1948A）で接続します。このとき、Noise Output および $\overline{\text{Noise}}$ Output コネクタには同軸ケーブル（J1948A）のストレートコネクタを、J1793A には同軸ケーブル（J1948A）のライトアングルコネクタを接続します。

   2-2. Pick OFF Tee（J1793A）の出力と被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。

3. MU196060A の Data Output、$\overline{\text{Data}}$ Output コネクタと、MU196040B の Data Input、$\overline{\text{Data}}$ Input を J1932A 同軸電気長規定ケーブル（0.8 m、V コネクタ）にて接続します。

4. MU196060A の Clock Output コネクタと、MU196040B の Ext Clock In コネクタを J1917A 同軸セミリジッドケーブルにて接続します。
5. 被測定物の出力コネクタと、MU196060A の Data Input、$\overline{\text{Data}}$ Input コネクタをそれぞれ同軸ケーブルにて接続します。
6. MX190000A を起動し、Application Selector の［BERT for PCIe1-7］をタッチします。
   ビットレート、パターン、振幅など、各モジュールの設定をします。

第4章　使用例

この章では、MP1900A モジュールの使用例について説明します。

4.1　光トランシーバモジュールの測定 4-2
4.2　56 Gbit/s DQPSK 信号の発生 4-4
4.3　400GbE トランシーバ用の光コンポーネント評価 4-6
4.4　400GbE トランシーバ用 SERDES などのデバイス評価 .. 4-9
4.5　PCIe 6 のデバイス評価 4-12

4.1　光トランシーバモジュールの測定

MU195020A と MU195040A を使用して、CFP2 光トランシーバモジュールの電気インタフェース入力感度試験の方法について説明します。

本測定では、参考として MP1900A に MU195020A、MU195040A が装着されている構成での試験例を記載します。オプション構成は次のとおりです。

MP1900A

MU181000B または MU191000A

MU195020A-x20

MU195040A-x20

測定系

1. MP1900A と被測定物を GND に接続します。
2. MU181000B または MU191000A の Clock Output と、MU195020A の Ext. Clock In を同軸ケーブルで接続します。
3. MU195020A の Clock Out と、MU195040A の Ext. Clock In を同軸ケーブルで接続します。

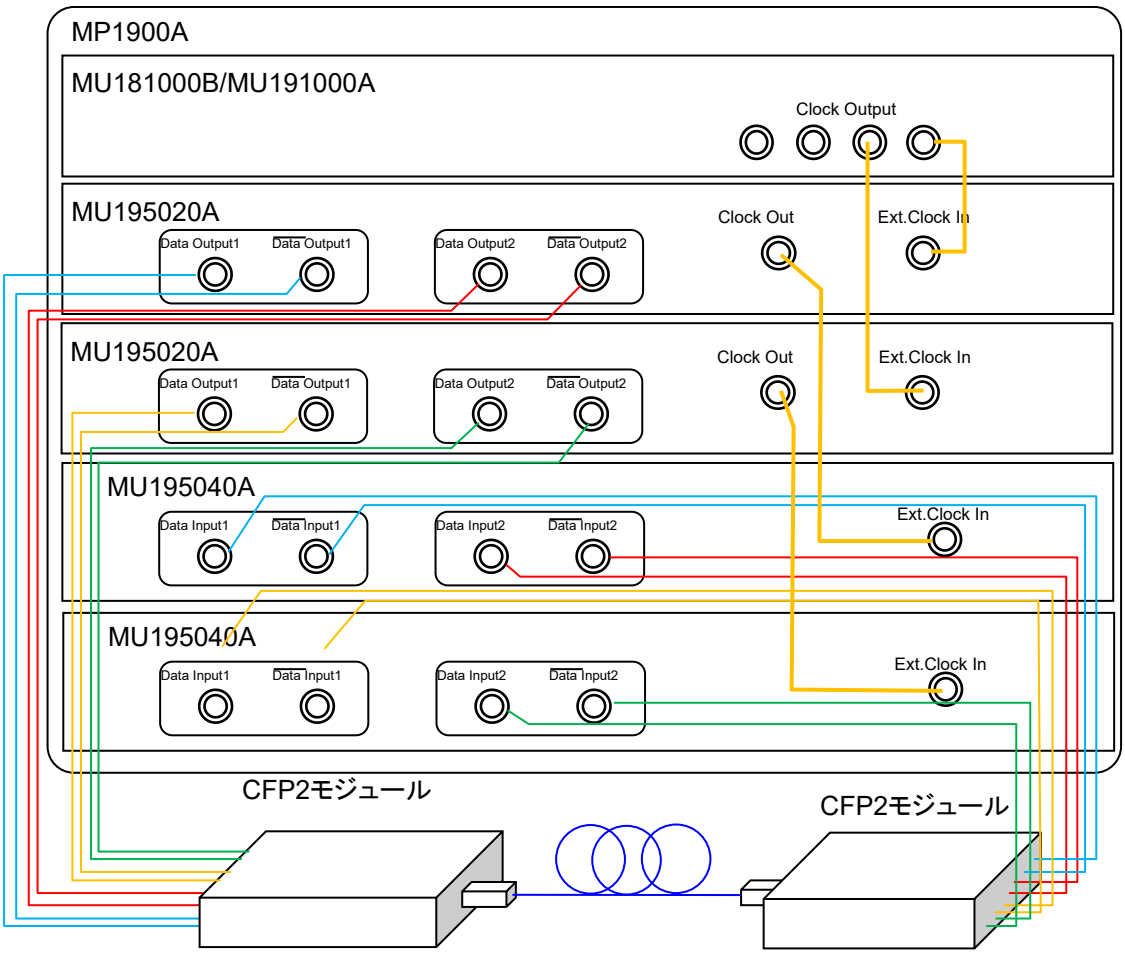


図 4.1-1　CFP2 モジュール評価接続図

4. MU195020A の Data Output1～2、$\overline{\text{Data}}$ Output1～2 と CFP2 モジュールの Data Input を同軸ケーブルで接続します（8 か所）。

5. MU195040A の Data Input1～2、$\overline{\text{Data}}$ Input1～2 と CFP2 モジュールの Data Output を同軸ケーブルで接続します（8 か所）。

試験方法

1. MP1900A の電源コードを接続します。

2. MP1900A の電源をオンにします。

3. MU195020A のデータ出力インタフェースを被測定物の入力に合わせます。MU195020A の［Output］タブから、振幅、オフセットを設定します。このときに Output はあらかじめ［OFF］にしておきます。

4. パターンを設定します。MU195020A、MU195040A の［Pattern］タブで試験パターンを選択します。

5. MU195020A の［Output］タブのビットレートで動作ビットレートを設定します。

6. MU195040A のデータ入力インタフェースを、被測定物の出力に合わせます。
   MU195040A の［Input］タブの Input Condition で終端条件を選択します。CFP2 モジュールは差動インタフェースで接続するため、[Differential 100 Ohm］を選択し、Tracking を選択します。

7. CFP2 モジュールの電源をオンにします。
   電源をオンにする際は、MP1900A、CFP2 モジュールの順にオンにしてください。

⚠ 注意

電源がオンの状態で信号線を挿抜すると、被測定物が損傷するおそれがあります。ケーブル接続を変更する場合には、MP1900A の電源をオフにしてから作業を行ってください。

8. MU195020A の［Output］タブの Data/XData Output を［ON］に設定します。その後、画面上部の Output を 

にします。

9. MU195040A のスレッショルドを設定します。
   モジュールファンクションボタンの［Auto Adjust］をタッチします。

10. MU195040A の［Result］タブから測定を開始し、BER 測定の結果を確認します。

11. 正常に被測定物が動作していることを確認後、MU195020A からの出力レベルを絞ることで、CFP2 モジュールのデータ入力（TD+、TD–）感度を測定できます。

4.2　56 Gbit/s DQPSK 信号の発生

MU195020A-x20 と DQPSK 変調器を使用した、56G 帯 DQPSK 信号の発生方法について説明します。

本測定では、参考として MP1900A に MU195020A が装着されている構成での試験例を記載します。オプション構成は次のとおりです。

MU181000A/B または MU191000A

MU195020A-x20

測定系

1. MP1900A と被測定物を GND に接続します。
2. MU181000A または MU191000A の Clock Output と、MU195020A の Ext. Clock In を同軸ケーブルで接続します。
3. MU195020A の Data Output1～2、$\overline{\text{Data}}$ Output1～2 と DQPSK 変調器を同軸ケーブルで接続します（4 か所）。

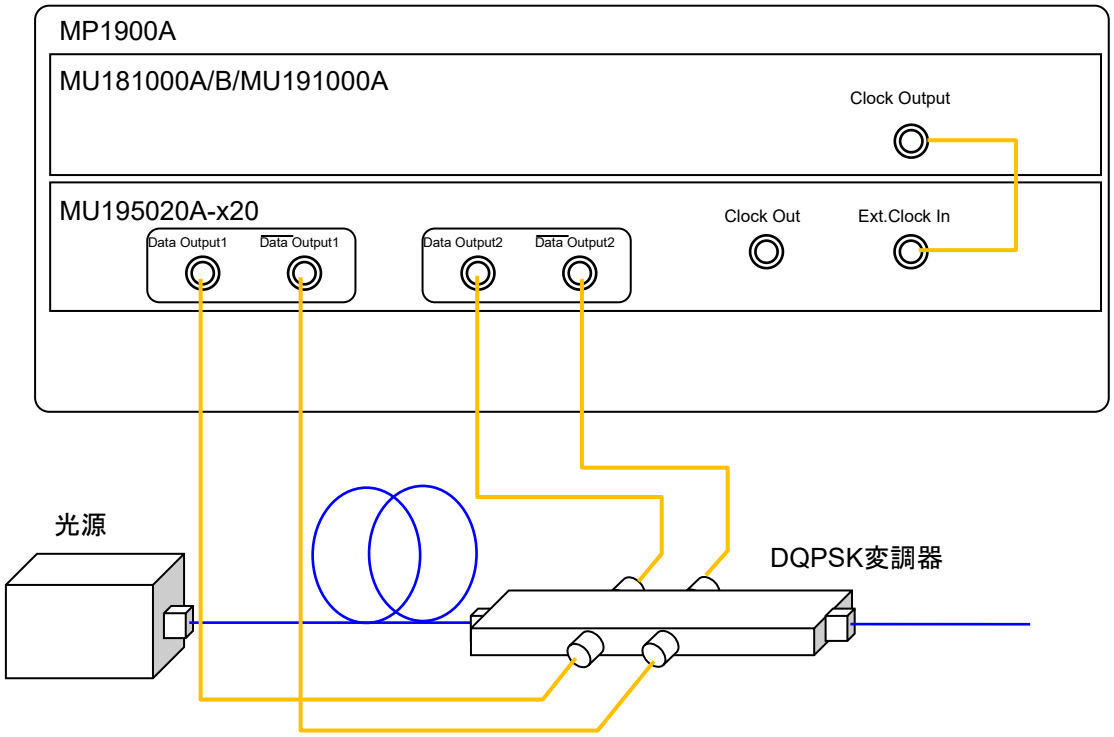
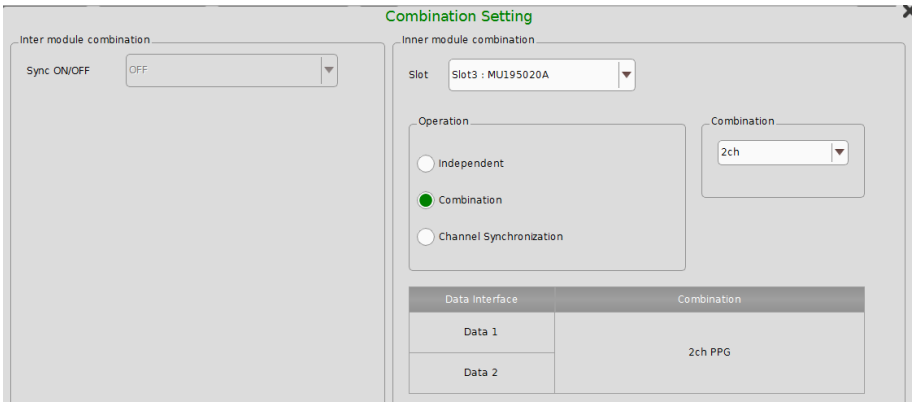


図 4.2-1　56 Gbit/s DQPSK 信号発生の接続図

試験方法

1. MP1900A の電源コードを接続します。
2. MP1900A の電源をオンにします。
3. MU195020A のデータ出力インタフェースを被測定物の入力に合わせます。MU195020A の［Output］タブから、振幅、オフセットを設定します。このときに Output はあらかじめ［OFF］にしておきます。
4. MU195020A の［Output］タブのビットレートで動作ビットレートを［28 Gbit/s］に設定します。
5. MU195020A の［Pattern］タブで試験パターンを選択します。
6. 

の［Combination Setting］から、コンビネーションを［Combination］、［2ch］に設定します。



7. MU195020A の［Pre-Code］タブのボタンを［ON］、Type を［DQPSK］に設定します。
8. MU195020A の［Output］タブの Data Output を［ON］に設定します。その後、画面上部の Output を 

にします。

DQPSK 変調器に MU195020A の信号が加えられ、56 Gbit/s に変調された光信号が出力されます。

4.3　400GbE トランシーバ用の光コンポーネント評価

MU196020A/C と MU196040A/B を使用して、400GbE 光トランシーバに使用する光コンポーネントの評価方法について説明します。
光コンポーネントとしては以下があります。

- レーザダイオード、ドライバアンプや EML などで構成される TOSA (Transmitter optical sub-assembly)
- フォトダイオード、TIA (Transimpedance amplifier) などで構成される ROSA (Receiver optical sub-assembly)

本測定のブロック図を以下に示します。MP1900A、MU181000B または MU191000A、MU196020A/C、および MU196040A/B を使用します。
次の図のように被測定物に 4 つの通信路 (レーン) がある場合は、レーンを 1 つずつ評価します。
MU196020A/C および MU196040A/B を 4 台用意すると 4 レーン同時に評価を行うことができます。1 台の MP1900A に同時実装できる MU196020A/C または MU196040A/B は 4 台までです。接続方法は、「3.2.4 PPG の Multi Channel 同期をする場合」を参照してください。

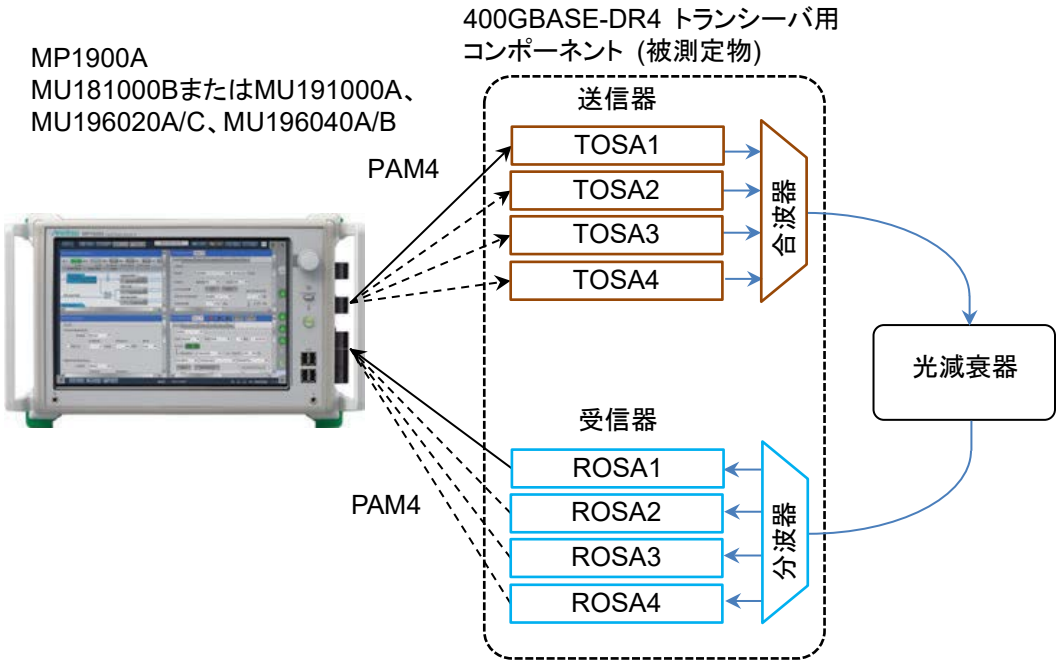


図 4.3-1　光コンポーネント評価ブロック図

測定系

1. MP1900A 2 台と被測定物を GND に接続します。
2. MU181000B または MU191000A の Clock Output と、MU196020A/C の Ext. Clock In を同軸ケーブルで接続します。
3. MU196020A/C の Clock Out と、MU196040A/B の Ext. Clock In を同軸ケーブルで接続します。
4. MU196020A/C の Data Output、$\overline{\text{Data}}$ Output と被測定物（TOSA）の Data Input を同軸ケーブルで接続します（2 か所）。

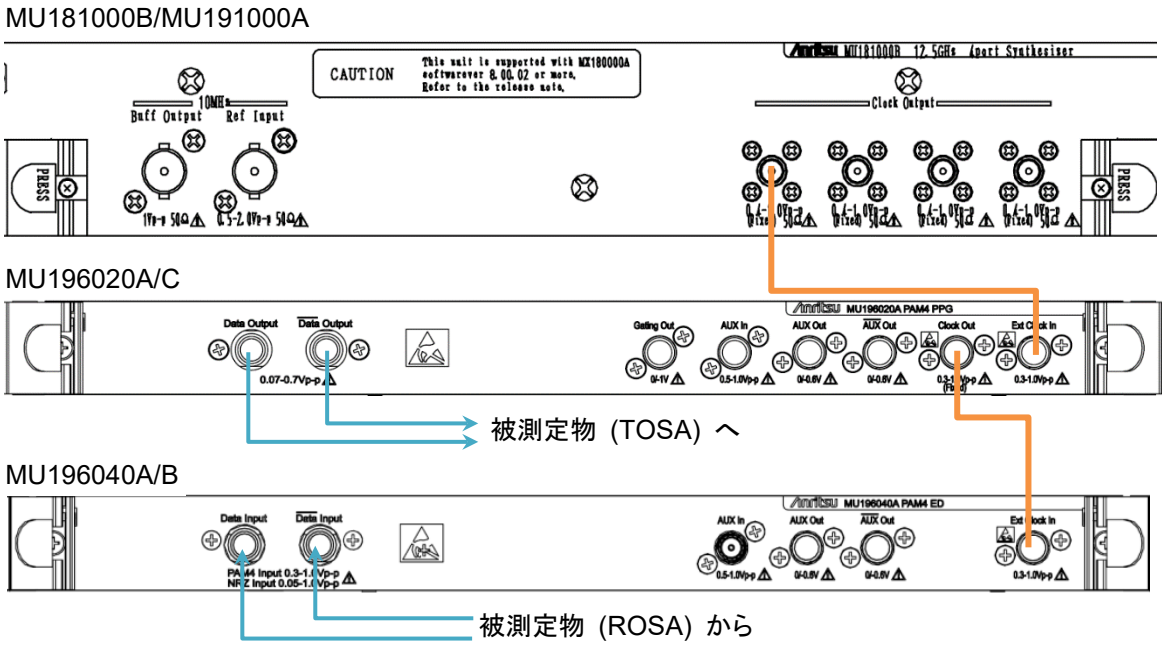


図 4.3-2　モジュールの接続図

5. MU196040A/B の Data Input、$\overline{\text{Data}}$ Input と被測定物（ROSA）の Data Output を同軸ケーブルで接続します（2 か所）。
6. 被測定物と光減衰器を接続します。減衰量は最小値にします。

試験方法

1. MP1900A の電源コードを接続します。
2. MP1900A の電源をオンにします。
3. MU196020A/C のデータ出力インタフェースを被測定物の入力に合わせます。MU196020A/C の［Output］タブから、振幅、オフセットを設定します。このときに Output はあらかじめ［OFF］にしておきます。
4. パターンを設定します。MU196020A/C、MU196040A/B の［Pattern］タブで試験パターンを選択します。
5. MU196020A/C の［Output］タブのビットレートで動作ビットレートを設定します。
6. MU196040A/B のデータ入力インタフェースを、被測定物の出力に合わせます。
   MU196040A/B の［Input］タブの Input Condition で被測定物の終端条件を、たとえば、[Differential 100 Ohm] に選択し、[Tracking] を選択します。
7. 被測定物の電源をオンにします。
   電源をオンにする際は、MP1900A、被測定物の順にオンにしてください。

⚠ 注意

電源がオンの状態で信号線を挿抜すると、被測定物が損傷するおそれがあります。ケーブル接続を変更する場合には、MP1900A の電源をオフにしてから作業を行ってください。

8. MU196020A/C の［Output］タブの Data Output を［ON］に設定します。その後、画面上部の Output を 

にします。
9. MU196040A/B のディレイおよびスレッショルドを設定します。
   モジュールファンクションボタンの［Auto Search］をタッチします。対象のモジュールおよびモードを選択して実行します。入力レベルが小さい場合はマニュアルで調整します。
10. MU196040A/B の［Result］タブから測定を開始し、BER 測定の結果を確認します。
11. 正常に被測定物が動作していることを確認後、光減衰器の減衰量を調整することにより、被測定物（ROSA）の感度を測定できます。
12. TOSA と ROSA の接続を変更して、手順 3 から 11 を繰り返します。

4.4　400GbE トランシーバ用 SERDES などのデバイス評価

400GbE トランシーバ用 SERDES の評価では、CDR (Clock Data Recovery) のジッタ耐力を測定します。この測定には、伝送路やデバイスの周波数特性を補償するためにエンファシスの設定が必要です。
ここでは、MP1900A に MU196020A/C が装着されている構成での試験例を記載します。

MU196020A/C および MU196040A/B を 4 台用意すると 4 レーン同時に評価を行うことができます。1 台の MP1900A に同時実装できる MU196020A/C または MU196040A/B は 4 台までです。接続方法は、「3.2.4 PPG の Multi Channel 同期をする場合」を参照してください。

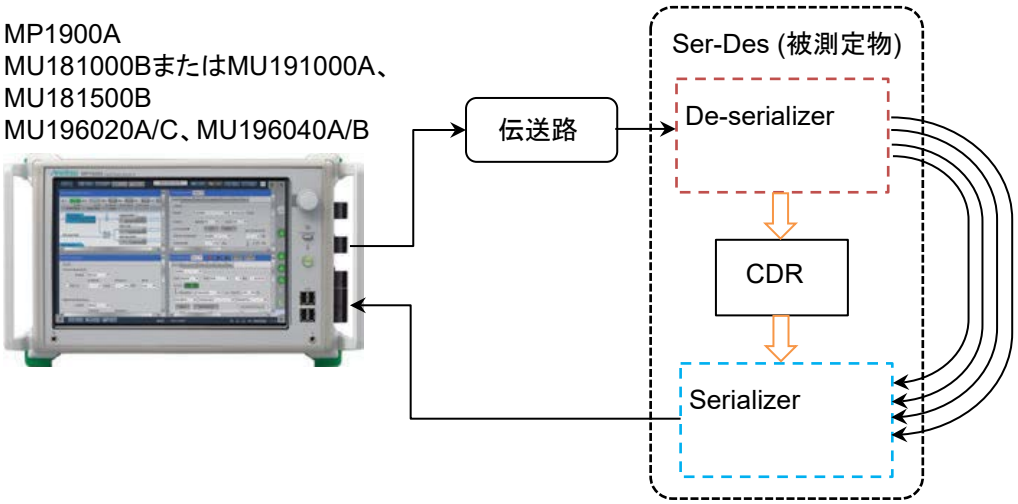


図 4.4-1　SERDES 評価ブロック図

測定系

1. MP1900A と被測定物を GND に接続します。
2. MU181000B または MU191000A の Clock Output と、MU181500B の Ext. Clock Input を同軸ケーブルで接続します。
3. MU181500B の Jittered Clock Output と、MU196020A/C の Ext. Clock In を同軸ケーブルで接続します。
4. MU196020A/C の Clock Out と MU196040A/B の Ext. Clock In を同軸ケーブルで接続します。
5. MU196020A/C の Data Output、$\overline{\text{Data}}$ Output と被測定物の Data Input を同軸ケーブルで接続します (2 か所)。
6. MU196040A/B の Data Input、$\overline{\text{Data}}$ Input と被測定物の Data Output を同軸ケーブルで接続します (2 か所)。
7. 被測定物に Reference Clock を供給する場合は、MU181500B の Sub-rate Clock Output と被測定物の Clock Input を同軸ケーブルで接続します。

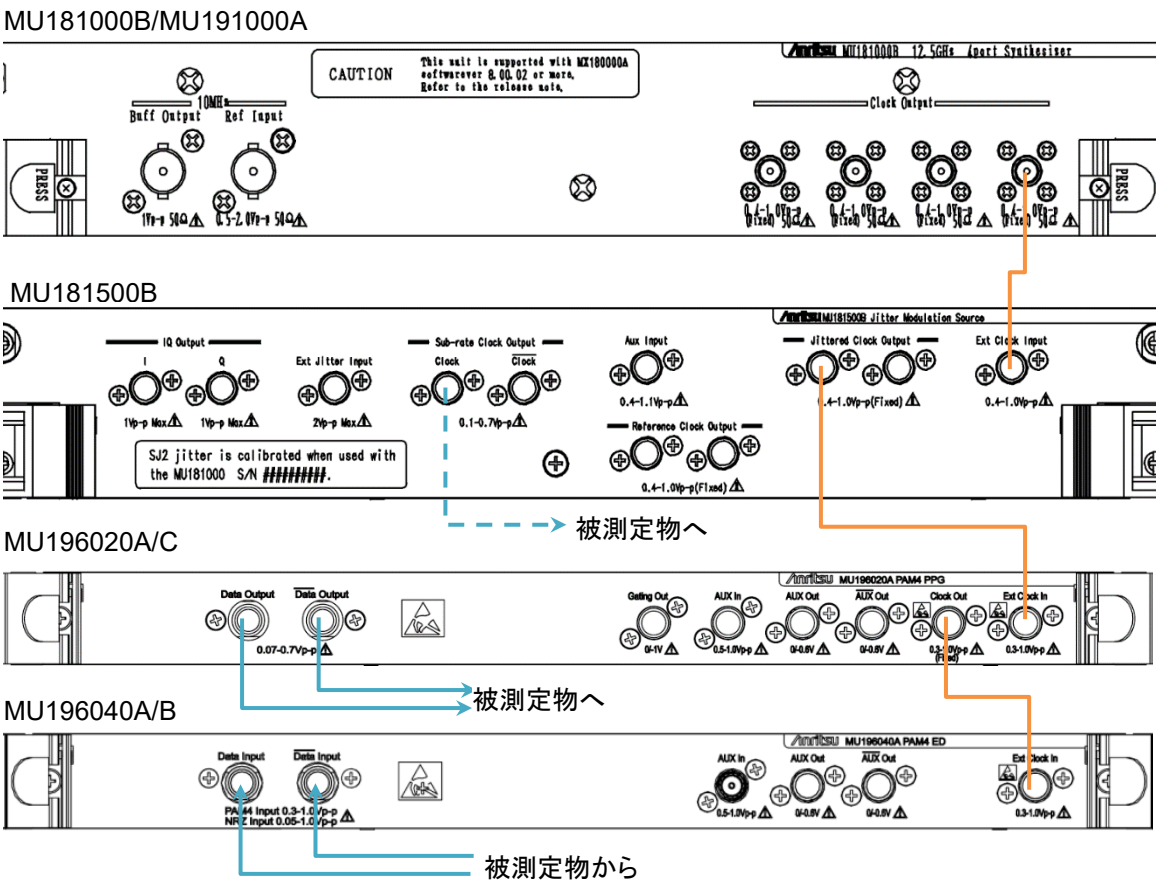


図 4.4-2　モジュールの接続図

試験方法

1. MP1900A の電源コードを接続します。
2. MP1900A の電源をオンにします。
3. MU181500B で付加するジッタの周波数や振幅を設定します。
   被測定物に Reference Clock を供給する場合は、Sub-rate Clock Output の振幅と分周比を設定します。
4. MU196020A/C のデータ出力インタフェースを被測定物の入力に合わせます。MU196020A/C の［Output］タブから、振幅、オフセットを設定します。このときに Output はあらかじめ［OFF］にしておきます。
5. MU196020A/C の［Output］タブのビットレートで動作ビットレートを［28 Gbit/s］に設定します。
6. MU196020A/C の［Pattern］タブで試験パターンを選択します。
7. MU196020A/C の［Output］タブの Data Output を［ON］に設定します。その後、画面上部の Output を 

にします。
8. MU196040A/B のディレイおよびスレッショルドを設定します。
   モジュールファンクションボタンの［Auto Search］をタッチします。対象のモジュールおよびモードを選択して実行します。入力レベルが小さい場合はマニュアルで調整します。

9. MU196040A/B の [Result] タブから測定を開始し、BER 測定の結果を確認します。
10. MU196020A/C の [Emphasis] タブでエンファシスを設定します。
11. MU196040A/B の BER 測定結果を確認しながら MU196020A/C のエンファシス設定を変更し、BER が最良となる値を求めます。
12. MU196040A/B の BER 測定結果を確認しながら MU181500B で付加するジッタの周波数や振幅を変更し、BER が最良となる値を求めます。

4.5　PCIe 6 のデバイス評価

PCIe 6 対応 DUT の評価では、Base スペックの BER 測定、ジッタ耐力測定、CEM スペックの RxLEQ 測定を行います。この測定には、DUT のリターンパス Loss を補償する Re-Driver が必要です。
ここでは、MP1900A に MU196060A が装着されている構成での PCIe6 Base 試験例を記載します。

PCIe6 評価は MU181000B または MU191000A、MU181500B、MU196020A/C、MU196040B、MU195050A または MU196050B、および MU196060A で行うことができます。接続方法は、「3.2.5 Re-Driver で Loss 補償してエラー測定をする場合」を参照してください。

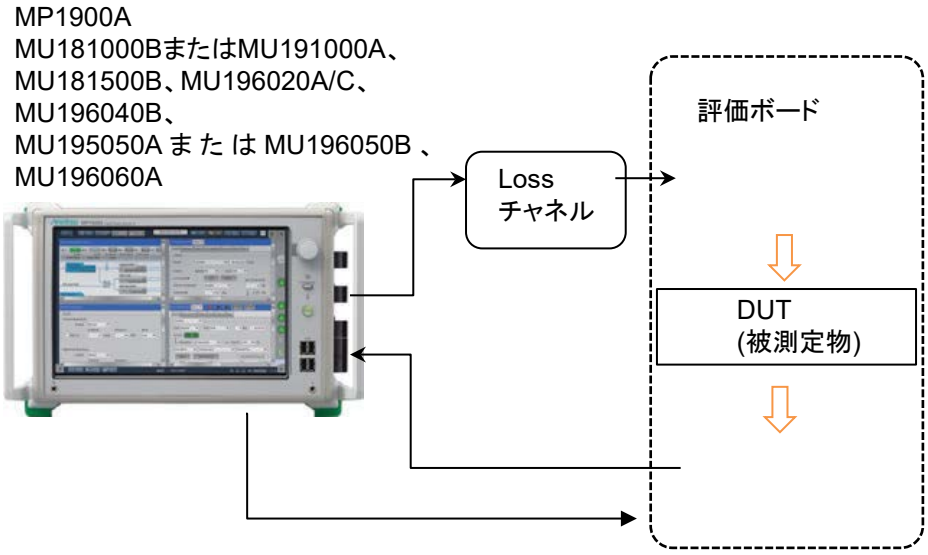


図 4.5-1　PCIe6 DUT 評価ブロック図

測定系

1. MP1900A と被測定物を GND に接続します。
2. MU195050A を使用している場合は、Data Output、$\overline{\text{Data}}$ Output コネクタと、被測定物の入力コネクタ（本例では Loss チャネル）をそれぞれ同軸ケーブルにて接続します。
3. MU196050B を使用している場合は、
   (1) MU196050B の Noise Output、$\overline{\text{Noise}}$ Output コネクタと Pick OFF Tee（J1793A）の Pick OFF ルートを電気長が規定された同軸ケーブル（J1948A）で接続します。このとき、Noise Output および $\overline{\text{Noise}}$ Output コネクタには同軸ケーブル（J1948A）のストレートコネクタを、J1793A には同軸ケーブル（J1948A）のライトアングルコネクタを接続します。
   (2) Pick OFF Tee (J1793A) の出力と被測定物の入力コネクタをそれぞれ同軸ケーブルにて接続します。
4. MU196060A の Data Input、$\overline{\text{Data}}$ Input と被測定物の Data Output、

$\overline{\text{Data}}$　Output を同軸ケーブルで接続します。

5. 被測定物に Reference Clock を供給する場合は、MU181500B の Sub-rate Clock Output と被測定物の Clock Input を同軸ケーブルで接続します。

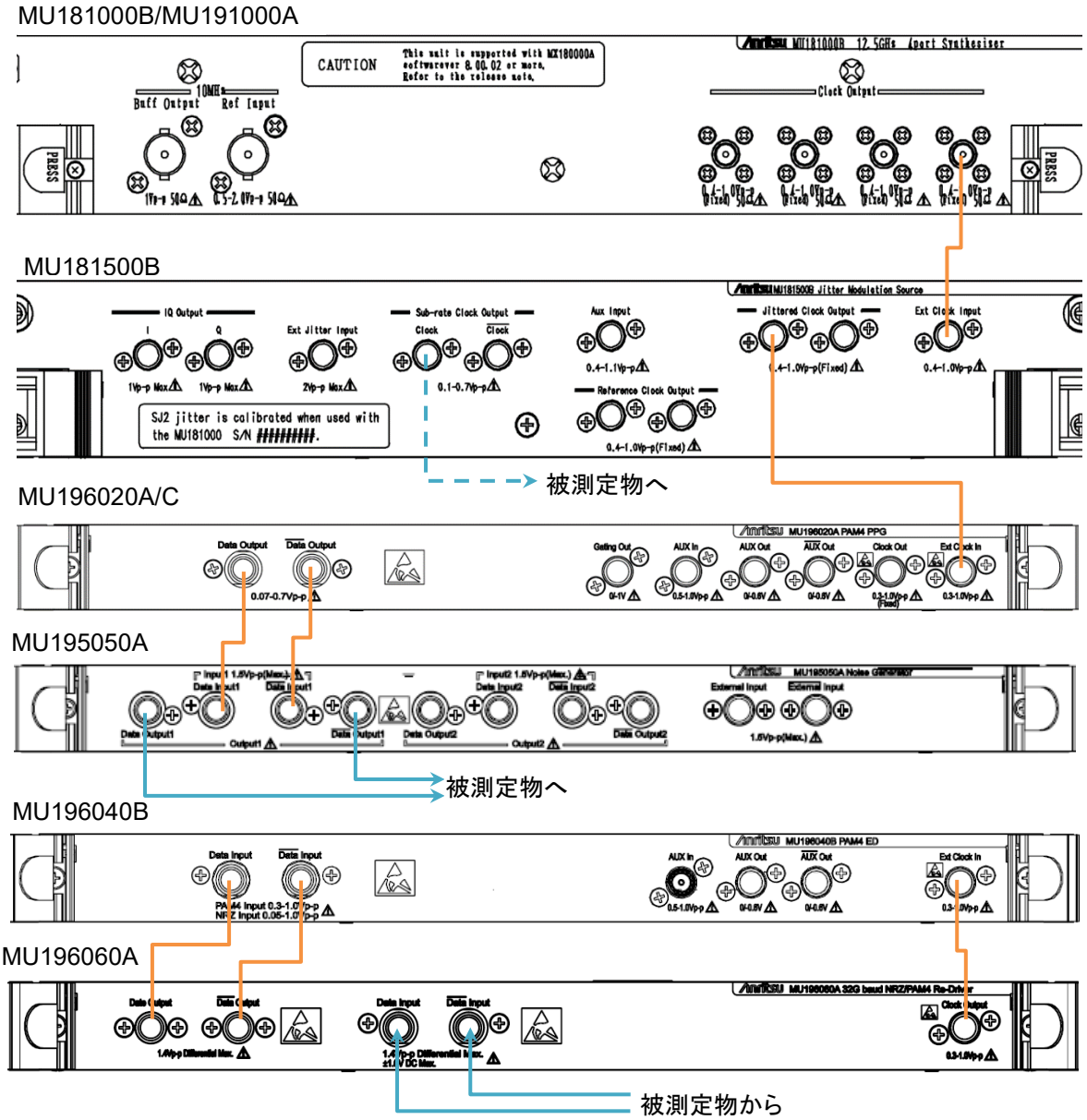


図 4.5-2　モジュールの接続図 (MU195050A の場合)

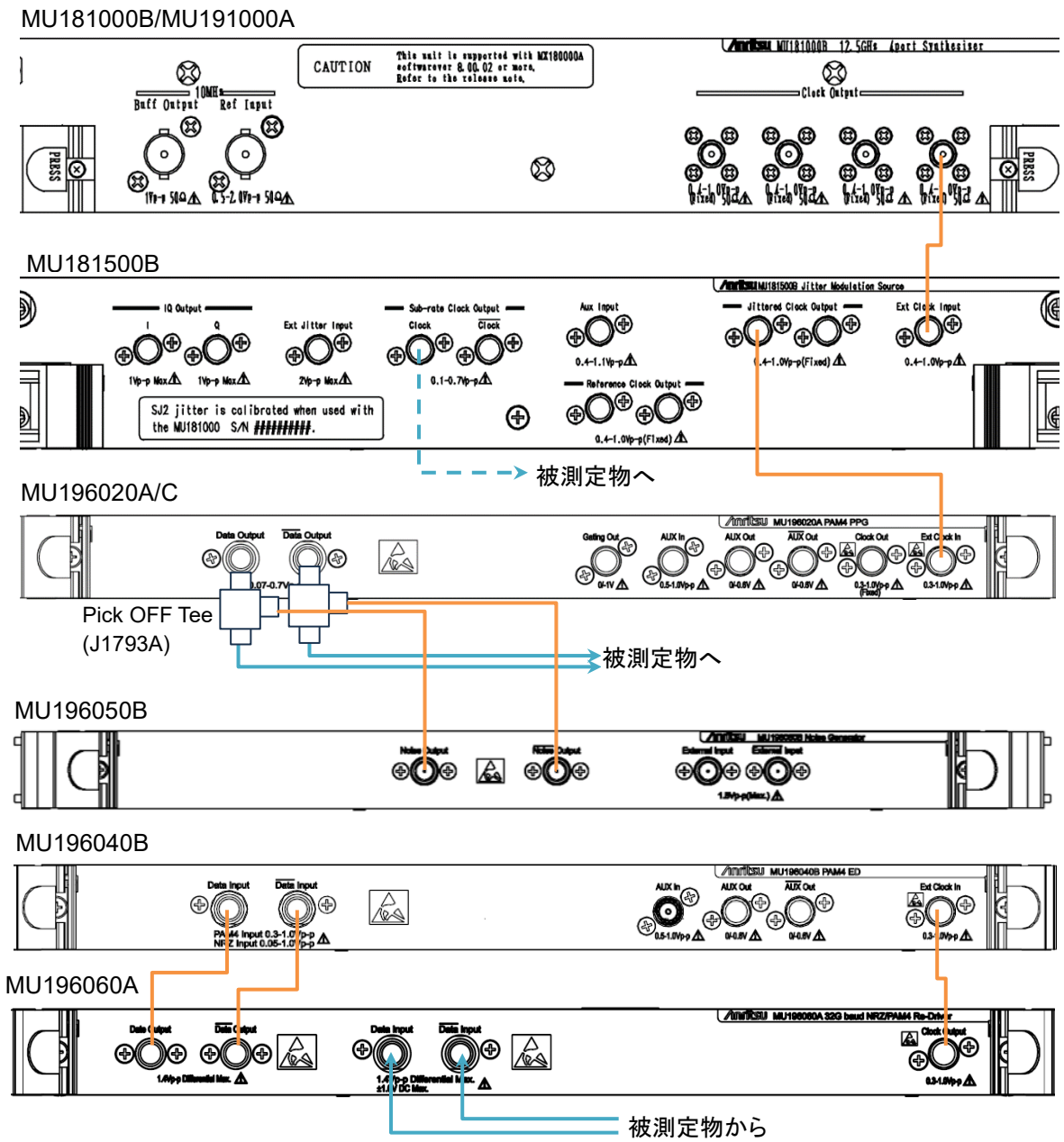
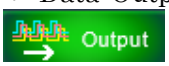


図 4.5-3　モジュールの接続図（MU196050B の場合）

試験方法

1. MP1900A の電源コードを接続します。
2. MP1900A の電源をオンにします。
3. MX190000A を起動し、Application Selector の［BERT for PCIe1-7］をタッチします。
4. 被測定物に Reference Clock を供給する場合は、MU181500B の Sub-rate Clock Output の振幅と分周比を設定します。
5. MU196020A/C のデータ出力インタフェースを被測定物の入力に合わせます。MU196020A/C の［Output］タブから、振幅、オフセットを設定します。このときに Output はあらかじめ［OFF］にしておきます。

6. MU196020A/C の［Output］タブで動作ボーレートを［PCIe6］に設定します。
7. MU196020A/C の［Pattern］タブで試験パターンを選択します。
8. MU196020A/C の［Output］タブの Data Output を［ON］に設定します。その後、画面上部の Output を 

にします。MU196060A の CTLE を設定します。
9. MU196040B のディレイおよびスレッショルドを設定します。
モジュールファンクションボタンの［Auto Search］をタッチします。対象のモジュールおよびモードを選択して実行します。入力レベルが小さい場合はマニュアルで調整します。
10. MU196040B の［Result］タブから測定を開始し、BER 測定の結果を確認します。
11. MU196020A/C の［Emphasis］タブでエンファシスを設定します。
12. MU196040B の BER 測定結果を確認しながら MU196020A/C のエンファシス設定および MU196060A の CTLE 設定を変更し、BER が最良となる値を求めます。
13. MU196040B の BER 測定結果を確認しながら以下を調整し、BER が最良となる値を求めます。
    - MU196040B のディレイおよびスレッショルド
    - MU196020A/C の［Emphasis］タブでエンファシス
    - MU196060A の CTLE

この章では、MP1900A モジュールの性能試験について説明します。

5.1 性能試験の実施時期 5-2
5.2 性能試験用機器 5-3
5.2.1 Synthesizer 5-3
5.2.2 PPG/ED 5-4
5.3 性能試験項目 5-8
5.3.1 Synthesizer 5-8
5.3.2 PPG/ED 5-14

5.1　性能試験の実施時期

MP1900A モジュールの主要性能が規格を満足していることを確認するため、性能試験を行います。
性能試験は、MP1900A モジュールの受け入れ検査時、修理後の動作確認時および定期試験時（6 か月ごと）に行ってください。

5.2 性能試験用機器

5.2.1 Synthesizer

5.2.1.1 MU191000A

性能試験を始める前に MU191000A と各測定器のウォーミングアップを 30 分以上行ってください。性能試験に必要な機器を下表に示します。

表 5.2.1.1-1 性能試験に必要な機器

機器名	要求される性能
サンプリングオシロスコープ	帯域 40 GHz 以上
スペクトラムアナライザ	帯域 40 GHz 以上

注:

被測定装置と測定機器類は、特に指示する場合を除き少なくとも 30 分間は予熱を行い、十分に安定してから性能試験を行ってください。

最高の測定確度を発揮するには、上記のほかに以下についても問題がないことが必要です。

- 室温下での実施
- AC 電源電圧の変動が少ないこと
- 騒音・振動・ほこり・湿度

5.2.2　PPG/ED

性能試験を始める前に、MP1900A と各測定器のウォーミングアップを 30 分以上行ってください。性能試験に必要な機器を次の表に示します。

5.2.2.1　MU195020A/MU195040A

表 5.2.2.1-1　性能試験に必要な機器

機器名	形名	要求される性能
誤り検出器	MP1900A + MU195040A-001	動作周波数:　2.4～32.1 GHz データ入力感度:　300 mVp-p 以上
サンプリングオシロスコープ		Electrical interface: 帯域 70 GHz 以上
信号発生器	MP1900A + MU195020A + MU181000A/B、 または MU191000A、 または MG3690 シリーズ	Ext Clock を使用する場合 動作周波数:　1.2～16.05 GHz 出力レベル:　300～1000 mVp-p 波形:　矩形波または正弦波
同軸ケーブル (0.8 m、K コネクタ)	J1439A	帯域:　40 GHz
同軸減衰器	J0541E	減衰量: 6 dB
パワーメータ	ML2437A または ML2438A	
パワーセンサ+ケーブル	MA2444D	

5.2.2.2 MU196020A/MU196040A/B

表 5.2.2.2-1 性能試験に必要な機器

機器名	形名	要求される性能
誤り検出器	MP1900A + MU196040A-001 または MP1900A + MU196040B-001*2	動作ビットレート: 2.4～32.1 Gbit/s 動作ボーレート: 2.4～32.1 Gbaud
	MP1900A + MU196040B-002*2	動作ビットレート: 2.4～64.2 Gbit/s 動作ボーレート: 2.4～58.2 Gbaud
	MP1900A + MU195040A-001	動作ビットレート: 16～32.1 Gbit/s*1
サンプリングオシロスコープ		電気チャネル: 帯域 70 GHz 以上
信号発生器	MP1900A + MU196020A + MU181000A/B、 または MU191000A、 または MG3690 シリーズ	Ext Clock を使用する場合 動作周波数: 1.2～16.05 GHz 出力レベル: 300～1000 mVp-p 波形: 矩形波または正弦波
	MP1900A + MU195020A-001 + MU181000A/B または MU191000A	動作ビットレート: 16～32.1 Gbit/s*1
Re-Driver	MP1900A + MU196060A-001	動作ボーレート 16 Gbaud、19～32 Gbaud
ジッタ信号源	MP1900A + MU181500B	SSC: 33kHz、5300ppm*1
同軸電気長規定ケーブル (0.4m、V コネクタ)	J1789A	帯域: 65 GHz データ信号接続用
同軸電気長規定ケーブル (0.8m、V コネクタ)	J1790A	帯域: 65 GHz データ信号接続用
同軸ケーブル 0.3 m (SMA コネクタ)	J1624A	帯域: 18 GHz クロック信号接続用
同軸ケーブル 1 m	J1625A	帯域: 18 GHz トリガ信号接続用
同軸減衰器	J0541E	減衰量: 6 dB
精密固定減衰器 20 dB	41VA-20	減衰量: 20 dB
精密アダプタ	34VFK50A	MU196040A-001 Data Input 接続用
同軸ケーブルセット for MU196060A	J1898A	MU196060A と ED の接続用*1 J1932A と J1917A のセット
同軸電気長規定ケーブルペア (0.8m、V コネクタ)	J1932A	V-P, V-P, 0.8 m x 1 ペア、Data/XData Output 用*1 J1790A 同等品
同軸セミリジッドケーブル	J1917A	SMA-P, SMA-P x 1、Clock Output 用*1
パワーメータ	ML2437A または ML2438A	
パワーセンサ+ケーブル	MA2444D	

＊1: セルフループバック試験にて使用。 MU195020A-001 および MU195040A-001 が必要。

＊2: MU196040B-005 実装時の要求される性能は、表 5.2.2.3-1 を参照してください。

5.2.2.3　MU196020C/MU196040B

表 5.2.2.3-1　性能試験に必要な機器

機器名	形名	要求される性能
誤り検出器	MP1900A + MU196040B-005*2	動作ビットレート:　2.4～64.2 Gbit/s 動作ボーレート:　2.4～64.2 Gbaud
	MP1900A + MU195040A-001	動作ビットレート:　16～32.1 Gbit/s*1
サンプリングオシロスコープ		電気チャネル:　帯域 70 GHz 以上
信号発生器	MP1900A + MU196020C + MU181000A/B、 または MU191000A、 または MG3690 シリーズ	Ext Clock を使用する場合 動作周波数:　1.2～16.05 GHz 出力レベル:　300～1000 mVp-p 波形:　矩形波または正弦波
	MP1900A + MU195020A-001 + MU181000A/B または MU191000A	動作ビットレート:　16～32.1 Gbit/s*1
Re-Driver	MP1900A + MU196060A-001	動作ボーレート:　16 Gbaud、19～32 Gbaud
ジッタ信号源	MP1900A + MU181500B	SSC:　33 kHz、5300 ppm*1
同軸電気長規定ケーブル (0.4m、V コネクタ)	J1789A	帯域:　65 GHz　データ信号接続用
同軸電気長規定ケーブル (0.8m、V コネクタ)	J1790A	帯域:　65 GHz　データ信号接続用
同軸ケーブル 0.3 m (SMA コネクタ)	J1624A	帯域:　18 GHz　クロック信号接続用
同軸ケーブル 1 m	J1625A	帯域:　18 GHz　トリガ信号接続用
同軸減衰器	J0541E	減衰量: 6 dB
精密固定減衰器 20 dB	41VA-20	減衰量: 20 dB
精密アダプタ	34VFK50A	MU196040A-001 Data Input 接続用
同軸ケーブルセット for MU196060A	J1898A	MU196060A と ED の接続用*1 J1932A と J1917A のセット
同軸電気長規定ケーブルペア (0.8m、V コネクタ)	J1932A	V-P, V-P, 0.8 m x 1 ペア、Data/XData Output 用*1 J1790A 同等品
同軸セミリジッドケーブル	J1917A	SMA-P, SMA-P x 1、Clock Output 用*1
パワーメータ	ML2437A または ML2438A	
パワーセンサ+ケーブル	MA2444D	

＊1: セルフループバック試験にて使用。 MU195020A-001 および MU195040A-001 が必要。

＊2: MU196040A-001、MU196040B-001、002 実装時の要求される性能は、表 5.2.2.2-1 を参照してください。

注:

被測定装置と測定機器類は、特に指示する場合を除き少なくとも 30 分間は予熱を行い、十分に安定してから性能試験を行ってください。

最高の測定確度を発揮するには、上記のほかに以下についても問題がないことが必要です。

- 室温下での実施
- AC 電源電圧の変動が少ないこと
- 騒音・振動・ほこり・湿度

5.3　性能試験項目

5.3.1　Synthesizer

5.3.1.1　MU191000A

以下の試験項目について説明します。

- 波形の測定
- 位相雑音の測定
- 三角波変調の測定
- AUX 出力波形の測定

5.3.1.1.1　波形の測定

Clock Output の波形を測定します。測定装置との接続を図 5.3.1.1.1-1 に示します。

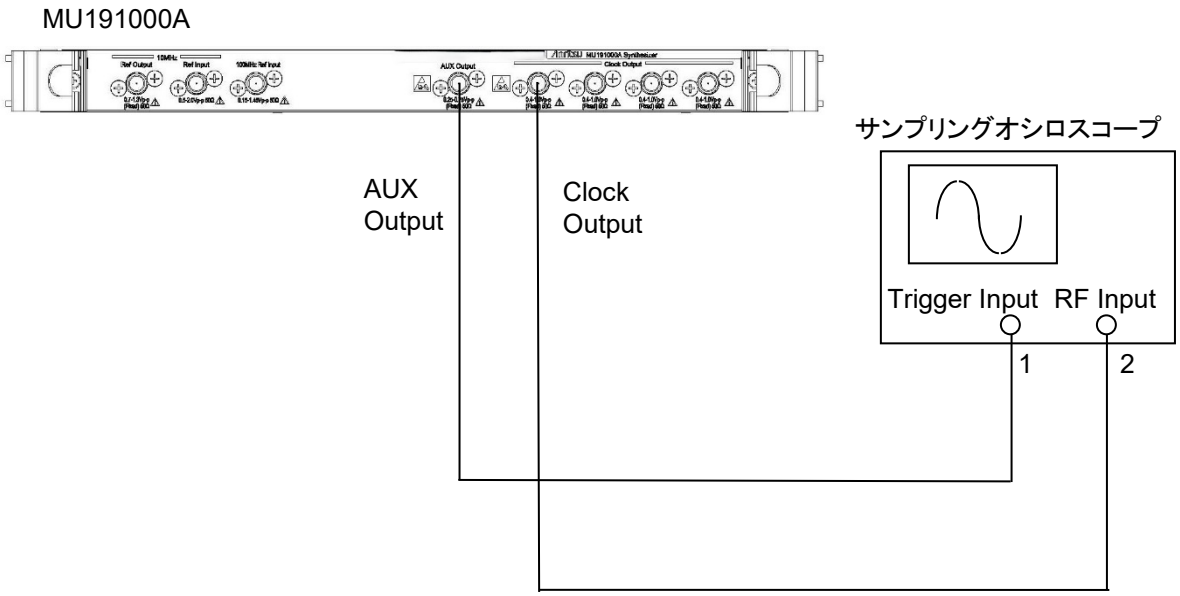


図 5.3.1.1.1-1　波形測定の接続図

1. AUX Output コネクタから出力された信号を、サンプリングオシロスコープの Trigger Input に接続します。
2. Clock Output コネクタから出力されたクロック信号を、サンプリングオシロスコープの RF Input に接続します。

⚠ 注意

サンプリングオシロスコープの入力コネクタに接続する際には、各入力コネクタに応じた適切なアッテネータを使用してください。接続を誤りますとサンプリングオシロスコープが故障するおそれがあります。

3. MU191000A の操作画面を次のとおりに設定します。

   Center Frequency: 16050 MHz

   Offset: 0 ppm

   Reference Clock Source: Internal

4. サンプリングオシロスコープを使い、測定された波形のレベルが図 5.3.1.1.1-2 に示す範囲に収まっていることを確認します。

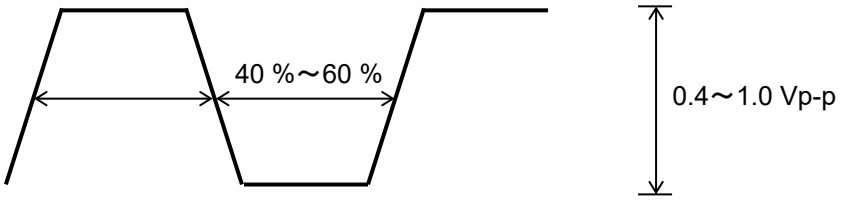


図 5.3.1.1.1-2　サンプリングオシロスコープで測定された波形例

5. MU191000A の操作画面で次のとおりに Center Frequency の値を変更し、同様の測定を行います。波形のレベルおよび Duty 比が図 5.3.1.1.1-2 に示す範囲に収まっていることを確認します。

   Center Frequency: 12000 MHz、8000 MHz、5000 MHz、2500 MHz、1250 MHz、100 MHz

5.3.1.1.2　位相雑音の測定

Clock Output の位相雑音を測定します。測定装置との接続を図 5.3.1.1.2-1 に示します。

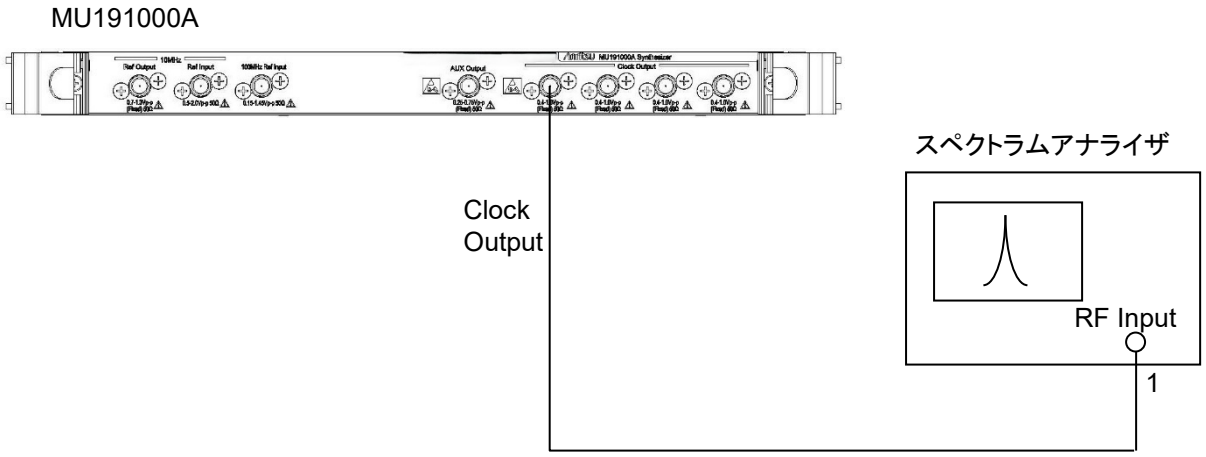


図 5.3.1.1.2-1　位相雑音測定の接続図

1. Clock Output コネクタから出力されたクロック信号をスペクトラムアナライザの RF Input に接続します。
2. MU191000A の操作画面を次のとおりに設定します。

   Center Frequency:　16050 MHz

   Offset:　0 ppm

   Reference Clock Source:　Internal
3. スペクトラムアナライザで測定された位相雑音が下記の規格値を満足していることを確認します。確認時に非高調波スプリアスを除きます。

   10 kHz Offset のとき:　≦－110 dBc/Hz

   100 kHz Offset のとき:　≦－111 dBc/Hz

   1 MHz Offset のとき:　≦－110 dBc/Hz
4. MU191000A の操作画面で次のとおりに Center Frequency の値を変更し、同様の測定を行います。位相雑音が手順 3 の規格値を満足していることを確認します。

   Center Frequency:　12000 MHz、8000 MHz、5000 MHz、2500 MHz、1250 MHz、100 MHz

⚠ 注意

スペクトラムアナライザの入力コネクタに接続する際には、各入力コネクタに応じた適切なアッテネータを使用してください。接続を誤りますとスペクトラムアナライザが故障するおそれがあります。

5.3.1.1.3 三角波変調の測定

Clock Output コネクタの位相偏移量を測定します。測定装置との接続を図 5.3.1.1.3-1 に示します。

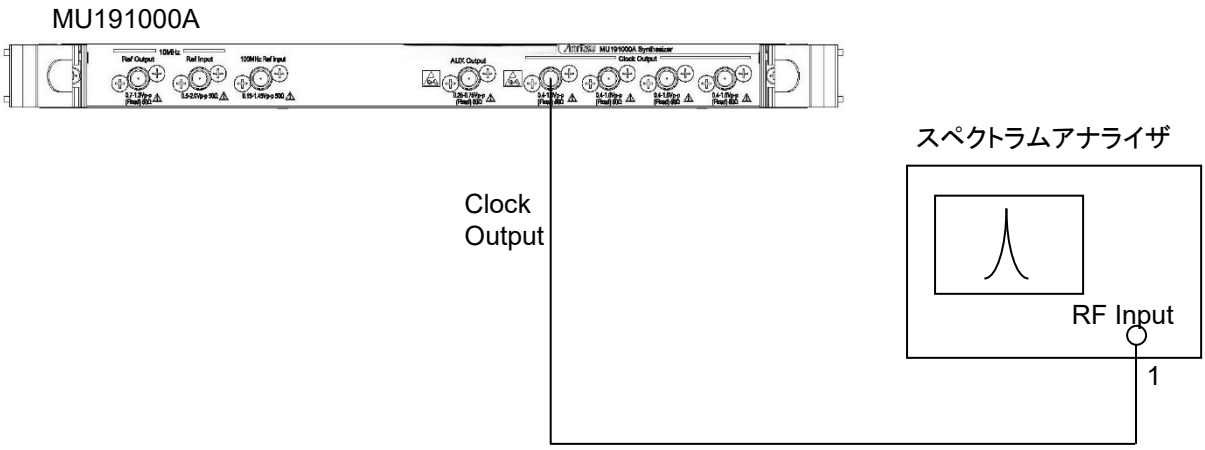


図 5.3.1.1.3-1 三角波変調測定の接続図

1. Clock Output コネクタから出力されたクロック信号をスペクトラムアナライザの RF Input に接続します。
2. MU191000A の操作画面を次のとおりに設定します。

Operation:	PCIe-Gen 3/4/5/6/7 (8GHz)
Offset:	0 ppm
Reference Clock Source:	Internal
Spectrum Spread:	SSC ON (Int Ref)
Spread Method:	Center
Deviation:	5000 ppm

3. スペクトラムアナライザで測定された図 5.3.1.1.3-2 に示す台形状スペクトラムの 8 GHz におけるレベルから 3 dB 下がる両端周波数の幅を測定します。周波数の幅が 40 MHz (8 GHz 5000 ppm)になっていることを確認します。スペクトラム波形が台形状になるようにスペクトラムアナライザの RBW または VBW を適切に調整してください。

⚠ 注意

スペクトラムアナライザの入力コネクタに接続する際には、各入力コネクタに応じた適切なアッテネータを使用してください。接続を誤りますとスペクトラムアナライザが故障するおそれがあります。

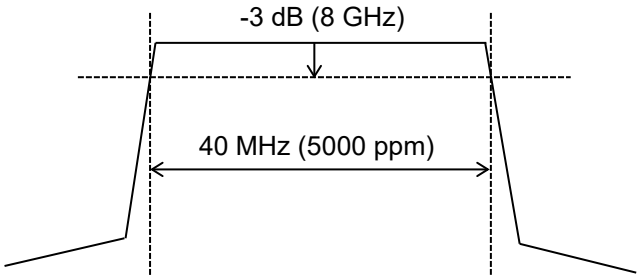


図 5.3.1.1.3-2　スペクトラムアナライザで測定された台形状スペクトラム例

5.3.1.1.4　AUX 出力波形の測定

AUX Output 波形を測定します。測定装置との接続を図 5.3.1.1.4-1 に示します。

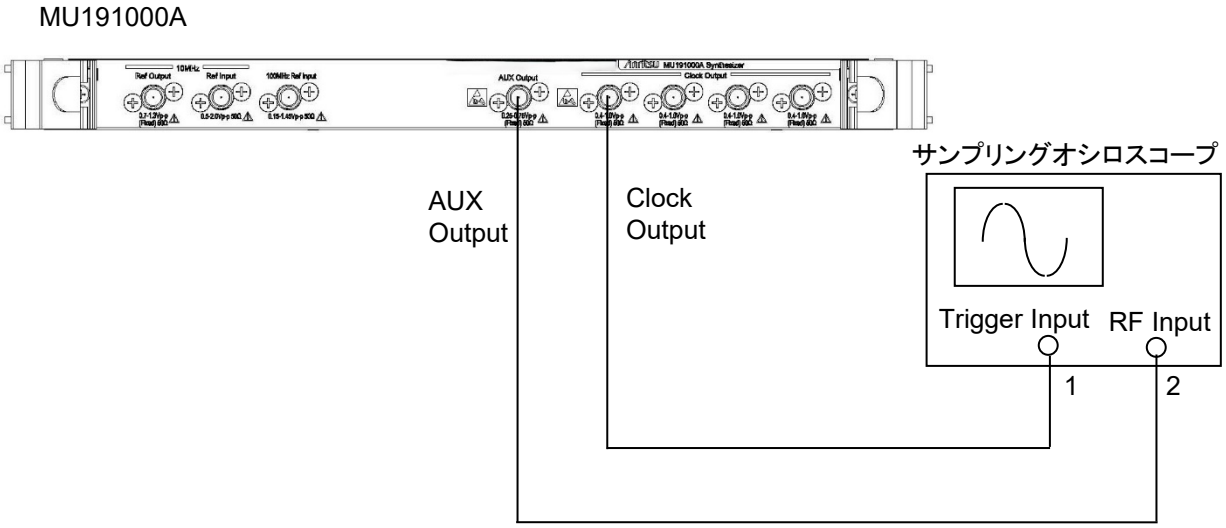


図 5.3.1.1.4-1　AUX 出力波形測定の接続図

1. Clock Output 信号を、サンプリングオシロスコープの Trigger Input に接続します。
2. AUX Output 信号をサンプリングオシロスコープの RF Input に接続します。

⚠ 注意

サンプリングオシロスコープの入力コネクタに接続する際には、各入力コネクタに応じた適切なアッテネータを使用してください。接続を誤りますとサンプリングオシロスコープが壊れる可能性があります。

3. MU191000A の操作画面を次のとおりに設定します。

   Center Frequency:　16050 MHz

   Offset:　0 ppm

   Reference Clock Source:　Internal

4. サンプリングオシロスコープを使い、測定された波形のレベルが図 5.3.1.1.4-2 に示す範囲に収まっていることを確認します。

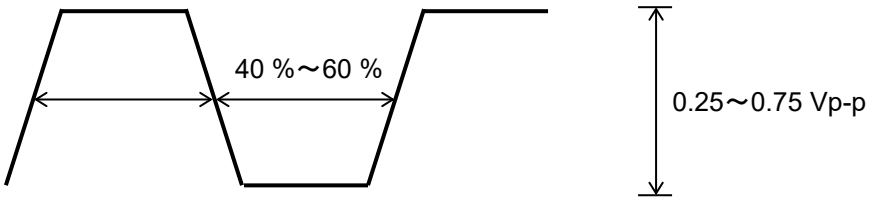


図 5.3.1.1.4-2　サンプリングオシロスコープで測定された波形例

5. MU191000A の操作画面で次のとおりに Center Frequency の値を変更し、同様の測定を行います。波形のレベルおよび Duty 比が図 5.3.1.1.4-2 に示す範囲に収まっていることを確認します。

   Center Frequency:　12000 MHz、8000 MHz、5000 MHz、2500 MHz、1250 MHz、100 MHz

5.3.2　PPG/ED

5.3.2.1　MU195020A/MU195040A

以下の試験項目について説明します。

- 動作周波数範囲
- 波形評価試験
- 入力レベル
- パターン
- エラー検出
- ノイズ評価試験

5.3.2.1.1　動作周波数範囲

(1)　規格

表 5.3.2.1.1-1　規格

オプション	規格
MU195020A	2.4～21.0 Gbit/s
MU195020A-001	2.4～32.1 Gbit/s
MU195040A	2.4～21.0 Gbit/s
MU195040A-001	2.4～32.1 Gbit/s

(2)　接続

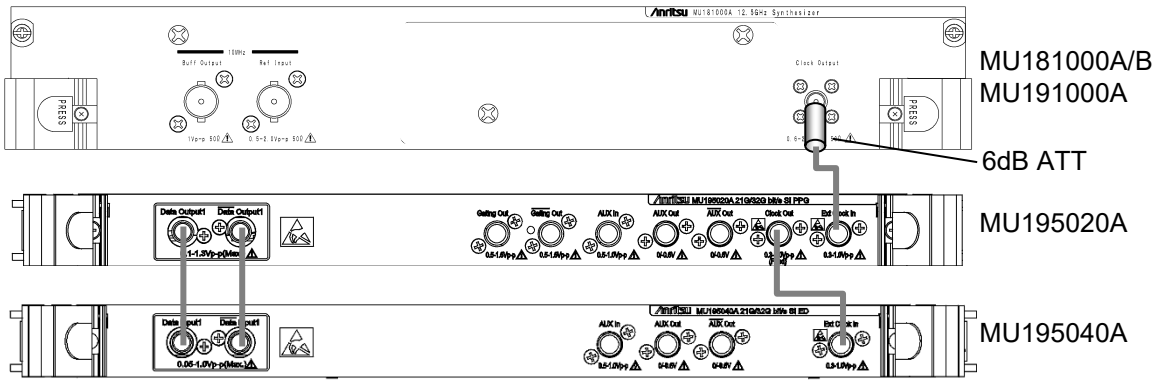


図 5.3.2.1.1-1　動作周波数範囲試験の接続図

MU181000A を使用する場合は、MU181000A の Clock Output に 6 dB 同軸減衰器を接続してください。

(3)　手順

1. MP1900A に MU195020A を装着し、ケーブルを接続しない状態で電源をオンにします。
2. MU195020A の Data 信号出力振幅を 500 mVp-p、オフセット (Vth) を 0 V、試験パターンを PRBS31、マーク率を 1/2 に設定します。
3. 設定完了後、MP1900A の電源をオフにします。
4. 図 5.3.2.1.1-1 に従って、測定器のケーブルを接続します。
5. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
6. ウォーミングアップ後、MP1900A 信号出力をオンにして、MU195020A の信号を出力させます。
   MU195020A にはウォーミングアップの状態を示すランプがあります。信号出力後にランプが点灯し、ランプが消灯することでウォーミングアップの終了を確認できます。



7. MU195040A の位相、スレッショルド値を最適値に調整します。
8. MU195040A でエラーが検出されないことを確認します。
9. 動作周波数を可変させ、動作周波数規格範囲内でエラーが生じていないことを確認します。

5.3.2.1.2　波形評価試験

(1)　規格

表 5.3.2.1.2-1　MU195020A 規格

項目	規格
	MU195020A-x10/x20
振幅	0.1～1.3 Vp-p
オフセット（Vth）	$-2.0-\frac{振幅}{2}$～$-2.0-\frac{振幅}{2}$ V
クロスポイント	振幅 1.0 Vp-p：　50 %
Tr/Tf	14 ps (20～80 %)*1、*2
Jitter	8 ps p-p*1、*2、*3

＊1: MU195020A-001 無しの場合、21.0 Gbit/s にて

MU195020A-001 有りの場合、32.1 Gbit/s にて

＊2: 代表値

＊3: ジッタ規格値は、残留ジッタ ＜200 fs（RMS）のオシロスコープを使用したときの値です。

(2)　接続

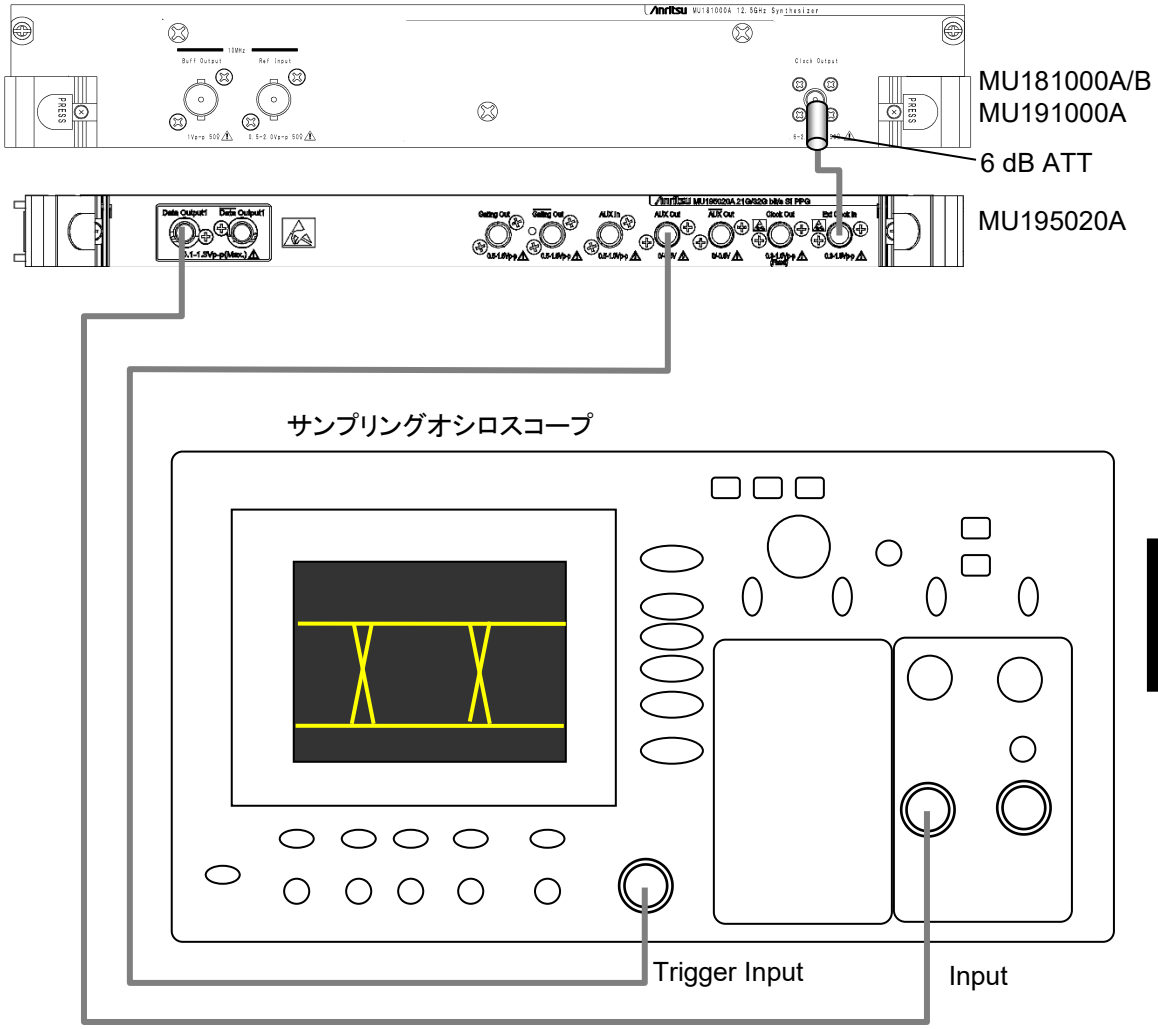


図 5.3.2.1.2-1　波形試験の接続図

MU181000A を使用する場合は、MU181000A の Clock Output に 6 dB 同軸減衰器を接続してください。

(3)　手順

1. MP1900A に MU195020A を装着し、ケーブルを接続しない状態で電源をオンにします。
2. MU195020A の［Output］タブから試験する Data 出力の振幅、オフセット、クロスポイントを設定します。
3. MU195020A の［Pattern］タブで試験パターンを設定します。

   規格パラメータは、アイパターンによる観測評価となりますので、試験パターンには PRBS31、マーク率 1/2 を選択します。
4. オシロスコープに入力するトリガ信号を設定します。MU195020A の［Misc1］タブの AUX Output から［1/N Clock］を選択し、使用するサンプリングオシロスコープにあわせて分周比を設定します。
5. 設定完了後、MP1900A の電源をオフにします。

6. 図 5.3.2.1.2-1 に従って、測定器のケーブルを接続します。
7. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
8. ウォーミングアップ後、MP1900A の信号出力をオンにして、信号を出力させます。
9. サンプリングオシロスコープで出力波形を観測し、すべての規格項目について規格を満たしていることを確認します。
10. MU195020A の XData Output とサンプリングオシロスコープの Input を同軸ケーブルで接続します。手順 9 の測定を繰り返します。
11. 出力チャネルが複数ある場合は、すべての Data Output、XData Output について手順 9 の測定を繰り返します。

5.3.2.1.3 入力レベル

(1) 規格

表 5.3.2.1.3-1 規格

オプション	規格
MU195040A-x10/x20	入力振幅: 0.05～1.0 Vp-p スレッショルド電圧: –3.5～+3.3 V

(2) 接続

機器の接続方法は図 5.3.2.1.1-1 を参考にしてください。

(3) 手順

1. 5.3.2.1.1 項の手順 (3) の 1～5 と同様に機器を接続し、設定します。
2. MU195020A、および MU195040A を表 5.3.2.1.3-2 のとおりに設定します。

MU195020A の出力をオン、MU195040A の [Start] をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。

表 5.3.2.1.3-2 入力レベル試験設定内容 (MU195040A)

No.	MU195020A			MU195040A	
	終端	振幅 [Vp-p]	オフセット (Vth) [V]	終端	スレッショルド電圧 [V]
1	GND	1.0	–2.5	GND	–2.500
2		0.05*	–2.25		–2.250
3		1.0	+2.8		+2.800
4		0.05*	+3.05		+3.050
5	NECL	0.8	–1.3	Variable: – 2.0 V	–1.300
6	LVPECL	0.8	+2.0	Variable: + 1.3 V	+2.000
7	PCML	0.5	+3.05	Variable: + 3.3 V	+3.050

＊: 振幅 0.05 Vp-p の信号は、MU195020A の設定を 0.5 Vp-p にし、精密固定減衰器 (20 dB、応用部品 41KC-20) を使用してください。

注:

終端条件を変更する場合は、必ず以下の順番で MU195020A および MU195040A を設定してください。設定順、終端条件の違いによっては、両器に損傷を与える場合があります。

(1) MU195020A の出力をオフにします。

(2) MU195040A の終端条件を GND に設定します。

(3) MU195020A の終端条件を変更します。

(4) MU195040A の終端条件を MU195020A と同じ条件に設定します。

3. Data Input のケーブルを外し、XData Input のケーブルだけを接続します。MU195040A の Input の画面で Input Condition を [Single-Ended]、[XData] に設定して、手順 2.と同様に MU195020A と MU195040A のレベルを設定し、エラーが発生しないことを確認します。

5.3.2.1.4 パターン

(1) 規格

・ PRBS パターン
・ Zero Substitution パターン

(2) 接続

機器の接続方法は図 5.3.2.1.1-1 を参考にしてください。

(3) 手順

1. 5.3.2.1.1 項の手順 (3) の 1～5 と同様に機器を接続し、設定します。
2. MU195020A の出力をオン、MU195040A の [Start] をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。
3. MU195040A と MU195020A の双方について、PRBS パターン長を 2^n–1、n = 7、9、10、11、15、20、23、31 と変え、エラーが発生しないことを確認します。MU195040A は [Pattern] タブにて設定します。
4. PRBS パターン長を 2^{31}–1 に設定し、Logic を POS と NEG に変えて設定します。手順 3.と同様にエラーが発生しないことを確認します。
5. MU195040A と MU195020A の双方の試験パターンを Zero Substitution に変更します。Length を 2^n–1、n = 7、9、10、11、15、20、23 および 2^n、n = 7、9、10、11、15、20、23 と変え、エラーが発生しないことを確認します。

5.3.2.1.5　エラー検出

(1)　規格

誤り率:	0.0000 × 10^{-16}～1.0000
誤り個数:	0～1 × 10^{16}
エラー・フリー・インターバル（EFI):	0.0000～100.0000 %
エラー・インターバル（EI):	0～1 × 10^{16}

クロック周波数:

MU195040A-001 無し　1.2～10.5 GHz、確度:　±(10 ppm + 1 kHz)

MU195040A-001 有り　1.2～16.05 GHz、確度:　±(10 ppm + 1 kHz)

(2)　接続

機器の接続方法は、図 5.3.2.1.1-1 を参考にしてください。

(3)　手順

1. 5.3.2.1.1 項の手順（3）の 1～5 と同様に機器を接続し、設定します。
2. MU181000A/B または MU191000A の周波数を 10 GHz に設定し、MU195020A の出力をオン、MU195040A の［Start］をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。
3. MU195020A のエラー挿入機能をオンにし、MU195040A の［Result］タブの ER 測定結果が、MU195020A の［Error Addition］タブで設定している値になっていることを確認します。
4. MU195020A の［Error Addition］タブでは、Variation を［Single］に設定します。また、MU195040A の［Measurement］タブの Gating で、Cycle を［Single］、測定時間を 10 秒に設定します。
5. MU195040A の［Start］をタッチし、10 秒間の測定が行われている間に、MU195020A の［Error Addition］タブの［Single］を 1 回タッチします。
   10 秒間の測定終了後に次の結果となっていることを確認します。

誤り率（ER):	5.0000E–12
誤り個数（EC):	1.0000E–00
エラー・フリー・インターバル（%EFI):	99.9900 %
エラー・インターバル（EI):	1

5.3.2.1.6　ノイズ評価試験

(1)　規格

表 5.3.2.1.6-1　MU195050A 規格

項目	規格
Common mode noise (CMI)	0～250 mVp-p*1
Differential mode noise (DMI)	0～200 mVp-p (Differential) *2
White noise*3	0.2～25 mVrms

＊1: 設定は 0 mVp-p から可能。ただし、振幅確度は 10 mVp-p から保証

＊2: 設定は 0 mVp-p から可能。ただし、振幅確度は 4 mVp-p から保証

＊3: MU195050A-001 有りの場合

(2)　CMI/DMI 評価の接続

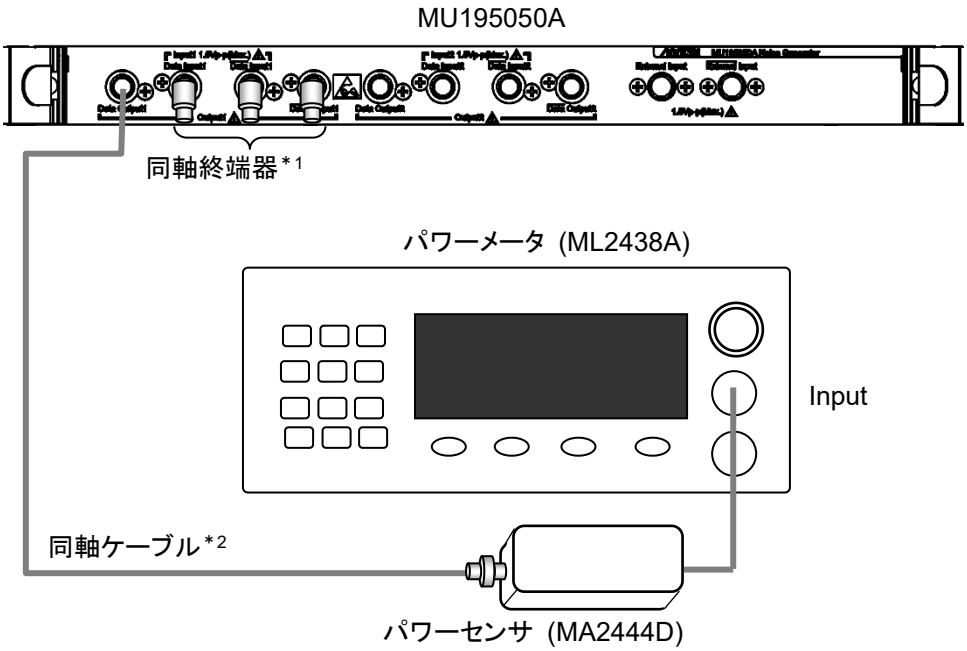


図 5.3.2.1.6-1　CMI/DMI 試験の接続図

＊1: J1632A または同等品

＊2: J1741A または同等品（0.8 m、K コネクタ）

(3)　ホワイトノイズ評価の接続

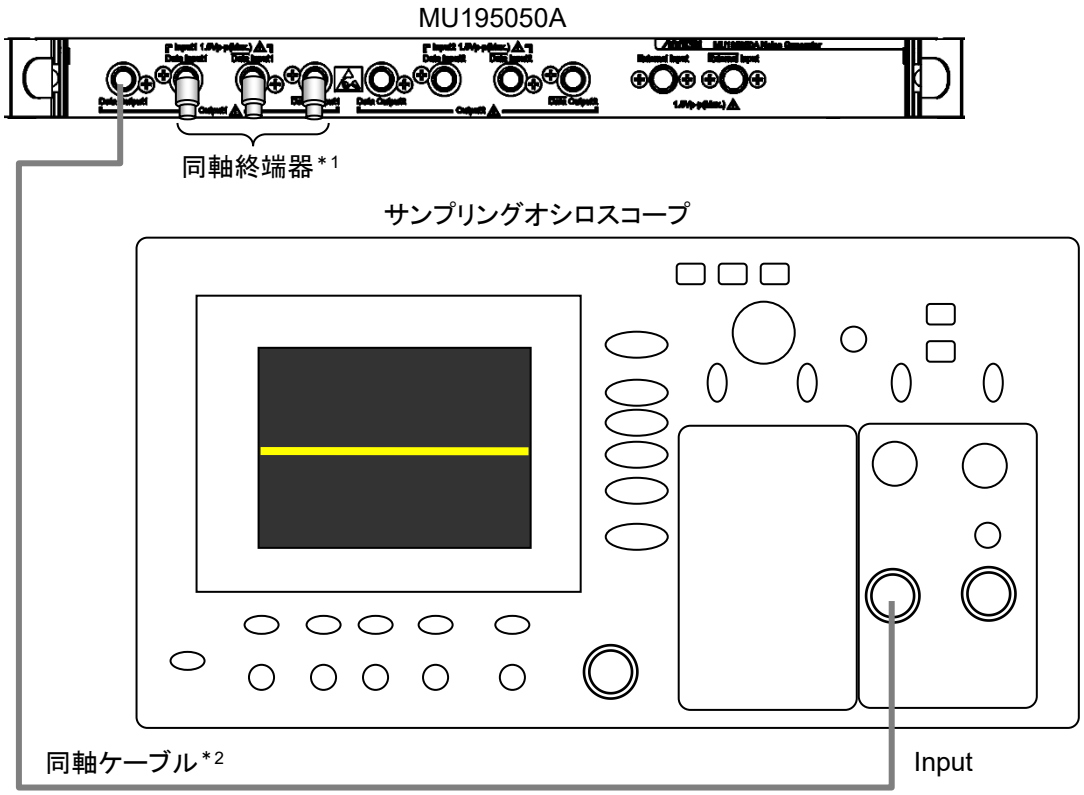


図 5.3.2.1.6-2　ホワイトノイズ試験の接続図

＊1: J1632A または同等品

＊2: J1741A または同等品（0.8 m、K コネクタ）

(4)　手順

CMI/DMI 評価手順

1. MP1900A に MU195050A を装着し、測定するチャネルの測定に使用しないコネクタは同軸終端器で終端します。測定に使用するコネクタにはケーブルを接続しない状態で、MP1900A の電源をオンにします。
2. MU195050A モジュールアプリケーションで試験する CMI または DMI の出力振幅、周波数を設定します。
3. 設定が完了した後、MP1900A の電源をオフにします。
4. 「図 5.3.2.1.6-1　CMI/DMI 試験の接続図」に従って、MU195050A とパワーメータを同軸ケーブルで接続します。
5. MP1900A とパワーメータの電源をオンにして、ウォーミングアップします。
6. ウォーミングアップした後、MU195050A の測定対象コネクタの出力をオンにして、信号を出力します。試験対象でないコネクタの出力はオフにしておきます。
7. パワーメータで出力振幅のパワーを測定し、すべての規格項目につい

て規格を満たしていることを確認します。

8. すべての Data Output、XData Output について手順 7 の測定を繰り返します。

ホワイトノイズ評価手順

1. MP1900A に MU195050A を装着し、測定する Output コネクタ以外の Output コネクタは同軸終端器で終端します。測定に使用するコネクタにはケーブルを接続しない状態で、MP1900A の電源をオンにします。
2. MU195050A モジュールアプリケーションでホワイトノイズの出力振幅を設定します。
3. 設定が完了した後、MP1900A の電源をオフにします。
4. 図 5.3.2.1.6-2　ホワイトノイズ試験の接続図に従って、MU195050A とサンプリングオシロスコープを同軸ケーブルで接続します。
5. MP1900A とサンプリングオシロスコープの電源をオンにして、ウォーミングアップします。
6. ウォーミングアップした後、MU195050A のホワイトノイズ出力をオンにして、信号を出力します。試験対象でないコネクタの出力はオフにしておきます。
7. サンプリングオシロスコープを 50 GHz の帯域、フリーランに設定して、MU195050A の出力波形を観測します。すべての規格項目について規格を満たしていることを確認します。ホワイトノイズの出力レベルはヒストグラム（1σ=rms）で測定します。
8. すべての Data Output、XData Output について手順 7 の測定を繰り返します。

5.3.2.2　MU196020A/MU196040A/B

以下の試験項目について説明します。

- 動作周波数範囲
- 波形評価試験
- 入力レベル
- パターン
- エラー検出
- セルフループバック試験

5.3.2.2.1　動作周波数範囲

(1)　規格

表 5.3.2.2.1-1　規格

オプション	規格
MU196020A-001	2.4～32.1 Gbit/s(Gbaud)
MU196020A-002、y12	2.4～58.2 Gbit/s(Gbaud)
MU196020A-003、y23	2.4～64.2 Gbit/s(Gbaud)
MU196040A-001 または MU196040B-001*	2.4～32.1 Gbit/s(Gbaud)
MU196040B-002、y12*	2.4～58.2 Gbaud 2.4～64.2 Gbit/s

＊:　オプション 005 または 115、125 実装時の規格は、表 5.3.2.3.1-1 を参照してください。

(2)　接続

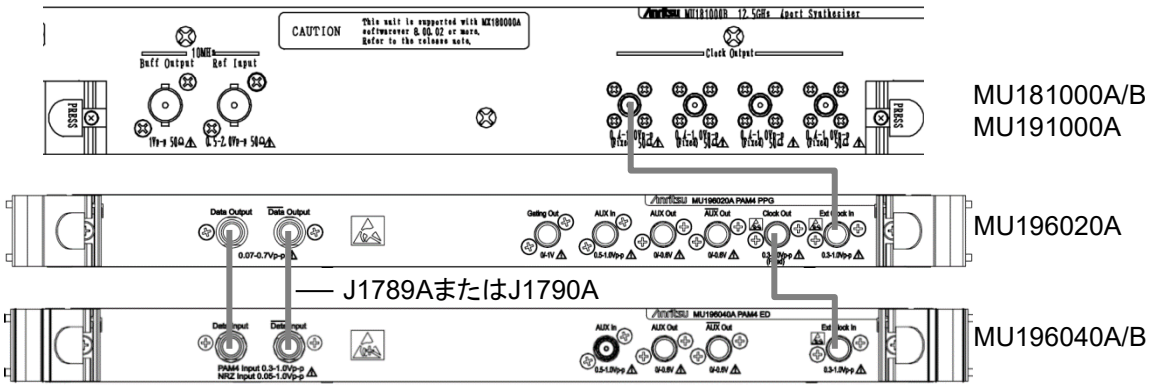
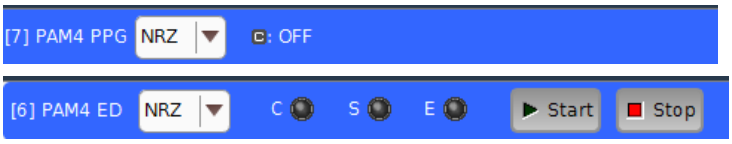


図 5.3.2.2.1-1　動作周波数範囲試験の接続図

MU181000B または MU191000A の代わりに MU181000A を使用する場合は、MU181000A の Clock Output に 6 dB 同軸減衰器を接続してください。

(3)　手順

1. MP1900A に MU196020A を装着し、ケーブルを接続しない状態で電源をオンにします。
2. MU196020A と MU196040A/B の変調方式を［NRZ］にします。



3. MU196020A の［Output］タブで Amplitude を 0.500 Vp-p、Offset を 0.000 V、Vth に設定します
4. MU196020A の［Pattern］タブで試験パターンを PRBS、Length を 2^31–1 に設定します。
5. 設定完了後、MP1900A の電源をオフにします。
6. 図 5.3.2.2.1-1 に従って、測定器のケーブルを接続します。
7. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
8. ウォーミングアップ後、MP1900A 信号出力をオンにして、MU196020A の信号を出力させます。
   MU196020A にはウォーミングアップの状態を示すランプがあります。信号出力後にランプが点灯し、ランプが消灯することでウォーミングアップの終了を確認できます。



9. MU196040A/B の位相、スレッショルド値を最適値に調整します。
10. MU196040A/B でエラーが検出されないことを確認します。
11. 形名、オプションによって次の範囲で動作周波数を可変させ、範囲内でエラーが生じていないことを確認します。

    MU196040A-001、MU196040B-001:　2.4～32.1 Gbit/s (Gbaud)

    MU196040B-002、y12:　2.4～64.2 Gbit/s、2.4～58.2 Gbaud

    MU196040A および MU196040B-001 では、32.1 Gbit/s を超える範囲の試験に対応していません。

    MU196040A および MU196040B-001 を使用したときの、MU196020A の 32.1 Gbit/s を超える性能は、「5.3.2.2.2 波形評価試験」で確認してください。

    MU196040B-002、y12 では、58.2 Gbaud を超える範囲の試験については、性能保証の対象外となります。

    MU196040B-002、y12 を使用したときの、MU196020A の 58.2 Gbaud を超える性能は、「5.3.2.2.2 波形評価試験」で確認してください。

5.3.2.2.2　波形評価試験

(1)　規格

表 5.3.2.2.2-1　MU196020A 規格

項目	条件	規格
振幅	0.07～0.70 Vp-p*1、*2、*3、*4 0.07～0.60 Vp-p*5 0.07～0.55 Vp-p*6	振幅の±12%±35 mV
オフセット（Vth）	$-2.0-\frac{振幅}{2}$ ～ $+3.3-\frac{振幅}{2}$ V	±65 mV ±10% of offset (Vth) ±(Eye Amplitude Accuracy / 2)*7、*8
クロスポイント*11	振幅：0.50 Vp-p	50% 固定
Tr/Tf*11	振幅：0.50 Vp-p	9.0 ps (20～80%)*1、*7、*9 8.5 ps (20～80%)*2、*3、*7、*9 9.5 ps (20～80%)*4、*7、*9 8.8 ps (20～80%)*5、*6、*7、*9
Jitter*10、*11、*12	振幅：0.50 Vp-p	6.0 ps p-p*1、*2、*3、*4、*5、*6、*9 600 fs rms*1、*2、*3、*4、*5、*6、*9

＊1: J1789A ケーブル使用時、MU196020A-001 の場合、32.1 Gbit/s にて

＊2: J1789A ケーブル使用時、MU196020A-002 の場合、58.2 Gbit/s にて

＊3: J1789A ケーブル使用時、MU196020A-003 の場合、64.2 Gbit/s にて

＊4: J1790A ケーブル使用時、MU196020A-001 の場合、32.1 Gbit/s にて

＊5: J1790A ケーブル使用時、MU196020A-002 の場合、58.2 Gbit/s にて

＊6: J1790A ケーブル使用時、MU196020A-003 の場合、64.2 Gbit/s にて

＊7: MU196020A-x11 実装時の Emphasis 設定時は除く

＊8: PAM4 設定時は PAM4 Amplitude（3/2、2/1、1/0）の振幅均等 33%設定時

＊9: 代表値

＊10: ジッタ規格値は、残留ジッタ < 200 fs (RMS) のオシロスコープを使用したときの値です。

＊11: NRZ

＊12: 20～30 °C (一定温度) にて、測定カウント 30

(2)　接続

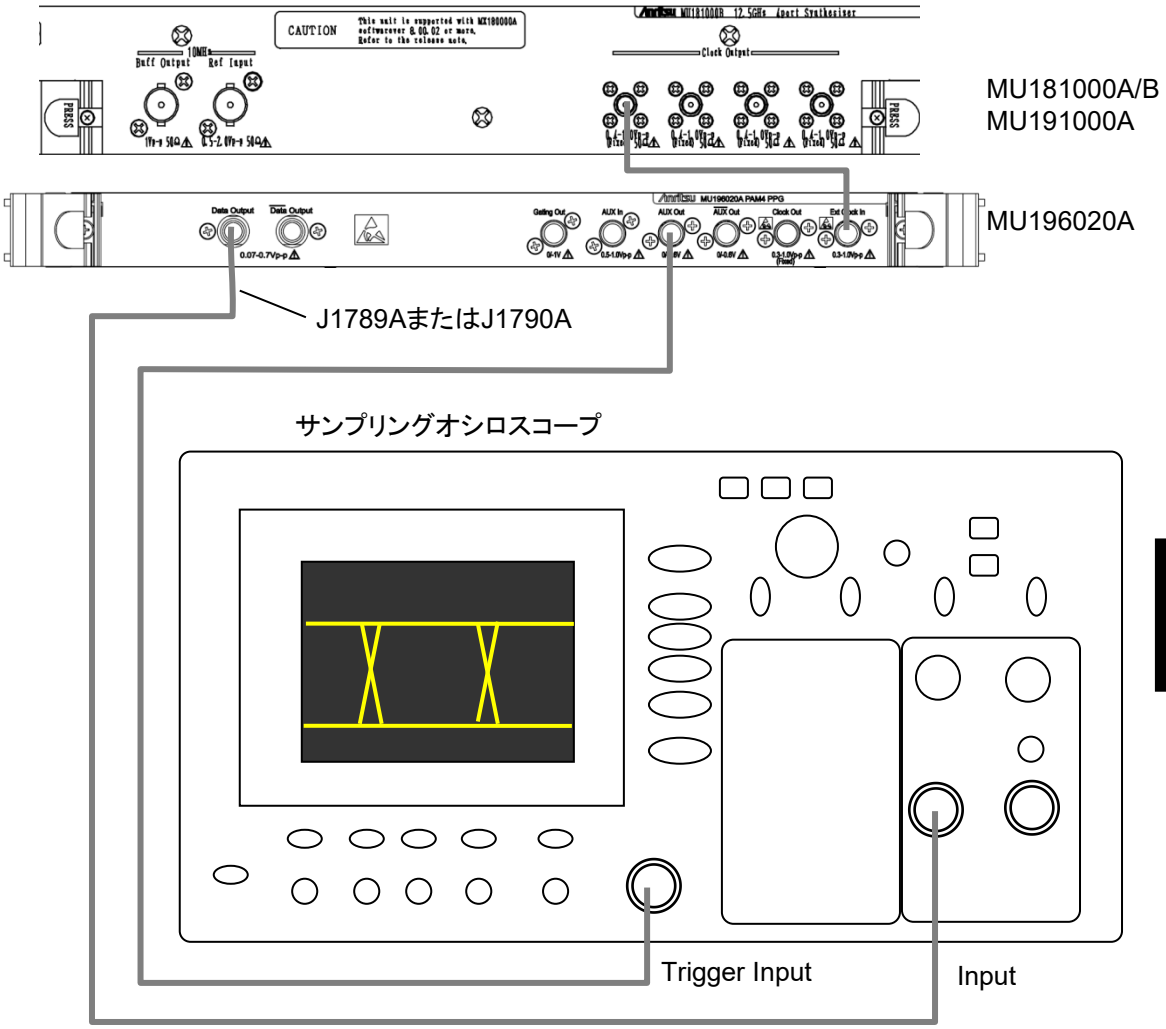


図 5.3.2.2.2-1　波形試験の接続図

MU181000B の代わりに MU181000A を使用する場合は、MU181000A の Clock Output に 6 dB 同軸減衰器を接続してください。
波形試験には帯域 70 GHz、残留ジッタ ＜200 fs (RMS) のサンプリングオシロスコープを使用してください。

(3)　手順

1. MP1900A に MU196020A を装着し、ケーブルを接続しない状態で電源をオンにします。
2. MU196020A の変調方式を［NRZ］にします。
3. MU196020A の［Output］タブで次のとおり設定します。

Bit Rate	
MU196020A-001	32.100 000
MU196020A-002	58.200 000
MU196020A-003	64.200 000
Ext ATT Factor	0.000
Amplitude	0.070
Offset	AC OFF、0.000、Vth
Half Period Jitter	0
Delay	0

［Cable for Data Output］には、サンプリングオシロスコープとの接続に使用するケーブルの形名を設定します。

4. MU196020A の［Output］タブから試験する Data 出力の振幅、オフセットを設定します。
5. MU196020A の［Pattern］タブで試験パターンを PRBS、2^31–1 に設定します。
6. サンプリングオシロスコープに入力するトリガ信号を設定します。MU196020A の AUX Out から 1/N Clock を選択し、使用するサンプリングオシロスコープに合わせて分周比を設定します。
7. 設定完了後、MP1900A の電源をオフにします。
8. 図 5.3.2.2.2-1 に従って、測定器のケーブルを接続します。ケーブル未接続側の出力には添付の終端器を必ず接続してください。
9. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
10. MP1900A の信号出力をオンにして、信号を出力させます。
11. サンプリングオシロスコープで振幅を測定し、結果を記録します。
12. MU196020A の［Output］タブで Amplitude を設定します。

MU196020A-002、J1790A ケーブル使用時	0.600
MU196020A-003、J1790A ケーブル使用時	0.550
上記以外	0.700

13. サンプリングオシロスコープで振幅を測定し、結果を記録します。
14. MU196020A の［Output］タブで Offset を設定します。

MU196020A-002、J1790A ケーブル使用時	–2.300
MU196020A-003、J1790A ケーブル使用時	–2.275
上記以外	–2.350

15. サンプリングオシロスコープでアイの中間レベルを測定し、結果を記録します。

16. MU196020A の［Output］タブで Amplitude を 0.070、Offset を 3.265 に設定します。
17. サンプリングオシロスコープでアイの中間レベルを測定し、結果を記録します。
18. MU196020A の［Output］タブで Amplitude を 0.500、Offset を 0.000 に設定します。
19. サンプリングオシロスコープでクロスポイント、Tr/Tf、およびジッタを測定し、結果を記録します。
20. MU196020A の変調方式を［PAM4］にします。
21. MU196020A の［Output］タブで Total Amplitude を 0.070 に設定し、[Even] をタッチします。
22. サンプリングオシロスコープで振幅を測定し、結果を記録します。
23. MU196020A の［Output］タブで Total Amplitude を設定します。

MU196020A-002、J1790A ケーブル使用時	0.600
MU196020A-003、J1790A ケーブル使用時	0.550
上記以外	0.700

24. サンプリングオシロスコープで振幅を測定し、結果を記録します。
25. MU196020A の［Output］タブで Offset を設定します。

MU196020A-002、J1790A ケーブル使用時	–2.300
MU196020A-003、J1790A ケーブル使用時	–2.275
上記以外	–2.350

26. サンプリングオシロスコープでレベル 2/1 の中間レベルを測定し、結果を記録します。
27. MU196020A の［Output］タブで Total Amplitude を 0.070、Offset を 3.265 に設定します。
28. サンプリングオシロスコープでレベル 2/1 の中間レベルを測定し、結果を記録します。
29. MU196020A の$\overline{\text{Data}}$ Output とサンプリングオシロスコープの Input を同軸ケーブルで接続します。MU196020A のケーブル未接続側の出力コネクタには添付の終端器を必ず接続してください。手順 3 から 28 の測定を繰り返します。

5.3.2.2.3　入力レベル

(1)　規格

表 5.3.2.2.3-1　規格

オプション	規格
MU196040A-001	NRZ 入力振幅:　0.05～1.0 Vp-p PAM4 入力振幅:　0.3～1.0 Vp-p スレッショルド電圧:　–3.5～+3.3 V
MU196040B-001*	NRZ 入力振幅:　0.05～1.0 Vp-p PAM4 入力振幅:　0.3～1.0 Vp-p スレッショルド電圧:　–3.5～+3.3 V
MU196040B-002、 MU196040B-001 + y12 *	NRZ 入力振幅 (≤32.1 Gbit/s):　0.05～1.0 Vp-p NRZ 入力振幅 (>32.1 Gbit/s):　0.1～1.0 Vp-p PAM4 入力振幅 (≤32.1 Gbaud):　0.3～1.0 Vp-p PAM4 入力振幅 (>32.1 Gbaud):　0.4～1.0 Vp-p スレッショルド電圧:　–3.5～+3.3 V

＊:　オプション 005 または 115、125 実装時の規格は、表 5.3.2.3.3-1 を参照してください。

(2)　接続

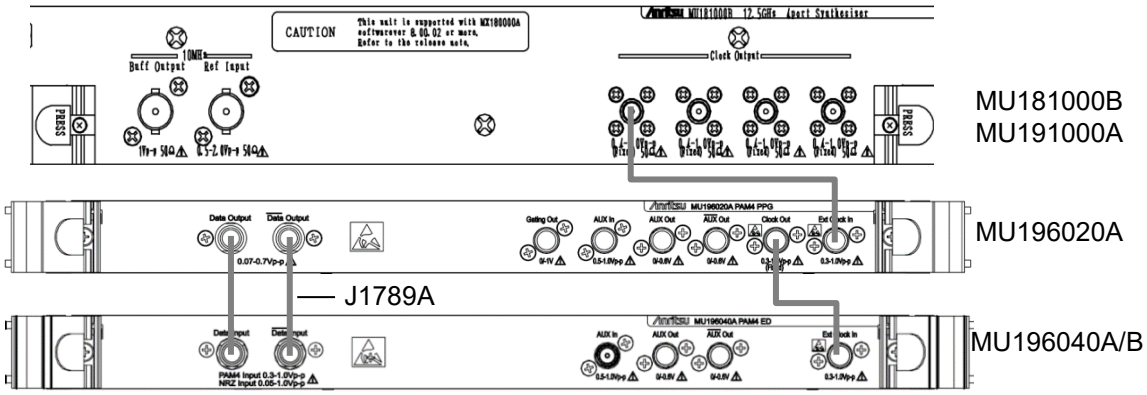


図 5.3.2.2.3-1　入力レベル試験の接続図

(3)　手順

1. 5.3.2.2.1 項の手順 (3) の 1～5 と同様に機器を設定します。
2. 図 5.3.2.2.3-1 に従って、測定器のケーブルを接続します。
3. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
4. MU196020A および MU196040A/B を表 5.3.2.2.3-2 の 1～4 の設定にします。

   MU196040B 使用時に 32.1 Gbit/s 以上の試験する場合は、表 5.3.2.2.3-2 の 1、3、5、6 の設定にしてください。
5. MU196020A の出力をオン、MU196040A/B の [Start] をタッチします。

6. [Auto Search] をタッチします。Mode を [Fine] にして [Start] をタッチします。スレッショルド電圧および位相が最適値に調整され、エラーが発生しないことを確認します。
7. MU196020A と MU196040A/B の変調方式を [PAM4] にします。
8. MU196020A および MU196040A/B を表 5.3.2.2.3-3 の 1～4 の設定にします。

   MU196040B 使用時に 32.1 Gbaud 以上の試験する場合は、表 5.3.2.2.3-3 の 1、3、5、6 の設定にしてください。また、MU196040B の [Input] タブで [Differential] に設定します。
9. Data Input のケーブルを外し、$\overline{\text{Data}}$ Input のケーブルだけを接続します。MU196020A のケーブル未接続側の出力コネクタには添付の終端器を必ず接続してください。
10. MU196040A/B の Input の画面で Input Condition を [Single-Ended]、[XData] に設定して、手順 4 から 8 を繰り返してエラーが発生しないことを確認します。

表 5.3.2.2.3-2　NRZ 入力レベル試験設定内容 (MU196040A/B)

No.	MU196020A			MU196040A/B	
	終端	振幅 [Vp-p]	オフセット (Vth) [V]	終端	スレッショルド電圧 [V] *3
1	GND	0.7	–2.35	GND	–2.350
2		0.05*1	–0.225*1		–0.225
3		0.7	+2.95		+2.950
4		0.05*2	+0.305*2		+0.305
5		0.1	–2.05		–2.050
6		0.1	+3.25		+3.250

＊1: 振幅 0.05 Vp-p、オフセット –0.225 V の信号を出力するには、MU196020A の Data Output コネクタと $\overline{\text{Data}}$ Output コネクタそれぞれに精密固定減衰器 20 dB (応用部品 41VA-20) および精密アダプタ (応用部品 34VFK50) を使用してください。
MU196020A を次のとおり設定してください。

振幅　　0.5 Vp-p
オフセット –2.25 V

＊2: 振幅 0.05 Vp-p、オフセット+0.305 V の信号の信号を出力するには、MU196020A の Data Output コネクタと $\overline{\text{Data}}$ Output コネクタそれぞれに精密固定減衰器 20 dB (応用部品 41VA-20) および精密アダプタ (応用部品 34VFK50) を使用してください。
MU196020A を次のとおり設定してください。
振幅　　0.5 Vp-p
オフセット +3.05 V

＊3: Mode を [Fine (NRZ)] にして Auto Search を実行し、スレッショルド電圧および位相を最適値に調整してください。

表 5.3.2.2.3-3　PAM4 入力レベル試験設定内容 (MU196040A/B)

No.	MU196020A			MU196040A/B	
	終端	振幅 [Vp-p]	オフセット (Vth) [V]	終端	スレッショルド電圧 [V]*
1	GND	0.7	–2.35	GND	Upper: –2.350 + 0.233 (–2.117) Middle: –2.350 Lower: –2.350 – 0.233 (–2.583)
2		0.3	–2.15		Upper: –2.150 + 0.100 (–2.050) Middle: –2.150 Lower: –2.150 – 0.100 (–2.250)
3		0.7	+2.95		Upper: +2.950 + 0.233 (+3.183) Middle: +2.950 Lower: +2.950 – 0.233 (+2.717)
4		0.3	+3.15		Upper: +3.150 + 0.100 (+3.250) Middle: +3.150 Lower: +3.150 – 0.100 (+3.050)
5		0.4	–2.20		Upper: –2.20 + 0.133 (–2.067) Middle: –2.200 Lower: –2.200 – 0.133 (–2.333)
6		0.4	+3.10		Upper: +3.100 + 0.133 (+3.333) Middle: +3.100 Lower: +3.100 – 0.133 (+2.967)

＊: Mode を［Fine (PAM4)］にして Auto Search を実行し、スレッショルド電圧および位相を最適値に調整してください。

注:

終端条件を変更する場合は、必ず以下の順番で MU196020A および MU196040A/B を設定してください。設定順、終端条件の違いによっては、両器に損傷を与える場合があります。

(1) MU196020A の出力をオフにします。

(2) MU196040A/B の終端条件を GND に設定します。

(3) MU196020A の終端条件を変更します。

(4) MU196040A/B の終端条件を MU196020A と同じ条件に設定します。

5.3.2.2.4　パターン

(1)　規格

- PRBS パターン（NRZ、PAM4）
- Zero Substitution パターン（NRZ）
- SSPRQ パターン（PAM4）

(2)　接続

機器の接続方法は図 5.3.2.2.3-1 を参考にしてください。

(3)　手順

1. 5.3.2.2.1 項の手順（3）の 1～5 と同様に機器を設定します。
2. 図 5.3.2.2.3-1 に従って、測定器のケーブルを接続します。
3. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
4. MU196020A と MU196040A/B の変調方式を［NRZ］にします。
5. MU196020A の出力をオン、MU196040A/B の［Start］をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。
6. MU196040A/B と MU196020A の双方について、[Pattern] タブで PRBS パターン長を次の順番で変え、エラーが発生しないことを確認します。
   2^7–1 、2^9–1 、2^10–1 、2^11–1 、2^13–1 、2^15–1 、2^20–1 、2^23–1、2^31–1
7. MU196040A/B と MU196020A の双方について、PRBS パターン長を 2^31–1 に設定します。次の 4 とおりの変調方式と Logic の組み合わせでエラーが発生しないことを確認します。

表 5.3.2.2.4-1　変調方式と Logic の設定

	変調方式	Logic	Logic MSB	Logic LSB
1	NRZ	POS	–	–
2	NRZ	NEG	–	
3	PAM4	–	POS	POS
4	PAM4	–	NEG	NEG

8. MU196020A と MU196040A/B の変調方式を［NRZ］にします。
9. MU196040A/B と MU196020A の双方の試験パターンを Zero Substitution に変更します。Length を次の順番で変え、エラーが発生しないことを確認します。
   2^7、2^9、2^10、2^11、2^15、2^20、2^23、2^7–1、2^9–1、2^10–1、2^11–1、2^15–1、2^20–1、2^23–1
10. MU196020A と MU196040A/B の変調方式を［PAM4］にします。
11. MU196040A/B と MU196020A の双方の試験パターンを SSPRQ に変更します。エラーが発生しないことを確認します。

5.3.2.2.5　エラー検出

(1)　規格

誤り率:	0.0000×10^{-16}～1.0000
誤り個数:	0～1×10^{16}
エラー・フリー・インターバル（EFI):	0.0000～100.0000%
エラー・インターバル（EI):	0～1×10^{16}
クロック周波数:	
MU196040A-001	2.4～32.1 GHz、
MU196040B-001	2.4～32.1 GHz、
MU196040B-002	2.4～64.2 GHz、
確度:	±(10 ppm + 1 kHz)

(2)　接続

機器の接続方法は、図 5.3.2.2.3-1 を参考にしてください。

(3)　手順

1. 5.3.2.2.1 項の手順（3）の 1～5 と同様に機器を設定します。
2. 図 5.3.2.2.3-1 に従って、測定器のケーブルを接続します。
3. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
4. MU181000B または MU191000A の周波数を 10 GHz に設定します。
5. MU196020A と MU196040A/B の変調方式を［NRZ］にします。
6. MU196020A が NRZ 20 Gbit/s になっていることを確認し出力をオン、MU196040A/B の［Start］をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。
7. MU196020A のエラー挿入機能をオンにし、MU196040A/B の［Result］タブの ER 測定結果が、MU196020A の［Error Addition］タブで設定している値になっていることを確認します。
8. MU196020A の［Error Addition］タブでは、Variation を［Single］に設定します。
9. MU196040A/B の［Measurement］タブの Gating で、Cycle を［Single］、測定時間を 10 秒に設定します。
10. MU196040A/B の［Start］をタッチし、10 秒間の測定が行われている間に、MU196020A の［Error Addition］タブの［Single］を 1 回タッチします。
    10 秒間の測定終了後に次の結果となっていることを確認します。

誤り率（ER):	5.0000E–12
誤り個数（EC):	1.0000E–00
エラー・フリー・インターバル（%EFI):	99.9900%
エラー・インターバル（EI):	1

5.3.2.2.6　セルフループバック試験

5.3.2.2.6.1　PAM4 PPG/ED

(1)　規格

SSC＝ON
NRZ:　　125 秒エラーフリー（16.0 Gbit/s、32.0 Gbit/s）
PAM4:　BER<1E-8 (32.0 Gbaud)
SSC＝OFF
NRZ:　　125 秒エラーフリー（19.0～32.1 Gbit/s）
PAM4:　BER<1E-8 (19.0～32.1 Gbaud)

(2)　接続

注:

以下の接続は各 MUxxxxモジュール間のコネクタ接続を説明する図です。
実際に MP1900A 本体に挿入されているスロット位置とは異なります。

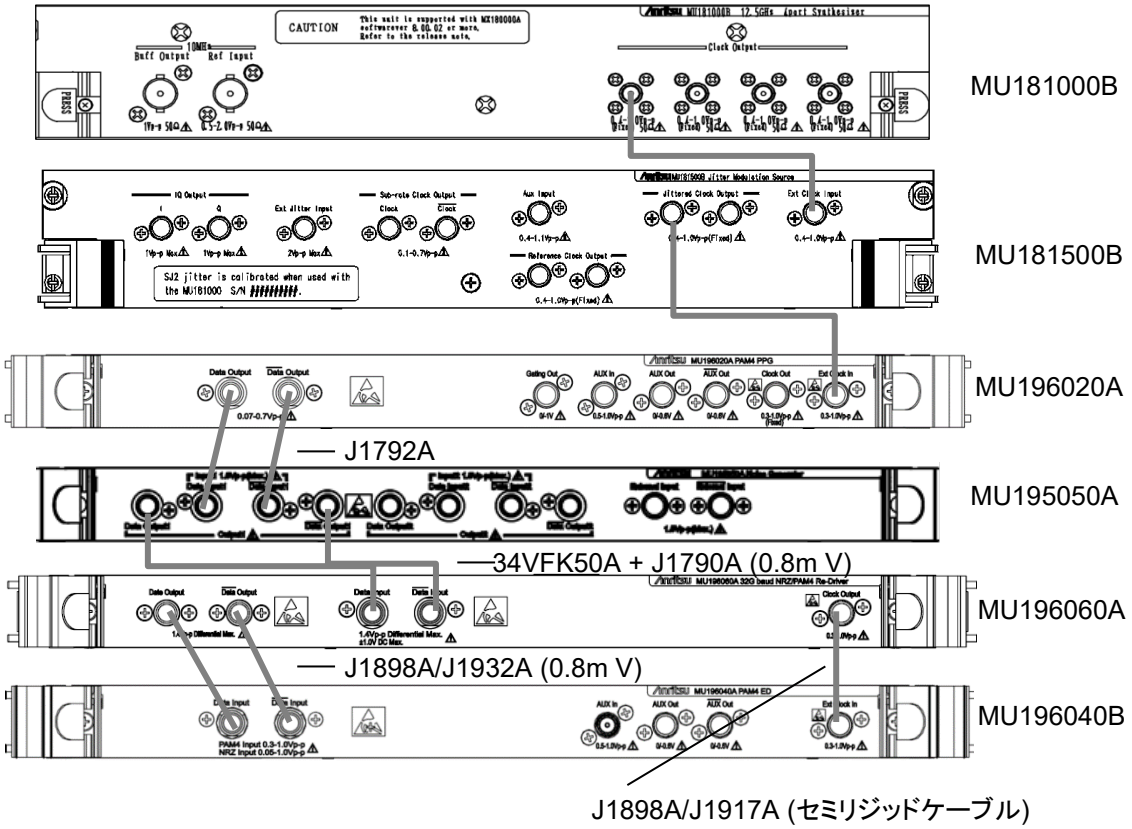


図 5.3.2.2.6.1-1　セルフループバック試験の接続図 (PAM4 PPG/ED 使用)

(3)　手順

SSC＝ON の測定

1. 図 5.3.2.2.6.1-1 に従って、測定器のケーブルを接続します。
2. MP1900A の電源をオンにして「BERT for PCIe1-7」で起動し、ウォーミングアップします。
3. MU196020A と MU196040B の変調方式を［NRZ］に設定します。

4. MU196020A の［Output］タブで下記を設定します。
   Bitrate:　[PCIe4](16Gbit/s)
5. MU196040B の［Input］タブで、下記の設定になっていることを確認します。
   Input Condition:　Differential 50 Ohm
   Clock and Data Recovery: Clock from MU196060A
6. MU196020A と MU196040B の［Pattern］タブで、下記を設定します。
   Test Pattern:　MCP in 128b/130b Encoding for PCIe4
7. MU196060A の Clock Recovery for SSC の Bitrate を下記に設定します。
   Tracking:　Unit1:Slot7:MU196020A
8. MU181500B の SSC を下記に設定して、[ON] にします。
   Type:　Down
   Frequency:　33000 Hz
   Deviation:　5300ppm
9. MU196020A の出力をオンにしたあと、[Auto Search] をタッチします。[Advanced] を［ON］にして、Start を実行します。
   Advanced:　ON
   Equalizer:LFE/DFE:　OFF (MU196040B の LFE/DFE 設定)
   Equalizer:CTLE:　ON (MU196060A の CTLE 設定)
10. MU196040B の［Measurement］タブで、下記を設定します。
    Gating Cycle:　Single
    Unit:　Time
    00:02:05 (2 分 5 秒)
11. MU196040B の［Start］をタッチします。[Result] タブの Bit ER 測定結果が、エラーフリーになっていることを確認します。
12. MU196020A の［Output］タブで下記を設定します。
    Bitrate:　[PCIe5](32Gbit/s)
13. 手順 9～11 を行い、[Result] タブの Bit ER 測定結果が、エラーフリーになっていることを確認します。
14. MU196020A と MU196040B の変調方式を［PAM4］に設定します。
15. MU196020A の［Output］タブで下記を設定します。
    Baud Rate:　[PCIe6](32Gbaud)
16. MU196020A と MU196040B の[Pattern] タブで、下記を設定します。
    Test Pattern:　MCP in 1b/1b Encoding for PCIe6

17. MU196020A の出力をオンにし、[Auto Search] をタッチします。下記の設定をした後、Start を実行します。

    Advanced: ON
    Equalizer:LFE/DFE: OFF (MU196040B の LFE/DFE 設定)
    Equalizer:CTLE: ON (MU196060A の CTLE 設定)

18. MU196040B の [Start] をタッチします。[Result] タブの ER 測定結果が、1.0E-8 未満になっていることを確認します。

SSC＝OFF の測定

19. 手順 18 につづき、MU181500B の SSC を [OFF] にします。
20. MU196020A と MU196040B の変調方式を [NRZ] または [PAM4] に設定して、[19～32.1Gbit/s] または [19～32Gbaud] を任意に設定し、パターンを [PRBS 2^31–1] にします。
21. MU196020A の出力をオンにしたあと、[Auto Search] をタッチします。手順 9 または 16 の設定した後、Start を実行します。
22. MU196040B の[Start] をタッチします。[Result] タブの Bit ER 測定結果であることを確認します。

    NRZ: 125 秒エラーフリー
    PAM4: 1.0E-8 未満

5.3.2.2.6.2　SI PPG/ED

(1)　規格

SSC＝ON
NRZ：125 秒エラーフリー（16.0 Gbit/s、32.0 Gbit /s）

(2)　接続

注：

以下の接続は各 MUxxxxモジュール間のコネクタ接続を説明する図です。
実際に MP1900A 本体に挿入されているスロット位置とは異なります。

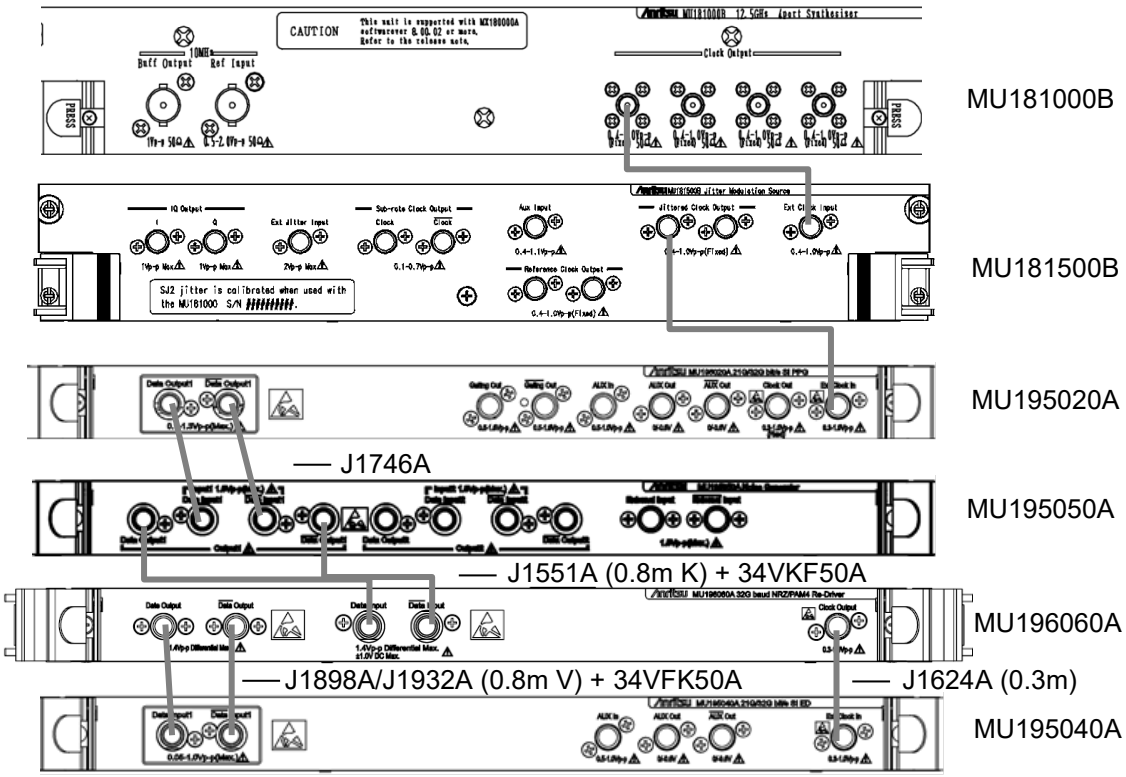


図 5.3.2.2.6.2-1　セルフループバック試験の接続図(SI PPG/ED 使用)

(3)　手順

1. 図 5.3.2.2.6.2-1 に従って、測定器のケーブルを接続します。
2. MP1900A の電源をオンにして「Standard BERT for SI」で起動し、ウォーミングアップします。
3. MU195020A のビットレートを [PCIe4](16Gbit/s) に設定します。[Emphasis] タブの Channel Emulator を [ON] にし、DUT S-parameter で [MU195050A_NOISE.S2P] ファイルを開いて、Response を [Inverse] にします。

4. MU195040B の [Input] タブで、下記の設定になっていることを確認します。
   Input Condition: Differential 50 Ohm
   Selection: Clock and Data Recovery
   Bitrate: PCIe4

5. MU195020A と MU195040A の [Pattern] タブで、[Test Pattern] を [Data] にし、[Edit] ボタンから Pattern Editor を開き、[File] を選択して [Open] から下記を設定します。
   MU195020A Current Outputting Pattern /
   MU195040A Edit File Name: 128b130b_MCP_L0_Gen4.ptn

6. MU181500B の SSC を下記に設定して、[ON] にします。
   Type: Down
   Frequency: 33000 Hz
   Deviation: 5300ppm

7. MU195020A の出力をオンにしたあと、[Auto Search] をタッチします。下記の設定にした後、Start を実行します。
   Mode: Fine (NRZ)
   Adjust CTLE Gain: ON (MU195040A または MU196060A の CTLE 設定)
   Assign Slot5 CTLE to: Slot6-1 ED (Slot5:MU196060A の CTLE を使用する)

8. MU195040A の [Measurement] タブで、下記を設定します。
   Gating Cycle: Single
   Unit: Time
   00:02:05 (2 分 5 秒)

9. MU195040A の [Start] をタッチします。[Result] タブの ER 測定結果が、エラーフリーになっていることを確認します。

10. MU195020A の [Output] タブで下記を設定します。
    Bitrate: [PCIe5](32Gbit/s)

11. MU195040A の [Input] タブで、下記の設定になっていることを確認します。
    Input Condition: Differential 50 Ohm
    Selection: External Clock

12. MU195020A と MU195040A の [Pattern] タブで、下記を設定します。
    MU195020A Current Outputting Pattern /
    MU195040A Edit File Name: 128b130b_MCP_L0_Gen5.ptn

13. 手順 7～9 を行い、[Result] タブの ER 測定結果が、エラーフリーになっていることを確認します。

5.3.2.3　MU196020C/MU196040B

以下の試験項目について説明します。

- 動作周波数範囲
- 波形評価試験
- 入力レベル
- パターン
- エラー検出
- セルフループバック試験

5.3.2.3.1　動作周波数範囲

(1)　規格

表 5.3.2.3.1-1　規格

オプション	規格
MU196020C-001	2.4～32.1 Gbit/s(Gbaud)
MU196020C-002、y12	2.4～58.2 Gbit/s(Gbaud)
MU196020C-003、y23	2.4～64.2 Gbit/s(Gbaud)
MU196040B-005、115、125*	2.4～64.2 Gbit/s(Gbaud)

＊:　オプション 001、002 または y12 実装時の規格は、表 5.3.2.2.1-1 を参照してください。

(2)　接続

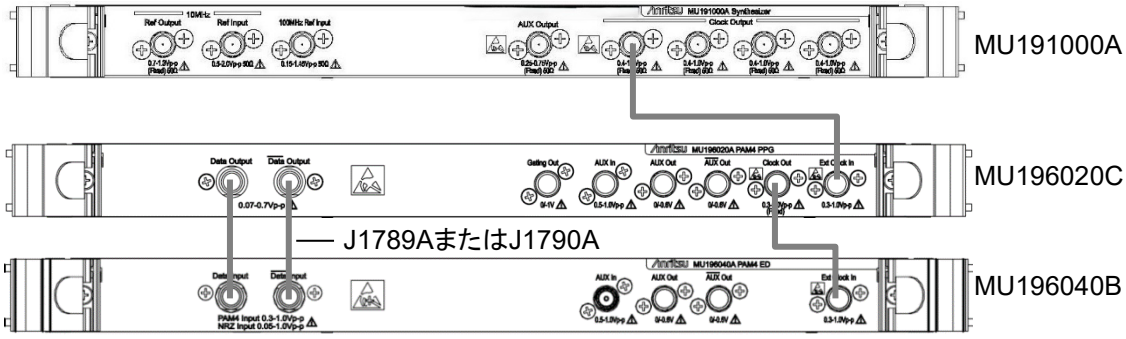
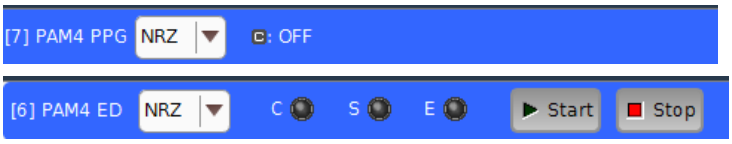


図 5.3.2.3.1-1　動作周波数範囲試験の接続図

(3)　手順

1. MP1900A に MU196020C を装着し、ケーブルを接続しない状態で電源をオンにします。
2. MU196020C と MU196040B の変調方式を［NRZ］にします。



3. MU196020C の［Output］タブで Amplitude を 0.500 Vp-p、Offset を 0.000 V、Vth に設定します
4. MU196020C の［Pattern］タブで試験パターンを PRBS、Length を 2^31–1 に設定します。
5. 設定完了後、MP1900A の電源をオフにします。
6. 図 5.3.2.3.1-1 に従って、測定器のケーブルを接続します。
7. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
8. ウォーミングアップ後、MP1900A 信号出力をオンにして、MU196020C の信号を出力させます。
   MU196020C にはウォーミングアップの状態を示すランプがあります。信号出力後にランプが点灯し、ランプが消灯することでウォーミングアップの終了を確認できます。



9. MU196040B の位相、スレッショルド値を最適値に調整します。
10. MU196040B でエラーが検出されないことを確認します。
11. 形名、オプションによって次の範囲で動作周波数を可変させ、範囲内でエラーが生じていないことを確認します。

    MU196040B-005:　　2.4～64.2 Gbit/s (Gbaud)

    MU196040A および MU196040B-001、002 または y12 を使用したときの動作周波数範囲は、「5.3.2.2.1　動作周波数範囲」を参照してください。

    MU196040A および MU196040B-001、002 または y12 を使用したときの、MU196020C　の動作周波数範囲を超える性能は、「5.3.2.3.2　波形評価試験」で確認してください。

5.3.2.3.2　波形評価試験

(1)　規格

表 5.3.2.3.2-1　MU196020C 規格

項目	条件	規格
振幅	0.07～0.70 Vp-p*1、*2、*3、*4 0.07～0.60 Vp-p*5 0.07～0.55 Vp-p*6	振幅の±12%±35 mV
オフセット（Vth）	$-2.0-\frac{振幅}{2}$ ～ $+3.3-\frac{振幅}{2}$ V	±65 mV ±10% of offset (Vth) ±(Eye Amplitude Accuracy / 2)*7、*8
クロスポイント*11	振幅：0.50 Vp-p	50% 固定
Tr/Tf*11	振幅：0.50 Vp-p	9.0 ps (20～80%)*1、*7、*9 8.5 ps (20～80%)*2、*3、*7、*9 9.5 ps (20～80%)*4、*7、*9 8.8 ps (20～80%)*5、*6、*7、*9
Jitter*10、*11、*12	振幅：0.50 Vp-p	6.0 ps p-p*1、*2、*3、*4、*5、*6、*9 600 fs rms*1、*2、*3、*4、*5、*6、*9

＊1: J1789A ケーブル使用時、MU196020C-001 の場合、32.1 Gbit/s にて

＊2: J1789A ケーブル使用時、MU196020C-002 の場合、58.2 Gbit/s にて

＊3: J1789A ケーブル使用時、MU196020C-003 の場合、64.2 Gbit/s にて

＊4: J1790A ケーブル使用時、MU196020C-001 の場合、32.1 Gbit/s にて

＊5: J1790A ケーブル使用時、MU196020C-002 の場合、58.2 Gbit/s にて

＊6: J1790A ケーブル使用時、MU196020C-003 の場合、64.2 Gbit/s にて

＊7: MU196020C-x11 実装時の Emphasis 設定時は除く

＊8: PAM4 設定時は PAM4 Amplitude（3/2、2/1、1/0）の振幅均等 33%設定時

＊9: 代表値

＊10: ジッタ規格値は、残留ジッタ < 200 fs (RMS) のオシロスコープを使用したときの値です。

＊11: NRZ

＊12: 20～30 °C（一定温度）にて、測定カウント 30

(2)　接続

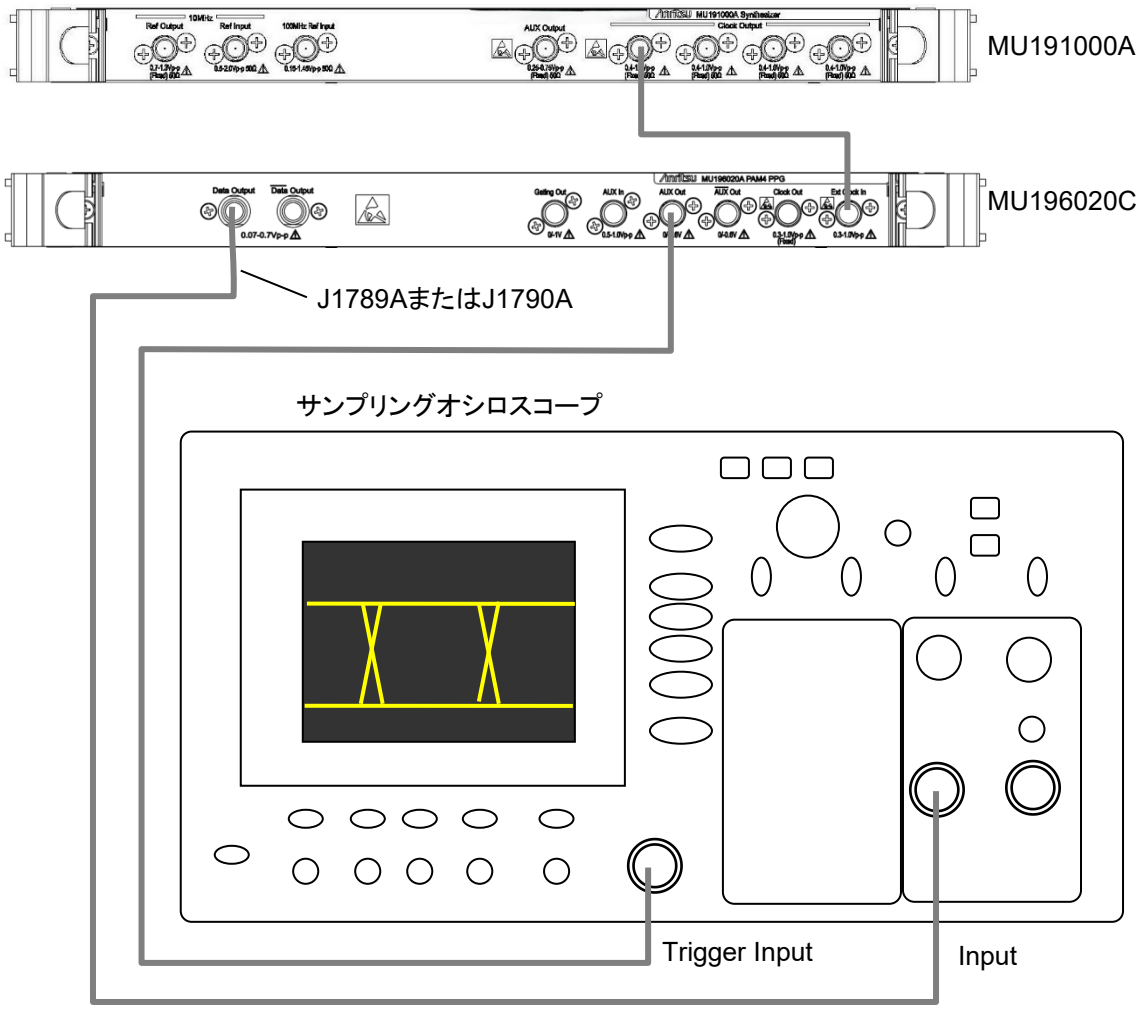


図 5.3.2.3.2-1　波形試験の接続図

波形試験には帯域 70 GHz、残留ジッタ ＜200 fs (RMS) のサンプリングオシロスコープを使用してください。

(3)　手順

1. MP1900A に MU196020C を装着し、ケーブルを接続しない状態で電源をオンにします。
2. MU196020C の変調方式を［NRZ］にします。
3. MU196020C の［Output］タブで次のとおり設定します。

Bit Rate	
MU196020C-001	32.100 000
MU196020C-002	58.200 000
MU196020C-003	64.200 000
Ext ATT Factor	0.000
Amplitude	0.070
Offset	AC OFF、0.000、Vth
Half Period Jitter	0
Delay	0

［Cable for Data Output］には、サンプリングオシロスコープとの接続に使用するケーブルの形名を設定します。

4. MU196020C の［Output］タブから試験する Data 出力の振幅、オフセットを設定します。
5. MU196020C の［Pattern］タブで試験パターンを PRBS、2^31–1 に設定します。
6. サンプリングオシロスコープに入力するトリガ信号を設定します。MU196020C の AUX Out から 1/N Clock を選択し、使用するサンプリングオシロスコープに合わせて分周比を設定します。
7. 設定完了後、MP1900A の電源をオフにします。
8. 図 5.3.2.3.2-1 に従って、測定器のケーブルを接続します。ケーブル未接続側の出力には添付の終端器を必ず接続してください。
9. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
10. MP1900A の信号出力をオンにして、信号を出力させます。
11. サンプリングオシロスコープで振幅を測定し、結果を記録します。
12. MU196020C の［Output］タブで Amplitude を設定します。

MU196020C-002、J1790A ケーブル使用時	0.600
MU196020C-003、J1790A ケーブル使用時	0.550
上記以外	0.700

13. サンプリングオシロスコープで振幅を測定し、結果を記録します。
14. MU196020C の［Output］タブで Offset を設定します。

MU196020C-002、J1790A ケーブル使用時	–2.300
MU196020C-003、J1790A ケーブル使用時	–2.275
上記以外	–2.350

15. サンプリングオシロスコープでアイの中間レベルを測定し、結果を記録します。

16. MU196020C の［Output］タブで Amplitude を 0.070、Offset を 3.265 に設定します。
17. サンプリングオシロスコープでアイの中間レベルを測定し、結果を記録します。
18. MU196020C の［Output］タブで Amplitude を 0.500、Offset を 0.000 に設定します。
19. サンプリングオシロスコープでクロスポイント、Tr/Tf、およびジッタを測定し、結果を記録します。
20. MU196020C の変調方式を［PAM4］にします。
21. MU196020C の［Output］タブで Total Amplitude を 0.070 に設定し、[Even] をタッチします。
22. サンプリングオシロスコープで振幅を測定し、結果を記録します。
23. MU196020C の［Output］タブで Total Amplitude を設定します。

MU196020C-002、J1790A ケーブル使用時	0.600
MU196020C-003、J1790A ケーブル使用時	0.550
上記以外	0.700

24. サンプリングオシロスコープで振幅を測定し、結果を記録します。
25. MU196020C の［Output］タブで Offset を設定します。

MU196020C-002、J1790A ケーブル使用時	–2.300
MU196020C-003、J1790A ケーブル使用時	–2.275
上記以外	–2.350

26. サンプリングオシロスコープでレベル 2/1 の中間レベルを測定し、結果を記録します。
27. MU196020C の［Output］タブで Total Amplitude を 0.070、Offset を 3.265 に設定します。
28. サンプリングオシロスコープでレベル 2/1 の中間レベルを測定し、結果を記録します。
29. MU196020C の$\overline{\text{Data}}$ Output とサンプリングオシロスコープの Input を同軸ケーブルで接続します。MU196020C のケーブル未接続側の出力コネクタには添付の終端器を必ず接続してください。手順 3 から 28 の測定を繰り返します。

5.3.2.3.3　入力レベル

(1)　規格

表 5.3.2.3.3-1　規格

オプション	規格
MU196040B-005、115、125*	NRZ 入力振幅（≤32.1 Gbit/s）: 0.05～1.0 Vp-p NRZ 入力振幅（>32.1 Gbit/s）: 0.1～1.0 Vp-p PAM4 入力振幅（≤32.1 Gbaud）: 0.3～1.0 Vp-p PAM4 入力振幅（>32.1 Gbaud）: 0.4～1.0 Vp-p スレッショルド電圧: –3.5～+3.3 V

＊: オプション 001、002 または y12 実装時の規格は、表 5.3.2.2.3-1 を参照してください。

(2)　接続

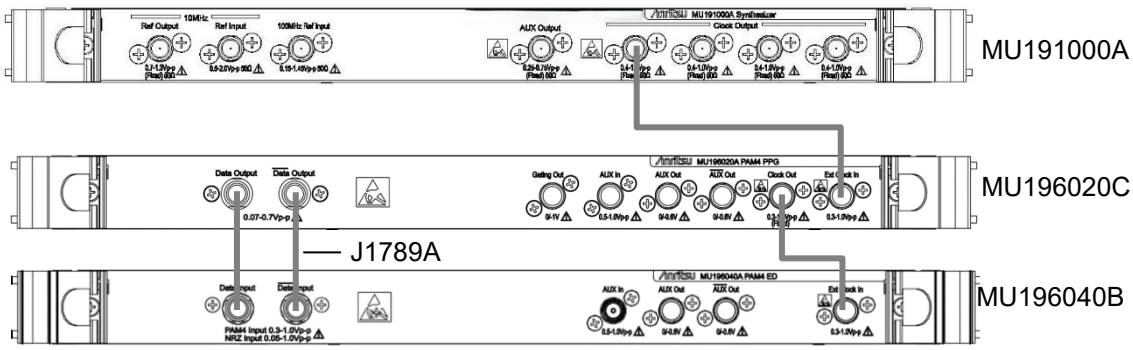


図 5.3.2.3.3-1　入力レベル試験の接続図

(3)　手順

1. 5.3.2.3.1 項の手順（3）の 1～5 と同様に機器を設定します。
2. 図 5.3.2.3.3-1 に従って、測定器のケーブルを接続します。
3. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
4. MU196020C および MU196040B を表 5.3.2.3.3-2 の 1～4 の設定にします。

   MU196040B 使用時に 32.1 Gbit/s 以上の試験する場合は、表 5.3.2.3.3-2 の 1、3、5、6 の設定にしてください。
5. MU196020C の出力をオン、MU196040B の［Start］をタッチします。
6. ［Auto Search］をタッチします。Mode を［Fine］にして［Start］をタッチします。スレッショルド電圧および位相が最適値に調整され、エラーが発生しないことを確認します。
7. MU196020C と MU196040B の変調方式を［PAM4］にします。
8. MU196020C および MU196040B を表 5.3.2.3.3-3 の 1～4 の設定にします。

MU196040B 使用時に 32.1 Gbaud 以上の試験する場合は、表 5.3.2.3.3-3 の 1、3、5、6 の設定にしてください。また、MU196040B の [Input] タブで [Differential] に設定します。

9. Data Input のケーブルを外し、$\overline{\text{Data}}$ Input のケーブルだけを接続します。MU196020C のケーブル未接続側の出力コネクタには添付の終端器を必ず接続してください。

10. MU196040B の Input の画面で Input Condition を [Single-Ended]、[XData] に設定して、手順 4 から 8 を繰り返してエラーが発生しないことを確認します。

表 5.3.2.3.3-2　NRZ 入力レベル試験設定内容 (MU196040B)

No.	MU196020C			MU196040B	
	終端	振幅 [Vp-p]	オフセット (Vth) [V]	終端	スレッショルド電圧 [V] *3
1	GND	0.7	–2.35	GND	–2.350
2		0.05*1	–0.225*1		–0.225
3		0.7	+2.95		+2.950
4		0.05*2	+0.305*2		+0.305
5		0.1	–2.05		–2.050
6		0.1	+3.25		+3.250

＊1: 振幅 0.05 Vp-p、オフセット –0.225 V の信号を出力するには、MU196020C の Data Output コネクタと$\overline{\text{Data}}$ Output コネクタそれぞれに精密固定減衰器 20 dB (応用部品 41VA-20) および精密アダプタ (応用部品 34VFK50) を使用してください。
MU196020C を次のとおり設定してください。
振幅　　0.5 Vp-p
オフセット –2.25 V

＊2: 振幅 0.05 Vp-p、オフセット+0.305 V の信号の信号を出力するには、MU196020C の Data Output コネクタと$\overline{\text{Data}}$ Output コネクタそれぞれに精密固定減衰器 20 dB (応用部品 41VA-20) および精密アダプタ (応用部品 34VFK50) を使用してください。
MU196020C を次のとおり設定してください。
振幅　　0.5 Vp-p
オフセット +3.05 V

＊3: Mode を [Fine (NRZ)] にして Auto Search を実行し、スレッショルド電圧および位相を最適値に調整してください。

表 5.3.2.3.3-3　PAM4 入力レベル試験設定内容 (MU196040B)

No.	MU196020C			MU196040B	
	終端	振幅 [Vp-p]	オフセット (Vth) [V]	終端	スレッショルド電圧 [V]*
1	GND	0.7	–2.35	GND	Upper: –2.350 + 0.233 (–2.117) Middle: –2.350 Lower: –2.350 – 0.233 (–2.583)
2		0.3	–2.15		Upper: –2.150 + 0.100 (–2.050) Middle: –2.150 Lower: –2.150 – 0.100 (–2.250)
3		0.7	+2.95		Upper: +2.950 + 0.233 (+3.183) Middle: +2.950 Lower: +2.950 – 0.233 (+2.717)
4		0.3	+3.15		Upper: +3.150 + 0.100 (+3.250) Middle: +3.150 Lower: +3.150 – 0.100 (+3.050)
5		0.4	–2.20		Upper: –2.20 + 0.133 (–2.067) Middle: –2.200 Lower: –2.200 – 0.133 (–2.333)
6		0.4	+3.10		Upper: +3.100 + 0.133 (+3.333) Middle: +3.100 Lower: +3.100 – 0.133 (+2.967)

＊: Mode を［Fine (PAM4)］にして Auto Search を実行し、スレッショルド電圧および位相を最適値に調整してください。

注:

終端条件を変更する場合は、必ず以下の順番で MU196020C および MU196040B を設定してください。設定順、終端条件の違いによっては、両器に損傷を与える場合があります。

(1) MU196020C の出力をオフにします。

(2) MU196040B の終端条件を GND に設定します。

(3) MU196020C の終端条件を変更します。

(4) MU196040B の終端条件を MU196020C と同じ条件に設定します。

5.3.2.3.4　パターン

(1)　規格

- PRBS パターン（NRZ、PAM4）
- Zero Substitution パターン（NRZ）
- SSPRQ パターン（PAM4）

(2)　接続

機器の接続方法は図 5.3.2.3.3-1 を参考にしてください。

(3)　手順

1. 5.3.2.3.1 項の手順（3）の 1～5 と同様に機器を設定します。
2. 図 5.3.2.3.3-1 に従って、測定器のケーブルを接続します。
3. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
4. MU196020C と MU196040B の変調方式を［NRZ］にします。
5. MU196020C の出力をオン、MU196040B の［Start］をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。
6. MU196040B と MU196020C の双方について、[Pattern] タブで PRBS パターン長を次の順番で変え、エラーが発生しないことを確認します。
   2^7–1 、2^9–1 、2^10–1 、2^11–1 、2^13–1 、2^15–1 、2^20–1 、2^23–1、2^31–1
7. MU196040B と MU196020C の双方について、PRBS パターン長を 2^31–1 に設定します。次の 4 とおりの変調方式と Logic の組み合わせでエラーが発生しないことを確認します。

表 5.3.2.3.4-1　変調方式と Logic の設定

	変調方式	Logic	Logic MSB	Logic LSB
1	NRZ	POS	–	–
2	NRZ	NEG	–	
3	PAM4	–	POS	POS
4	PAM4	–	NEG	NEG

8. MU196020C と MU196040B の変調方式を［NRZ］にします。
9. MU196040B と MU196020C の双方の試験パターンを Zero Substitution に変更します。Length を次の順番で変え、エラーが発生しないことを確認します。
   2^7、2^9、2^10、2^11、2^15、2^20、2^23、2^7–1、2^9–1、2^10–1、2^11–1、2^15–1、2^20–1、2^23–1
10. MU196020C と MU196040B の変調方式を［PAM4］にします。
11. MU196040B と MU196020C の双方の試験パターンを SSPRQ に変更します。エラーが発生しないことを確認します。

5.3.2.3.5　エラー検出

(1)　規格

誤り率:	0.0000×10^{-16}～1.0000
誤り個数:	0～1×10^{16}
エラー・フリー・インターバル（EFI):	0.0000～100.0000%
エラー・インターバル（EI):	0～1×10^{16}
クロック周波数:	
MU196040B-001	2.4～32.1 GHz、
MU196040B-002	2.4～64.2 GHz、
確度:	±(10 ppm + 1 kHz)

(2)　接続

機器の接続方法は、図 5.3.2.3.3-1 を参考にしてください。

(3)　手順

1. 5.3.2.3.1 項の手順（3）の 1～5 と同様に機器を設定します。
2. 図 5.3.2.3.3-1 に従って、測定器のケーブルを接続します。
3. MP1900A と測定器の電源をオンにして、ウォーミングアップします。
4. MU191000A の周波数を 10 GHz に設定します。
5. MU196020C と MU196040B の変調方式を［NRZ］にします。
6. MU196020C が NRZ 20 Gbit/s になっていることを確認し出力をオン、MU196040B の［Start］をタッチします。必要に応じて位相を調整し、エラーが発生しないことを確認します。
7. MU196020C のエラー挿入機能をオンにし、MU196040B の［Result］タブの ER 測定結果が、MU196020C の［Error Addition］タブで設定している値になっていることを確認します。
8. MU196020C の［Error Addition］タブでは、Variation を［Single］に設定します。
9. MU196040B の［Measurement］タブの Gating で、Cycle を［Single］、測定時間を 10 秒に設定します。
10. MU196040B の［Start］をタッチし、10 秒間の測定が行われている間に、MU196020C の［Error Addition］タブの［Single］を 1 回タッチします。
    10 秒間の測定終了後に次の結果となっていることを確認します。

誤り率（ER):	5.0000E–12
誤り個数（EC):	1.0000E–00
エラー・フリー・インターバル（%EFI):	99.9900%
エラー・インターバル（EI):	1

5.3.2.3.6　セルフループバック試験

5.3.2.3.6.1　PAM4 PPG/ED

(1) 規格

SSC＝ON
NRZ:　125 秒エラーフリー（16.0 Gbit/s、32.0 Gbit/s）
PAM4:　BER<1E-8 (32.0 Gbaud)
SSC＝OFF
NRZ:　125 秒エラーフリー（19.0～32.1 Gbit/s）
PAM4:　BER<1E-8 (19.0～32.1 Gbaud)

(2) 接続

注:

以下の接続は各 MUxxxxモジュール間のコネクタ接続を説明する図です。
実際に MP1900A 本体に挿入されているスロット位置とは異なります。

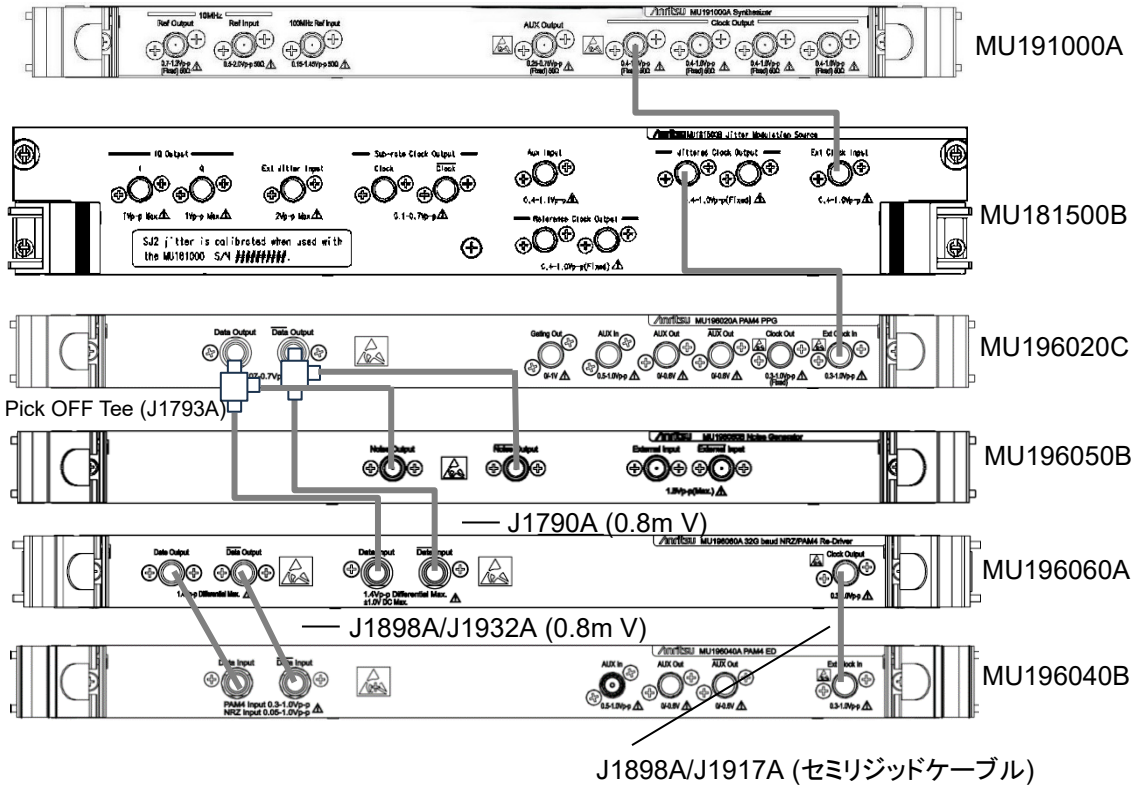


図 5.3.2.3.6.1-1　セルフループバック試験の接続図 (PAM4 PPG/ED 使用)

(3)　手順

SSC＝ON の測定

1. 図 5.3.2.3.6.1-1 に従って、測定器のケーブルを接続します。
2. MP1900A の電源をオンにして「BERT for PCIe1-7」で起動し、ウォーミングアップします。
3. MU196020C と MU196040B の変調方式を［NRZ］に設定します。

4. MU196020C の［Output］タブで下記を設定します。
   Bitrate:　[PCIe4](16Gbit/s)
5. MU196040B の［Input］タブで、下記の設定になっていることを確認します。
   Input Condition:　Differential 50 Ohm
   Clock and Data Recovery: Clock from MU196060A
6. MU196020C と MU196040B の［Pattern］タブで、下記を設定します。
   Test Pattern:　MCP in 128b/130b Encoding for PCIe4
7. MU196060A の Clock Recovery for SSC の Bitrate を下記に設定します。
   Tracking:　Unit1:Slot7:MU196020C
8. MU181500B の SSC を下記に設定して、[ON] にします。
   Type:　Down
   Frequency:　33000 Hz
   Deviation:　5300ppm
9. MU196020C の出力をオンにしたあと、[Auto Search] をタッチします。[Advanced] を［ON］にして、Start を実行します。
   Advanced:　ON
   Equalizer:LFE/DFE:　OFF (MU196040B の LFE/DFE 設定)
   Equalizer:CTLE:　ON (MU196060A の CTLE 設定)
10. MU196040B の［Measurement］タブで、下記を設定します。
    Gating Cycle:　Single
    Unit:　Time
    00:02:05 (2 分 5 秒)
11. MU196040B の［Start］をタッチします。[Result] タブの Bit ER 測定結果が、エラーフリーになっていることを確認します。
12. MU196020C の［Output］タブで下記を設定します。
    Bitrate:　[PCIe5](32Gbit/s)
13. 手順 9～11 を行い、[Result] タブの Bit ER 測定結果が、エラーフリーになっていることを確認します。
14. MU196020C と MU196040B の変調方式を［PAM4］に設定します。
15. MU196020C の［Output］タブで下記を設定します。
    Baud Rate:　[PCIe6](32Gbaud)
16. MU196020C と MU196040B の[Pattern] タブで、下記を設定します。
    Test Pattern:　MCP in 1b/1b Encoding for PCIe6

17. MU196020C の出力をオンにし、[Auto Search] をタッチします。下記の設定をした後、Start を実行します。

    Advanced: ON
    Equalizer:LFE/DFE: OFF (MU196040B の LFE/DFE 設定)
    Equalizer:CTLE: ON (MU196060A の CTLE 設定)

18. MU196040B の [Start] をタッチします。[Result] タブの ER 測定結果が、1.0E-8 未満になっていることを確認します。

SSC＝OFF の測定

19. 手順 18 につづき、MU181500B の SSC を [OFF] にします。
20. MU196020C と MU196040B の変調方式を [NRZ] または [PAM4] に設定して、[19～32.1Gbit/s] または [19～32Gbaud] を任意に設定し、パターンを [PRBS 2^31–1] にします。
21. MU196020C の出力をオンにしたあと、[Auto Search] をタッチします。手順 9 または 16 の設定した後、Start を実行します。
22. MU196040B の[Start] をタッチします。[Result] タブの Bit ER 測定結果であることを確認します。

    NRZ: 125 秒エラーフリー
    PAM4: 1.0E-8 未満

5.3.2.3.6.2　SI PPG/ED

(1)　規格

SSC＝ON
NRZ：125 秒エラーフリー（16.0 Gbit/s、32.0 Gbit /s）

(2)　接続

注：以下の接続は各 MUxxxxモジュール間のコネクタ接続を説明する図です。実際に MP1900A 本体に挿入されているスロット位置とは異なります。

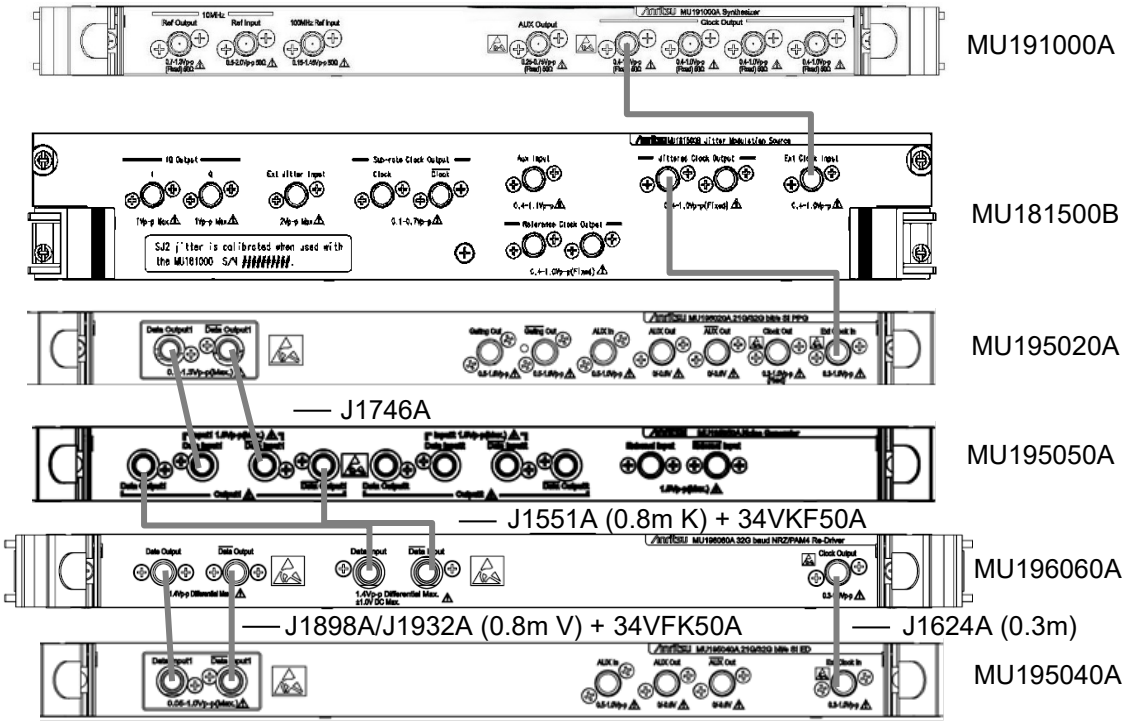


図 5.3.2.3.6.2-1　セルフループバック試験の接続図(SI PPG/ED 使用)

(3)　手順

1. 図 5.3.2.3.6.2-1 に従って、測定器のケーブルを接続します。
2. MP1900A の電源をオンにして「Standard BERT for SI」で起動し、ウォーミングアップします。
3. MU195020A のビットレートを [PCIe4](16Gbit/s) に設定します。[Emphasis] タブの Channel Emulator を [ON] にし、DUT S-parameter で [MU195050A_NOISE.S2P] ファイルを開いて、Response を [Inverse] にします。
4. MU195040B の [Input] タブで、下記の設定になっていることを確認します。

Input Condition:	Differential 50 Ohm
Selection:	Clock and Data Recovery
Bitrate:	PCIe4

5. MU195020A と MU195040A の [Pattern] タブで、[Test Pattern] を [Data] にし、[Edit] ボタンから Pattern Editor を開き、[File] を選択して [Open] から下記を設定します。
   MU195020A Current Outputting Pattern /
   MU195040A Edit File Name: 128b130b_MCP_L0_Gen4.ptn

6. MU181500B の SSC を下記に設定して、[ON] にします。
   Type: Down
   Frequency: 33000 Hz
   Deviation: 5300 ppm

7. MU195020A の出力をオンにしたあと、[Auto Search] をタッチします。下記の設定にした後、Start を実行します。
   Mode: Fine (NRZ)
   Adjust CTLE Gain: ON (MU195040A または MU196060A の CTLE 設定)
   Assign Slot5 CTLE to: Slot6-1 ED (Slot5:MU196060A の CTLE を使用する)

8. MU195040A の [Measurement] タブで、下記を設定します。
   Gating Cycle: Single
   Unit: Time
   00:02:05 (2 分 5 秒)

9. MU195040A の [Start] をタッチします。[Result] タブの ER 測定結果が、エラーフリーになっていることを確認します。

10. MU195020A の [Output] タブで下記を設定します。
    Bitrate: [PCIe5](32Gbit/s)

11. MU195040A の [Input] タブで、下記の設定になっていることを確認します。
    Input Condition: Differential 50 Ohm
    Selection: External Clock

12. MU195020A と MU195040A の [Pattern] タブで、下記を設定します。
    MU195020A Current Outputting Pattern /
    MU195040A Edit File Name: 128b130b_MCP_L0_Gen5.ptn

13. 手順 7～9 を行い、[Result] タブの ER 測定結果が、エラーフリーになっていることを確認します。

第6章　保守

この章では、MP1900A モジュールの保守について説明します。

6.1　日常の手入れ 6-2
6.2　保管上の注意 6-2
6.3　輸送方法 6-3
6.4　校正 6-3

6.1　日常の手入れ

- 外観のよごれは、薄めた中性洗剤を含ませた布で拭き取ってください。
- ほこりやちりが付着した場合は、掃除機で吸い取ってください。
- ネジなどの取り付け部品のゆるみは、規定の工具で締めてください。

6.2　保管上の注意

MP1900A モジュールに付着したほこり、手あか、その他のよごれ、しみなどを拭き取って保管してください。
パネルのコネクタには、添付品のオープンおよび同軸終端器を取り付けてください。

また、以下の場所での保管は避けてください。

- 直射日光が当たる場所
- 粉じんが多い場所
- 屋外
- 結露する場所
- 水、油、有機溶剤または薬液などの液中、またはこれらの液体が付着する場所
- 潮風、腐食性ガス（亜硫酸ガス、硫化水素、塩素、アンモニア、二酸化窒素、塩化水素など）がある場所
- 落下、または転倒のおそれがある場所
- 潤滑油からのオイルミストが発生する場所
- 高度 2000 m を超える場所
- 車両、船舶または航空機内など振動または衝撃が多く発生する環境
- 次の温度と湿度の場所
  温度:　　–20 °C 以下、または 60 °C 以上
  湿度:　　85 %以上

推奨保管条件

長期保管するときは、上記の保管前の注意条件を満たすほかに、以下の環境条件の範囲内で保管することをお勧めします。

- 温度:　　5～30 °C の範囲
- 湿度:　　40～75 %の範囲
- 1 日の温度、湿度の変化が少ないところ

6.3　輸送方法

MP1900A モジュールを輸送する場合、開梱時の梱包材料を保管している場合はその材料を使用して梱包してください。保管していない場合は以下の手順で梱包してください。
なお、MP1900A モジュールを取り扱う際は必ず清潔な手袋を着用し、傷などを付けないように静かに行ってください。

<手順>

1. 乾いた布で MP1900A モジュール外面のよごれやちり、ほこりを清掃してください。
2. ネジのゆるみや脱落がないかを点検してください。
3. 構造上の突起部や変形しやすいと考えられる部分には保護を行い、MP1900A モジュールをポリエチレンシートで包み、さらに防湿紙などで包装してください。
4. 包装した MP1900A モジュールを段ボール箱に入れ、合わせ目を粘着テープでとめてください。さらに輸送距離や輸送手段などの必要に応じて木箱などに収納してください。
5. 輸送時は「6.2 保管上の注意」の注意条件を満たす環境下においてください。

6.4　校正

長期間安定した性能でシグナルクオリティアナライザ-R シリーズを使用する場合には、定期点検および校正などの日常のメンテナンスが欠かせません。常に最適の状態で使用していただくため、定期的な点検および校正を推奨します。
納入後の推奨校正周期は 12 か月です。

納入後のサポートなどについては、「お問い合わせ窓口」へご連絡ください。「お問い合わせ窓口」は、当社ホームページのお問い合わせページで確認できます。

次の事項に該当する場合は、校正および修理を辞退させていただくことがあります。

- 製造後、7 年以上を経過した測定器で部品入手が困難な場合、または摩耗が著しく、校正および修理後の信頼性が維持できないと判断される場合
- 当社の承認なしに回路変更、修理または改造などが行われている場合
- 修理価格が新品価格に対し、高額になると判断される場合

第7章　トラブルシューティング

この章では、MP1900A モジュールの動作時に異常が発生した場合、故障かどうかを判断するためのチェック方法について説明します。

7.1　モジュール交換時の問題 7-2
7.2　出力波形観測時の問題 7-3
7.3　エラーレート測定時の問題 7-4
7.4　同期が確立しない問題 7-5

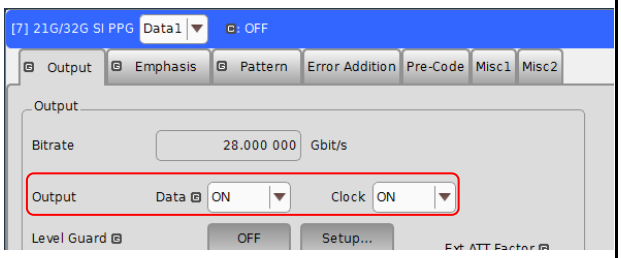
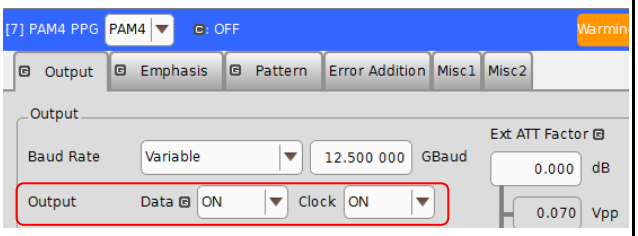
7.1　モジュール交換時の問題

表 7.1-1　MP1900A モジュール交換時の問題対処方法一覧

現象	確認項目	対処方法
モジュールを認識しない。	モジュールは、確実に装着されていますか。	『MP1900A シグナルクオリティアナライザ-R 取扱説明書』の「3.3 モジュールの装着と取り外し」に従って、再度装着してください。
	適切なモジュールが装着されていますか。	インターネットのアンリツホームページ(https://www.anritsu.com)の MP1900A Series Signal Quality Analyzers-R の製品情報ページにアクセスして、サポート対象モジュールと、MP1900A のソフトウェアバージョンを確認してください。 対象モジュールが装着されているのにモジュールが認識されない場合、故障の可能性がありますので、「お問い合わせ窓口」へご連絡ください。「お問い合わせ窓口」は、当社ホームページのお問い合わせページで確認できます。

7.2　出力波形観測時の問題

表 7.2-1　出力波形観測時の問題対処方法一覧

現象	確認項目	対処方法
出力波形が正しく観測できない。	[Output] タブの Data、または Clock が [ON] になっていますか。	信号を出力したいチャネルの [Output] タブで、Data または Clock を [ON] に設定します。 MU195020A  MU196020A  Output が [OFF] の場合、リストボックスをタッチして [ON] にしてください。
	Output が [ON] () になっていますか。	画面左上にある  をタッチし、[ON] に設定してください。
	動作クロックは正しく供給されていますか。	内蔵クロックを使用している場合は、設定ビットレートを確認してください。 外部から供給している場合、接続インタフェースを確認してください。インタフェースについては「3.1 パネルの説明」を参照してください。
	トリガクロックは正しく設定されていますか。	サンプリングオシロスコープのトリガ用クロックは、MU196020A の AUX Output から出力される信号を使用してください。 AUX Output コネクタの設定と測定するサンプリングオシロスコープとのインタフェースが正しいことを確認してください。
	電気インタフェースケーブルがゆるんでいませんか。	コネクタ部分を締め直してください。
	ケーブルやコネクタは、十分な高周波特性がある使用していますか。	65 GHz 以上の周波数帯域があるケーブルやコネクタを使用してください。ビットレートが 32.1 Gbit/s (Gbaud) 以下の場合は、40 GHz 以上の周波数帯域があるケーブルやコネクタを使用してください。

7.3　エラーレート測定時の問題

表 7.3-1　エラーレート測定時の問題対処法一覧

現象	確認項目	対処方法
エラーが発生する。	被測定物との接続インタフェースは正しいですか。	データレート、レベル、オフセット、終端条件が一致しているか確認してください。
	MU195020A/MU196020A と誤り検出器（ED）の論理パターンは正しく設定されていますか。	MU195020A/MU196020A の発生するパターンは被測定物が受信可能なパターンに設定されているか、被測定物が発生するパターンと ED の検出パターンの設定は一致しているか確認してください。 被測定物が MU195020A/MU196020A のパターンを変更せずに出力するような場合、MU195020A/MU196020A と ED を直接接続してエラーが検出されるか確認してください。 MU196040A、MU196040B-001 を使用する場合は 32.1 Gbit/s（Gbaud）を超えない範囲で使用してください。
	エラー付加機能は OFF に設定されていますか。	[Error Addition] タブで Error Addition Switch が [OFF] になっていることを確認してください。
	電気インタフェースケーブルがゆるんでいませんか。	コネクタ部分を締め直してください。
	ケーブルやコネクタは、十分な高周波特性がある物を使用していますか。	65 GHz 以上の周波数帯域があるケーブルやコネクタを使用してください。ビットレートが 32.1 Gbit/s (Gbaud) 以下の場合は、40 GHz 以上の周波数帯域があるケーブルやコネクタを使用してください。
	位相マージンとスレッショルドマージンは十分に確保されていますか。	MU196020A と被測定物間、被測定物と ED 間の位相とオフセットがそれぞれ最適になるように調整します。

7.4　同期が確立しない問題

表 7.4-1　同期が確立しない問題対処方法一覧

項目	確認項目	対処方法
共通項目		
入力条件	接続ケーブルの品質、状態、または長さなどは大丈夫ですか。	以下の場合は、適切なケーブルに交換してください。 • 周波数特性が十分でない • 損失が大きい • ケーブルやコネクタに破損がある • コネクタが汚れている
	ケーブルは正しく確実に接続されていますか。	接続先やコネクタの締め付けなどを確認してください。
	シングルや差動（50/100 Ω）入力の設定は合っていますか。	正しく設定してください。
	入力レベルは適正ですか。	オシロスコープなどでレベルを確認してください。
	入力ビットレートやクロック周波数は適正ですか。	適切なビットレートやクロック周波数にしてください。 *注:* 周波数カウンタで現在のクロック周波数を確認できます。
	クロックリカバリ使用時は周波数設定をビットレートの近くにあわせていますか。	使用するビットレートの近くに設定してください。
	クロックロス表示は消えていますか。	入力する Data/Clock 信号やクロックリカバリ設定を確認してください。
終端条件	終端電圧はあわせていますか。	終端電圧を正しく設定してください。 *注:* 正しく設定されていないと故障の原因となる場合があります。
クロック設定条件	PAM4 PPG および PAM4 ED のクロック設定は合っていますか。	PAM4 PPG: [Misc2] タブ - Output Clock Rate および Operation Baud Rate (Clock Source-External 選択時)の設定を確認してください。 [Output] タブの Baud Rate の値を確認してください。 PAM4 ED: [Input] タブ - Clock - Operation Baud Rate (Selection で External Clock を選択時) の設定を確認してください。 [Result] タブの Clock Count または Frequency の値を確認してください。 *注:* クロックが正しく設定されていないと、期待する測定結果になりません。

表 7.4-1　同期が確立しない問題対処方法一覧 (続き)

項目	確認項目	対処方法
SI		
スレッショルド	差動入力時に Data と XData スレッショルド電圧の差分値が 3 V を超えていませんか。	差分値が 3 V を超えないようにしてください。
	Auto Adjust や Auto Search の動作制限を超えていませんか。	マニュアル操作で調整してください。
位相	Auto Adjust や Auto Search の動作制限を超えていませんか。	マニュアル操作で調整してください。
パターン	パターンは一致していますか。	MU195020A と MU195040A でパターンを一致させてください。
同期	Auto Sync は [ON] になっていますか。	[ON] に設定してください。 自動的に再同期動作が行われます。
	Sync Control の設定を変えてみましたか。	パターンの種類によって、最適な同期方法が異なることがあります。 *注:* パターンが PRBS 以外の場合に設 定できます。
その他	Bit/Block Window は [OFF] になっていますか。	[OFF] に設定してください。
	MU195040A の External Mask は [OFF] になっていますか。	[OFF] に設定してください。
	Pattern Sequence を [Repeat] に設定していますか。	[Repeat] に設定してください。
PAM4		
PAM4 シンボル同期条件	PAM4 MSB と LSB がシンボル同期していますか。	Diagnostics Mode にて MSB/LSB Diff が 0 になっているか確認してください。0 の場合はシンボル同期が確立しています。 PAM4 ED の[Result] タブで Upper Eye Threshold と Lower Eye Threshold の両方または片方に、Middle Eye Height の範囲内の電圧を設定した場合は MSB/LSB Diff が「-----」表示になることがあります。 *注:* シンボル測定をするには、MSB/LSB Diff が 0 になっている必要があります。
PAM4 Auto Search 条件	Auto Search に失敗していませんか。	Diagnostics Mode にて MSB/LSB Diff が±48 以内になっているか確認してください。入力レベルが十分か確認してください。 *注:* Auto Search をするには、MSB/LSB Diff が±48 以内になっている必要があります。
PAM4 パターン条件	PAM4 MSB と LSB のパターンが違っていませんか。	Diagnostics Mode にて MSB および LSB の同期が確立するか確認してください。必要に応じて MSB または LSB のロジック極性、コーディング条件の設定を変更してください。

付録 A　擬似ランダムパターン

A.1　擬似ランダムパターン.....A-2
A.2　ゼロ置換パターン (Zero-Substitution Pattern).....A-3

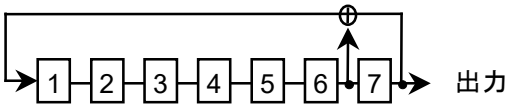
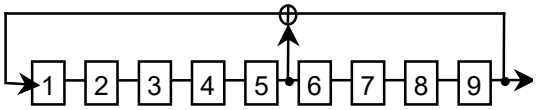
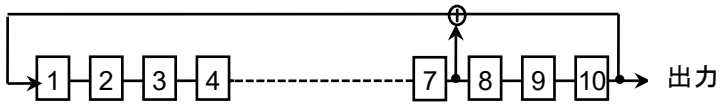
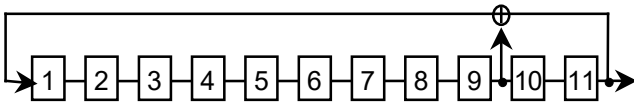
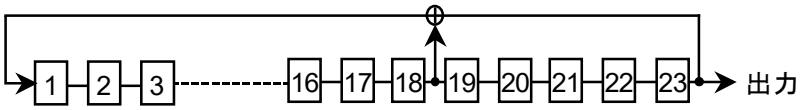
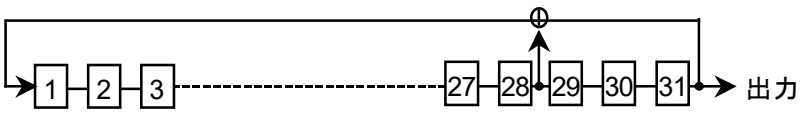
A.1　擬似ランダムパターン

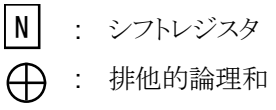
擬似ランダムパターン発生原理を表 A.1-1 に示します。
擬似ランダムパターンは、表 A.1-1 に示す N 次の生成多項式で表され、その 1 周期は 2^n-1 となります。2^n-1 の周期をもつ PRBS パターンは 1 周期中に N ビット連続“1”のパターンが 1 回だけ出現します。

PRBS のパターンの出力レベルは、LOGIC を POS（正論理）に設定した場合、“1”が low level、“0”が High level に対応します。

PRBS パターンのマーク率は 1/2 で、表 A.1-1 に示すブロックで発生します。

表 A.1-1　擬似ランダムパターン発生原理

周期	生成多項式	パターン生成ブロック図
2^7-1	$1 + X^6 + X^7$	
2^9-1	$1 + X^5 + X^9$	
$2^{10}-1$	$1 + X^7 + X^{10}$	
$2^{11}-1$	$1 + X^9 + X^{11}$	
$2^{13}-1$	$1 + X + X^2 + X^{12} + X^{13}$	
$2^{15}-1$	$1 + X^{14} + X^{15}$	
$2^{20}-1$	$1 + X^3 + X^{20}$	
$2^{23}-1$	$1 + X^{18} + X^{23}$	
$2^{31}-1$	$1 + X^{28} + X^{31}$	



A.2　ゼロ置換パターン (Zero-Substitution Pattern)

PRBS パターンの最長ゼロ連続ビットの直後からのパターンを論理“0”で置き換えることで設定ビット数だけ“0”が連続するようにします。
ただし、“0”に置き換えたビットの直後のビットが“0”のときは、そのビットを反転して“1”にします。

例: 2^7 周期の PRBS パターンのとき

最長のゼロ連続数は 7–1 = 6 bits なのでゼロ置換は下記の位置から始まります。

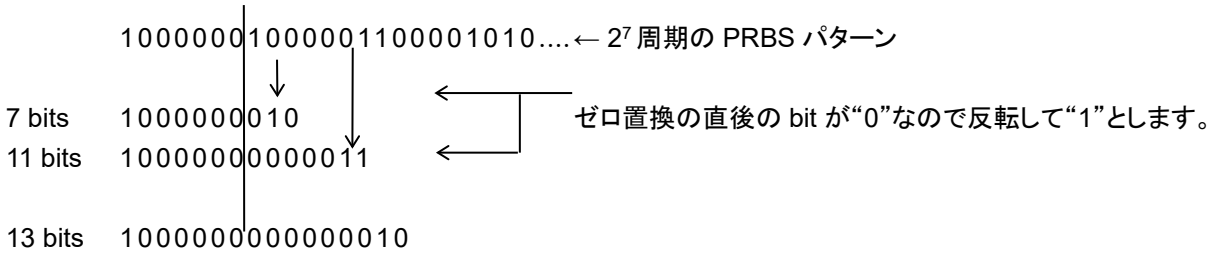


図 A.2-1　ゼロ置換パターン

付録 B　初期設定項目一覧

ここでは、MU191000A、MU195020A、MU195040A、MU195050A、MU196020A/C、MU196040A/B、MU196050B、および MU196060A に関係する出荷時の設定項目初期値を示します。

なお、[Menu] → [Initialize] を選択すると全設定項目を初期設定値にすることができます。

B.1　Synthesizer B-2
　B.1.1　MU191000A B-2
B.2　PPG B-3
　B.2.1　MU195020A B-3
　B.2.2　MU196020A B-9
　B.2.3　MU196020C B-33
B.3　ED B-56
　B.3.1　MU195040A B-56
　B.3.2　MU196040A B-61
　B.3.3　MU196040B B-70
B.4　Noise Generator B-91
　B.4.1　MU195050A B-91
　B.4.2　MU196050B B-92
B.5　Re-Driver B-93
　B.5.1　MU196060A B-93

B.1 Synthesizer

B.1.1 MU191000A

表 B.1.1-1　MU191000A 初期設定項目一覧

項目		値
Operation Frequency	Operation	Variable
	Center Frequency	12500 MHz*
	Offset	0
Reference Clock	Source	Internal
Spectrum Spread	SSC	OFF
	Spread Method	Down
	Deviation	5000 ppm

＊:　PAM4 PPG/ED Based System で起動したとき

B.2 PPG

B.2.1 MU195020A

表 B.2.1-1 MU195020A 初期設定一覧表

設定機能	大項目	中項目	小項目	初期設定値
Output	Bitrate			Variable
		Bitrate		10.000 000 Gbit/s
	Data、XData Output			ON
	Clock Output			ON
	Data、XData の選択			
		Level Guard		OFF
		Level Guard Setup	Amplitude 上限	1.000 Vp-p
			Offset limit	–4.000～3.300 V
	Defined Interface			Variable
			Amplitude	1.000 Vp-p
			Offset の切り替え	AC OFF
			Offset	0.000 V
			External ATT Factor	0 dB
	Half Period Jitter			0
	Glitch-free			OFF
	Delay			0 mUI
			Calibration	–
		Jitter Input		OFF

表 B.2.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Emphasis	Manual Setting	Emphasis Function		OFF
		Standard/Preset		USER
				De-Emphasis
				Preset0
		Amplitude		1.000 Vp-p
		Cursor 設定		0 dB
	ISI	ISI Function		OFF
		Standard/Channel		USER
				–
		Board Type		Not Use
		NF Insertion Loss		10.00 dB
		1/2 NF Insertion Loss		5.00 dB
	Channel Emulator	Channel Emulator Function		OFF
		Response		Inverse

表 B.2.1-1 MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern	PRBS	Length		2^15–1
		Logic		POS
		Mark Ratio		1/2
	ZeroSubstitution	Length		2^15
		Zero-Substitution Length		1 bit
		Additional Bit		1
	Data	Logic		POS
		Current Outputting Pattern		No.1
		Length		2 bits 2ch Combination 時: 4 bits
		Maximum List Num		1
	Mixed Data	Logic		POS
		Row Length		2048 bits 2ch Combination 時: 4096 bits
		Data Length		1024 bits 2ch Combination 時: 2048 bits
		Number of Block		1
		Number of Row		1
		PRBS	Pattern	PRBS15
			Mark Ratio	1/2
		Scramble		OFF
		Scramble Setup		All OFF
		PRBS Sequence		Consecutive
	PAM4*1	Logic		POS
		Sequence		PRBS31Q
	Sequence*2	Logic		POS
		PRBS Inversion		ON
		Specification		PCIe1
		Trigger Block No.		1

＊1: 2ch コンビネーションまたは 64G × 2ch コンビネーション設定時のみ設定可能

＊2: Independent 設定時のみ設定可能、MU195020A-x50 で設定できます。

表 B.2.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern (続き)	Pattern Editor	Zoom		× 1
		Row Length		2048 bits 2ch Combination 時: 4096 bits
		Data Length の表示	Data	2 bits 2ch Combination 時: 4 bits
			Mixed	1024 bits 2ch Combination 時: 2048 bits (Mixed-Data 時)
		Number of Block		1
		Number of Row		1
		Format		Hex
		Edit Mode		Overwrite
	Sequence Editor	Preset	2.5G	P4
			5.0G	P0
			8.0G	P7
			16.0G	P7
			32.0G	P7
		8b10b SKP OS	Symbol Length	COM+3
			Interval	1538
			Symbol Length x2	OFF
		128b130b SKP OS	Symbol Length	16
			Interval	20
			Symbol Length x2	OFF
		Scrambler Seed	8b10b	FFFF
			128b130b	Lane0: 1DBFBC
		Precoding for 32 FT/s		OFF

表 B.2.1-1 MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern (続き)	8b10b Pattern Editor	Data Length		32 bits
		Notation		Symbol(8b10b)
		Edit Mode		Overwrite
	128b130b Pattern Editor	Data Length		128 bits
		Notation		Hex(Byte)
		Edit Mode		Overwrite
	128b132b Pattern Editor	Data Length		128 bits
		Notation		Hex(Byte)
		Edit Mode		Overwrite
Error Addition	Error Addition			OFF
		Source		Internal
		Variation		Repeat
		Route		Select、1
		Error Rate		1E–3
		Test Pattern が Mixed の場合 Row 1		Data: チェックなし PRBS: チェックなし
Pre-Code*3	Pre-Code			
		Pre-Code		OFF
		Type		DQPSK
		Initial Data		1

＊3: MU195020A-x20 で設定できます。

表 B.2.1-1　MU195020A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Misc1	Pattern Sequence			Repeat
		Repeat 時	Pulse Width	128 bits
			Delay	128
		Burst 時	Source	Internal
			Data Sequence	Restart
			Enable Period	128 000 bits 2ch Combination 時: 初期値 × 2
			Burst Cycle	12 800 000 bits 2ch Combination 時: 初期値 × 2
			Delay	0 bits
			Pulse Width	128 000 bits 2ch Combination 時: 初期値 × 2
	Aux Input			Error Injection
			Vth	0 V
	Aux Output			1/N Clock
		1/N Clock 時	(分周比)	1/64 clock
		Pattern Sync 時	PRBS、Zero-Substitution、Data の場合 Position	1 bits
			Mixed Data の場合 Block No. Row No.	1 1
		Burst Output 2 時	Delay	0
			Pulse Width	128 000 bits 2ch Combination 時: 初期値 × 2
		Pattern change Trigger		OFF
Misc2	Clock Setting			
		Clock Source*4		External
		Bit Rate		12.500 000 Gbit/s
		Offset		0 ppm
		Output Clock Rate		Half rate
		Reference Clock		Internal
		Operation Bit Rate*4		2.4～32.1

＊4: Miscellaneous System で起動したとき

B.2.2 MU196020A

B.2.2.1 PAM4

表 B.2.2.1-1 Output タブ

大項目	中項目	小項目	初期設定値
Baud Rate			Variable
	Baud Rate		12.500 000 Gbaud*
Output	Data		ON
	Clock		ON
Level Guard			OFF
	Level Guard Setup	Total Amplitude	0.800 V
		Offset Max(Voh)	3.300 V
		Offset Min(Vol)	–2.800 V
Glitch-free			OFF
(PAM4 波形設定)		Offset の切り替え	AC OFF
		Total Amplitude	0.500 Vp-p
		Upper Eye Ratio	33.300 %
		Level2 Voltage	0.083 V
		Offset	0.000 V
		Level1 Voltage	–0.083 V
		Lower Eye Ratio	33.300 %
		External ATT Factor	0.000 dB
Half Period Jitter			0
Cable for Data Output			J1789A 0.4m Cable (Recommend)
Delay			0 mUI
		Calibration	–
	Jitter Input		OFF
	Relative		0 mUI

＊: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

表 B.2.2.1-2　Emphasis タブ

大項目	中項目	小項目	初期設定値
Manual Setting	Emphasis		Off
	Standard/Preset		USER
			De-Emphasis
			Preset0
Graph	Total Amplitude		0.500 Vp-p
	Upper Eye		33.300 %
	Lower Eye		33.300 %
	Pre	Cursor2	0.000 dB
		Cursor1	0.000 dB
	Post	Cursor1	0.000 dB
	Coefficient	C-2	0.000 000
		C-1	0.000 000
		C0	1.000 000
		C1	0.000 000
Channel Emulator	Channel Emulator Function		OFF
	Response		Normal
	Graph Mode		Freq. Domain
	Gain Adjust		1 GHz
ISI	ISI Function		OFF
	Standard/Interface		User
	Loss Channel		Not Specified
	Graph Mode		Freq. Domain
	Multi Point Mode		1point
	Tuning NF Insertion Loss		4.0 dB
	Tuning 1/2 NF Insertion Loss		2.0 dB

表 B.2.2.1-3 Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
		1st Bit	MSB
	Data	Length	4 bits
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	Pattern Editor	Data Length	4 bits
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	PRBS23Q、 PRBS31Q、 PRBS31Q (Infiniband)、 PRBS31Q (Fibre Channel)	PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0

表 B.2.2.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern			
	PRBS9Q、 PRBS13Q、 QPRBS13-CEI、 QPRBS31-CEI、 PRBS13Q (Infiniband)	PRBS Inv MSB	OFF
		PRBS Inv LSB	OFF
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	QPRBS13	Seed	Lane 0
		Gray Coder	ON
		Pre Coder	ON
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	SSPRQ、JP03A、 JP03B、Square Wave、 Transmitter Linearity	Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	RS-FEC Scrambled Idle 50G 1Lane、 RS-FEC Scrambled Idle 100G 1Lane、 RS-FEC-Int Scrambled Idle 100G 1Lane	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	RS-FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes	Lane	0
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0

表 B.2.2.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	CP in 1b/1b Encoding for PCIe6	Gray Coder	OFF
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		EIEOS	ON
	MCP in 1b/1b Encoding for PCIe6	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
	Jitter Measurement Pattern in 1b/1b Encoding for PCIe6 High Swing Toggle Pattern in 1b/1b Encoding for PCIe6 Low Swing Toggle Pattern 1b/1b Encoding for PCIe6 Jitter Calibration Pattern for PCIe6 Preset Calibration Pattern for PCIe6	Logic MSB	POS
		Logic LSB	POS
	NOP Flit Layout in a x1 Link	SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS

表 B.2.2.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern			
	NOP Flit Layout in a x2 Link NOP Flit Layout in a x4 Link NOP Flit Layout in a x8 Link NOP Flit Layout in a x16 Link	Lane	0
		SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
	Sequence	Specification	PCIe6/CXL3
		Trigger Block No.	1
		Logic	POS
		PRBS Inversion	ON
	Sequence Editor		
	Preset	2.5G	P4
		5.0G	P0
		8.0G	P7
		16.0G	P7
		32.0G	P7
		64.0G	Q0
	SKP OS		
	8b10b	Symbol Length	COM+3
		Interval for Common Clock/SRNS	1538
		Interval for SRIS	152
		Symbol Length x2	OFF
	128b130b	Symbol Length	16
		Interval for Common Clock/SRNS	375
		Interval for SRIS	37
		Symbol Length x2	OFF
	1b1b	Symbol Length	40
		Interval for Common Clock/SRNS	750
		Interval for SRIS	75
		Symbol Length x2	OFF

表 B.2.2.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	SRIS		OFF
	Link Width		x1
	Enable SRIS from Block		1
	Scrambler		
	8b10b	Seed	FFFF
	128b130b/1b1b	Lane	Lane0
		Seed	1DBFBC
	General	Gray Coder	ON
		Pre Coder	OFF
		Seed	Lane 0
		SRIS	OFF
		SKP	ON
		EIEOS	ON
	PCIe/CXL Flit		
	68B NULL Flit SKP OS Interval	Sync Header Bypass	340
		No Sync Header Bypass	375
	256B Flit SKP OS Interval 128b130b	Interval Common Clock/SRNS	23
		Interval for SRIS	2
	256B Flit SKP OS Interval 1b1b	Interval Common Clock/SRNS	46
		Interval for SRIS	4

表 B.2.2.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern			
	8b10b Pattern Editor	Data Length	32
		Notation	Symbol(8b10b)
		MSB/LSB First	MSB First
		Edit Mode	Overwrite
		Cursor Addr	0
	128b130b Pattern Editor	Data Length	128
		Notation	Hex(Byte)
		MSB/LSB First	MSB First
		Edit Mode	Overwrite
		Cursor Addr	0
	1b1b Pattern Editor	Data Length	128
		Notation	Symbol(PAM4)
		MSB/LSB First	MSB First
		Edit Mode	Overwrite
		Cursor Addr	0

表 B.2.2.1-4 Error Addition タブ

大項目	中項目	小項目	初期設定値
Error Addition			OFF
	Error Addition Mode		Bit Error on MSB
	Bit Error on MSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
	Bit Error on LSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
	Bit Error on LSB&MSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
		Error Addition Method	Type 4
	RS-FEC Symbol Error	Standard	RS-FEC 50G 1Lane
		Source	Internal
		Variation	Repeat
		Total BER for All Lanes	1E-4
		SER for One Lane	1E-4
		PAM4 Symbol Error per Codeword	1
		Error Addition Method	Type 4

表 B.2.2.1-4　Error Addition タブ (続き)

大項目	中項目	小項目	初期設定値
Error Addition	PCIe6 FEC Symbol Error	Standard	x1 Link Common CLK/SRNS Mode
		SKP	No SKP
		Source	Internal
		Variation	Repeat
		Total BER for All Lanes	1E-5
		PAM4 Symbol Error for One Lane	1E-5
		Flit Error Interval	Add every 8 bits (Do not distinguish ECC groups)
		PAM4 Symbol Error per Flit	4
		Flit Error per Control SKP Interval	1
		Error Addition Method	Type 4

表 B.2.2.1-5　Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Gating Output		ON
	Repeat	Pulse Width	256 symbols
		Delay	0 symbols
AUX Input			Error Injection
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 symbols

表 B.2.2.1-6 Misc2 タブ

大項目	中項目	小項目	初期設定値
Clock Setting	Clock Source		Unit1:Slot4:MU181500B*1 Unit1:Slot3:MU181500B*2
	Baud Rate		Variable*1
		Baud Rate	12.500 000 GBaud*1
		Offset*1	0 ppm
	Output Clock Rate		Halfrate
	Reference Clock*1		Internal
	Operation Bit Rate*3		2.40 – 32.10 GBaud

＊1: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

＊2: Slot1 に MU191000A が搭載されている場合

＊3: SI PPG/ED Based System、Miscellaneous System で起動したとき

B.2.2.2　NRZ

表 B.2.2.2-1　Output タブ

大項目	中項目	小項目	初期設定値
Bitrate			Variable*
	Bitrate		12.500 000 Gbit/s*
Output	Data		ON
	Clock		ON
Level Guard			OFF
	Level Guard Setup	Amplitude	0.800 V
		Offset Max(Voh)	3.300 V
		Offset Min(Vol)	–2.800 V
Glitch-free			OFF
(NRZ 波形設定)		Amplitude	0.500 Vp-p
		Offset の切り替え	AC OFF
		Offset	0.000 V
		Offset Position	Vth
		External ATT Factor	0.000 dB
Half Period Jitter			0
Cable for Data Output			J1789A 0.4m Cable (Recommend)
Delay			0 mUI
		Calibration	–
	Jitter Input		OFF
	Relative		0 mUI

＊:　PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

表 B.2.2.2-2 Emphasis タブ

大項目	中項目	小項目	初期設定値
Manual Setting	Emphasis Function		Off
	Standard/Preset		USER
			De-Emphasis
			Preset0
Graph	Amplitude		0.500 Vp-p
	Pre	Cursor2	0.000 dB
		Cursor1	0.000 dB
	Post	Cursor1	0.000 dB
	Coefficient	C-2	0.000 000
		C-1	0.000 000
		C0	1.000 000
		C1	0.000 000
Channel Emulator	Channel Emulator Function		OFF
	Response		Normal
	Graph Mode		Freq. Domain
	Gain Adjust		1 GHz
ISI	ISI Function		OFF
	Standard/Interface		User
	Loss Channel		Not Specified
	Graph Mode		Freq. Domain
	Multi Point Mode		1point
	Tuning NF Insertion Loss		4.0 dB
	Tuning 1/2 NF Insertion Loss		2.0 dB

表 B.2.2.2-3　Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		Mark Ratio	1/2
		Logic	POS
	Zero Substitution	Length	2^15
		Zero Substitution Length	1 bits
		Additional Bit	1
		Logic	POS
	Data	Length	2
		Logic	POS
	Pattern Editor	Data Length	2
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	SSPR	Logic	POS
	RS-FEC Scrambled Idle 25G 1Lane	Logic	POS
	RS-FEC Scrambled Idle 50G 2Lanes RS(544,514)、RS-FEC Scrambled Idle 100G 4Lanes、RS-FEC Scrambled Idle 100G 4Lanes RS(544,514)	Lane	0
		Logic	POS
	CP in 8b/10b Encoding for PCIe1 CP in 8b/10b Encoding for PCIe2	Seed	Lane 0
		Delay Symbol	OFF
		SKP	No SKP
		Logic	POS
	MCP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe2	Seed	Lane 0
		Delay Symbol	OFF
		SKP	No SKP
		Logic	POS

表 B.2.2.2-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	CP in 128b/130b Encoding for PCIe3 CP in 128b/130b Encoding for PCIe4 CP in 128b/130b Encoding for PCIe5	Seed	Lane 0
		Preset	P0
		EIEOS	ON
		SKP	No SKP
		Logic	POS
	MCP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe4	SRIS	OFF
		Seed	Lane 0
		EIEOS	ON
		SKP	SKPx1
		Logic	POS
	MCP in 128b/130b Encoding for PCIe5	SRIS	OFF
		Seed	Lane 0
		Pre Coder	ON
		EIEOS	ON
		SKP	SKPx1
		Logic	POS
	Jitter Calibration Pattern for PCIe1 Preset Calibration Pattern for PCIe1 Jitter Calibration Pattern for PCIe2 Preset Calibration Pattern for PCIe2 Jitter Calibration Pattern for PCIe3 Preset Calibration Pattern for PCIe3 Jitter Calibration Pattern for PCIe4 Preset Calibration Pattern for PCIe4 Jitter Calibration Pattern for PCIe5 Preset Calibration Pattern for PCIe5	Logic	POS

表 B.2.2.2-3　Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	Sequence	Specification	表 B.2.2.1-3　Pattern タブ Sequence 項目を参照
		Trigger Block No.	
		Logic	
		PRBS Inversion	
	Sequence Editor		
	Preset	2.5G	
		5.0G	
		8.0G	
		16.0G	
		32.0G	
		64.0G	
	SKP OS		
	8b10b	Symbol Length	
		Interval for Common Clock/SRNS	
		Interval for SRIS	
		Symbol Length x2	
	128b130b	Symbol Length	
		Interval for Common Clock/SRNS	
		Interval for SRIS	
		Symbol Length x2	
	1b1b	Symbol Length	
		Interval for Common Clock/SRNS	
		Interval for SRIS	
		Symbol Length x2	
	SRIS		
	Link Width		
	Enable SRIS from Block		
	Scrambler		
	8b10b	Seed	
	128b130b/1b1b	Lane	
		Seed	

表 B.2.2.2-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	General	Seed	Lane0
		Delay Symbol	OFF
		SKP	OFF
	PCIe/CXL Flit		表 B.2.2.1-3 Pattern タブ Sequence 項目を参照
	68B NULL Flit SKP OS Interval	Sync Header Bypass	
		No Sync Header Bypass	
	256B Flit SKP OS Interval 128b130b	Interval Common Clock/SRNS	
		Interval for SRIS	
	256B Flit SKP OS Interval 1b1b	Interval Common Clock/SRNS	
		Interval for SRIS	
	8b10b Pattern Editor	Data Length	
		Notation	
		MSB/LSB First	
		Edit Mode	
		Cursor Addr	
	128b130b Pattern Editor	Data Length	
		Notation	
		MSB/LSB First	
		Edit Mode	
		Cursor Addr	
	1b1b Pattern Editor	Data Length	
		Notation	
		MSB/LSB First	
		Edit Mode	
		Cursor Addr	

表 B.2.2.2-4　Error Addition タブ

大項目	中項目	小項目	初期設定値
Error Addition			OFF
	Error Addition Mode		Bit Error
	Bit Error	Bit/Burst	Bit
		Source	Internal
		Variation	Repeat
		Route	Select
		Rate	1E–3
		Burst Length	1 bits
	RS-FEC Symbol Error	Standard	RS-FEC 25G 1Lane
		Source	Internal
		Variation	Repeat
		Total BER for All Lanes	1E-4
		PAM4 Symbol Error per Codeword	1

表 B.2.2.2-5 Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Gating Output		ON
	Repeat	Pulse Width	256 bits
		Delay	0 bits
	Burst	Source	Internal
		Data Sequence	Restart
		Enable Period	128 000 bits
		Burst Cycle	128 000 000 bits
		Delay	0 bits
		Pulse Width	128 000 bits
AUX Input			Error Injection
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 bits

表 B.2.2.2-6 Misc2 タブ

大項目	中項目	小項目	初期設定値
Clock Setting	Clock Source		Unit1:Slot4:MU181500B*1 Unit1:Slot3:MU181500B*2
	Bit Rate		Variable*1
		Baud Rate	12.500 000 Gbit/s*1
		Offset*1	0 ppm
	Output Clock Rate		Halfrate
	Reference Clock*1		Internal
	Operation Bit Rate*3		2.40 – 32.10 Gbit/s

＊1: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

＊2: Slot1 に MU191000A が搭載されている場合

＊3: SI PPG/ED Based System、Miscellaneous System で起動したとき

B.2.2.3　PAM3

表 B.2.2.3-1　Output タブ

大項目	中項目	小項目	初期設定値
Baud Rate			Variable*
	Baud Rate		12.500 000 Gbaud*
Output	Data		ON
	Clock		ON
Level Guard			OFF
	Level Guard Setup	Total Amplitude	0.532 V
		Offset Max(Voh)	3.300 V
		Offset Min(Vol)	–2.800 V
Glitch-free			OFF
(PAM3 波形設定)		Offset の切り替え	AC OFF
		Total Amplitude	0.300 Vp-p
		Offset	0.000 V
		Level1 Voltage	0.000 V
		Lower Eye Ratio	50.000 %
		External ATT Factor	0.000 dB
Half Period Jitter			0
Cable for Data Output			J1789A 0.4m Cable (Recommend)
Delay			0 mUI
		Calibration	–
	Jitter Input		OFF
	Relative		0 mUI

＊:　PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

表 B.2.2.3-2 Emphasis タブ

大項目	中項目	小項目	初期設定値
Manual Setting	Emphasis		Off
	Standard/Preset		USER
			De-Emphasis
			Preset0
Graph	Total Amplitude		0.300 Vp-p
	Lower Eye		50.000 %
	Pre	Cursor2	0.000 dB
		Cursor1	0.000 dB
	Post	Cursor1	0.000 dB
	Coefficient	C-2	0.000 000
		C-1	0.000 000
		C0	1.000 000
		C1	0.000 000
Channel Emulator	Channel Emulator Function		OFF
	Response		Normal
	Graph Mode		Freq. Domain
	Gain Adjust		1 GHz
ISI	ISI Function		OFF
	Standard/Interface		User
	Loss Channel		Not Specified
	Graph Mode		Freq. Domain
	Multi Point Mode		1point
	Tuning NF Insertion Loss		4.0 dB
	Tuning 1/2 NF Insertion Loss		2.0 dB

表 B.2.2.3-3　Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		PRBS Inv	ON
		Polarity Inv	OFF
	Data	Length	4 bits
		Pre Coder	OFF
		Polarity Inv	OFF
	Pattern Editor	Data Length	4 bits
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	PRTS	Length	3^7–1
		Pre Coder	OFF
		Polarity Inv	OFF
	TS2clksw	Pre Coder	OFF
		Polarity Inv	OFF
	USB4 Gen4 Power Management State Signal	USB4 Data	PRBS7
		Pre Coder	OFF
		Polarity Inv	OFF
		PRBS Inv	ON
		tPeriod	50 ns
		Duty Cycle	50 %
		tPreData	100 ns
		Break	Block #1,2,4: Manual Block #3: Auto
		LFPS Swing	High

表 B.2.2.3-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	USB4 Gen4 Rx Frequency Variation Training Sequence	Pre Coder	OFF
		Polarity Inv	OFF
		PRBS Inv	ON
		Test flow type	Type1
		Break	Flow No3: Manual
		Pattern	Flow #1: PRBS11 Flow #2, 3: PRTS7
		Transmission Time	Flow #3: 2 000 ms
		Test flow type	Type2
		Break	Flow #3: Auto Flow #4: Manual
		Pattern	Flow #1: PRBS11 Flow #2, 4: PRTS7
		Transmission Time	Flow #3: 10.000 us Flow #4: 2 000 ms

表 B.2.2.3-4 Error Addition タブ

大項目	中項目	小項目	初期設定値
Error Addition			OFF
	Error Addition Mode		Bit Error on LSB&MSB
	Bit Error on LSB&MSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
		Error Addition Method	Type 6

表 B.2.2.3-5　Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Gating Output		ON
	Repeat	Pulse Width	256 symbols
		Delay	0 symbols
AUX Input			Error Injection
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 symbols

表 B.2.2.3-6　Misc2 タブ

大項目	中項目	小項目	初期設定値
Clock Setting	Clock Source		Unit1:Slot4:MU181500B*1 Unit1:Slot3:MU181500B*2
	Baud Rate		Variable*1
		Baud Rate	12.500 000 GBaud*1
		Offset*1	0 ppm
	Output Clock Rate		Halfrate
	Reference Clock*1		Internal
	Operation Bit Rate*3		2.40 – 32.10 GBaud
Insertion Loss Compensation			ON
	Setting Range		0.5 dB

＊1: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

＊2: Slot1 に MU191000A が搭載されている場合

＊3: SI PPG/ED Based System、Miscellaneous System で起動したとき

B.2.3 MU196020C

B.2.3.1 PAM4

表 B.2.3.1-1 Output タブ

大項目	中項目	小項目	初期設定値
Baud Rate			Variable
	Baud Rate		12.500 000 Gbaud*
Output	Data		ON
	Clock		ON
Level Guard			OFF
	Level Guard Setup	Total Amplitude	0.800 V
		Offset Max(Voh)	3.300 V
		Offset Min(Vol)	–2.800 V
Glitch-free			OFF
(PAM4 波形設定)		Offset の切り替え	AC OFF
		Total Amplitude	0.500 Vp-p
		Upper Eye Ratio	33.300 %
		Level2 Voltage	0.083 V
		Offset	0.000 V
		Level1 Voltage	–0.083 V
		Lower Eye Ratio	33.300 %
		External ATT Factor	0.000 dB
Half Period Jitter			0
Cable for Data Output			J1789A 0.4m Cable (Recommend)
Delay			0 mUI
		Calibration	–
	Jitter Input		OFF
	Relative		0 mUI

＊: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

表 B.2.3.1-2　Emphasis タブ

大項目	中項目	小項目	初期設定値
Manual Setting	Emphasis		Off
	Standard/Preset		USER
			De-Emphasis
			Preset0
Graph	Total Amplitude		0.500 Vp-p
	Upper Eye		33.300 %
	Lower Eye		33.300 %
	Pre	Cursor2	0.000 dB
		Cursor1	0.000 dB
	Post	Cursor1	0.000 dB
	Coefficient	C-2	0.000 000
		C-1	0.000 000
		C0	1.000 000
		C1	0.000 000
Channel Emulator	Channel Emulator Function		OFF
	Response		Normal
	Graph Mode		Freq. Domain
	Gain Adjust		1 GHz
ISI	ISI Function		OFF
	Standard/Interface		User
	Loss Channel		Not Specified
	Graph Mode		Freq. Domain
	Multi Point Mode		1point
	Tuning NF Insertion Loss		4.0 dB
	Tuning 1/2 NF Insertion Loss		2.0 dB

表 B.2.3.1-3 Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
		1st Bit	MSB
	Data	Length	4 bits
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	Pattern Editor	Data Length	4 bits
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	PRBS23Q、 PRBS31Q、 PRBS31Q (Infiniband)、 PRBS31Q (Fibre Channel)	PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0

表 B.2.3.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern			
	PRBS9Q、 PRBS13Q、 QPRBS13-CEI、 QPRBS31-CEI、 PRBS13Q (Infiniband)	PRBS Inv MSB	OFF
		PRBS Inv LSB	OFF
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	QPRBS13	Seed	Lane 0
		Gray Coder	ON
		Pre Coder	ON
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	SSPRQ、JP03A、 JP03B、Square Wave、 Transmitter Linearity	Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	RS-FEC Scrambled Idle 50G 1Lane、 RS-FEC Scrambled Idle 100G 1Lane、 RS-FEC-Int Scrambled Idle 100G 1Lane	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0
	RS-FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes	Lane	0
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Bit Shift	0

表 B.2.3.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	CP in 1b/1b Encoding for PCIe6	Gray Coder	OFF
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		EIEOS	ON
	MCP in 1b/1b Encoding for PCIe6	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
	Jitter Measurement Pattern in 1b/1b Encoding for PCIe6 High Swing Toggle Pattern in 1b/1b Encoding for PCIe6 Low Swing Toggle Pattern 1b/1b Encoding for PCIe6 Jitter Calibration Pattern for PCIe6 Preset Calibration Pattern for PCIe6	Logic MSB	POS
		Logic LSB	POS

表 B.2.3.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern			
	CP in 1b/1b Encoding for PCIe7	Gray Coder	OFF
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		EIEOS	ON
	MCP in 1b/1b Encoding for PCIe7	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
	Jitter Measurement Pattern in 1b/1b Encoding for PCIe7 High Swing Toggle Pattern in 1b/1b Encoding for PCIe7 Low Swing Toggle Pattern x* 1b/1b Encoding for PCIe7 Slow High Swing Toggle Pattern (SHSTP) for PCIe7 Jitter Calibration Pattern for PCIe7 Preset Calibration Pattern for PCIe7	Logic MSB	POS
		Logic LSB	POS
	NOP Flit Layout in a x1 Link	SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS

＊：　x = 0～4

表 B.2.3.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	NOP Flit Layout in a x2 Link NOP Flit Layout in a x4 Link NOP Flit Layout in a x8 Link NOP Flit Layout in a x16 Link	Lane	0
		SRIS	OFF
		SKP	SKPx1
		EIEOS	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS

表 B.2.3.1-4　Error Addition タブ

大項目	中項目	小項目	初期設定値
Error Addition			OFF
	Error Addition Mode		Bit Error on MSB
	Bit Error on MSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
	Bit Error on LSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
	Bit Error on LSB&MSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
		Error Addition Method	Type 4
	RS-FEC Symbol Error	Standard	RS-FEC 50G 1Lane
		Source	Internal
		Variation	Repeat
		Total BER for All Lanes	1E-4
		SER for One Lane	1E-4
		PAM4 Symbol Error per Codeword	1
		Error Addition Method	Type 4

表 B.2.3.1-4 Error Addition タブ (続き)

大項目	中項目	小項目	初期設定値
Error Addition	PCIe6 FEC Symbol Error	Standard	x1 Link Common CLK/SRNS Mode
		SKP	No SKP
		Source	Internal
		Variation	Repeat
		Total BER for All Lanes	1E-5
		PAM4 Symbol Error for One Lane	1E-5
		Flit Error Interval	Add every 8 bits (Do not distinguish ECC groups)
		PAM4 Symbol Error per Flit	4
		Flit Error per Control SKP Interval	1
		Error Addition Method	Type 4

表 B.2.3.1-5 Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Gating Output		ON
	Repeat	Pulse Width	256 symbols
		Delay	0 symbols
AUX Input			Error Injection
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 symbols

表 B.2.3.1-6　Misc2 タブ

大項目	中項目	小項目	初期設定値
Clock Setting	Clock Source		Unit1:Slot4:MU181500B*1 Unit1:Slot3:MU181500B*2
	Baud Rate		Variable*1
		Baud Rate	12.500 000 GBaud*1
		Offset*1	0 ppm
	Output Clock Rate		Halfrate
	Reference Clock*1		Internal
	Operation Bit Rate*3		2.40 – 32.10 GBaud

＊1: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

＊2: Slot1 に MU191000A が搭載されている場合

＊3: SI PPG/ED Based System、Miscellaneous System で起動したとき

B.2.3.2 NRZ

表 B.2.3.2-1 Output タブ

大項目	中項目	小項目	初期設定値
Bitrate			Variable*
	Bitrate		12.500 000 Gbit/s*
Output	Data		ON
	Clock		ON
Level Guard			OFF
	Level Guard Setup	Amplitude	0.800 V
		Offset Max(Voh)	3.300 V
		Offset Min(Vol)	–2.800 V
Glitch-free			OFF
(NRZ 波形設定)		Amplitude	0.500 Vp-p
		Offset の切り替え	AC OFF
		Offset	0.000 V
		Offset Position	Vth
		External ATT Factor	0.000 dB
Half Period Jitter			0
Cable for Data Output			J1789A 0.4m Cable (Recommend)
Delay			0 mUI
		Calibration	–
	Jitter Input		OFF
	Relative		0 mUI

＊: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

表 B.2.3.2-2　Emphasis タブ

大項目	中項目	小項目	初期設定値
Manual Setting	Emphasis Function		Off
	Standard/Preset		USER
			De-Emphasis
			Preset0
Graph	Amplitude		0.500 Vp-p
	Pre	Cursor2	0.000 dB
		Cursor1	0.000 dB
	Post	Cursor1	0.000 dB
	Coefficient	C-2	0.000 000
		C-1	0.000 000
		C0	1.000 000
		C1	0.000 000
Channel Emulator	Channel Emulator Function		OFF
	Response		Normal
	Graph Mode		Freq. Domain
	Gain Adjust		1 GHz
ISI	ISI Function		OFF
	Standard/Interface		User
	Loss Channel		Not Specified
	Graph Mode		Freq. Domain
	Multi Point Mode		1point
	Tuning NF Insertion Loss		4.0 dB
	Tuning 1/2 NF Insertion Loss		2.0 dB

表 B.2.3.2-3 Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		Mark Ratio	1/2
		Logic	POS
	Zero Substitution	Length	2^15
		Zero Substitution Length	1 bits
		Additional Bit	1
		Logic	POS
	Data	Length	2
		Logic	POS
	Pattern Editor	Data Length	2
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	SSPR	Logic	POS
	RS-FEC Scrambled Idle 25G 1Lane	Logic	POS
	RS-FEC Scrambled Idle 50G 2Lanes RS(544,514)、RS-FEC Scrambled Idle 100G 4Lanes、RS-FEC Scrambled Idle 100G 4Lanes RS(544,514)	Lane	0
		Logic	POS
	CP in 8b/10b Encoding for PCIe1 CP in 8b/10b Encoding for PCIe2	Seed	Lane 0
		Delay Symbol	OFF
		SKP	No SKP
		Logic	POS
	MCP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe2	Seed	Lane 0
		Delay Symbol	OFF
		SKP	No SKP
		Logic	POS

表 B.2.3.2-3　Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	CP in 128b/130b Encoding for PCIe3 CP in 128b/130b Encoding for PCIe4 CP in 128b/130b Encoding for PCIe5	Seed	Lane 0
		Preset	P0
		EIEOS	ON
		SKP	No SKP
		Logic	POS
	MCP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe4	SRIS	OFF
		Seed	Lane 0
		EIEOS	ON
		SKP	SKPx1
		Logic	POS
	MCP in 128b/130b Encoding for PCIe5	SRIS	OFF
		Seed	Lane 0
		Pre Coder	ON
		EIEOS	ON
		SKP	SKPx1
		Logic	POS
	Jitter Calibration Pattern for PCIe1 Preset Calibration Pattern for PCIe1 Jitter Calibration Pattern for PCIe2 Preset Calibration Pattern for PCIe2 Jitter Calibration Pattern for PCIe3 Preset Calibration Pattern for PCIe3 Jitter Calibration Pattern for PCIe4 Preset Calibration Pattern for PCIe4 Jitter Calibration Pattern for PCIe5 Preset Calibration Pattern for PCIe5	Logic	POS

表 B.2.3.2-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	Sequence	Specification	Sequence 項目を参照
		Trigger Block No.	
		Logic	
		PRBS Inversion	
	Sequence Editor		
	Preset	2.5G	
		5.0G	
		8.0G	
		16.0G	
		32.0G	
		64.0G	
	SKP OS		
	8b10b	Symbol Length	
		Interval for Common Clock/SRNS	
		Interval for SRIS	
		Symbol Length x2	
	128b130b	Symbol Length	
		Interval for Common Clock/SRNS	
		Interval for SRIS	
		Symbol Length x2	
	1b1b	Symbol Length	
		Interval for Common Clock/SRNS	
		Interval for SRIS	
		Symbol Length x2	
	SRIS		
	Link Width		
	Enable SRIS from Block		
	Scrambler		
	8b10b	Seed	
	128b130b/1b1b	Lane	
		Seed	

表 B.2.3.2-3　Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	General	Seed	Lane0
		Delay Symbol	OFF
		SKP	OFF
	8b10b Pattern Editor	Data Length	Sequence 項目を参照
		Notation	
		MSB/LSB First	
		Edit Mode	
		Cursor Addr	
	128b130b Pattern Editor	Data Length	
		Notation	
		MSB/LSB First	
		Edit Mode	
		Cursor Addr	
	1b1b Pattern Editor	Data Length	
		Notation	
		MSB/LSB First	
		Edit Mode	
		Cursor Addr	

表 B.2.3.2-4 Error Addition タブ

大項目	中項目	小項目	初期設定値
Error Addition			OFF
	Error Addition Mode		Bit Error
	Bit Error	Bit/Burst	Bit
		Source	Internal
		Variation	Repeat
		Route	Select
		Rate	1E–3
		Burst Length	1 bits
	RS-FEC Symbol Error	Standard	RS-FEC 25G 1Lane
		Source	Internal
		Variation	Repeat
		Total BER for All Lanes	1E-4
		BER for One Lane	1E-4
		FEC Symbol Error per Codeword	1

表 B.2.3.2-5　Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Gating Output		ON
	Repeat	Pulse Width	256 bits
		Delay	0 bits
	Burst	Source	Internal
		Data Sequence	Restart
		Enable Period	128 000 bits
		Burst Cycle	12 800 000 bits
		Delay	0 bits
		Pulse Width	128 000 bits
AUX Input			Error Injection
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 bits

表 B.2.3.2-6　Misc2 タブ

大項目	中項目	小項目	初期設定値
Clock Setting	Clock Source		Unit1:Slot4:MU181500B*1 Unit1:Slot3:MU181500B*2
	Bit Rate		Variable*1
		Baud Rate	12.500 000 Gbit/s*1
		Offset*1	0 ppm
	Output Clock Rate		Halfrate
	Reference Clock*1		Internal
	Operation Bit Rate*3		2.40 – 32.10 GBaud

＊1: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

＊2: Slot1 に MU191000A が搭載されている場合

＊3: SI PPG/ED Based System、Miscellaneous System で起動したとき

B.2.3.3 PAM3

表 B.2.3.3-1 Output タブ

大項目	中項目	小項目	初期設定値
Baud Rate			Variable*
	Baud Rate		12.500 000 Gbaud*
Output	Data		ON
	Clock		ON
Level Guard			OFF
	Level Guard Setup	Total Amplitude	0.532 V
		Offset Max(Voh)	3.300 V
		Offset Min(Vol)	–2.800 V
Glitch-free			OFF
(PAM3 波形設定)		Offset の切り替え	AC OFF
		Total Amplitude	0.300 Vp-p
		Offset	0.000 V
		Level1 Voltage	0.000 V
		Lower Eye Ratio	50.000 %
		External ATT Factor	0.000 dB
Half Period Jitter			0
Cable for Data Output			J1789A 0.4m Cable (Recommend)
Delay			0 mUI
		Calibration	–
	Jitter Input		OFF
	Relative		0 mUI

＊: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

表 B.2.3.3-2　Emphasis タブ

大項目	中項目	小項目	初期設定値
Manual Setting	Emphasis		Off
	Standard/Preset		USER
			De-Emphasis
			Preset0
Graph	Total Amplitude		0.300 Vp-p
	Lower Eye		50.000 %
	Pre	Cursor2	0.000 dB
		Cursor1	0.000 dB
	Post	Cursor1	0.000 dB
	Coefficient	C-2	0.000 000
		C-1	0.000 000
		C0	1.000 000
		C1	0.000 000
Channel Emulator	Channel Emulator Function		OFF
	Response		Normal
	Graph Mode		Freq. Domain
	Gain Adjust		1 GHz
ISI	ISI Function		OFF
	Standard/Interface		User
	Loss Channel		Not Specified
	Graph Mode		Freq. Domain
	Multi Point Mode		1point
	Tuning NF Insertion Loss		4.0 dB
	Tuning 1/2 NF Insertion Loss		2.0 dB

表 B.2.3.3-3 Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		PRBS Inv	ON
		Polarity Inv	OFF
	Data	Length	4 bits
		Pre Coder	OFF
		Polarity Inv	OFF
	Pattern Editor	Data Length	4 bits
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	PRTS	Length	3^7–1
		Pre Coder	OFF
		Polarity Inv	OFF
	TS2clksw	Pre Coder	OFF
		Polarity Inv	OFF
	USB4 Gen4 Power Management State Signal	USB4 Data	PRBS7
		Pre Coder	OFF
		Polarity Inv	OFF
		PRBS Inv	ON
		tPeriod	50 ns
		Duty Cycle	50 %
		tPreData	100 ns
		Break	Block #1,2,4: Manual Block #3: Auto
		LFPS Swing	High

表 B.2.3.3-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern			
	USB4 Gen4 Rx Frequency Variation Training Sequence	Pre Coder	OFF
		Polarity Inv	OFF
		PRBS Inv	ON
		Test flow type	Type1
		Break	Flow No3: Manual
		Pattern	Flow #1: PRBS11 Flow #2, 3: PRTS7
		Transmission Time	Flow #3: 2 000 ms
		Test flow type	Type2
		Break	Flow #3: Auto Flow #4: Manual
		Pattern	Flow #1: PRBS11 Flow #2, 4: PRTS7
		Transmission Time	Flow #3: 10.000 us Flow #4: 2 000 ms

表 B.2.3.3-4　Error Addition タブ

大項目	中項目	小項目	初期設定値
Error Addition			OFF
	Error Addition Mode		Bit Error on LSB&MSB
	Bit Error on LSB&MSB	Symbol/Burst	Symbol
		Source	Internal
		Variation	Repeat
		Rate	1E–3
		Burst Length	1 Symbols
		Error Addition Method	Type 6

表 B.2.3.3-5 Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Gating Output		ON
	Repeat	Pulse Width	256 symbols
		Delay	0 symbols
AUX Input			Error Injection
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 symbols
		Pattern Change Trigger	OFF

表 B.2.3.3-6 Misc2 タブ

大項目	中項目	小項目	初期設定値
Clock Setting	Clock Source		Unit1:Slot4:MU181500B*1 Unit1:Slot3:MU181500B*2
	Baud Rate		Variable*1
		Baud Rate	12.500 000 GBaud*1
		Offset*1	0 ppm
	Output Clock Rate		Halfrate
	Reference Clock*1		Internal
	Operation Bit Rate*3		2.40 – 32.10 GBaud
Insertion Loss Compensation			ON
	Setting Range		0.5 dB

＊1: PAM4 PPG/ED Based System、SI and PAM4 Combined System で起動したとき

＊2: Slot1 に MU191000A が搭載されている場合

＊3: SI PPG/ED Based System、Miscellaneous System で起動したとき

B.3 ED

B.3.1 MU195040A

表 B.3.1-1　MU195040A 初期設定一覧表

設定機能	大項目	中項目	小項目	初期設定値
Result	設定項目 切り替え	設定表示の選択		Gating
		結果表示の選択		Error/Alarm
		時間表示の選択		Date&Time
		Error/Alarm 表示	Zoom	OFF
			Overall Ch.	OFF
	Error/Alarm 測定開始			–
	Error/Alarm 測定停止			–
Measurement	測定周期の選択 (Gating)	測定周期単位の選択（Unit）		Time
		測定周期の時間設定		00 00:00:01
		測定周期のクロック数設定		>E+10
		測定周期のエラー数設定		>E+10
		測定周期のブロック数設定		>E+2
		測定処理方法の選択（Cycle）		Repeat
		Target ER		1E-12
		Target EC		1
		Target Bitrate		12.500 000 Gbit/s
		測定結果データ表示処理の選択（Current）		ON
		既値データ処理方法の選択（Calculation）		Progressive
		既値データ表示更新周期の選択		100 ms
	再同期処理実行の選択 (Auto Sync)	再同期処理実行の選択		ON
		自動同期機能しきい値の選択		INT
	SKP Ordered Set フィルタの選択 (SKP Ordered Set)	フィルタリングの選択（Filtering）		OFF
		規格の選択（Specification）		PCIe4
	同期方式の設定 (Sync Control)	同期方式の選択		無効
		Frame 同期のユニークパターン長の設定		64 bits
		PRGM パターンの先頭位置の設定		1 bit
		同期マスクパターンの編集		All 0
	測定条件の設定 (Error/Alarm Condition)	ビットエラー、アラーム測定処理方式の選択		Insertion/Omission
		EI, EFI 測定における、インターバル時間の設定		100 ms

表 B.3.1-1　MU195040A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Pattern*	マスクの選択	Block Window 実行の選択		OFF
		Block Window の設定		All 0
		Bit Window 実行の選択		OFF
		Bit Window ビット列の設定		All 0
		External Mask の選択		OFF
	HSSB Data	Logic		POS
		Length		32
		Specification		PCIe1
		Scrambler Seed		FFFF
		EIEOSQ Insertion		OFF
		EIEOSQ Interval		32

＊:　PPG と共通部分は省略します。
詳細は、「表 B.2.1-1　MU195020A 初期設定一覧表」を参照してください。

表 B.3.1-1　MU195040A 初期設定一覧表（続き）

設定機能	大項目	中項目	小項目	初期設定値
Input	Data	Input Condition の選択		Single-Ended
		差動種別の選択		Independent
		Data/XData の選択		Data
		データ入力しきい値の設定		–0.500 V
		XData 入力しきい値の設定		–0.500 V
		データ入力しきい値の差動選択		Data-XData
		データ入力しきい値の差動設定		0.000 V
		データ入力終端条件設定画面の表示		–
		データ入力終端条件の選択		GND
		データ入力終端電圧の設定		0.00 V
		CTLE		OFF
	Clock	Selection		External Clock
		Recovered Clock 規定ビットレートの選択		Variable (MU195040A-x22)
		Recovered Clock ビットレートの選定		28.000 000 Gbit/s (MU195040A-x22)
		ループ帯域		17 MHz (MU195040A-x22)
		ループ帯域算出の除算定数		1667 (MU195040A-x22)
		Clock 位相単位の選択		mUI
		Clock 位相可変（mUI 単位）の設定		0 mUI
		Clock 位相可変（ps 単位）の設定		0.00 ps
		Clock 位相の校正		–
			Clock 位相のリファレンス設定の選択	OFF
			Clock 位相可変（リファレンス mUI 単位）の設定	0 mUI
			Clock 位相可変（リファレンス ps 単位）の設定	0.00 ps
			Clock 位相可変（Jitter Input）の設定	OFF
	Measurement Restart	Data Threshold		OFF
		Clock Delay		OFF

表 B.3.1-1 MU195040A 初期設定一覧表 (続き)

設定機能	大項目	中項目	小項目	初期設定値
Capture	Condition	Number of Block		128
		Trigger		Match Pattern
			Position	Top
		Match Pattern Length		4 bits
		Format		Hex
		Match Pattern		0
		Mask Pattern		0
	Capture Acquisition	Start Block No.		1
		Number of Block		1
	Capture	Block		1
		Viewer Mode	Notation	Hex(Byte)
			Format	Pattern
		Error Search	Continuous Error	≧1 bit
Misc1	Pattern Sequence			Repeat
		Burst 時	Source	External-Enable
			Delay	0 bits
			Auto/Manual	Manual
			Enable Period	128 000 bits*1
			Burst Cycle	12 800 000 bits*1
	Aux Input			External Mask
			Vth	0 V
	Aux Output			1/N Clock
		1/N Clock 時	(分周比)	1/64 clock
		Pattern Sync 時	PRBS、Zero-Substitution、Data の場合 Position	1 bits
			Mixed Data の場合 Block No. Row No.	1 1
	Confidence Level	PPG Target Bitrate Tracking		OFF
				Unitx:Sloty:MU195020A*2
				Unitx:Sloty:MU196020A*3
		Target Bitrate		12.500 000 GBit/s

＊1: 2ch Combination 時: 初期値 × 2

＊2: Standard BERT for SI で起動したとき

＊3: Standard BERT for SI and PAM4 および BERT for PCIe1-5 and PCIe6 Base で起動したとき

B.3.2 MU196040A

B.3.2.1 PAM4

表 B.3.2.1-1 Result タブ

大項目	中項目	小項目	初期設定値
設定項目切り替え	設定表示の選択		Gating
	Input	Upper Eye Threshold	0.095 V
		Middle Eye Threshold	0.000 V
		Lower Eye Threshold	–0.095 V
		UL Threshold	ON
		Delay	0 mUI
	Gating	Cycle	Repeat
		Unit	Time
		Time	0 day 00:00:01
		Current	ON
		Calculation	Progressive
		Interval	100 ms
	Condition	EI/EFI Interval	100 ms
		Bit Mask (Block Window)	OFF
	Auto Sync	Auto Sync	ON
		Threshold	INT
	Sync Control	Frame Length	64 symbols
		Frame Position	1 symbols
時間表示の選択			Date&Time
Error/Alarm 表示	Details		OFF
	Zoom		OFF

表 B.3.2.1-2　Measurement タブ

大項目	中項目	小項目	初期設定値
Gating	Cycle		Repeat
	Unit		Time
		Time	0 day 00:00:01
		Clock Count	>E+10
		Error Count	>E+10
	Current		ON
		Calculation	Progressive
		Interval	100 ms
Auto Sync	Auto Sync		ON
	Threshold		INT
Sync Control	Frame Length		64 symbols
	Frame Position		1 symbols
	Mask		すべて 00
Error/Alarm Condition	EI/EFI Interval		100 ms

表 B.3.2.1-3　Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
	Data	Length	4
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
	Pattern Editor	Data Length	4
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000

表 B.3.2.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	PRBS23Q、 PRBS31Q、 PRBS31Q (Infiniband)、 PRBS31Q (Fibre Channel)	PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
	PRBS13Q、 QPRBS13-CEI、 QPRBS31-CEI、 PRBS13Q (Infiniband)	PRBS Inv MSB	OFF
		PRBS Inv LSB	OFF
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
	QPRBS13	Seed	Lane 0
		Gray Coder	ON
		Pre Coder	ON
		Logic MSB	POS
		Logic LSB	POS
	SSPRQ、JP03A、 JP03B、Square Wave、 Transmitter Linearity	Logic MSB	POS
		Logic LSB	POS
Mask	Bit Mask (Block Window)		OFF
	External Mask		OFF

表 B.3.2.1-4　Input タブ

大項目	中項目	小項目	初期設定値
Data	Input Condition		Single-Ended
		Single-Ended	Data
		Differential 50Ohm	Independent
		Differential 100Ohm	Independent
	Termination		GND
	Data	Upper Eye Threshold	0.095 V
		Middle Eye Threshold	0.000 V
		Lower Eye Threshold	–0.095 V
	XData	Upper Eye Threshold	0.095 V
		Middle Eye Threshold	0.000 V
		Lower Eye Threshold	–0.095 V
	UL Threshold		ON
		Differential Selection	Data-XData
		Threshold	0.000 V
Clock	Selection		External Clock
	Operation Baud Rate		2.40 – 16.05 GBaud
	Input Clock Freq.		2.40 – 16.05 GHz (1/1 Clock)
	Delay		0 mUI
		Relative	0 mUI
		Jitter Input	OFF
Measurement Restart	Data Threshold		OFF
	Clock Delay		OFF

表 B.3.2.1-5　Capture タブ

大項目	中項目	小項目	初期設定値
Acquisition			Bit Pattern
Condition			
	Number of Block		128
	Condition	Trigger	
	Trigger		Match Pattern
		Position	Top
	Match Pattern Length		4 bits
	Format		HEX
	Math Pattern		0
	Mask Pattern		0

表 B.3.2.1-6 Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Source		External -Enable
AUX Input			External Mask
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 symbols

B.3.2.2　NRZ

表 B.3.2.2-1　Result タブ

大項目	中項目	小項目	初期設定値
設定項目切り替え	設定表示の選択		Gating
	Input	Data Threshold	0.000 V
		XData Threshold	–
		Differential Selection	Data-XData
		Threshold	–
		Delay	0 mUI
	Gating	Cycle	Repeat
		Unit	Time
		Time	0 day 00:00:01
		Current	ON
		Calculation	Progressive
		Interval	100 ms
	Condition	Error Detection	Insertion/Omission
		EI/EFI Interval	100 ms
		Bit Mask (Block Window)	OFF
		Lane Mask (Bit Window)	OFF
	Auto Sync	Auto Sync	ON
		Threshold	INT
	Sync Control	Frame Length	64 bits
		Frame Position	1 bit
結果表示の選択			Error/Alarm
時間表示の選択			Date&Time
Error/Alarm 表示	Zoom		OFF
	All Channel		OFF

表 B.3.2.2-2 Measurement タブ

大項目	中項目	小項目	初期設定値
Gating	Cycle		Repeat
	Unit		Time
		Time	0 day 00:00:01
		Clock Count	>E+10
		Error Count	>E+10
	Current		ON
		Calculation	Progressive
		Interval	100 ms
Auto Sync	Auto Sync		ON
	Threshold		INT
Sync Control	Frame Length		64 bits
	Frame Position		1 bit
	Mask		すべて 00
Error/Alarm Condition	Error Detection		Insertion/Omission
	EI/EFI Interval		100 ms

表 B.3.2.2-3　Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		Mark Ratio	1/2
		Logic	POS
	Zero Substitution	Length	2^15
		Zero Substitution Length	1 bits
		Additional Bit	1
		Logic	POS
	Data	Length	2
		Logic	POS
	Pattern Editor	Data Length	2
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	SSPR	Logic	POS
Mask	Bit Mask (Block Window)		OFF
	Lane Mask (Bit Window)		OFF
	External Mask		OFF

表 B.3.2.2-4 Input タブ

大項目	中項目	小項目	初期設定値
Data	Input Condition		Single-Ended
		Single-Ended	Data
		Differential 50Ohm	Independent
		Differential 100Ohm	Independent
	Data Threshold		0.000 V
	Termination		GND
		Variable	0.000 V
	XData Threshold		0.000 V
	Differential Selection		Data-XData
	Threshold		0.000 V
Clock	Selection		External Clock
	Operation Bitrate		2.40 – 16.05 GBit/s
	Input Clock Freq.		2.40 – 16.05 GHz (1/1 Clock)
	Delay		0 mUI
		Relative	0 mUI
		Jitter Input	OFF
Measurement Restart	Data Threshold		OFF
	Clock Delay		OFF

表 B.3.2.2-5 Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Burst	Source	External -Enable
		Delay	0 bits
		Enable Period	128 000 bits
		Burst Cycle	128 000 000 bits
		Auto/Manual	Manual
AUX Input			External Mask
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 bits

B.3.3　MU196040B

B.3.3.1　PAM4

表 B.3.3.1-1　Result タブ

大項目	中項目	小項目	初期設定値
設定項目切り替え	設定表示の選択		Gating
	Input	Upper Eye Threshold	0.095 V
		Middle Eye Threshold	0.000 V
		Lower Eye Threshold	–0.095 V
		U/L Threshold Sync	ON
		Low Frequency Equalizer	OFF*
			0.000 dB*
		DFE	OFF
			0
		Delay	0 mUI
	Gating	Cycle	Repeat
		Unit	Time
		Time	0 day 00:00:01
		Target ER	1E-12
		Target EC	1
		Target Unit	Bit
		Target Baud Rate	12.500 000 GBaud
		Current	ON
		Calculation	Progressive
		Interval	100 ms
	Condition	EI/EFI Interval	100 ms
		Bit Mask (Block Window)	OFF
	Auto Sync	Auto Sync	ON
		Threshold	INT
	Sync Control	Frame Length	64 symbols
		Frame Position	1 symbol

＊:　Standard BERT for PAM4 または Expert BERT で起動したとき

表 B.3.3.1-1 Result タブ (続き)

大項目	中項目	小項目	初期設定値
設定項目切り替え (続き)	RS-FEC Symbol	Capture Mode	FEC Symbol Capture
		Preset	Variable
		Measurement Condition	Intermittent Error Detect
		Codeword Length	544
		FEC Symbol Length	10
		FEC Symbol Error Threshold	16
	PCIe6 FEC Symbol	Capture Mode	PCIe6 FEC Symbol Capture
		Preset	x1 Link Common CLK/SRNS Mode
		SKP	No SKP
		FEC Symbol Error Threshold in One ECC Group	2
		Consecutive FEC Symbol Error Threshold	4
		Consecutive Errored Flit Threshold	1
時間表示の選択			Date&Time
Error/Alarm 表示	Details		OFF
	Zoom		OFF

表 B.3.3.1-2　Measurement タブ

大項目	中項目	小項目	初期設定値
Gating	Cycle		Repeat
	Unit		Time
		Time	0 day 00:00:01
		Clock Count	>E+10
		Error Count	>E+10
	Target ER		1E-12
	Target EC		1
	Target Unit		Bit
	Target Baud Rate		12.500 000 GBaud
	Current		ON
		Calculation	Progressive
		Interval	100 ms
Auto Sync	Auto Sync		ON
	Threshold		INT
Sync Control	Frame Length		64 symbols
	Frame Position		1 symbol
	Mask		00 00 00 00 00 00 00 00
Error/Alarm Condition	EI/EFI Interval		100 ms
Measurement Restart	Data Threshold		OFF
	Clock Delay		OFF

表 B.3.3.1-3 Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	OFF
		1st Bit	MSB*
	Data	Length	4
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	OFF
	Pattern Editor	Data Length	4
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	PRBS23Q、PRBS31Q、PRBS31Q (Infiniband)、PRBS31Q (Fibre Channel)	PRBS Inv MSB	ON
		PRBS Inv LSB	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	OFF

＊： BERT for PCIe1-7、または BERT for PCIe1-5 and PCIe6Base で起動したときは、初期値が LSB となります。

表 B.3.3.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern (続き)			
	PRBS9Q、 PRBS13Q、 QPRBS13-CEI、 PRBS13Q (Infiniband)、 QPRBS31-CEI	PRBS Inv MSB	OFF
		PRBS Inv LSB	OFF
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	OFF
	QPRBS13	Seed	Lane 0
		Gray Coder	ON
		Pre Coder	ON
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	OFF
	SSPRQ、JP03A、 JP03B、Square Wave、 Transmitter Linearity	Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	OFF
	RS-FEC Scrambled Idle 50G 1Lane、 RS-FEC Scrambled Idle 100G 1Lane、 RS-FEC-Int Scrambled Idle 100G 1Lane	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	ON
		Inverse Gray Coder	ON
		Pre-Code Remover	OFF
	RS-FEC Scrambled Idle 100G 2Lanes、 RS-FEC Scrambled Idle 200G 2Lanes、 RS-FEC Scrambled Idle 200G 4Lanes、 RS-FEC Scrambled Idle 400G 4Lanes、 RS-FEC Scrambled Idle 400G 8Lanes	Lane	0
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Input Signal Decoder	ON
		Inverse Gray Coder	ON
		Pre-Code Remover	OFF

表 B.3.3.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern (続き)			
	CP in 1b/1b Encoding for PCIe6 CP in 1b/1b Encoding for PCIe7	Gray Coder	OFF
		Pre Coder	OFF
		EIEOS	ON
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		SKP OS Filter	OFF
		Input Signal Decoder	OFF
	MCP in 1b/1b Encoding for PCIe6	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		SRIS	OFF
		SKP	No SKP
		EIEOS	ON
		SKP OS Filter	ON
		Input Signal Decoder	OFF
		Inverse Gray Coder	ON
		Pre-Code Remover	OFF
	NOP Flit Layout in a x1 Link	SRIS	OFF
		SKP	No SKP
		EIEOS	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		SKP OS Filter	ON
		Input Signal Decoder	ON
		Inverse Gray Coder	ON
		Pre-Code Remover	OFF

表 B.3.3.1-3　Pattern タブ（続き）

大項目	中項目	小項目	初期設定値
Test Pattern（続き）			
	NOP Flit Layout in a x2 Link NOP Flit Layout in a x4 Link NOP Flit Layout in a x8 Link NOP Flit Layout in a x16 Link	Lane	0
		SRIS	OFF
		SKP	No SKP
		EIEOS	ON
		Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		SKP OS Filter	ON
		Input Signal Decoder	ON
		Inverse Gray Coder	ON
		Pre-Code Remover	OFF
	MCP in 1b/1b Encoding for PCIe7	Gray Coder	ON
		Pre Coder	OFF
		Logic MSB	POS
		Logic LSB	POS
		Seed	Lane 0
		SRIS	OFF
		SKP	No SKP
		EIEOS	ON
		SKP OS Filter	ON
		Input Signal Decoder	OFF

表 B.3.3.1-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern (続き)			
	HSSB Data	Specification	PCIe6/CXL3
		EIEOSQ Insertion	ON
		EIEOSQ Interval	32
		EIEOS Count	4
		Scrambler Mode	PAM4
		Gray Coder	ON
		Pre Coder	ON
		Logic	POS
	1b1b Pattern Editor	Data Length	128
		Notation	Symbol(PAM4)
		MSB/LSB First	MSB First
		Edit Mode	Overwrite
		Cursor Addr	0
Mask	Bit Mask (Block Window)		OFF
	External Mask		OFF

表 B.3.3.1-4　Input タブ

大項目	中項目	小項目	初期設定値
Data	Input Condition		Single-Ended
		Single-Ended	Data
		Differential 50Ohm	Independent
		Differential 100Ohm	Independent
	Termination		GND
	Data	Upper Eye Threshold	0.095 V
		Middle Eye Threshold	0.000 V
		Lower Eye Threshold	–0.095 V
	XData	Upper Eye Threshold	0.095 V
		Middle Eye Threshold	0.000 V
		Lower Eye Threshold	–0.095 V
	UL Threshold		ON
		Differential Selection	Data-XData
		Threshold	0.000 V
Equalizer	Low Frequency Equalizer		OFF
			0.000 dB
	Decision Feedback Equalizer		OFF
			0
Clock	Selection		External Clock
	Operation Baud Rate		2.40 – 32.10 Gbaud*1 Auto*2
	Input Clock Freq.		1.20 – 16.05 GHz (1/2 Clock)*1 1.20 – 32.1 GHz (1/2 Clock)*2
	Delay		0 mUI
		Relative	0 mUI
		Jitter Input	OFF

＊1: MU196040B-001 搭載時

＊2: MU196040B-002、MU196040B-005、MU196040B-y12、MU196040B-115 または MU196040B-125 搭載時

表 B.3.3.1-5 Capture タブ

大項目	中項目	小項目	初期設定値
Capture Mode	Capture Mode		FEC Symbol Capture*1
			PCIe6 FEC Symbol Capture*2
			Sync Mode Capture*3
		State	-----
Capture Result Display	Auto Launch		Capture Data
Condition	Number of Blocks		128
	Capture Area		Around The Trigger
	Trigger		Intermittent Error Detect *1
			Intermittent FEC Symbol Error Detect*2
RS-FEC Symbol*1			Variable
	FEC Symbol Length		10
	FEC Symbols per Lane		544
	FEC Symbol Error Threshold		16
PCIe6 FEC Symbol*2			x1 Link Common CLK/SRNS Mode
			No SKP
	FEC Symbol Error Threshold in One ECC Group		2

＊1: Standard BERT for PAM4、Standard BERT for SI and PAM4、または Expert BERT で起動したとき

＊2: BERT for PCIe1-7、または BERT for PCIe1-5 and PCIe6 Base で起動したとき

＊3: BERT for PCIe1-6 Forced Link で起動したとき

表 B.3.3.1-6　Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Source		External-Enable
AUX Input			External Mask
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 symbols
PPG Target Baud Rate Tracking			OFF Unitx:Sloty:MU196020A*
Target Baud Rate			12.500 000 GBaud

＊: BERT for PCIe1-7、BERT for PCIe1-5 and PCIe6 Base、Standard BERT for PAM4 および Standard BERT for SI and PAM4 で起動したとき

表 B.3.3.1-7　Logging タブ

大項目	中項目	小項目	初期設定値
BER/SER Logging	Logging		OFF
	Cycle		00:00:05
	ER (Symbol)		OFF
	ER (Bit)		OFF
	ER (MSB)		OFF
	ER (LSB)		OFF
	EC (Symbol)		OFF
	EC (Bit)		OFF
	EC (MSB)		OFF
	EC (LSB)		OFF
	Clock Loss		OFF
	Sync Loss		OFF

B.3.3.2 NRZ

表 B.3.3.2-1 Result タブ

大項目	中項目	小項目	初期設定値
設定項目切り替え	設定表示の選択		Gating
	Input	Data Threshold	0.000 V
		XData Threshold	–
		Differential Selection	Data-XData
		Threshold	–
		Delay	0 mUI
		LFE	OFF
			0.000 dB
		DFE	OFF
			0
	Gating	Cycle	Repeat
		Unit	Time
		Time	0 day 00:00:01
		Target ER	1E-12
		Target EC	1
		Target Unit	Bit
		Target Bitrate	12.500 000 Gbit/s
		Current	ON
		Calculation	Progressive
		Interval	100 ms
	Condition	Error Detection	Insertion/Omission
		EI/EFI Interval	100 ms
		Bit Mask (Block Window)	OFF
		Lane Mask (Bit Window)	OFF
	Auto Sync	Auto Sync	ON
		Threshold	INT
	Sync Control	Frame Length	64 bits
		Frame Position	1 bit

表 B.3.3.2-1　Result タブ (続き)

大項目	中項目	小項目	初期設定値
設定項目切り替え (続き)	RS-FEC Symbol	Capture Mode	FEC Symbol Capture
		Preset	Variable
		Measurement Condition	Intermittent Error Detect
		Codeword Length	528
		FEC Symbol Length	10
		FEC Symbol Error Threshold	8
結果表示の選択			Error/Alarm Independent
時間表示の選択			Date&Time
Error/Alarm 表示	Zoom		OFF
	Show in Window		OFF

表 B.3.3.2-2 Measurement タブ

大項目	中項目	小項目	初期設定値
Gating	Cycle		Repeat
	Unit		Time
		Time	0 day 00:00:01
		Clock Count	>E+10
		Error Count	>E+10
	Target ER		1E-12
	Target EC		1
	Target Unit		Bit
	Target Bitrate		12.500 000 Gbit/s
	Current		ON
		Calculation	Progressive
		Interval	100 ms
Auto Sync	Auto Sync		ON
	Threshold		INT
Sync Control	Frame Length		64 bits
	Frame Position		1 bit
	Mask		すべて 00
Error/Alarm Condition	Error Detection		Insertion/Omission
	EI/EFI Interval		100 ms
Measurement Restart	Data Threshold		OFF
	Clock Delay		OFF

表 B.3.3.2-3　Pattern タブ

大項目	中項目	小項目	初期設定値
Test Pattern			All List
	PRBS	Length	2^15–1
		Mark Ratio	1/2
		Logic	POS
	Zero Substitution	Length	2^15
		Zero Substitution Length	1 bits
		Additional Bit	1
		Logic	POS
	Data	Length	2
		Logic	POS
	Pattern Editor	Data Length	2
		Notation	Hex(Byte)
		Edit Mode	Overwrite
		Cursor Addr	0x00000000
	SSPR	Logic	POS
	RS-FEC Scrambled Idle 25G 1Lane	Logic	POS
	RS-FEC Scrambled Idle 50G 2Lanes RS(544,514)、 RS-FEC Scrambled Idle 100G 4Lanes、 RS-FEC Scrambled Idle 100G 4Lanes RS(544,514)	Lane	0
		Logic	POS
	CP in 8b/10b Encoding for PCIe1 CP in 8b/10b Encoding for PCIe2	Seed	Lane 0
		Delay Symbol	OFF
		SKP	No SKP
		SKP OS Filter	OFF
		Logic	POS
	MCP in 8b/10b Encoding for PCIe1 MCP in 8b/10b Encoding for PCIe2	Seed	Lane 0
		Delay Symbol	OFF
		SKP	No SKP
		SKP OS Filter	OFF
		Logic	POS

表 B.3.3.2-3 Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	CP in 128b/130b Encoding for PCIe3 CP in 128b/130b Encoding for PCIe4 CP in 128b/130b Encoding for PCIe5	Seed	Lane 0
		Preset	P0
		SKP	No SKP
		EIEOS	ON
		SKP OS Filter	OFF
		Logic	POS
	MCP in 128b/130b Encoding for PCIe3 MCP in 128b/130b Encoding for PCIe4	Seed	Lane 0
		SRIS	OFF
		SKP	No SKP
		EIEOS	ON
		SKP OS Filter	ON
		Logic	POS
	MCP in 128b/130b Encoding for PCIe5	Seed	Lane 0
		SRIS	OFF
		SKP	No SKP
		EIEOS	ON
		Pre Coder	ON
		SKP OS Filter	ON
		Logic	POS
	HSSB Data	Specification	PCIe1
		EIEOSQ Insertion	OFF
		EIEOSQ Interval	32
		Logic	POS

表 B.3.3.2-3　Pattern タブ (続き)

大項目	中項目	小項目	初期設定値
Test Pattern			
	8b10b Pattern Editor	Data Length	32
		Notation	Symbol(8b10b)
		MSB/LSB First	MSB First
		Edit Mode	Overwrite
		Cursor Addr	0
	128b130b Pattern Editor	Data Length	128
		Notation	Hex(Byte)
		MSB/LSB First	MSB First
		Edit Mode	Overwrite
		Cursor Addr	0
Mask	Bit Mask (Block Window)		OFF
	Lane Mask (Bit Window)		OFF
	External Mask		OFF

表 B.3.3.2-4 Input タブ

大項目	中項目	小項目	初期設定値
Data	Input Condition		Single-Ended
		Single-Ended	Data
		Differential 50Ohm	Independent
		Differential 100Ohm	Independent
	Data Threshold		0.000 V
	Termination		GND
		Variable	0.000 V
	XData Threshold		0.000 V
	Differential Selection		Data-XData
	Threshold		0.000 V
Equalizer	Low Frequency Equalizer		OFF
			0.000 dB
	Decision Feedback Equalizer		OFF
			0
Clock	Selection		External Clock
	Operation Bitrate		2.40 – 32.10 Gbit/s*1 Auto*2
	Input Clock Freq.		1.20 – 16.05 GHz (1/2 Clock)*1 1.20 – 32.1 GHz (1/2 Clock)*2
	Delay		0 mUI
		Relative	0 mUI
		Jitter Input	OFF

＊1: MU196040B-001 搭載時

＊2: MU196040B-002、MU196040B-005、MU196040B-y12、MU196040B-115 または MU196040B-125 搭載時

表 B.3.3.2-5　Capture タブ

大項目	中項目	小項目	初期設定値
Capture Mode	Capture Mode		FEC Symbol Capture*1
			Sync Mode Capture*2
		State	-----
Capture Result Display	Auto Launch		Capture Data
Condition	Number of Blocks		128
	Capture Area		Around The Trigger*1
			After The Trigger*2
	Trigger		Intermittent Error Detect *1
			Error Detect*2
RS-FEC Symbol*1			Variable
	FEC Symbol Length		10
	FEC Symbols per Lane		528
	FEC Symbol Error Threshold		8

＊1: Standard BERT for PAM4、Standard BERT for SI and PAM4、または Expert BERT で起動したとき

＊2: BERT for PCIe1-7、BERT for PCIe1-5 and PCIe6 Base または BERT for PCIe1-6 Forced Link で起動したとき

表 B.3.3.2-6 Misc1 タブ

大項目	中項目	小項目	初期設定値
Pattern Sequence			Repeat
	Burst	Source	External -Enable
		Delay	0 bits
		Enable Period	128 000 bits
		Burst Cycle	12 800 000 bits
		Auto/Manual	Manual
AUX Input			External Mask
		Vth	0V
AUX Output			1/N Clock
	1/N Clock	(分周比)	1/64 Clock
	Pattern Sync	Position	1 bits
PPG Target Bitrate Tracking			OFF Unitx:Sloty:MU196020A*
Target Bitrate			12.500 000 Gbit/s

＊: Standard BERT for PAM4 または Standard BERT for SI and PAM4 で起動したとき

表 B.3.3.2-7　Logging タブ

大項目	中項目	小項目	初期設定値
BER/SER Logging	Logging		OFF
	Cycle		00:00:05
	ER (Total)		OFF
	ER (INS)		OFF
	ER (OMI)		OFF
	EC (Total)		OFF
	EC (INS)		OFF
	EC (OMI)		OFF
	Clock Loss		OFF
	Sync Loss		OFF

B.4 Noise Generator

B.4.1 MU195050A

表 B.4.1-1 MU195050A 初期設定一覧表

設定機能	項目	初期設定値
Common Mode Noise	Presets	Manual
	Output	OFF
	Amplitude	10 mVp-p
	Frequency	120 MHz
	Band	Low
Differential Mode Noise	Presets	Manual
	Output	OFF
	Amplitude	4 mVp-p
	Frequency	2.1 GHz
White Noise	Output	OFF
	Amplitude	0.2 mVrms
External Input	Output	OFF

B.4.2　MU196050B

表 B.4.2-1　MU196050B 初期設定一覧表

設定機能	項目	初期設定値
Common Mode Noise	Presets	Manual
	Output	OFF
	Amplitude	10 mVp-p
	Frequency	120 MHz
	Band	Low
Differential Mode Noise	Presets	Manual
	Output	OFF
	Amplitude	4 mVp-p
	Frequency	2.1 GHz
External Input	Output	OFF

B.5 Re-Driver

B.5.1 MU196060A

表 B.5.1-1 32G baud NRZ/PAM4 Re-Driver

大項目	中項目	小項目	初期設定値
PAM4/NRZ 切替			NRZ
Data/XData Output Clock Output			ON
Equalizer	CTLE		ON
			0.000 dB
Clock Recovery	Baud Rate		Variable
			16.000 000 Gbit/s
	Tracking		OFF

C.1　性能試験結果記入表

文書番号:

テスト場所:

実施年月日:

担当者:

機器名:

製造番号:

ソフトウェアバージョン:

オプション:

電源電圧:　　V

電源周波数　　Hz

周囲温度　　°C

相対湿度　　%

使用機器:　形名　　製造番号

形名　　製造番号

形名　　製造番号

形名　　製造番号

特記事項

C.2 Synthsizer

C.2.1　MU191000A

表 C.2.1-1 Clock Output 波形の試験結果

周波数[MHz]	規格	測定結果
16050	振幅 0.4～1.0 Vp-p Duty 比 40%～60%	
12000		
8000		
5000		
2500		
1250		
100		

表 C.2.1-2　AUX Output 波形の試験結果

周波数[MHz]	規格	測定結果
16050	振幅 0.25～0.75 Vp-p Duty 比 40%～60%	
12000		
8000		
5000		
2500		
1250		
100		

表 C.2.1-3　Clock Output 位相雑音の試験結果

周波数 [MHz]	規格	測定結果		
		10 kHz Offset	100 kHz Offset	1MHz Offset
16050	10 kHz Offset のとき: ≦–110 dBc/Hz 100 kHz Offset のとき: ≦–111 dBc/Hz 1 MHz Offset のとき: ≦–110 dBc/Hz 非高調波スプリアスを除く			
12000				
8000				
5000				
2500				
1250				
100				

C.3 PPG/ED/Re-Driver

C.3.1 MU196020A/MU196040A/B

C.3.1.1 MU196020A-001

表 C.3.1.1-1 動作周波数範囲

規格	結果	
	Data	$\overline{\text{Data}}$
2.4～32.1 Gbit/s の範囲でエラーが発生しないこと。*		
2.4～32.1 Gbaud の範囲でエラーが発生しないこと。*		

＊： パターン PRBS、2^31–1

表 C.3.1.1-2 MU196020A-001 波形評価試験-振幅 (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.70	0.581	0.819		
	0.07	0.027	0.113		

表 C.3.1.1-3 MU196020A-001 波形評価試験-0/3 レベル振幅 (PAM4)

設定		規格		結果	
ボーレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
32.1 Gbaud	0.70	0.581	0.819		
	0.07	0.027	0.113		

表 C.3.1.1-4 MU196020A-001 波形評価試験-オフセット (NRZ)

設定		規格		結果	
ビットレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	3.265	2.817	3.713		
	–2.35	–2.590	–2.111		

表 C.3.1.1-5 MU196020A-001 波形評価試験-オフセット (PAM4)

設定		規格		結果	
ボーレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
32.1 Gbaud	3.265	2.817	3.713		
	–2.35	–2.590	–2.111		

表 C.3.1.1-6　MU196020A-001 波形評価試験-クロスポイント (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (%)	上限値 (%)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.50	40	60		

表 C.3.1.1-7　MU196020A-001 波形評価試験- Tr/Tf (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.50	–	9.0*1		
		–	9.5*2		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.1-8　MU196020A-001 波形評価試験- Jitter (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps p-p)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.50	–	6.0		

C.3.1.2 MU196020A-002

表 C.3.1.2-1 動作周波数範囲

規格	結果	
	Data	$\overline{\text{Data}}$
2.4～32.1 Gbit/s の範囲でエラーが発生しないこと。*		
2.4～32.1 Gbaud の範囲でエラーが発生しないこと。*		

＊: パターン PRBS、2^31–1

表 C.3.1.2-2 MU196020A-002 波形評価試験-振幅 (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.70*1	0.581	0.819		
	0.60*2	0.493	0.707		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.2-3 MU196020A-002 波形評価試験-0/3 レベル振幅 (PAM4)

設定		規格		結果	
ボーレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
58.2 Gbaud	0.70*1	0.581	0.819		
	0.60*2	0.493	0.707		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.2-4 MU196020A-002 波形評価試験-オフセット (NRZ)

設定		規格		結果	
ビットレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	3.265	2.817	3.713		
	–2.30*1	–2.489	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.60 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.1.2-5　MU196020A-002 波形評価試験-オフセット (PAM4)

設定		規格		結果	
ボーレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
58.2 Gbaud	3.265	2.817	3.713		
	–2.30*1	–2.489	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.60 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.1.2-6　MU196020A-002 波形評価試験-クロスポイント (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (%)	上限値 (%)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.50	40	60		

表 C.3.1.2-7　MU196020A-002 波形評価試験- Tr/Tf (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.50	–	8.5*1		
		–	8.8*2		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.2-8　MU196020A-002 波形評価試験- Jitter (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps p-p)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.50	–	6.0		

C.3.1.3 MU196020A-003

表 C.3.1.3-1 動作周波数範囲

規格	結果	
	Data	$\overline{\text{Data}}$
2.4～32.1 Gbit/s の範囲でエラーが発生しないこと。*		
2.4～32.1 Gbaud の範囲でエラーが発生しないこと。*		

＊: パターン PRBS、2^31–1

表 C.3.1.3-2 MU196020A-003 波形評価試験-振幅 (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.70*1	0.581	0.819		
	0.55*2	0.405	0.595		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.3-3 MU196020A-003 波形評価試験-0/3 レベル振幅 (PAM4)

設定		規格		結果	
ボーレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
64.2 Gbaud	0.70*1	0.581	0.819		
	0.55*2	0.405	0.595		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.3-4 MU196020A-003 波形評価試験-オフセット (NRZ)

設定		規格		結果	
ビットレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	3.265	2.817	3.713		
	–2.275*1	–2.438	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.55 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.1.3-5　MU196020A-003 波形評価試験-オフセット (PAM4)

設定		規格		結果	
ボーレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
64.2 Gbaud	3.265	2.817	3.713		
	–2.275*1	–2.438	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.55 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.1.3-6　MU196020A-003 波形評価試験-クロスポイント (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (%)	上限値 (%)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.50	40	60		

表 C.3.1.3-7　MU196020A-003 波形評価試験- Tr/Tf (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.50	–	8.5*1		
		–	8.8*2		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.1.3-8　MU196020A-003 波形評価試験- Jitter (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps p-p)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.50	–	6.0		

C.3.1.4 MU196040A

表 C.3.1.4-1 入力レベル範囲 (NRZ)

設定					規格	結果	
MU196020A			MU196040A				
終端	振幅 (Vp-p)	オフセット (Vth) (V)	終端	スレッショルド電圧 (V)		Data	$\overline{\text{Data}}$
GND	0.7	–2.35	GND	–2.350	エラーが発生しないこと		
	0.05	–0.225		–0.225			
	0.7	+2.95		+2.950			
	0.05	+0.305		+0.305			

表 C.3.1.4-2 入力レベル範囲 (PAM4)

設定					規格	結果	
MU196020A			MU196040A				
終端	振幅 (Vp-p)	オフセット (Vth) (V)	終端	スレッショルド電圧 (V)		Data	$\overline{\text{Data}}$
GND	0.7	–2.35	GND	Upper: –2.117 Middle: –2.350 Lower: –2.583	エラーが発生しないこと		
	0.3	–2.15		Upper: –2.050 Middle: –2.150 Lower: –2.250			
	0.7	+2.95		Upper: 3.183 Middle: 2.950 Lower: 2.717			
	0.3	+3.15		Upper: 3.250 Middle: 3.150 Lower: 3.050			

表 C.3.1.4-3　試験パターン (PRBS-NRZ)

設定				規格	結果	
MU196020A		MU196040A				
Length	Logic	Length	Logic		Data	$\overline{\text{Data}}$
2^7–1	POS	2^7–1	POS	エラーが発生しないこと		
2^9–1	POS	2^9–1	POS			
2^11–1	POS	2^11–1	POS			
2^13–1	POS	2^13–1	POS			
2^15–1	POS	2^15–1	POS			
2^20–1	POS	2^20–1	POS			
2^23–1	POS	2^23–1	POS			
2^31–1	POS	2^31–1	POS			
2^31–1	NEG	2^31–1	NEG			

表 C.3.1.4-4　試験パターン (PRBS-PAM4)

設定						規格	結果	
MU196020A			MU196040A					
Length	Logic MSB	Logic LSB	Length	Logic MSB	Logic LSB		Data	$\overline{\text{Data}}$
2^7–1	POS	POS	2^7–1	POS	POS	エラーが発生しないこと		
2^9–1	POS	POS	2^9–1	POS	POS			
2^11–1	POS	POS	2^11–1	POS	POS			
2^15–1	POS	POS	2^15–1	POS	POS			
2^20–1	POS	POS	2^20–1	POS	POS			
2^23–1	POS	POS	2^23–1	POS	POS			
2^31–1	POS	POS	2^31–1	POS	POS			
2^31–1	NEG	NEG	2^31–1	NEG	NEG			

表 C.3.1.4-5 試験パターン (Zero Substitution -NRZ)

設定				規格	結果	
MU196020A		MU196040A				
Length	Logic	Length	Logic		Data	$\overline{\text{Data}}$
2^7	POS	2^7	POS	エラーが発生しないこと		
2^9	POS	2^9	POS			
2^10	POS	2^10	POS			
2^11	POS	2^11	POS			
2^15	POS	2^15	POS			
2^20	POS	2^20	POS			
2^23	POS	2^23	POS			
2^7–1	POS	2^7–1	POS			
2^9–1	POS	2^9–1	POS			
2^10–1	POS	2^10–1	POS			
2^11–1	POS	2^11–1	POS			
2^15–1	POS	2^15–1	POS			
2^20–1	POS	2^20–1	POS			
2^23–1	POS	2^23–1	POS			

表 C.3.1.4-6 試験パターン (SSPRQ-PAM4)

設定				規格	結果	
MU196020A		MU196040A				
Pattern	Logic	Pattern	Logic		Data	$\overline{\text{Data}}$
SSPRQ	POS	SSPRQ	POS	エラーが発生しないこと		

表 C.3.1.4-7 エラー検出

試験項目	規格	結果	
		Data	$\overline{\text{Data}}$
誤り率 (ER)	5.0000E–12		
誤り個数 (EC)	1.0000E–00		
エラー・フリー・インターバル (%EFI)	99.9900%		
エラー・インターバル (EI)	1		

C.3.1.5　MU196040B

表 C.3.1.5-1　入力レベル範囲 (NRZ ≦32.1 Gbit/s)

設定					規格	結果	
MU196020A			MU196040B				
終端	振幅 (Vp-p)	オフセット (Vth) (V)	終端	スレッショルド電圧 (V)		Data	$\overline{\text{Data}}$
GND	0.7	–2.35	GND	–2.350	エラーが発生しないこと		
	0.05	–0.225		–0.225			
	0.7	+2.95		+2.950			
	0.05	+0.305		+0.305			

表 C.3.1.5-2　入力レベル範囲 (NRZ ＞32.1 Gbit/s)

設定					規格	結果	
MU196020A			MU196040B				
終端	振幅 (Vp-p)	オフセット (Vth) (V)	終端	スレッショルド電圧 (V)		Data	$\overline{\text{Data}}$
GND	0.7	–2.35	GND	–2.350	エラーが発生しないこと		
	0.1	–2.05		–2.050			
	0.7	+2.95		+2.950			
	0.1	+3.25		+3.250			

表 C.3.1.5-3　入力レベル範囲 (PAM4 ≦32.1 Gbaud)

設定					規格	結果	
MU196020A			MU196040B				
終端	振幅 (Vp-p)	オフセット (Vth) (V)	終端	スレッショルド電圧 (V)		Data	$\overline{\text{Data}}$
GND	0.7	–2.35	GND	Upper: –2.117 Middle: –2.350 Lower: –2.583	エラーが発生しないこと		
	0.3	–2.15		Upper: –2.050 Middle: –2.150 Lower: –2.250			
	0.7	+2.95		Upper: 3.183 Middle: 2.950 Lower: 2.717			
	0.3	+3.15		Upper: 3.250 Middle: 3.150 Lower: 3.050			

表 C.3.1.5-4 入力レベル範囲 (PAM4 ＞32.1 Gbaud)

設定					規格	結果	
MU196020A			MU196040B				
終端	振幅 (Vp-p)	オフセット (Vth) (V)	終端	スレッショルド電圧 (V)		Data	$\overline{\text{Data}}$
GND	0.7	–2.35	GND	Upper: –2.117 Middle: –2.350 Lower: –2.583	エラーが発生しないこと		
	0.4	–2.20		Upper: –2.067 Middle: –2.200 Lower: –2.333			
	0.7	+2.95		Upper: 3.183 Middle: 2.950 Lower: 2.717			
	0.4	+3.10		Upper: 3.233 Middle: 3.100 Lower: 2.967			

表 C.3.1.5-5 試験パターン (PRBS-NRZ)

設定				規格	結果	
MU196020A		MU196040B				
Length	Logic	Length	Logic		Data	$\overline{\text{Data}}$
2^7–1	POS	2^7–1	POS	エラーが発生しないこと		
2^9–1	POS	2^9–1	POS			
2^11–1	POS	2^11–1	POS			
2^13–1	POS	2^13–1	POS			
2^15–1	POS	2^15–1	POS			
2^20–1	POS	2^20–1	POS			
2^23–1	POS	2^23–1	POS			
2^31–1	POS	2^31–1	POS			
2^31–1	NEG	2^31–1	NEG			

表 C.3.1.5-6　試験パターン (PRBS-PAM4)

設定						規格	結果	
MU196020A			MU196040B					
Length	Logic MSB	Logic LSB	Length	Logic MSB	Logic LSB		Data	$\overline{\text{Data}}$
2^7–1	POS	POS	2^7–1	POS	POS	エラーが発生しないこと		
2^9–1	POS	POS	2^9–1	POS	POS			
2^11–1	POS	POS	2^11–1	POS	POS			
2^15–1	POS	POS	2^15–1	POS	POS			
2^20–1	POS	POS	2^20–1	POS	POS			
2^23–1	POS	POS	2^23–1	POS	POS			
2^31–1	POS	POS	2^31–1	POS	POS			
2^31–1	NEG	NEG	2^31–1	NEG	NEG			

表 C.3.1.5-7　試験パターン (Zero Substitution -NRZ)

設定				規格	結果	
MU196020A		MU196040B				
Length	Logic	Length	Logic		Data	$\overline{\text{Data}}$
2^7	POS	2^7	POS	エラーが発生しないこと		
2^9	POS	2^9	POS			
2^10	POS	2^10	POS			
2^11	POS	2^11	POS			
2^15	POS	2^15	POS			
2^20	POS	2^20	POS			
2^23	POS	2^23	POS			
2^7–1	POS	2^7–1	POS			
2^9–1	POS	2^9–1	POS			
2^10–1	POS	2^10–1	POS			
2^11–1	POS	2^11–1	POS			
2^15–1	POS	2^15–1	POS			
2^20–1	POS	2^20–1	POS			
2^23–1	POS	2^23–1	POS			

表 C.3.1.5-8 試験パターン (SSPRQ-PAM4)

設定				規格	結果	
MU196020A		MU196040B				
Pattern	Logic	Pattern	Logic		Data	$\overline{\text{Data}}$
SSPRQ	POS	SSPRQ	POS	エラーが発生しないこと		

表 C.3.1.5-9 エラー検出

試験項目	規格	結果	
		Data	$\overline{\text{Data}}$
誤り率 (ER)	5.0000E–12		
誤り個数 (EC)	1.0000E–00		
エラー・フリー・インターバル (%EFI)	99.9900%		
エラー・インターバル (EI)	1		

C.3.2　MU196020C/MU196040B

C.3.2.1　MU196020C-001

表 C.3.2.1-1　動作周波数範囲

規格	結果	
	Data	$\overline{\text{Data}}$
2.4～32.1 Gbit/s の範囲でエラーが発生しないこと。*		
2.4～32.1 Gbaud の範囲でエラーが発生しないこと。*		

＊:　パターン PRBS、2^31–1

表 C.3.2.1-2　MU196020C-001 波形評価試験-振幅 (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.70	0.581	0.819		
	0.07	0.027	0.113		

表 C.3.2.1-3　MU196020C-001 波形評価試験-0/3 レベル振幅 (PAM4)

設定		規格		結果	
ボーレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
32.1 Gbaud	0.70	0.581	0.819		
	0.07	0.027	0.113		

表 C.3.2.1-4　MU196020C-001 波形評価試験-オフセット (NRZ)

設定		規格		結果	
ビットレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	3.265	2.817	3.713		
	–2.35	–2.590	–2.111		

表 C.3.2.1-5　MU196020C-001 波形評価試験-オフセット (PAM4)

設定		規格		結果	
ボーレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
32.1 Gbaud	3.265	2.817	3.713		
	–2.35	–2.590	–2.111		

表 C.3.2.1-6 MU196020C-001 波形評価試験-クロスポイント (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (%)	上限値 (%)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.50	40	60		

表 C.3.2.1-7 MU196020C-001 波形評価試験- Tr/Tf (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.50	–	9.0*1		
		–	9.5*2		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.1-8 MU196020C-001 波形評価試験- Jitter (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps p-p)	Data	$\overline{\text{Data}}$
32.1 Gbit/s	0.50	–	6.0		

C.3.2.2　MU196020C-002

表 C.3.2.2-1　動作周波数範囲

規格	結果	
	Data	$\overline{\text{Data}}$
2.4～32.1 Gbit/s の範囲でエラーが発生しないこと。*		
2.4～32.1 Gbaud の範囲でエラーが発生しないこと。*		

＊:　パターン　PRBS、2^31–1

表 C.3.2.2-2　MU196020C-002 波形評価試験-振幅 (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.70*1	0.581	0.819		
	0.60*2	0.493	0.707		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.2-3　MU196020C-002 波形評価試験-0/3 レベル振幅 (PAM4)

設定		規格		結果	
ボーレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
58.2 Gbaud	0.70*1	0.581	0.819		
	0.60*2	0.493	0.707		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.2-4　MU196020C-002 波形評価試験-オフセット (NRZ)

設定		規格		結果	
ビットレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	3.265	2.817	3.713		
	–2.30*1	–2.489	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.60 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.2.2-5 MU196020C-002 波形評価試験-オフセット (PAM4)

設定		規格		結果	
ボーレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
58.2 Gbaud	3.265	2.817	3.713		
	–2.30*1	–2.489	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.60 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.2.2-6 MU196020C-002 波形評価試験-クロスポイント (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (%)	上限値 (%)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.50	40	60		

表 C.3.2.2-7 MU196020C-002 波形評価試験- Tr/Tf (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.50	–	8.5*1		
		–	8.8*2		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.2-8 MU196020C-002 波形評価試験- Jitter (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps p-p)	Data	$\overline{\text{Data}}$
58.2 Gbit/s	0.50	–	6.0		

C.3.2.3　MU196020C-003

表 C.3.2.3-1　動作周波数範囲

規格	結果	
	Data	$\overline{\text{Data}}$
2.4～32.1 Gbit/s の範囲でエラーが発生しないこと。*		
2.4～32.1 Gbaud の範囲でエラーが発生しないこと。*		

＊:　パターン　PRBS、2^31–1

表 C.3.2.3-2　MU196020C-003 波形評価試験-振幅 (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.70*1	0.581	0.819		
	0.55*2	0.405	0.595		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.3-3　MU196020C-003 波形評価試験-0/3 レベル振幅 (PAM4)

設定		規格		結果	
ボーレート	振幅 (Vp-p)	下限値 (Vp-p)	上限値 (Vp-p)	Data	$\overline{\text{Data}}$
64.2 Gbaud	0.70*1	0.581	0.819		
	0.55*2	0.405	0.595		
	0.07	0.027	0.113		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.3-4　MU196020C-003 波形評価試験-オフセット (NRZ)

設定		規格		結果	
ビットレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	3.265	2.817	3.713		
	–2.275*1	–2.438	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.55 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.2.3-5 MU196020C-003 波形評価試験-オフセット (PAM4)

設定		規格		結果	
ボーレート	オフセット (Vth)	下限値 (V)	上限値 (V)	Data	$\overline{\text{Data}}$
64.2 Gbaud	3.265	2.817	3.713		
	–2.275*1	–2.438	–2.112		
	–2.35*2	–2.590	–2.111		

＊1: J1790A ケーブル使用時、振幅 0.55 Vp-p

＊2: J1789A ケーブル使用時、振幅 0.70 Vp-p

表 C.3.2.3-6 MU196020C-003 波形評価試験-クロスポイント (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (%)	上限値 (%)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.50	40	60		

表 C.3.2.3-7 MU196020C-003 波形評価試験- Tr/Tf (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.50	–	8.5*1		
		–	8.8*2		

＊1: J1789A ケーブル使用時

＊2: J1790A ケーブル使用時

表 C.3.2.3-8 MU196020C-003 波形評価試験- Jitter (NRZ)

設定		規格		結果	
ビットレート	振幅 (Vp-p)	下限値 (ps)	上限値 (ps p-p)	Data	$\overline{\text{Data}}$
64.2 Gbit/s	0.50	–	6.0		

C.3.2.4　MU196040B

MU196040B の性能試験結果記入表は、「C.3.1.5 MU196040B」を使用してください。

C.3.3 MU196060A

表 C.3.3-1 セルフループバック (NRZ)

設定*		規格	結果
ビットレート	差動振幅 (Vp-p)		
16.0 Gbit/s	0.18	BER < 1E-12	
	0.8		
32.0 Gbit/s	0.18		
	0.8		

＊: パターン Modified Compliance Pattern

＊: SSC 33 KHz 5300 ppm Down spread

表 C.3.3-2 セルフループバック (NRZ)

設定*		規格	結果
ビットレート	差動振幅 (Vp-p)		
19.0 Gbit/s	0.18	BER < 1E-12	
	0.8		
26.5625 Gbit/s	0.18		
	0.8		
32.1 Gbit/s	0.18		
	0.8		

＊: パターン PRBS、2^31-1

＊: SSC OFF

表 C.3.3-3　セルフループバック (PAM4)

設定*		規格	結果
ビットレート	差動振幅 (Vp-p)		
16.0 Gbaud	0.4	BER < 1E-8	
	0.8		
32.0 Gbaud	0.4		
	0.8		

＊:　パターン Modified Compliance Pattern

＊:　SSC 33 KHz 5300 ppm Down spread

表 C.3.3-4　セルフループバック (PAM4)

設定*		規格	結果
ビットレート	差動振幅 (Vp-p)		
19.0 Gbaud	0.4	BER < 1E-8	
	0.8		
26.5625 Gbaud	0.4		
	0.8		
32.1 Gbaud	0.4		
	0.8		

＊:　パターン PRBS、2^31-1

＊:　SSC OFF