

MX368033A
CDMA2000
1xEV-DO 信号発生ソフトウェア
(MU368030A 用)
取扱説明書

第2版

製品をご使用前に必ず本取扱説明書をお読みください。
安全にお使いいただくための重要事項は、
MG3681A デジタル変調信号発生器取扱説明書に記載
しておりますのでそちらをお読みください。
本書は製品とともに保管してください。

アンリツ株式会社

MX368033A
CDMA2000 1xEV-DO 信号発生ソフトウェア (MU368030A 用)
取扱説明書

2002年（平成14年）6月5日（初 版）
2003年（平成15年）8月29日（第2版）

・予告なしに本書の内容を変更することがあります。
・許可なしに本書の一部または全部を転載・複製することを禁じます。

Copyright © 2002-2003, ANRITSU CORPORATION
Printed in Japan

品質証明

アンリツ株式会社は、本製品が出荷時の検査により公表機能を満足することを証明します。

品質保証

- ・ アンリツは、本ソフトウェアが付属のマニュアルに従った使用方法にもかかわらず、実質的に動作しなかった場合に、無償で補修または交換します。
- ・ その保証期間は、購入から1年間とします。
- ・ 補修または交換後の本ソフトウェアの保証期間は、購入時から一年内の残余の期間、または補修もしくは交換後から 30 日のいずれか長い方の期間とします。
- ・ 本ソフトウェアの不具合の原因が、天災地変などの不可抗力による場合、お客様の誤使用の場合、またはお客様の不十分な管理による場合は、保証の対象外とさせていただきます。

また、この保証は、原契約者のみ有効で、再販売されたものについては保証しかねます。

アンリツ株式会社は、本製品の欠陥に起因する損害のうち、予見できない特別の事情に基づき生じた損害およびお客様の取引上の損失については、責任を負いかねます。

当社へのお問い合わせ

本製品の故障については、本説明書の巻末に記載の最寄りの支社、支店、営業所もしくは代理店へすみやかにご連絡ください。

ソフトウェア使用許諾書

本契約書とともに提供するソフトウェア・プログラム(以下、「本ソフトウェア」という。)を使用する前に、本契約書をお読みください。

お客様が本契約書の各条件に同意いただいた場合のみ、本ソフトウェアを使用することができます。

お客様が、本ソフトウェアの使用を開始した時点または、本ソフトウェアの梱包を開封した時点で、お客様が本契約書の各条件に同意したものとします。お客様が本契約に同意できない場合は、ご購入時の原状のままでアンリツ株式会社(以下、アンリツという。)へ返却してください。

1. 使用許諾

- (1) お客様は、1台の MG3681A(以下、コンピュータシステムという。)で本ソフトウェアを使用できます。
- (2) コンピュータシステムでの使用には、本ソフトウェアがコンピュータシステムの記憶装置に記録されていることも含みます。
- (3) お客様が、複数台のコンピュータシステムに本ソフトウェアを使用する場合には、同時に使用されない場合でも、使用するコンピュータシステムの数と同じ数の使用許諾を受けてください。

2. 著作権

- (1) 本ソフトウェアの著作権はアンリツが所有しています。
- (2) お客様が本ソフトウェアを購入されたことは、本契約に規定された以外の権利をお客様に移転することを意味するものではありません。
- (3) お客様は、本ソフトウェアの全部または一部をアンリツの事前の同意を得ることなく印刷、複製、改変、修正、その他のプログラムとの結合、逆アセンブルまたは逆コンパイルを行うことはできません。

3. 複製

お客様は、上記2(3)の規定にかかわらず、購入した本ソフトウェアを保存する目的で一部のみ複製することができます。この場合、本ソフトウェアのオリジナルまたは複製のいずれか一方のみを使用することができます。

4. 契約の終了

- (1) お客様が、本契約に違反したとき、またはアンリツの著作権を侵害したとき、アンリツは本契約を解除し、以後お客様の本ソフトウェアのご使用を終了させることができます。
- (2) お客様またはアンリツは、事前の一ヵ月前までに相手方へ書面で通知することにより、本契約を終了させることができます。
- (3) 本契約が終了した場合、お客様は、本ソフトウェアおよび付属のマニュアルをすみやかに廃棄またはアンリツへ返却するものとします。

国外持出しに関する注意

1. 本製品は日本国内仕様であり、外国の安全規格などに準拠していない場合もありますので、国外へ持ち出して使用された場合、当社は一切の責任を負いかねます。
2. 本製品および添付マニュアル類は、輸出および国外持ち出しの際には、「外国為替及び外国貿易法」により、日本国政府の輸出許可や役務取引許可を必要とする場合があります。また、米国の「輸出管理規則」により、日本からの再輸出には米国政府の再輸出許可を必要とする場合があります。

本製品や添付マニュアル類を輸出または国外持ち出しする場合は、事前に必ず弊社の営業担当までご連絡ください。

輸出規制を受ける製品やマニュアル類を廃棄処分する場合は、軍事用途等に不正使用されないように、破砕または裁断処理していただきますようお願い致します。

商標・登録商標

Windows は米国マイクロソフトコーポレーションの米国及びその他の国における登録商標です。

Compact Flash™ は San Disk Corporation 社の登録商標です。

はじめに

この取扱説明書は MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアの概要、測定例、リモート制御などについて、記述したものです。MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアは、MG3681A デジタル変調信号発生器に装着した MU368030A ユニバーサル変調ユニットにインストールして使用します。

で表示されているものは、パネルキーを表します。

MG3681A デジタル変調信号発生器取扱説明書および MU368030A ユニバーサル変調ユニット取扱説明書は、別冊として用意されています。本取扱説明書とあわせてご使用ください。

目次

はじめに	I
第 1 章 概要	1-1
1.1 製品概説	1-2
1.2 製品構成	1-3
第 2 章 操作概要	2-1
2.1 画面遷移図	2-2
2.2 変調パラメータを設定する	2-3
2.3 補助信号を入力する	2-5
2.4 MX368033A のシグナルパターンファイルを ダウンロードする	2-5
第 3 章 機能詳細	3-1
3.1 1xEV-DO 変調波	3-2
3.2 変調信号の詳細	3-5
3.3 外部トリガ入力	3-13
3.4 フレームトリガ出力	3-14
第 4 章 測定	4-1
4.1 端末受信機の PER 測定	4-2
4.2 基地局受信機の PER 測定	4-3

第 5 章	リモート制御	5-1
5.1	機能別デバイスメッセージ一覧表	5-2
5.2	ABC 順デバイスメッセージ一覧表	5-4
第 6 章	性能試験	6-1
6.1	性能試験	6-2
6.2	出力レベル確度	6-3
付録A	規格	A-1
付録B	初期値一覧	B-1
付録C	性能試験結果記入用紙	C-1
索引		索引-1

この章では, MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアの製品概説および標準付属品の機器構成について説明します。

1.1	製品概説.....	1-2
1.2	製品構成.....	1-3

1.1 製品概説

MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェア(以下, 本ソフトウェア)は, MU368030A ユニバーサル変調ユニットにインストールして使用するシステムソフトウェアです。

本ソフトウェアを使用するためには MG3681A デジタル変調信号発生器にユニバーサル変調ユニットが装着されている必要があります。

本ソフトウェアをインストールすることにより, 外部のベースバンド信号源を使用せずに CDMA2000 1xEV-DO 規格に対応した変調信号を出力することができます。

1.2 製品構成

本ソフトウェアの標準構成を下表に示します。梱包を開いたら、下表に記載した製品が揃っているかどうか確認してください。万一、不足や破損したものがあれば、当社または代理店へご連絡ください。

項目	型名・記号	品名	数量	備考
本体	MX368033A	CDMA2000 1xEV-DO 信号発生ソフトウェア	1	コンパクトフラッシュカードまたは ATA フラッシュカードにより提供
付属品		PC カードアダプタ	1	コンパクトフラッシュカードの場合のみ付属
		CDMA2000 1xEV-DO Signal Generation Software Signal Pattern Files	1	CD-R により提供
	M-W2072AW	取扱説明書	1	

この章では、本ソフトウェアをインストールした MU368030A ユニバーサル変調ユニットを MG3681A に装着した場合の、基本的な画面内容、補助信号の入力方法について説明します。

2.1	画面遷移図	2-2
2.2	変調パラメータを設定する	2-3
2.3	補助信号を入力する.....	2-5
	2.3.1 外部トリガ信号を入力する	2-5
	2.3.2 外部基準クロック信号を入力する	2-5
2.4	MX368033A のシグナルパターンファイルを ダウンロードする	2-5

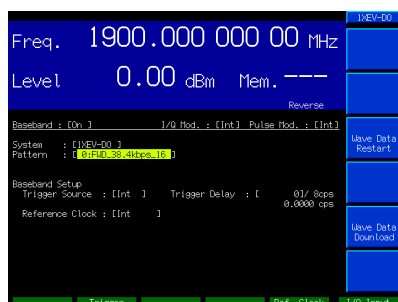
2.1 画面遷移図

画面は以下のように遷移します。

メインファンクションキーの **Digital Mod** を押す。

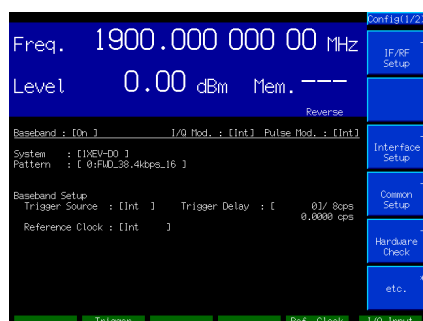


デジタル変調設定画面

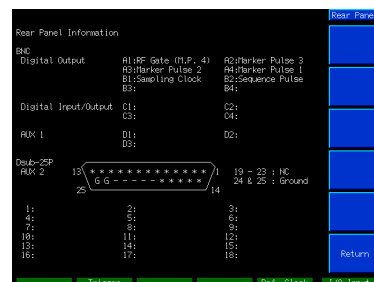


メインファンクションキーの **Config** を押す。

環境設定画面

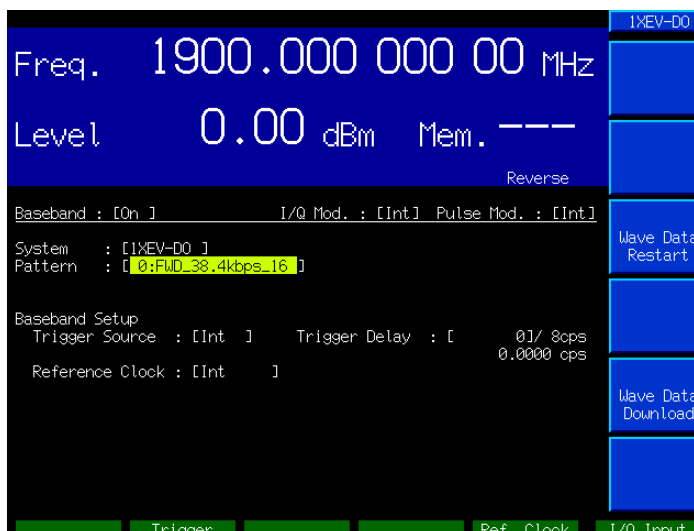


Rear Panel Information画面



2.2 変調パラメータを設定する

Digital Mod を押すとランプが点灯し、Main 画面になります。この画面ではデジタル変調に関する基本的なパラメータを設定できます。Main 画面の設定内容について説明します。



- ① **Baseband**
ベースバンド信号発生ユニットの動作 On/Off を選択します。
- ② **I/Q Mod.**
直交変調を行う I/Q 信号の信号源を選択します。I/Q 信号の Source を内部信号源にする(本ソフトウェアを使用する)場合は「Int」, 外部入力にする場合は「Ext」を選択します。
初期値: Int
- ③ **Pulse Mod.**
パルス変調器の、変調信号の設定を行います。
Int: 本ソフトウェアで発生する制御信号を選択します。
Ext: 変調設定の状態によらず、外部入力信号でパルス変調が行われます。
Off: パルス変調を行いません。
- ④ **System**
システムソフトウェアを設定します。本ソフトウェアを起動する場合は、「1xEV-DO」を選択します。
- ⑤ **Pattern**
1xEV-DO 変調波を選択します。
選択可能な 1xEV-DO 変調波については 3.1.1 項の「1xEV-DO 変調波一覧」を参照してください。

⑥ **Trigger Source**

変調波の送信タイミングの内部と外部を切り替えます。詳細は 3.3 項を参照してください。

Int: 内部トリガ信号に同期して RF 信号を出力します。

Start: 外部信号をスタートトリガとして変調波を送信します。

Frame: 外部信号をフレームトリガとして変調波を送信します(本ソフトウェアでは使用しません)。

初期値: Int

⑦ **Trigger Delay**

Start TRIG に入力されるトリガ信号に対する出力信号の遅延を設定します。詳細は 3.3 項を参照してください。

設定範囲: 0～16777215

初期値: 0

⑧ **Reference Clock**

Int: Reference Clock を MG3681A 内部で生成します。

Ext (TTL): Reference Clock を外部から入力します(Ref. Clock 端子を使用します)。このとき同端子のモードを, **TTL** とします。

Ext (AC): Ext (TTL)と同じですが, Ref. Clock 端子のモードを,「AC(5 Vp-p)」とします。

⑨ **Wave Data Restart**

Trigger Source = Start 設定時に, これを押すことで外部トリガに再同期します。

⑩ **Wave Data Download**

1xEV-DO 変調波データを再インストールすることができます。詳細は 2.4 項を参照してください。

2.3 補助信号を入力する

2.3.1 外部トリガ信号を入力する

MG3681A の正面パネル デジタル信号入力コネクタ 2 番“Trigger”へ入力する信号と RF 出力のタイミングを同期させることができます。詳細は 3.3 項を参照してください。

2.3.2 外部基準クロック信号を入力する

MG3681A の正面パネル デジタル信号入力コネクタ 5 番“Ref. Clock”へ入力する信号と、ベースバンド信号の内部基準クロックを同期させることができます。外部基準クロックとして Chip Rate (1228.8 kcps) の 8 倍の信号 (9830.4 kHz) を入力することができます。本体の 10/13 MHz Ref Input を使用した場合、RF とベースバンドがともに外部入力に同期されますが、本入力を使用した場合、RF 信号は内部の 10 MHz への同期状態のままとなります。外部基準クロックの入力周波数は、9830.4 kHz の $\pm 5\%$ 以内の範囲としてください。

外部基準クロックの設定と、出力信号の基準クロックの関係は以下のようになります。

表 2.1 外部基準クロックと出力信号基準クロックの関係

外部基準クロックの設定		出力信号の基準クロック	
Reference Clock	10/13 MHz Ref Input	ベースバンド信号	RF 信号
Int	Int	Internal Reference	Internal Reference
Int	Ext	Ext 10/13 MHz Ref Input	Ext 10/13 MHz Ref Input
Ext	Int	Ext Ref.Clock	Internal Reference
Ext	Ext	Ext Ref.Clock	Ext 10/13 MHz Ref Input

2.4 MX368033A のシグナルパターンファイルをダウンロードする

1xEV-DO 変調波のシグナルパターンファイルをダウンロードすることができます。ダウンロードしたいシグナルパターンファイルが保存されているメモリカードを MG3681A 背面にある PC カードスロットに挿入した後、デジタル変調パラメータ設定画面で **F5** (Wave Data Download) を押してください。選択ウィンドウで「yes」を選択するとダウンロードが開始します。ダウンロード時間は 12 分程度です。ダウンロード中は電源を切らないでください。

ここでは, MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアの機能の詳細を説明します。

3.1	1xEV-DO 変調波	3-2
3.1.1	1xEV-DO 変調波の概要	3-2
3.2	変調信号の詳細	3-5
3.2.1	1xEV-DO フォワード (FWD_Idle_Slot_MR を除く)	3-5
3.2.2	1xEV-DO リバース	3-10
3.2.3	1xEV-DO フォワードアイドルスロット	3-12
3.3	外部トリガ入力	3-13
3.4	フレームトリガ出力	3-14

3.1 1xEV-DO 変調波

3.1.1 1xEV-DO変調波の概要

Pattern に 1xEV-DO 変調波を選択することができます。選択可能な 1xEV-DO 変調波は以下のとおりです。

FWD_38.4_16_MR/.../FWD_2457.6_1_MR

これらの 1xEV-DO 変調波を選択すると, 3GPP2 C.S0024 に従ってチャネルコーディング, TDM, IQ マッピングを行った CDMA2000 1xEV-DO フォワードの変調信号を出力します。

FWD_Idle_Slot_MR

この 1xEV-DO 変調波を選択すると, 3GPP2 C.S0024 に従って TDM, IQ マッピングを行った CDMA2000 1xEV-DO フォワードアイドルスロットの変調信号を出力します。

RVS_9.6 kbps/.../RVS_153.6 kbps_RT

これらの 1xEV-DO 変調波を選択すると, 3GPP2 C.S0024 に従ってチャネルコーディングとIQ マッピングを行った CDMA2000 1xEV-DO リバースの変調信号を出力します。

1xEV-DO 変調波の一覧を示します。

表 3.1 1xEV-DO 変調波一覧

No.	1xEV-DO 変調波	対応システム	ベースバンドフィルタ	データ
0	FWD_38.4_16_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
1	FWD_76.8_8_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
2	FWD_153.6_4_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
3	FWD_307.2_2_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
4	FWD_614.4_1_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
5	FWD_307.2_4_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
6	FWD_614.4_2_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
7	FWD_1228.8_1_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
8	FWD_921.6_2_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
9	FWD_1843.2_1_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
10	FWD_1228.8_2_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
11	FWD_2457.6_1_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	PN15fix [*]
12	FWD_Idle_Slot_MR	CDMA2000 1xEV-DO フォワード	IS-95SPEC +EQ	-
13	RVS_9.6 kbps	CDMA2000 1xEV-DO リバース	IS-95SPEC	PN9fix [*]
14	RVS_19.2 kbps	CDMA2000 1xEV-DO リバース	IS-95SPEC	PN9fix [*]
15	RVS_38.4 kbps	CDMA2000 1xEV-DO リバース	IS-95SPEC	PN9fix [*]
16	RVS_76.8 kbps	CDMA2000 1xEV-DO リバース	IS-95SPEC	PN9fix [*]
17	RVS_153.6 kbps	CDMA2000 1xEV-DO リバース	IS-95SPEC	PN9fix [*]

* データ長が PN シーケンス長 (PN15 では 32767 ビット, PN9 では 511 ビット) の整数倍ではなく、データの最後で PN シーケンスが不連続です。

表 3.1 1xEV-DO 変調波一覧(続き)

No.	1xEV-DO 変調波	対応システム	ベースバンドフィルタ	データ
19	RVS_9.6 kbps_RT	CDMA2000 1xEV-DO フォワード	IS-95SPEC	PN9fix [*]
20	RVS_19.2 kbps_RT	CDMA2000 1xEV-DO フォワード	IS-95SPEC	PN9fix [*]
21	RVS_38.4 kbps_RT	CDMA2000 1xEV-DO フォワード	IS-95SPEC	PN9fix [*]
22	RVS_76.8 kbps_RT	CDMA2000 1xEV-DO フォワード	IS-95SPEC	PN9fix [*]
23	RVS_153.6 kbps_RT	CDMA2000 1xEV-DO フォワード	IS-95SPEC	PN9fix [*]

^{*} データ長が PN シーケンス長(PN15 では 32767 ビット, PN9 では 511 ビット)の整数倍ではなく、データの最後で PN シーケンスが不連続です。

3.2 変調信号の詳細

ここでは、1xEV-DO フォワード、1xEV-DO リバース、1xEV-DO フォワードアイドル スロットの変調信号の構成内容を示します。

3.2.1 1xEV-DO フォワード (FWD_Idle_Slot_MR を除く)

Pattern に FWD_38.4_16_MR から FWD_2457.6_1_MR までのいずれかの 1xEV-DO 変調波を選択すると、3GPP2 C.S0024 に従ってチャネルコーディングとIQ マッピングを行った CDMA2000 1xEV-DO フォワードの変調信号を出力します。この出力信号にはパイロットチャネル、フォワード MAC チャネル、フォワードトラフィックチャネルが多重されています。フォワードトラフィックチャネルには FCS (Frame check sequence) 付加前のデータに PN15fix^{*} を用いています。PN15fix ビット列に FCS ビット列と TAIL ビット列を付加した後のビット列のフォーマットを図 3.1 に示します。以後 PN15fix ビット列に FCS ビット列と TAIL ビット列を付加したビット列をパケットと呼ぶことにします。

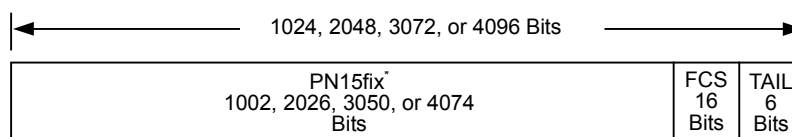


図 3.1 フォワードのパケットのフォーマット

パケットは、図 3.2 に従ってターボコーディング、スクランブル、チャネルインターリーブ、変調(QPSK, 8-PSK, 16QAM)などのチャネルコーディングを受けたのち他チャネルと時分割多重(TDM)されます。スクランブルで用いる MAC インデックスは、同じスロットのプリアンブルが用いる MAC インデックスと同じ値を使用します。

* データ長が PN シーケンス長 (PN15 では 32767 ビット) の整数倍ではなく、データの最後で PN シーケンスが不連続です。

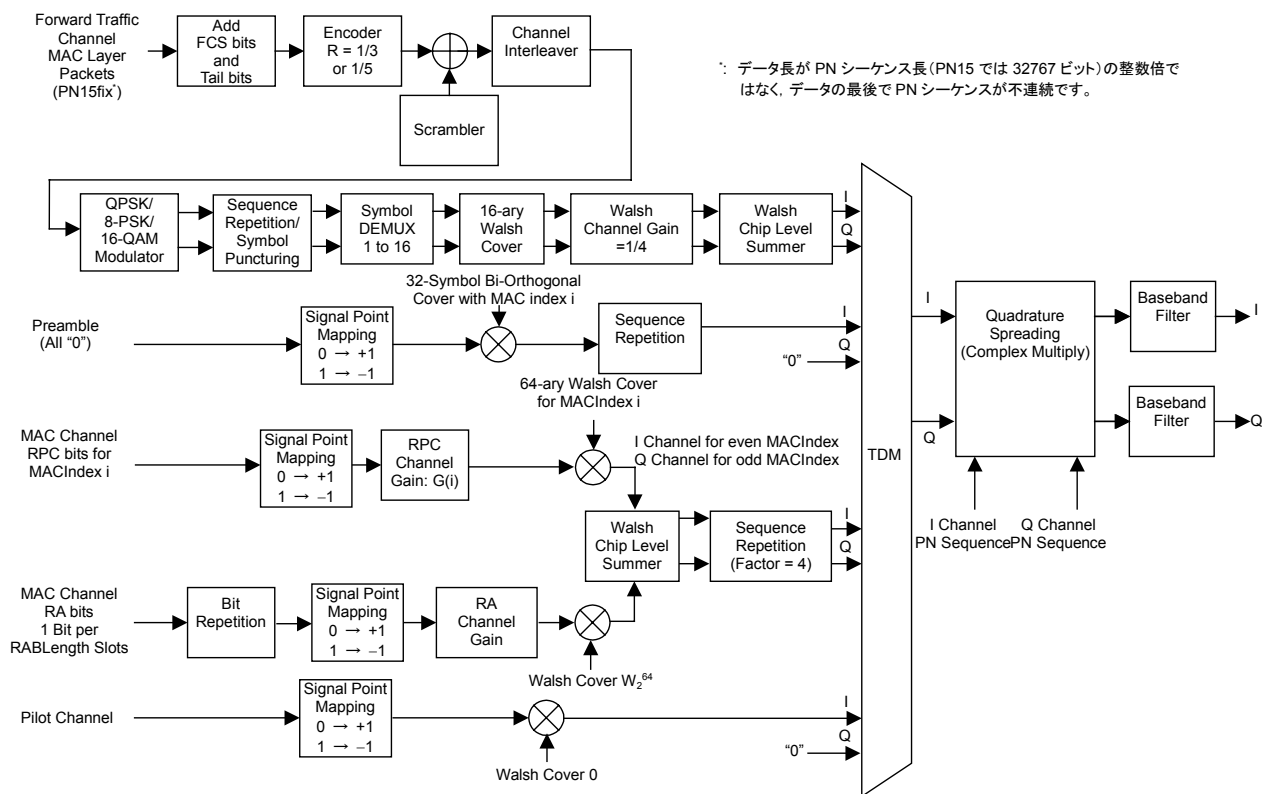


図 3.2 1xEV-DO フォワードブロックダイアグラム

チャンネルコーディングされたパケットは、時分割多重で同じ MAC インデックスを持つプリアンブルと共にスロットのデータ領域に割り当てられます。図 3.3 にスロットのフォーマット、図 3.4 にプリアンブル、チャンネルコーディングされたパケット、MAC チャンネル、パイロットチャンネルの時分割多重の様子を示します。

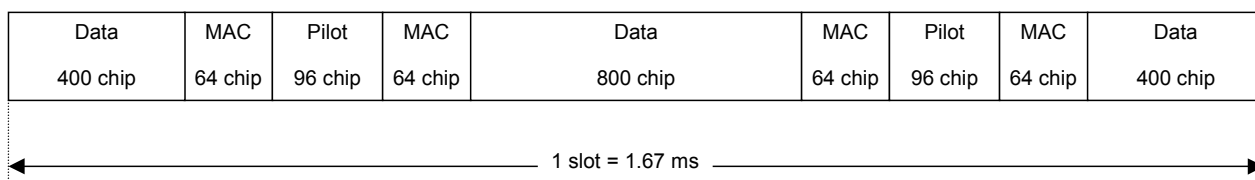


図 3.3 1xEV-DO フォワード(アイドルスロットを除く)のスロットのフォーマット

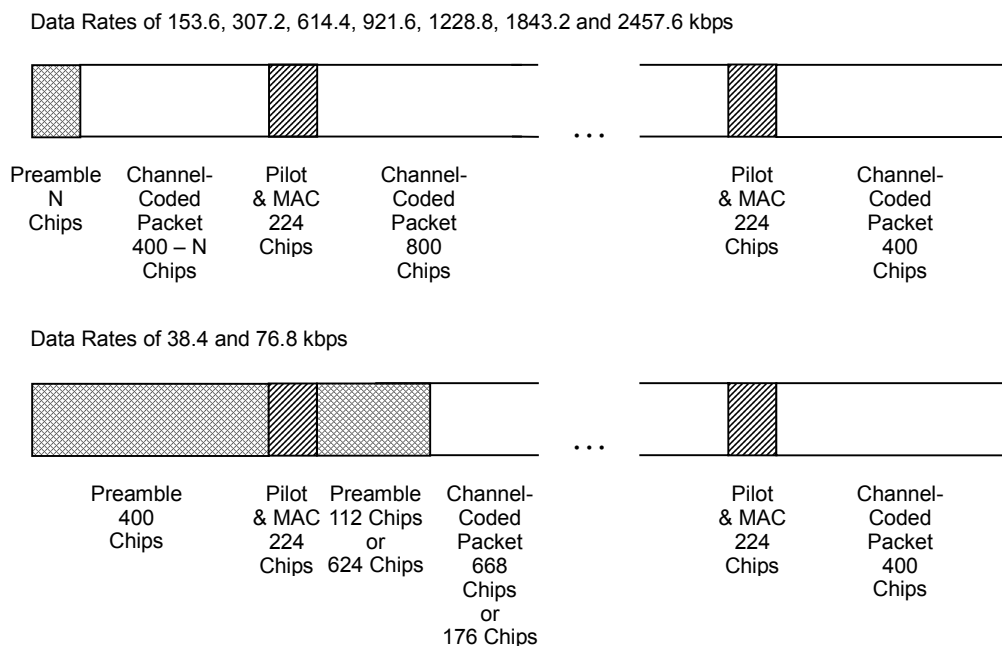


図 3.4 タイミングダイアグラム

フォワードトラヒックチャンネルにのせるデータとして、PN15 符号生成器の初期値の違う PN15fix を 4 つ生成し、それぞれからパケットを生成します。これらのパケットはおのこのチャンネルコーディングされます。その際、スクランブラで用いる MAC インデックスにはそれぞれパケットごとに違う値が使われます。ただし、あるパケットと一緒にのスロットに割り当てられるプリアンブルにはパケットと同じ MAC インデックスが使われます。MAC インデックスの値については図 3.5 を参照してください。あるチャンネルコーディングされたパケットは、3 スロットおきのスロットに割り当てられ、間の 3 スロットにはほかのチャンネルコーディングされたパケットが割り当てられます。フォワードトラヒックチャンネルが 3 スロットおきに割り当てられている様子を図 3.5、フォワードトラヒックチャンネルのパラメータを表 3.2 に示します。

表 3.2 トラヒックチャネルのパラメータ

No.	1xEV-DO 変調波	データレート (kbps)	スロット	パケット (Bit)	プリアンブル (Chip)	変調タイプ
0	FWD_38.4_16_MR	38.4	16	1024	1024	QPSK
1	FWD_76.8_8_MR	76.8	8	1024	512	QPSK
2	FWD_153.6_4_MR	153.6	4	1024	256	QPSK
3	FWD_307.2_2_MR	307.2	2	1024	128	QPSK
4	FWD_614.4_1_MR	614.4	1	1024	64	QPSK
5	FWD_307.2_4_MR	307.2	4	2048	128	QPSK
6	FWD_614.4_2_MR	614.4	2	2048	64	QPSK
7	FWD_1228.8_1_MR	1228.8	1	2048	64	QPSK
8	FWD_921.6_2_MR	921.6	2	3072	64	8-PSK
9	FWD_1843.2_1_MR	1843.2	1	3072	64	8-PSK
10	FWD_1228.8_2_MR	1228.8	2	4096	64	16QAM
11	FWD_2457.6_1_MR	2457.6	1	4096	64	16QAM

MAC チャネルのパラメータを表 3.3 に示します。

表 3.3 MAC チャネルのパラメータ

MACIndex	RABit	RPCBit
4(RA Channel), 5-17(RPC Channel)	Random	Random

MAC チャネルの RPC チャネルにのせられる RPCBit はランダム, RA チャネルにのせられる RABit はランダムです。RPC チャネルは 13 チャネル, RA チャネルは 1 チャネルあり, これら MAC チャネルは MAC インデックスで決まるウォールシュカバーによって拡散された後多重されます。MAC チャネルは図 3.3 に示されるようにスロットの MAC 領域に割り当てられます。MAC チャネルとトラヒックチャネルによって送られるデータとスロットの関係を図 3.5 に示します。

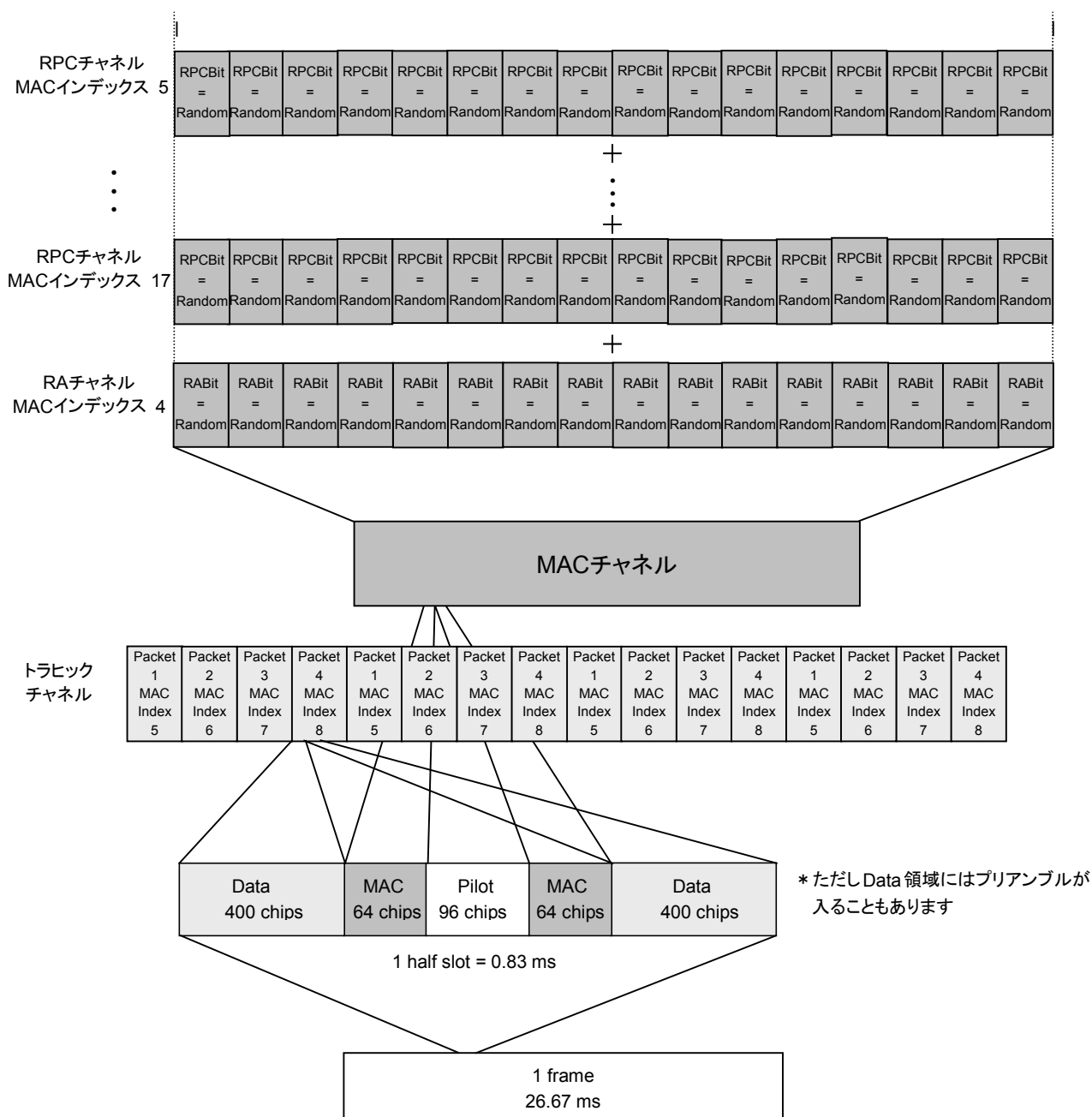


図 3.5 各チャンネルの多重

3.2.2 1xEV-DOリバース

Pattern に RVS_9.6 kbps から RVS_153.6 kbps_RT までのいずれかの 1xEV-DO 変調波を選択すると, 3GPP2 C.S0024 に従ってチャンネルコーディングと IQ マッピングを行った CDMA2000 1xEV-DO リバースの変調信号を出力します。この出力信号にはパイロットチャンネル, RRIチャンネル, DRCチャンネル, ACKチャンネル, データチャンネルが多重されています。データチャンネルには FCS (Frame check sequence) 付加前のデータに PN9fix^{*}を用いています。PN9fix ビット列に FCS ビット列とTAILビット列を付加した後のビット列のフォーマットを図 3.6 に示します。

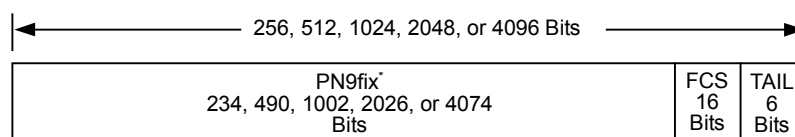


図 3.6 リバースのパケットのフォーマット

PN9fix ビット列に FCS ビット列と TAIL ビット列を付加したビット列は, チャンネルコーディングされたのち, パイロットチャンネル, RRIチャンネル, DRCチャンネル, ACKチャンネルと多重されます。1xEV-DO のブロック図を図 3.7, 変調のパラメータを表 3.4, 各チャンネルのゲインを表 3.5 に示します。

- * データ長が PN シーケンス長(511 ビット)の整数倍ではなく, データの最後で PN シーケンスが不連続です。

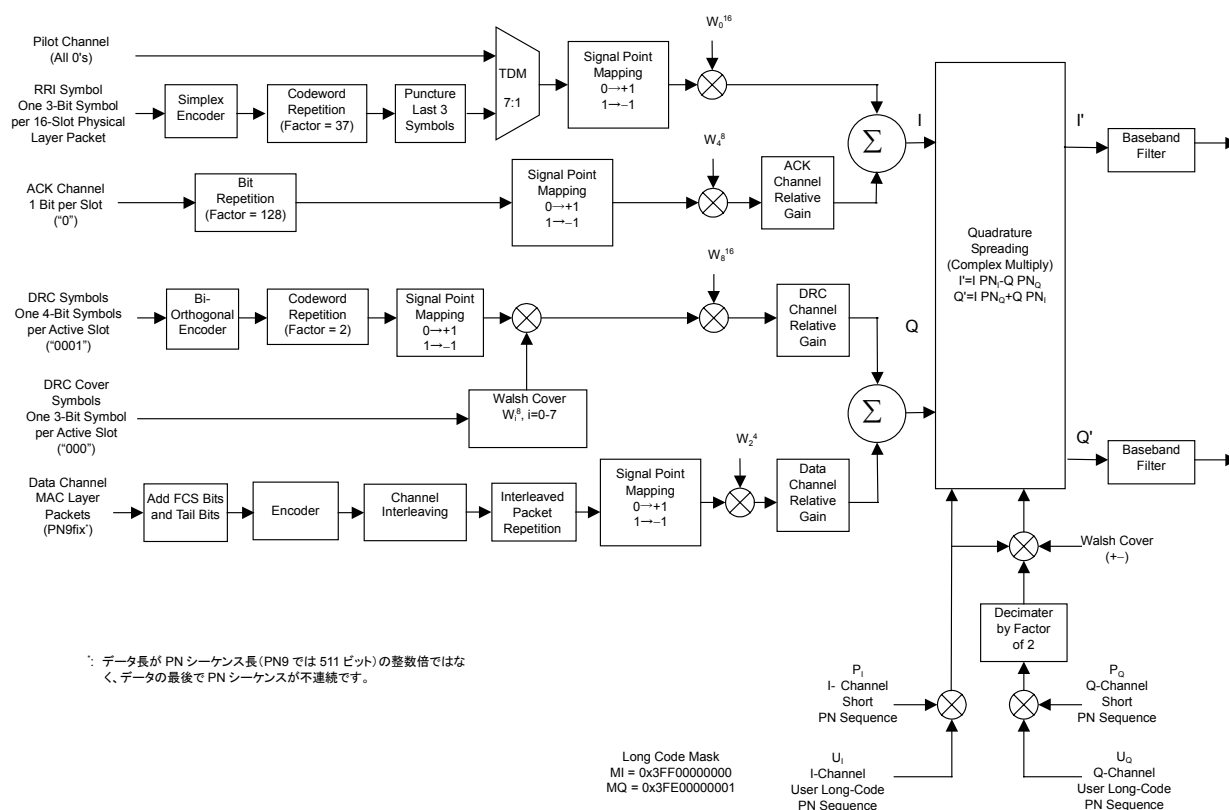


図 3.7 1xEV-DO リバースブロックダイアグラム

表 3.4 リバースの変調パラメータ

No.	1xEV-DO 変調波	データレート (kbps)	RRI Symbol	DRC Value	DRC Cover	ACK ChannelBit	Long Code Mask
13	RVS_9.6 kbps	9.6	001	0x01	W_0^8	0	MI = 0x3FF00000000 MQ = 0x3FE00000001
14	RVS_19.2 kbps	19.2	010	0x01	W_0^8	0	
15	RVS_38.4 kbps	38.4	011	0x01	W_0^8	0	
16	RVS_76.8 kbps	76.8	100	0x01	W_0^8	0	
17	RVS_153.6 kbps	153.6	101	0x01	W_0^8	0	
19	RVS_9.6 kbps_RT	9.6	001	0x01	W_0^8	0	
20	RVS_19.2 kbps_RT	19.2	010	0x01	W_0^8	0	
21	RVS_38.4 kbps_RT	38.4	011	0x01	W_0^8	0	
22	RVS_76.8 kbps_RT	76.8	100	0x01	W_0^8	0	
23	RVS_153.6 kbps_RT	153.6	101	0x01	W_0^8	0	

表 3.5 リバースのチャネルゲイン

No.	1xEV-DO 変調波	データレート (kbps)	Data/Pilot	RR1/Pilot	DRC/Pilot	ACK/Pilot
13	RVS_9.6 kbps	9.6	3.75 dB	0 dB	3.0 dB	3.0 dB
14	RVS_19.2 kbps	19.2	6.75 dB	0 dB	3.0 dB	3.0 dB
15	RVS_38.4 kbps	38.4	9.75 dB	0 dB	3.0 dB	3.0 dB
16	RVS_76.8 kbps	76.8	13.25 dB	0 dB	3.0 dB	3.0 dB
17	RVS_153.6 kbps	153.6	18.50 dB	0 dB	3.0 dB	3.0 dB
19	RVS_9.6 kbps_RT	9.6	3.75 dB	0 dB	3.0 dB	0 dB
20	RVS_19.2 kbps_RT	19.2	6.75 dB	0 dB	3.0 dB	0 dB
21	RVS_38.4 kbps_RT	38.4	9.75 dB	0 dB	3.0 dB	0 dB
22	RVS_76.8 kbps_RT	76.8	13.25 dB	0 dB	3.0 dB	0 dB
23	RVS_153.6 kbps_RT	153.6	18.50 dB	0 dB	3.0 dB	0 dB

3.2.3 1xEV-DOフォワードアイドルスロット

Pattern に FWD_Idle_Slot_RT を選択すると、3GPP2 C.S0024 に従って IQ マッピングを行った CDMA2000 1xEV-DO フォワードアイドルスロットの変調信号を出力します。この出力信号にはパイロットチャネル、フォワード MAC チャンネルが多重されています。フォワードアイドルスロットのブロック図を以下に示します。

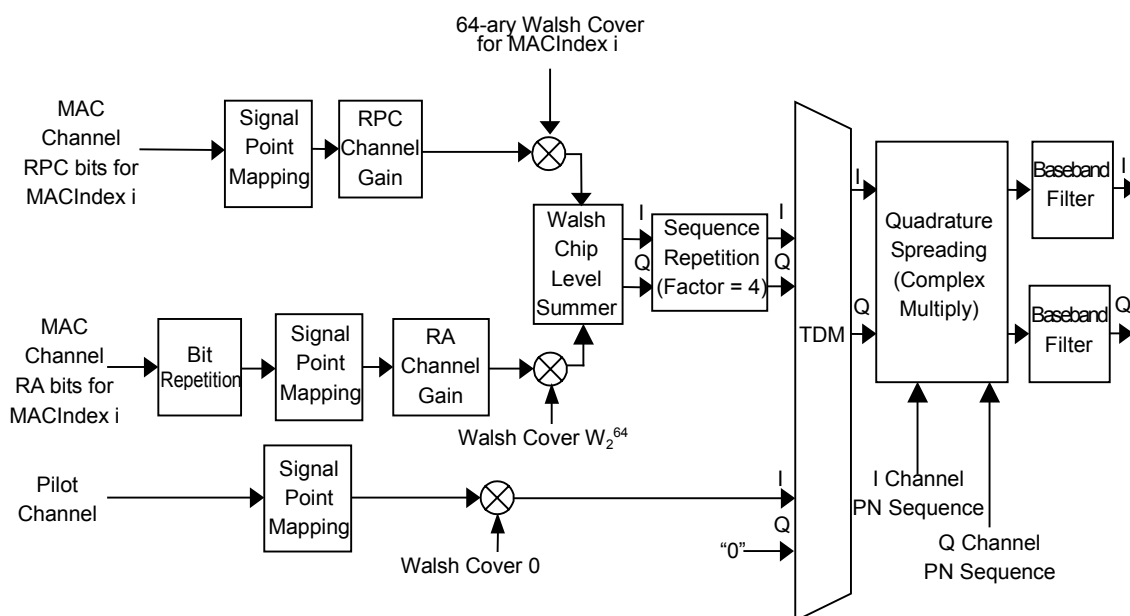


図 3.8 フォワードアイドルスロットのブロック図

フォワードアイドルスロットのフォーマットを図 3.9 に、フォワードアイドルスロットの MAC チャンネルのパラメータを表 3.6 に示します。

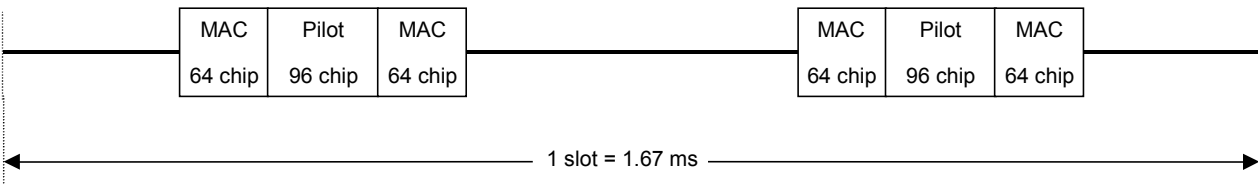


図 3.9 1xEV-DO フォワードアイドルスロットのフォーマット

表 3.6 フォワードアイドルスロットの MAC チャンネル

MAC Index	RA Bit	RPC Bit	RA Channel Gain	RPC Channel Gain
4 (RA Channel), 5-17 (RPC Channel)	Random	Random	-12.04 dB*	-11.42 dB*

* パイロットチャネルからの相対値

3.3 外部トリガ入力

Start TRIG 入力(正面パネル)にトリガ信号を入力してほかの機器との同期を行う場合の RF 信号の出力タイミングを下図に示します。RF 信号は、トリガの立ち上がりエッジから 9/8 chip (1 chip = 1/1228.8 ms)と Trigger Delay の設定値とを合わせた時間だけ遅れて出力されます。ただし RF の出力のタイミングには±2/16 chip の誤差があるため、実際の Start TRIG 入力からの遅延は次式のようになります。

(Start TRIG 入力からの遅延) =
9/8 chip + (Trigger Delay) ± (遅延の誤差)

Start TRIG 入力は TTL です。

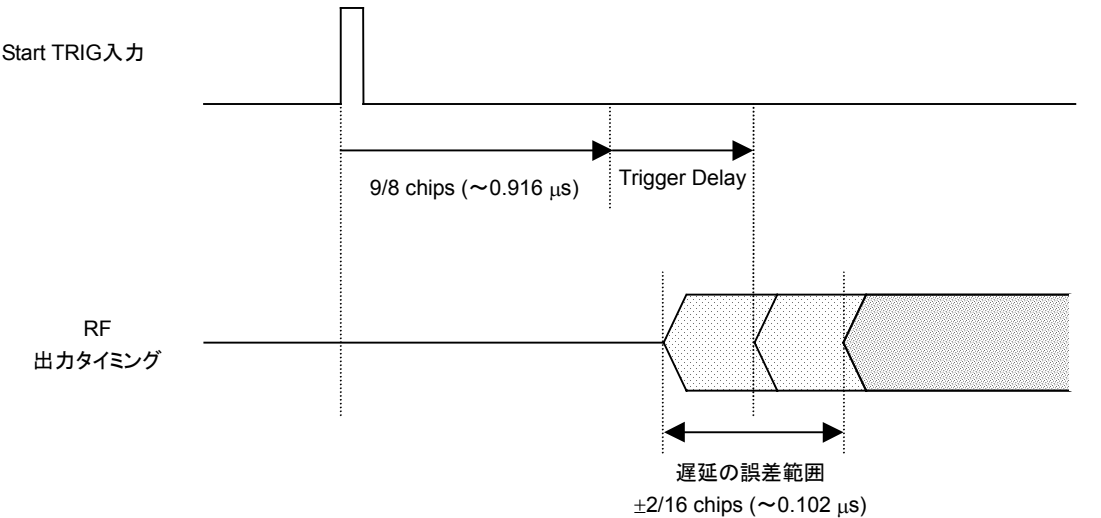


図 3.10 外部トリガ動作

3.4 フレームトリガ出力

MG3681A の背面パネルの BNC コネクタから, Frame Trigger(A4), Sequence Pulse(B2)が出力されます。Frame Trigger, Sequence Pulse, RF 出力の出力タイミングについては図 3.11, 図 3.12, 図 3.13 を参照してください。

Frame Trigger

Frame Trigger は 26.67 ms の 1xEV-DO フレームに同期した TTL レベルのパルス信号です。パルスの幅は 1/8 chip です。MG3681A 背面パネルの A4 コネクタから出力されます。

Sequence Pulse

Sequence Pulse は, pattern に 1xEV-DO フォワードを選択している場合は PN15fix, 1xEV-DO リバースを選択している場合は PN9fix の繰り返し周期に同期した TTL レベルの信号です。ただし, 1xEV-DO 変調波 FWD_Idle_Slot_RT を選択している場合の Sequence Pulse は, 1xEV-DO フレームに同期した信号です。パルスの幅は 1/ 8 chip です。MG3681A 背面パネルの B2 コネクタから出力されます。

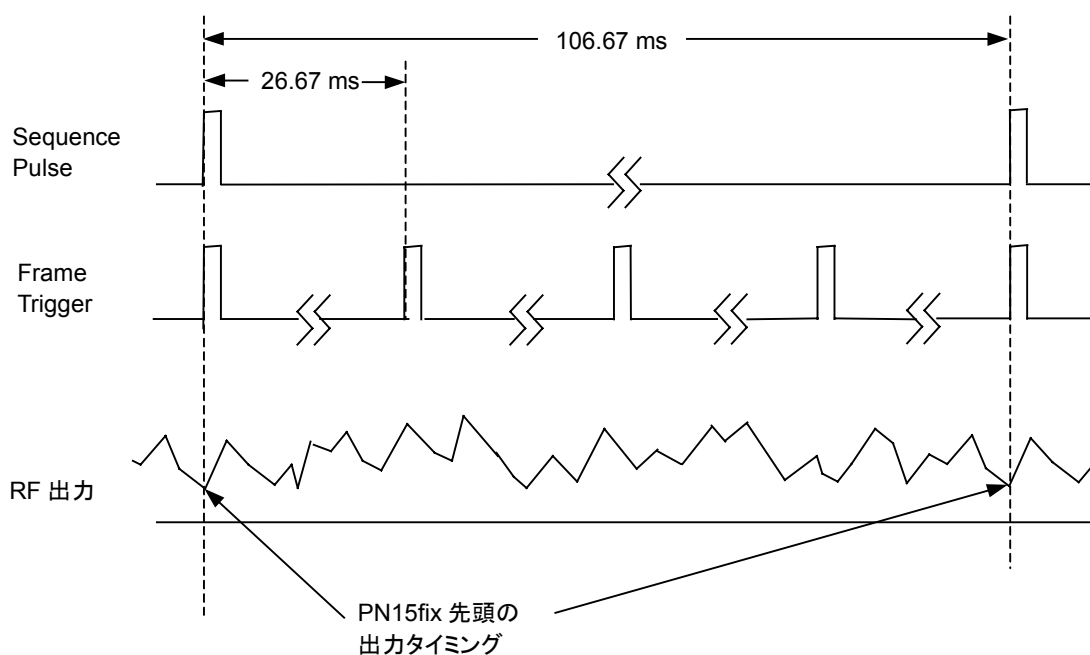


図 3.11 フォワード(アイドルスロットを除く)のトリガタイミング

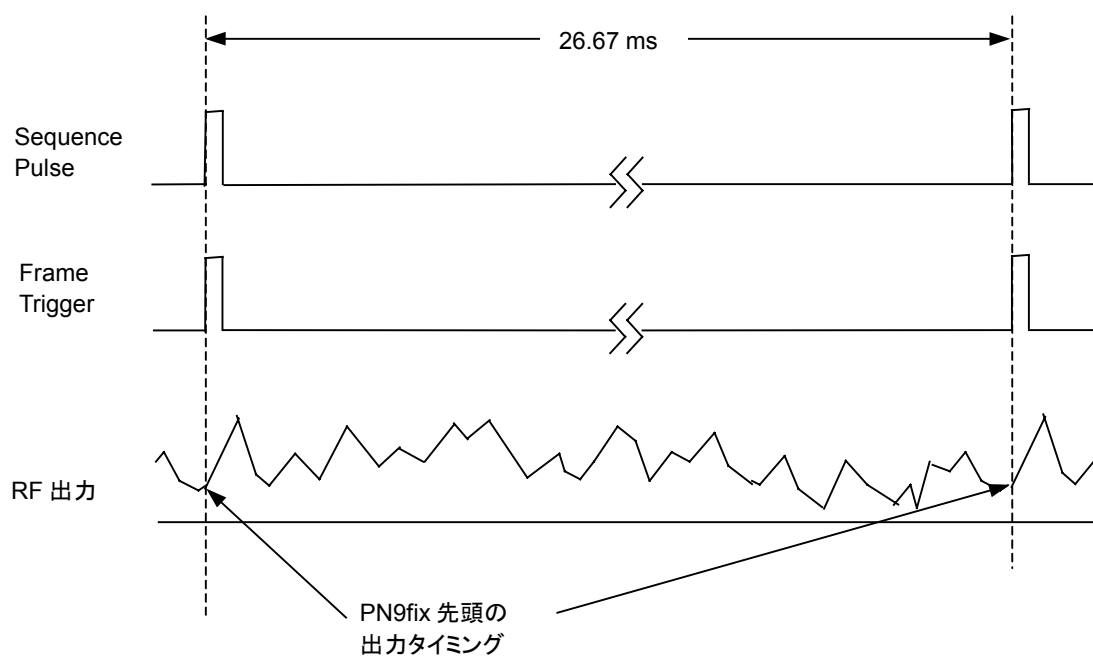


図 3.12 リバースのトリガタイミング

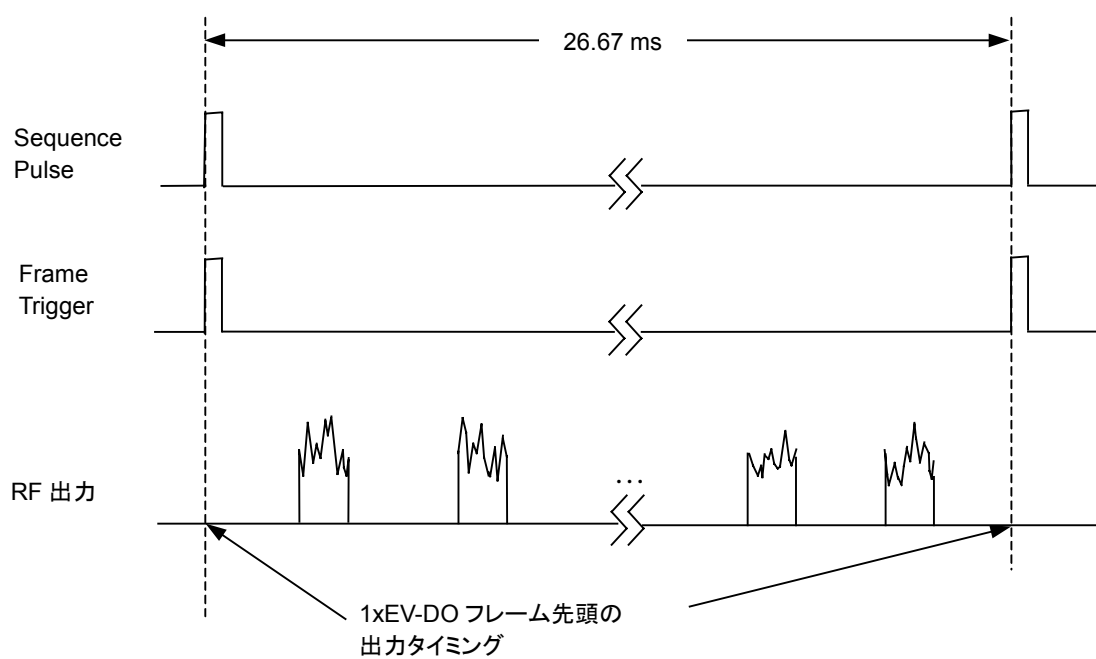


図 3.13 フォワードアイドルスロットのトリガタイミング

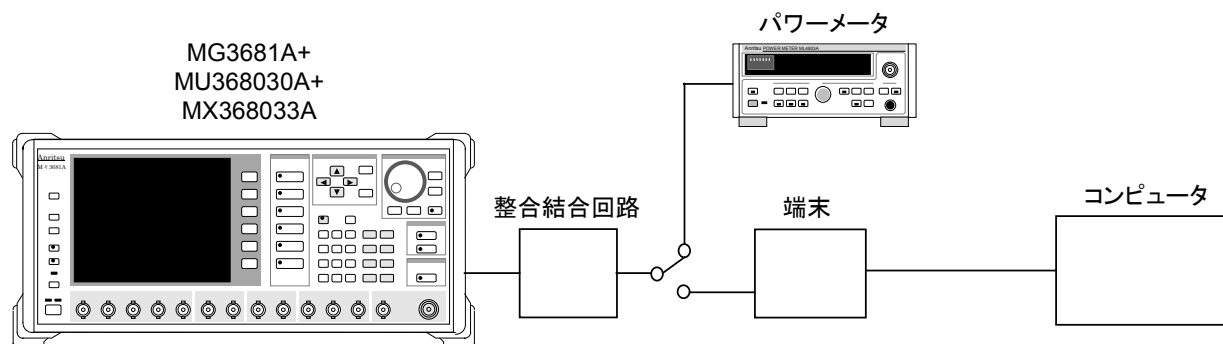
この章では, MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアをインストールした MU368030A ユニバーサル変調ユニットを, MG3681A デジタル変調信号発生器に装着した場合の測定例として, 端末受信機の PER 測定, 基地局受信機の PER 測定について説明します。

4.1	端末受信機の PER 測定	4-2
4.2	基地局受信機の PER 測定	4-3

4.1 端末受信機の PER 測定

端末受信機の PER (Packet Error Rate) 測定について説明します。ここではコールプロセッシングを用いず、コンピュータなどによりトラフィックチャネルの受信モードに設定でき、PER データを読み出すことのできる受信機を対象として説明します。

セットアップ



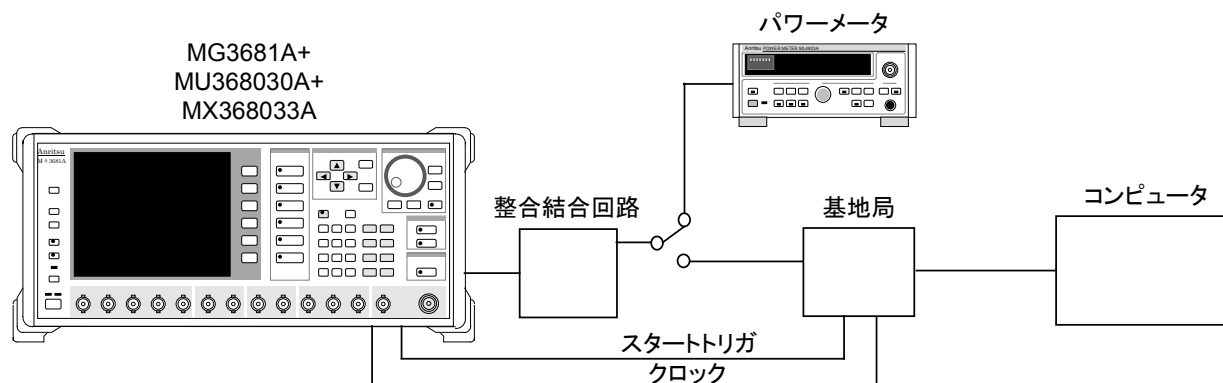
測定手順

- ① MG3681A の周波数, 出力レベルを希望の値に設定します。
- ② MG3681A の変調方式を「1xEV-DO」に設定します。
- ③ MG3681A の Pattern に, 測定したい 1xEV-DO 変調波を設定します。
- ④ MG3681A の RF 出力を, 整合回路を経由しパワーメータに接続します。このときパワーメータで感度試験レベルが得られるよう, MG3681A の出力レベルを調整します。
- ⑤ 整合結合回路の出力を, 端末受信機へ切り替えます。
- ⑥ コンピュータを使って, 端末受信機を受信モードに設定します。
- ⑦ コンピュータを使って, 端末受信機から PER データを取得します。

4.2 基地局受信機の PER 測定

基地局受信機の PER (Packet Error Rate) 測定について説明します。ここではコールプロセッシングを用いず、コンピュータなどによりデータチャネルの受信モードに設定でき、PER データを読み出すことのできる受信機を対象として説明します。ただし、基地局からは、10 MHz もしくは 9.8304 MHz のリファレンスクロックと、1xEV-DO フレームと同期したスタートトリガが、出力されている必要があります。

セットアップ



測定手順

- ① MG3681A の周波数、出力レベルを希望の値に設定します。
- ② MG3681A の変調方式を「1xEV-DO」に設定します。
- ③ MG3681A の Pattern に、測定したい 1xEV-DO 変調波を設定します。
- ④ MG3681A の RF 出力を、整合回路を経由しパワーメータに接続します。このときパワーメータで感度試験レベルが得られるよう、MG3681A の出力レベルを調整します。
- ⑤ 整合結合回路の出力を、基地局受信機へ切り替えます。
- ⑥ MG3681A の内部基準クロックと基地局を同期させます。Trigger Source は「Start」に設定します。Reference Clock は、Ref Clock を使用した場合は「Ext」に、10/13 MHz Ref Input を使用した場合は「Int」に設定します。
- ⑦ コンピュータを使って、受信機を受信モードに設定します。
- ⑧ MG3681A の Trigger Delay を適切な値に設定します。
- ⑨ MG3681A の Wave Data Restart を押して、MG3681A と基地局を再同期させます。
- ⑩ コンピュータを使って、基地局受信機から PER データを取得します。

この章では、MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアをインストールした MU368030A ユニバーサル変調ユニットを、MG3681A デジタル変調信号発生器に装着した場合の、 GPIB デバイスメッセージの機能別一覧表および ABC 順デバイスメッセージの詳細について説明します。

その他のリモート制御についての説明は、別冊「MG3681A 本体 取扱説明書 4 章 リモート制御」を参照してください。

5.1	機能別デバイスメッセージ一覧表.....	5-2
5.2	ABC 順デバイスメッセージ一覧表.....	5-4

5.1 機能別デバイスメッセージ一覧表

コマンドメッセージおよびクエリメッセージ

コマンドメッセージのヘッダ部は、予約語として大文字の英数字で表されます。クエリメッセージのヘッダ部は、最後に「?」がつきます。また、コマンドメッセージとクエリメッセージの引数部はセパレータ「,」で区切られた複数の引数をおくことができます。引数の種類を説明します。

- ① 大文字 : 予約語
- ② 数値 : 予約語
- ③ 引数部の小文字 :
 - f (Frequency) : 数値データ(NR1, NR2, NR3)
サフィックスコード : GHZ, GZ, MHz, MZ, kHz, KZ, HZ, 単位なしの場合は HZ になります。
 - l (Level) (相対値) : 数値データ(NR1, NR2, NR3 形式)
サフィックスコード : dB
単位なしの場合は dB になります。
 - n (無単位整数) : 数値データ(NR1 形式)
 - r (無単位実数) : 数値データ(NR2 形式)
 - h (無単位 16 進数) : 数値データ(16 進数)
 - s (文字列) : 「"」または、「'」で囲んだ英数字

デバイスメッセージ一覧表

<Common>

項目	デバイスメッセージ		
制御項目	コマンドメッセージ	クエリメッセージ	レスポンスメッセージ
I/Q Source Internal	MODE INT IQSRC INT	MODE? IQSRC?	MODE INT IQSRC INT
I/Q Source External	MODE EXT IQSRC EXT	MODE? IQSRC?	MODE EXT IQSRC EXT
I/Q Source OFF	MODE OFF IQSRC OFF	MODE? IQSRC?	MODE OFF IQSRC OFF
System 1XEV-DO	SYS 1XEV-DO	SYS?	SYS 1XEV-DO
Baseband ON	BASEBAND ON	BASEBAND?	BASEBAND ON
Baseband OFF	BASEBAND OFF	BASEBAND?	BASEBAND OFF
PM ON	PMO ON	PMO?	PMO ON
PM OFF	PMO OFF	PMO?	PMO OFF

<Modulation>

項目	デバイスメッセージ		
制御項目	コマンドメッセージ	クエリメッセージ	レスポンスメッセージ
Wave Data Restart	DLRES	—	—
Wave Data Download	DOWNLOAD	—	—
Pattern	PAT n n:0~23	PAT?	PAT n,s
Reference Clock Source	REFCLK INT	REFCLK?	REFCLK INT
Reference Clock Source	REFCLK EXT	REFCLK?	REFCLK EXT
Reference Clock Source	REFCLK EXT2	REFCLK?	REFCLK EXT2
Start Trigger Delay	STDLY n n:0~16777215	STDLY?	STDLY n
Start Trigger Source	STGS INT	STGS?	STGS INT
Start Trigger Source	STGS EXT	STGS?	STGS EXT
Start Trigger Source	STGS EXTSTA	STGS?	STGS EXT
Start Trigger Source	STGS EXTFRM	STGS?	STGS EXTFRM

5.2 ABC 順デバイスメッセージ一覧表

<例>

FREQ

機能	Frequency 周波数を設定します。	コマンドメッセージとaの間には スペースが入ります。	
コマンドメッセージ	FREQ a	入力する値	入力する値の説明
a の値	-2.99975～3 GHZ : -2.99975～3 GHz -2999.75～3000 MHZ : -2999.75～3000 MHz -2999750～3000000 KHZ : -2999750～3000000 kHz -2999750000.00～30000000000 HZ : -2999750000.00～30000000000 Hz		
クエリメッセージ	FREQ?		
レスポンスメッセージ	FREQ a		
使用例	FREQ 123MHZ		

BASEBAND

	Baseband (On/Off)
機能	Baseband の On/Off を選択します。
コマンドメッセージ	BASEBAND a
a の値	ON : Baseband On OFF : Baseband Off
クエリメッセージ	BASEBAND?
レスポンスメッセージ	BASEBAND a
使用例	BASEBAND ON

DLRES

Wave Data Restart

機能	スタートトリガモードで, 外部トリガに再同期します。
コマンドメッセージ	DLRES
使用例	DLRES

DOWNLOAD

Wave Data Download

機能	変調波をダウンロードし, 出力する変調波を切り替える。
コマンドメッセージ	DOWNLOAD

IQSRC

	I/Q Source
機能	デジタル変調の変調源を選択します。
コマンドメッセージ	IQSRC a
a の値	INT : Internal (内部変調ユニット) EXT : External (外部入力) OFF : I/Q 変調停止 (パルス変調のみが使用できます)
クエリメッセージ	IQSRC?
レスポンスメッセージ	IQSRC a
使用例	IQSRC INT

PAT

	Pattern
機能	1xEV-DO 変調波の選択をします。
コマンドメッセージ	PAT n
nの値	0～23
クエリメッセージ	PAT?
レスポンスメッセージ	PAT n, s
制約	nは 1xEV-DO 変調波の番号, s は 1xEV-DO 変調波の名称を表します。nと s の値に対応する 1xEV-DO 変調波は 3.1.1 項の表「1xEV-DO 変調波一覧」を参照してください。
使用例	PAT 2

PMO

	Pulse-Modulation
機能	パルス変調の Internal/External, On/Off を選択します。
コマンドメッセージ	PMO a
a の値	INT : Internal (変調ユニットで生成) EXT : External (外部から入力) OFF : Off (常に信号あり)
クエリメッセージ	PMO?
レスポンスメッセージ	PMO a
使用例	PMO INT

REFCLK

Reference Clock Source

機能	Baseband の基準タイミングを選択します (外部か内部)。
コマンドメッセージ	REFCLK a
a の値	INT : Intenal 選択 EXT : External (TTL) 選択 EXT2 : External2 (AC: 5 V _{p-p}) 選択
クエリメッセージ	REFCLK?
レスポンスメッセージ	REFCLK a
使用例	REFCLK INT

STDLY

Start Trigger 遅延量

機能	RF 信号の出力のタイミング時間を設定します。
コマンドメッセージ	STDLY n
n の値	0～16777215
クエリメッセージ	STDLY?
レスポンスメッセージ	STDLY n
使用例	STDLY 10

STGS

Start Trigger Source

機能	Trigger Source を設定します。
コマンドメッセージ	STGS a
a の値	INT : 内部トリガモード EXTSTA, EXT : スタートトリガモード EXTFRM : フレームトリガモード
クエリメッセージ	STGS?
レスポンスメッセージ	STGS a
使用例	STGS INT

SYS

	System
機能	ディジタル変調のシステムを設定します。
コマンドメッセージ	SYS a
a の値	NONE : ディジタル変調のシステムが装着されていない 1XEV-DO : CDMA2000 1xEV-DO 信号発生ソフトウェア
クエリメッセージ	SYS?
レスポンスメッセージ	SYS a
使用例	SYS 1XEV-DO

この章では、MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェアをインストールした MU368030A ユニバーサル変調ユニットを、MG3681A デジタル変調信号発生器に装着した場合の、本器の予防保守としての性能試験を実施する上で必要な測定機器、セットアップ方法、性能試験手順について説明します。

6.1	性能試験.....	6-2
6.1.1	性能試験について.....	6-2
6.1.2	性能試験で使う機器.....	6-2
6.2	出力レベル確度	6-3

6.1 性能試験

6.1.1 性能試験について

性能劣化を未然に防ぐための予防保守として性能試験を行います。
性能試験は本器の受入審査、定期検査、修理後の性能確認などが必要な場合に行ってください。
性能試験の結果、万一規格を満足しなかった場合は、当社サービス部門にご連絡ください。

性能試験には下記の項目の試験があります。

- ・ 出力レベル確度

重要と判断される項目については予防保守として定期的に性能試験を行ってください。試験回数は年に 1～2 回程度行うことをお勧めします。

性能試験の結果は、「付録 C 性能試験結果記入用紙」を用いてまとめることをお勧めします。

注意

性能試験を実施するときは、本器と、性能試験で使用する機器を 30 分以上予熱し、十分に安定してから校正を行ってください。また、最高の測定確度を得るためには、室温下での実施、AC 電源の変動が少ないこと、騒音、振動、ほこり、湿気などについても問題がないことが必要です。

6.1.2 性能試験で使う機器

性能試験で使う機器を下表で示します。

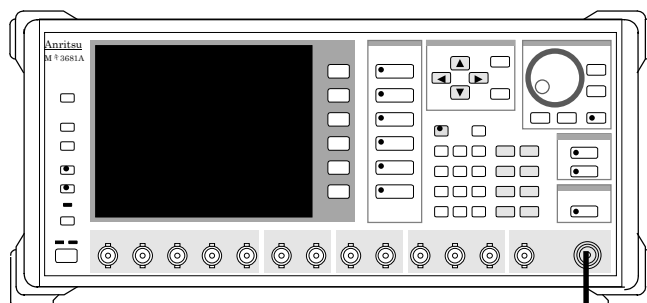
性能試験項目	推奨機器名	アンリツ形名
出力レベル確度	パワーメータ	ML4803A
	パワーセンサ	MA4601A

6.2 出力レベル確度

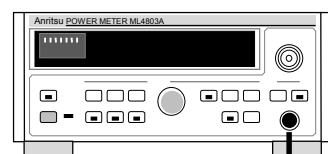
試験規格	
CW 時の出力レベルとの差	±1.5 dB
条件	
RF 出力レベル	≤−3 dBm
搬送波周波数	10～3000 MHz
レベルコンティニュアスモード	Off

試験手順

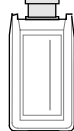
MG3681A
+ MU368030A(ユニバーサル変調ユニット)
+ MX368033A(CDMA2000 1xEV-DO 信号発生ソフトウェア)



ML4803A パワーメータ



MA4601A パワーセンサ



- ① MG3681A の変調パラメータを下記のように設定します。

Preset	: —
Baseband	: On
I/Q Mod	: Int
Digital Modulation	: On
System	: 1XEV-DO
Pattern	: 測定したい 1xEV-DO 変調波

- ② MG3681A の RF Output を Off に設定します。
- ③ パワーメータのゼロ点調整およびセンサ感度校正を行います。
- ④ MG3681A の出力レベルを測定したい値に設定します(上記の系で測定可能な最低レベルはパワーセンサの感度によります)。
- ⑤ パワーメータのセンサの校正係数を設定します。
- ⑥ MG3681A の Digital Modulation を Off に設定し, CW 時の MG3681A の出力レベルを測定します。
- ⑦ MG3681A の Digital Modulation を On に設定し, 変調時の MG3681A の出力レベルを測定します。
- ⑧ CW 時の出力レベルと変調時の出力レベルの差が, 規格以内であることを確認します。

付録 A	規格.....	A-1
付録 B	初期値一覧.....	B-1
付録 C	性能試験結果記入用紙.....	C-1

MU368030A にインストールして MG3681A に装着した場合

対応システム／ 変調方式		CDMA2000 1xEV-DO : 対応仕様書 3GPP2 C.S0024 フォワードチャンネル : 16QAM, 8PSK, QPSK(データ), QPSK(拡散) リバースチャンネル : BPSK(データ), HPSK(拡散)
ベースバンドフィルタ		リバースチャンネル : IS-95 に準拠した FIR フィルタ フォワードチャンネル : IS-95 に準拠したイコライジング付き FIR フィルタ
変調 データ	フォワード 共通	チャンネル構成 : パイロットチャンネル, トラフィックチャンネル, MAC チャンネルの時分割多重 パイロットチャンネル : オール 0, ウォルシュカバール = 0 トラフィックチャンネル : パケットデータ PN15fix (4 フレーム, アイドルスロットを除く) MAC チャンネル RPC チャンネルの RPC ビット : フレーム先頭スロットは All “1”, それ以外は All “0”, チャンネルパワー = -11.46 dB RA チャンネルの RA ビット : オール 0, チャンネルパワー = -11.46 dB または以下の MAC チャンネル RPC チャンネルの RPC ビット : ランダム, チャンネルパワー = -12.04 dB RA チャンネルの RA ビット : ランダム, チャンネルパワー = -11.42 dB
	フォワード 38.4 kbps, 16 slots	プリアンブル : 1024 ビット MAC インデックス : 4(RA チャンネル), 5 から 17(RPC チャンネル) トラフィックチャンネル : QPSK 変調, データレート = 38.4 kbps, 時分割多重スロット数 16 スロット
	フォワード 76.8 kbps, 8 slots	プリアンブル : 512 ビット MAC インデックス : 4(RA チャンネル), 5 から 17(RPC チャンネル) トラフィックチャンネル : QPSK 変調, データレート = 76.8 kbps, 時分割多重スロット数 8 スロット
	フォワード 153.6 kbps, 4 slots	プリアンブル : 256 ビット MAC インデックス : 4(RA チャンネル), 5 から 17(RPC チャンネル) トラフィックチャンネル : QPSK 変調, データレート = 153.6 kbps, 時分割多重スロット数 4 スロット
	フォワード 307.2 kbps, 2 slots	プリアンブル : 128 ビット MAC インデックス : 4(RA チャンネル), 5 から 17(RPC チャンネル) トラフィックチャンネル : QPSK 変調, データレート = 307.2 kbps, 時分割多重スロット数 2 スロット
	フォワード 614.4 kbps, 1 slot	プリアンブル : 64 ビット MAC インデックス : 4(RA チャンネル), 5 から 17(RPC チャンネル) トラフィックチャンネル : QPSK 変調, データレート = 614.4 kbps, 時分割多重スロット数 1 スロット

注:

チャンネルパワーはパイロットチャンネルを 0 dB としたときの値です。

変調データ	フォワード 307.2 kbps, 4 slots	プリアンブル MAC インデックス トラヒックチャンネル	:128 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :QPSK 変調, データレート = 307.2 kbps, 時分割多重スロット数 4 スロット
	フォワード 614.4 kbps, 2 slots	プリアンブル MAC インデックス トラヒックチャンネル	:64 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :QPSK 変調, データレート = 614.4 kbps, 時分割多重スロット数 2 スロット
	フォワード 1228.8 kbps, 1 slot	プリアンブル MAC インデックス トラヒックチャンネル	:64 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :QPSK 変調, データレート = 1228.8 kbps, 時分割多重スロット数 1 スロット
	フォワード 921.6 kbps, 2 slots	プリアンブル MAC インデックス トラヒックチャンネル	:64 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :8PSK 変調, データレート = 921.6 kbps, 時分割多重スロット数 2 スロット
	フォワード 1843.2 kbps, 1 slot	プリアンブル MAC インデックス トラヒックチャンネル	:64 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :8PSK 変調, データレート = 1843.2 kbps, 時分割多重スロット数 1 スロット
	フォワード 1228.8 kbps, 2 slots	プリアンブル MAC インデックス トラヒックチャンネル	:64 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :16QAM 変調, データレート = 1228.8 kbps, 時分割多重スロット数 2 スロット
	フォワード 2457.6 kbps, 1 slot	プリアンブル MAC インデックス トラヒックチャンネル	:64 ビット :4(RA チャンネル), 5 から 17(RPC チャンネル) :16QAM 変調, データレート = 2457.6 kbps, 時分割多重スロット数 1 スロット
	フォワード アイドル スロット	MAC インデックス	:4(RA チャンネル), 5 から 17(RPC チャンネル)

変調データ	リバース 共通	DRC チャンネル RRI チャンネル ロングコードマスク データチャンネル	: “0001”, DRC カバーシンボル “0”, チャンネルパワー = 3.0 dB : チャンネルパワー = 0.0 dB : MI = 3FF000000000 (16 進), MQ = 3FE000000001 (16 進) : 1 パケット長の PN9fix データをコーディングし BPSK 変調
	リバース 9.6 kbps	データチャンネル RRI シンボル ACK チャンネル	: データレート = 9.6 kbps, チャンネルパワー = 3.75 dB : “001” : オール 0, チャンネルパワー = 3.0 dB
	リバース 19.2 kbps	データチャンネル RRI シンボル ACK チャンネル	: データレート = 19.2 kbps, チャンネルパワー = 6.75 dB : “010” : オール 0, チャンネルパワー = 3.0 dB
	リバース 38.4 kbps	データチャンネル RRI シンボル ACK チャンネル	: データレート = 38.4 kbps, チャンネルパワー = 9.75 dB : “011” : オール 0, チャンネルパワー = 3.0 dB
	リバース 76.8 kbps	データチャンネル RRI シンボル ACK チャンネル	: データレート = 76.8 kbps, チャンネルパワー = 13.25 dB : “100” : オール 0, チャンネルパワー = 3.0 dB
	リバース 153.6 kbps	データチャンネル RRI シンボル ACK チャンネル	: データレート = 153.6 kbps, チャンネルパワー = 18.50 dB : “101” : オール 0, チャンネルパワー = 3.0 dB
	リバース 9.6 kbps_RT	データチャンネル RRI シンボル ACK チャンネル	: データレート = 9.6 kbps, チャンネルパワー = 3.75 dB : “001” : オール 0, チャンネルパワー = 0.0 dB
	リバース 19.2 kbps_RT	データチャンネル RRI シンボル ACK チャンネル	: データレート = 19.2 kbps, チャンネルパワー = 6.75 dB : “010” : オール 0, チャンネルパワー = 0.0 dB
	リバース 38.4 kbps_RT	データチャンネル RRI シンボル ACK チャンネル	: データレート = 38.4 kbps, チャンネルパワー = 9.75 dB : “011” : オール 0, チャンネルパワー = 0.0 dB
	リバース 76.8 kbps_RT	データチャンネル RRI シンボル ACK チャンネル	: データレート = 76.8 kbps, チャンネルパワー = 13.25 dB : “100” : オール 0, チャンネルパワー = 0.0 dB
	リバース 153.6 kbps_RT	データチャンネル RRI シンボル ACK チャンネル	: データレート = 153.6 kbps, チャンネルパワー = 18.50 dB : “101” : オール 0, チャンネルパワー = 0.0 dB

注:

チャンネルパワーはパイロットチャンネルを 0 dB としたときの値です。

RF 信号	周波数範囲	10 MHz～3000 MHz
	レベル範囲	−143～+5 dBm
	レベル確度	CW 時の出力レベルに対して ±1.5 dB 以内 (≤−3 dBm)
	スプリアスエミッション	100～2300 MHz において, −3 dBm 出力での全電力と 30 kHz 帯域内電力の比 (PLL モード: ノーマル) ≤−65 dBc (885 kHz～1.98 MHz オフセット), ≤−70 dBc (1.98～2.5 MHz オフセット), ≤−77 dBc (2.5～5.0 MHz オフセット) (ただし, MG3681A 本体のスプリアスによる性能の悪化は除く)
IQ 信号	出力レベル	フォワード 38.4 kbps 16 slots : 149 mV(rms)
		フォワード 76.8 kbps 8 slots : 149 mV(rms)
		フォワード 153.6 kbps 4 slots : 149 mV(rms)
		フォワード 307.2 kbps 2 slots : 149 mV(rms)
		フォワード 614.4 kbps 1 slot : 149 mV(rms)
		フォワード 307.2 kbps 4 slots : 149 mV(rms)
		フォワード 614.4 kbps 2 slots : 149 mV(rms)
		フォワード 1228.8 kbps 1 slot : 149 mV(rms)
		フォワード 921.6 kbps 2 slots : 149 mV(rms)
		フォワード 1843.2 kbps 1 slot : 149 mV(rms)
		フォワード 1228.8 kbps 2 slots : 149 mV(rms)
		フォワード 2457.6 kbps 1 slot : 149 mV(rms)
		フォワードアイドルスロット : 149 mV(rms)
		リバー 9.6 kbps : 252 mV(rms)
		リバー 19.2 kbps : 254 mV(rms)
		リバー 38.4 kbps : 269 mV(rms)
		リバー 76.8 kbps : 199 mV(rms)
		リバー 153.6 kbps : 301 mV(rms)
		リバー 9.6 kbps_RT : 252 mV(rms)
		リバー 19.2 kbps_RT : 254 mV(rms)
		リバー 38.4 kbps_RT : 269 mV(rms)
		リバー 76.8 kbps_RT : 199 mV(rms)
		リバー 153.6 kbps_RT : 301 mV(rms)

伝送速度	チップレート	1.2288 Mcps
	伝送速度確度	MG3681A の基準信号確度による(外部同期時を除く)
スタートトリガ入力		外部からのスタートトリガ入力。外部トリガ入力に対する出力の遅延調整機能(遅延調整範囲:0~16777215, 分解能 Chips/8)を持つ。 正面 BNC コネクタ, TTL レベル。
使用ファームウェア バックアップ領域		CPU: 137.3 kByte, FPGA: 49.5 kByte

PN9fix, PN15fix: PN シーケンスの繰り返しが, 連続ではない一定の長さ(3 フレーム長など)のデータ

設定	初期値
デジタル変調メイン画面	
Pattern	0: FWD_38.4_16_MR
Trigger Source	Int
Trigger Delay	0/8 cps (0.0000 cps)
Reference Clock	Int

付録 C 性能試験結果記入用紙

テスト場所: _____

レポート No. _____
 日付 _____
 テスト担当者 _____

機器名 MG3681A デジタル変調 SG
 +MU368030A ユニバーサル変調ユニット
 +MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェア

製造 No. _____
 電源周波数 _____Hz

周囲温度 _____℃
 相対湿度 _____%

特記事項:

出力レベル確度(6.2 項)

1xEV-DO 変調波	設定 出力レベル	結果					仕 様 最大値
		MHz	MHz	MHz	MHz	MHz	
FWD 38.4 kbps 16 slots	dBm						±1.5 dB
FWD 76.8 kbps 8 slots	dBm						±1.5 dB
FWD 153.6 kbps 4 slots	dBm						±1.5 dB
FWD 307.2 kbps 2 slots	dBm						±1.5 dB
FWD 614.4 kbps 1 slot	dBm						±1.5 dB
FWD 307.2 kbps 4 slots	dBm						±1.5 dB
FWD 614.4 kbps 2 slots	dBm						±1.5 dB
FWD 1228.8 kbps 1 slot	dBm						±1.5 dB
FWD 921.6 kbps 2 slots	dBm						±1.5 dB
FWD 1843.2 kbps 1 slot	dBm						±1.5 dB
FWD 1228.8 kbps 2 slots	dBm						±1.5 dB
FWD 2457.6 kbps 1 slot	dBm						±1.5 dB
RVS 9.6 kbps	dBm						±1.5 dB
RVS 19.2 kbps	dBm						±1.5 dB
RVS 38.4 kbps	dBm						±1.5 dB
RVS 76.8 kbps	dBm						±1.5 dB
RVS 153.6 kbps	dBm						±1.5 dB

1xEV-DO 変調波	設定 出力レベル	結果					仕 様 最大値
		MHz	MHz	MHz	MHz	MHz	
RVS 9.6 kbps_RT	dBm						±1.5 dB
RVS 19.2 kbps_RT	dBm						±1.5 dB
RVS 38.4 kbps_RT	dBm						±1.5 dB
RVS 76.8 kbps_RT	dBm						±1.5 dB
RVS 153.6 kbps_RT	dBm						±1.5 dB

50 音順

1xEV-DO フレーム	3-14, 4-3
1xEV-DO 変調波	2-5, 3-2, 3-5, 4-2, 4-3, 5-8, 6-4
IQ マッピング	3-2, 3-10, 3-12
RRI チャンネル	3-10
ACK チャンネル	3-10
外部基準クロック	2-5
外部トリガ動作	3-13
コールプロセッシング	4-2
再インストール	2-5
時分割多重	3-6
出力レベル確度	6-2
スタートトリガ	4-3, 5-6
スクランブル	3-5, 3-7
スロット	3-6, 3-8
ターボコーディング	3-5
チャンネルインターリーブ	3-5
チャンネルコーディング	3-2, 3-5, 3-6, 3-7, 3-10
直交変調	2-3
DRC チャンネル	3-10
データチャンネル	3-10
内部基準クロック	2-5
パイロットチャンネル	3-5, 3-6
パケット	3-5, 3-7
パルス変調	2-3, 5-8
PER 測定	4-1, 4-2, 4-3
フォワード MAC チャンネル	3-5
フォワードトラフィックチャンネル	3-5, 3-7
プリアンブル	3-6, 3-7, 3-8
ベースバンドフィルタ	3-6, 3-11
メインファンクションキー	2-2
リファレンスクロック	4-3
リモート制御	5-1

ABC 順

1

10/13 MHz RF Input	2-5
16QAM	3-5, 3-8

8

8-PSK	3-5, 3-8
-------	----------

A

ACKChannelBit	3-11
---------------	------

B

Baseband	2-3, 5-5, 5-9, 6-4
----------	--------------------

C

Chip Rate	2-5
-----------	-----

D

DRCCover	3-11
DRClockBit	3-8
DRClockPeriod	3-8
DRCValue	3-11

F

FCS	3-10
Frame Trigger	3-14, 3-15

G

GPIB	5-1
------	-----

I

IS-95SPEC	3-3
IS-95SPEC+EQ	3-3
I/Q Mod.	2-3, 6-4

L

Long Code Mask 3-11

M

MACIndex 3-5, 3-6, 3-7, 3-8, 3-13

P

Pattern 2-3, 3-2, 3-5, 3-10,
3-12, 4-2, 5-8, 6-4

PER 4-2, 4-3

PN15 3-3, 3-6

PN15fix 3-3, 3-5, 3-14

PN9 3-3

PN9fix 3-3, 3-10, 3-15

Pulse Mod. 2-3

Q

QPSK 3-5, 3-8

R

RABit 3-8, 3-13

RACchannel 3-6, 3-8

Reference Clock 2-4, 4-3

Ref. Clock 2-5, 4-3

RPCBit 3-8

RRISymbol 3-11

S

Sequence Pulse 3-14, 3-15

Start TRIG 2-4, 3-13

System 2-3

T

TAIL 3-10

TDM 3-2

Trigger 2-4

Trigger Delay 2-4, 3-13, 4-3

Trigger Source 2-3, 2-4, 4-3

W

Walsh Cover 3-8

Wave Data Download 2-4, 2-5, 5-3, 5-6

Wave Data Restart 2-4, 4-3, 5-3, 5-6