Product Introduction

MG3681A

ディジタル変調信号発生器

MG3681A　ディジタル変調信号発生器

製品紹介



アンリツ株式会社
2009年 12月　Ver 10.0

目次

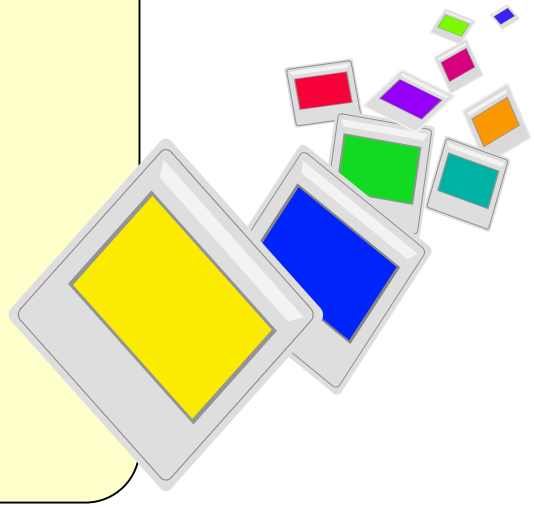
- 製品概要 3
- 特徴 18
  ソフトウェア 53
- アプリケーション 200
- オプション 336



製品概要

- 製品概要
- 特徴
- アプリケーション
- オプション

- シチュエーション 4
- 製品コンセプト 6
- 多彩な拡張ユニット 10



高速化/広帯域化するディジタル移動通信システムの基地局, 移動機, コンポーネンツの評価に

ディジタル移動通信システムは、ますます高速化と広帯域化されています。

» 限られた周波数資源の中で、より高速に通信するため、隣接した周波数帯の他のシステムや同一システムの隣接チャネルへの干渉を抑え、伝送効率の良い変調方式が採用されています。



- これからの高速ディジタル移動通信の装置やコンポーネンツの評価に活用できる、優れた隣接チャネル漏洩電力比と、広帯域で高精度なベクトル変調と、多様なベースバンドを充実させたシグナルジェネレータです。

高速化/広帯域化するディジタル移動通信システムの基地局, 移動機, コンポーネンツの評価に

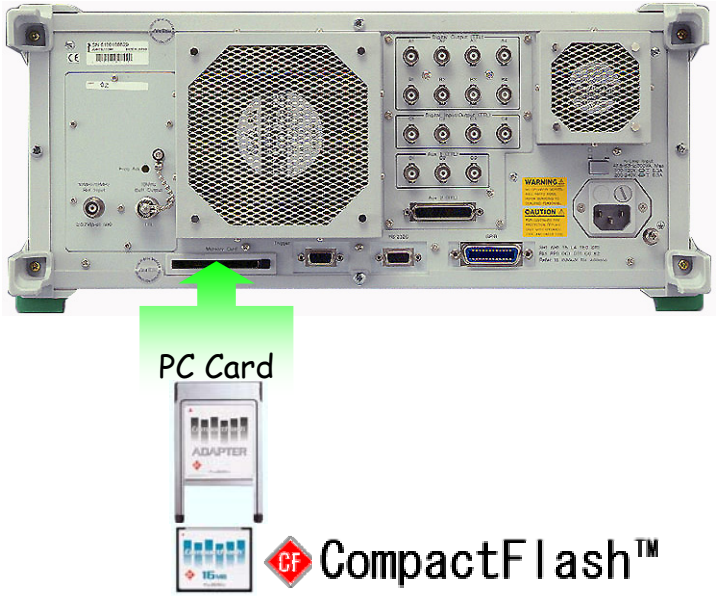
- 基地局や移動機の受信機は、受信シグナルジェネレータにて感度(復調)試験を評価する必要があります。また、干渉シグナルジェネレータと受信シグナルジェネレータにて受信干渉試験を評価する必要があります。

- パワーアンプ, RFモジュール, ベースバンドのようなコンポーネンツは、シグナルジェネレータとシグナルアナライザにてパス特性や歪を評価する必要があります。

製品コンセプト

第三世代移動通信システムまでオールマイティにサポート

- **拡張性に優れたプラットフォーム**
  - » 必要なベースバンド用拡張ユニットを内蔵することにより、多彩な変調信号やAWGNを出力できます。
  - » 拡張ユニットの主要ロジック回路をリコンフィギュアラブルできるFPGA(Field Programmable Gate Array)で構成しているため、FPGA回路データやDSP(Digital Signal Processor)プログラムを含むファームウェアを、拡張ユニットにダウンロードすることにより、ユーザが容易にアップグレードできます。



製品コンセプト
第三世代移動通信システムまでオールマイティにサポート

- **第二世代移動通信システム用シグナルジェネレータMG367xシリーズの後継**
  - » 4/5のダウンサイジング
  - » 20%のコストダウン

MG3681A (250k~3GHz)
デジタル変調とアナログ変調
30MHz広帯域ベクトル変調

MG3670シリーズ (300k~2.75GHz)
1993年に製品化し、移動通信システムのディジタル化に大きく貢献

MG3641/42A (125k~2.08GHz)

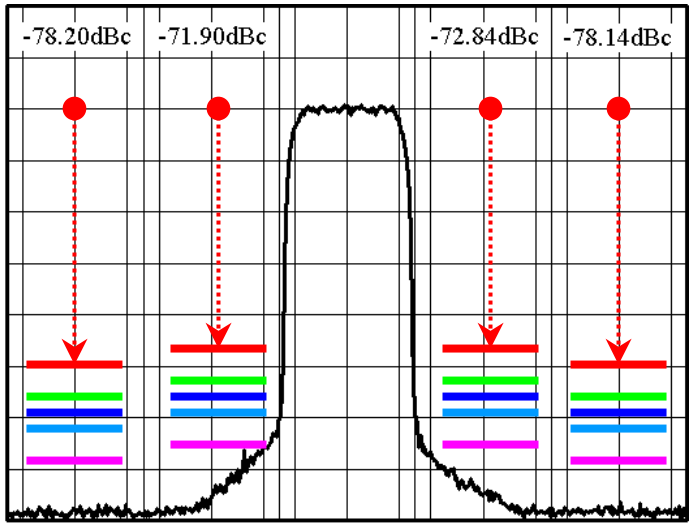


製品コンセプト
優れたアナログ基本性能

- **隣接チャネル漏洩電力比**

  W-CDMAシステムでは、隣接するPHSシステムへの干渉を抑えるために、隣接チャネル漏洩電力比を極めて低く抑えなければなりません。特に基地局のTXパワーアンプには、非常に低い隣接チャネル漏洩電力比が要求されています。TXパワーアンプの隣接チャネル漏洩電力比を測定するためには、信号源の隣接チャネル漏洩電力比はさらに優れている必要があります。

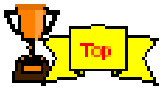
  - -68 dBc/3.84MHz typ.　　：　5MHzオフセット
    - 相互変調歪より起因
  - -75 dBc/3.84MHz typ.　　：10MHzオフセット
    - 残留ノイズ(位相ノイズ)より起因



BS ACLR minimum requirement
BS ACLR manufacture target (e.g. -6 dB)
TX amplifier minimum requirement (e.g. -9 dB)
TX amplifier manufacture target (e.g. -12 dB)
Signal source minimum requirement (e.g. -16 dB)

製品コンセプト
優れたアナログ基本性能

- **出力レベル分解能**
  - 0.01 dB　　：全レベル範囲にて



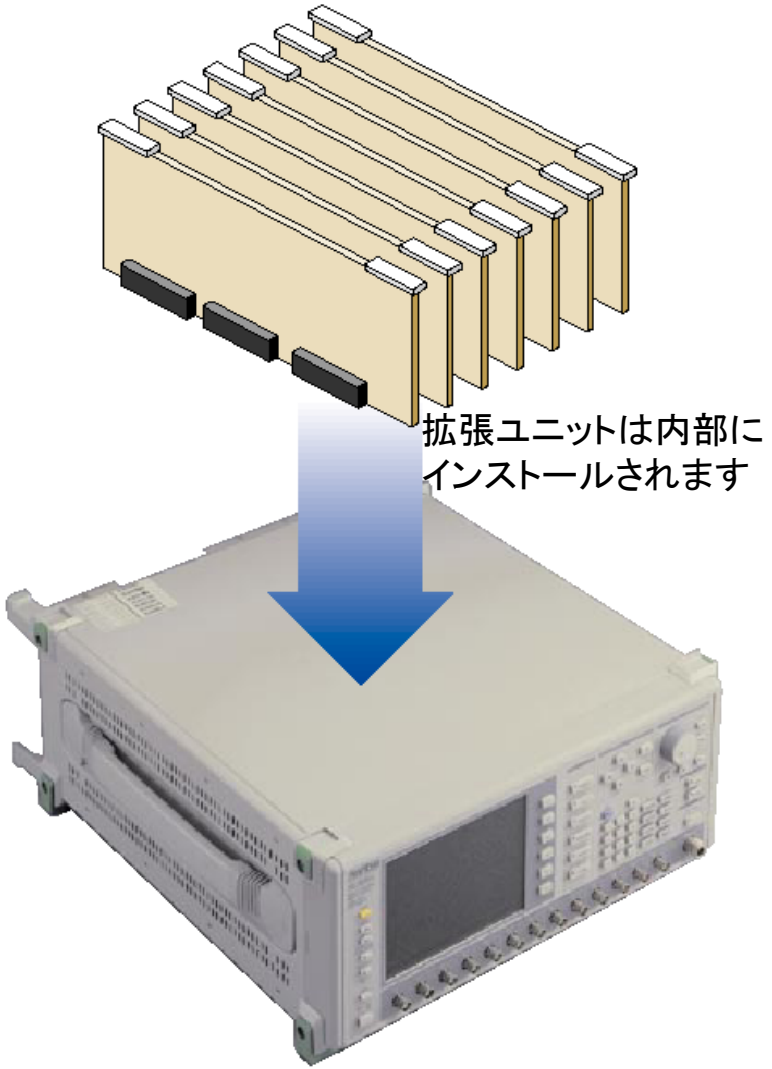
コンポーネンツテストなどでの微小レベル調整時や、パワーメータにてレベルを校正して活用する場合に有益です。



多彩な拡張ユニット

拡張ユニットを7スロットまでインストール可

拡張ユニット	対応ソフトウェア
MU368010A TDMA 変調ユニット	MX368011A PDC ソフトウェア
	MX368012A GSM デバイステストソフトウェア
MU368040A CDMA 変調ユニット	MX368041B W-CDMA ソフトウェア
	MX368042A IS-95 デバイステストソフトウェア
MU368030A ユニバーサル変調ユニット	MX368031A デバイステスト信号発生ソフトウェア
	MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェア
	MX368034A PDC Packet ソフトウェア
	MX368035A PHS 信号発生ソフトウェア
	MX368037A RCR STD-39 π/4DQPSK 信号発生ソフトウェア
	MX368037B ARIB STD-T61 π/4DQPSK 信号発生ソフトウェア
	MX368037C ARIB STD-T79 π/4DQPSK 信号発生ソフトウェア
	MX368037D ARIB STD-T86 16QAM 信号発生ソフトウェア
MU368060A AWGN ユニット	



多彩な拡張ユニット: 拡張ユニットとソフトウェア

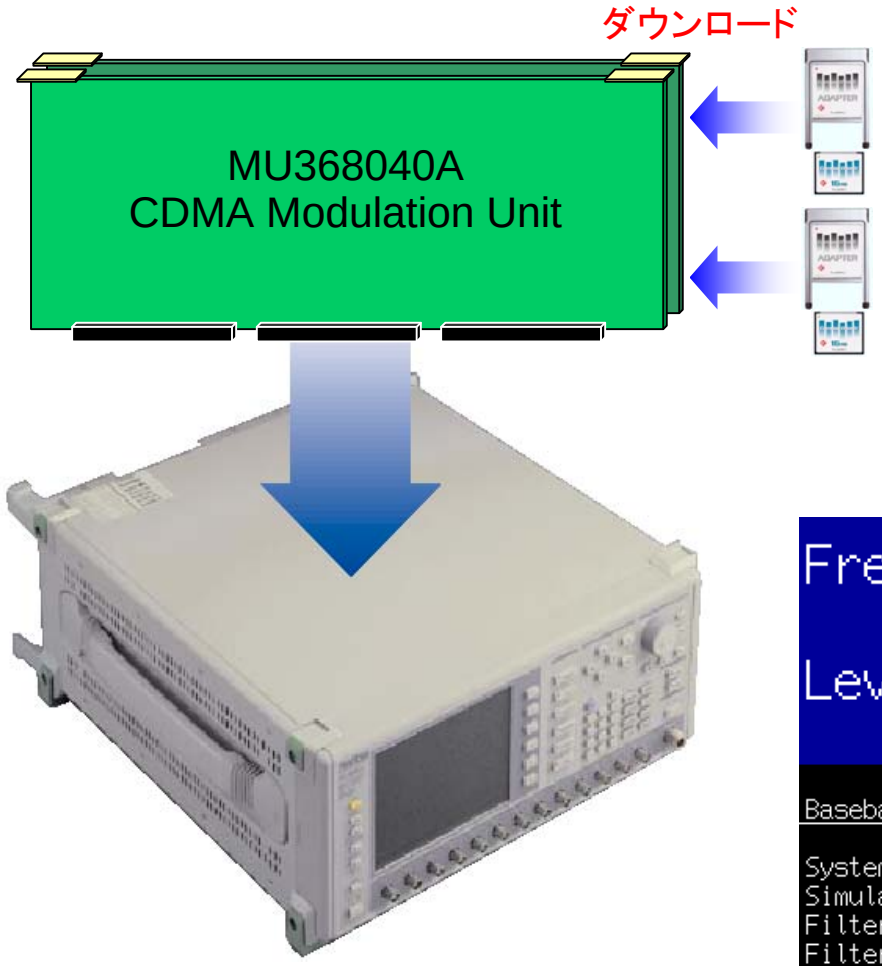
通信システム	ソフトウェア (CompactFlash™)	拡張ユニット
W-CDMA / 3GPP(FDD)	MX368041B W-CDMA ソフトウェア	MU368040A CDMA 変調ユニット + MU368060A AWGN ユニット
cdmaOne	MX368042A IS-95 デバイステストソフトウェア	
PDC	MX368011A PDC ソフトウェア	MU368010A TDMA 変調ユニット
GSM	MX368012A GSM デバイステストソフトウェア	
CDMA2000 1xEV-DO*1, CDMA2000 1X*2 GSM/EDGE*3, PDC*3, PHS*3, NADC*3	MX368031A デバイステスト信号発生ソフトウェア	
CDMA2000 1xEV-DO	MX368033A CDMA2000 1xEV-DO 信号発生ソフトウェア	
PDC パケット	MX368034A PDC Packet ソフトウェア	MU368030A ユニバーサル変調ユニット
PHS	MX368035A PHS 信号発生ソフトウェア	
RCR STD-39 狭帯域デジタル通信方式(TDMA) ARIB STD-T85 800MHz 帯デジタル MCA システム	MX368037A RCR STD-39 π/4DQPSK 信号発生ソフトウェア	
ARIB STD-T61 狭帯域デジタル通信方式(SCPC)	MX368037B ARIB STD-T61 π/4DQPSK 信号発生ソフトウェア	
ARIB STD-T79 市町村デジタル移動通信システム TYPE1 ARIB STD-T87 空港内デジタル移動通信システム	MX368037C ARIB STD-T79 π/4DQPSK 信号発生ソフトウェア	
ARIB STD-T86 市町村デジタル同報通信システム	MX368037D ARIB STD-T86 16QAM 信号発生ソフトウェア	

*1: フォワードの場合、16QAM 変調のみで、8PSK および QPSK 変調はありません。 フォワードおよびリバースとも、コーディングフォーマットされてないため、受信感度テストに活用できません。
*2: リバースの場合、コーディングフォーマットされているため、基地局生産時の受信感度テスト(RC1 & 3)に活用できます。
フォワードの場合、コーディングフォーマットされてないため、受信感度テストに活用できません。
*3: 通信システムに基づいた連続変調信号です。

ソフトウェアは、拡張ユニットにインストールして提供されます。また、バックアップ用として PC メモリカードも提供されます。
インストールされたソフトウェアを選択することにより、瞬時にソフトウェアは切替ります。
MU368030A 用ソフトウェアの場合、PC メモリカードから MU368030A ユニバーサル変調ユニットの波形メモリに、ソフトウェアに含まれるシグナルパターンファイルをダウンロードすることで、
出力するシグナルパターンを選択できます。

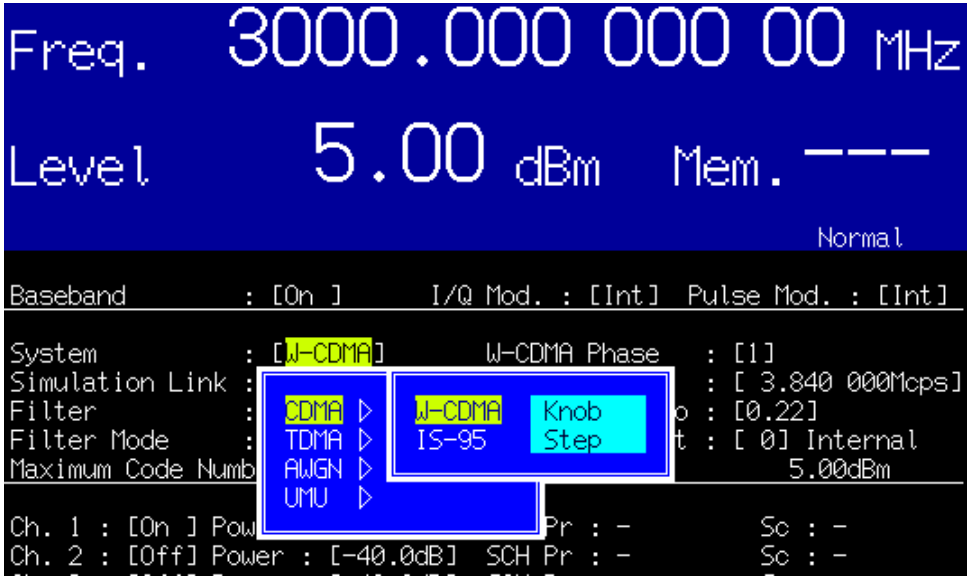
多彩な拡張ユニット: MU368040A CDMA変調ユニット

リアルタイム出力と波形メモリ出力のデュアル出力ベースバンドジェネレータ



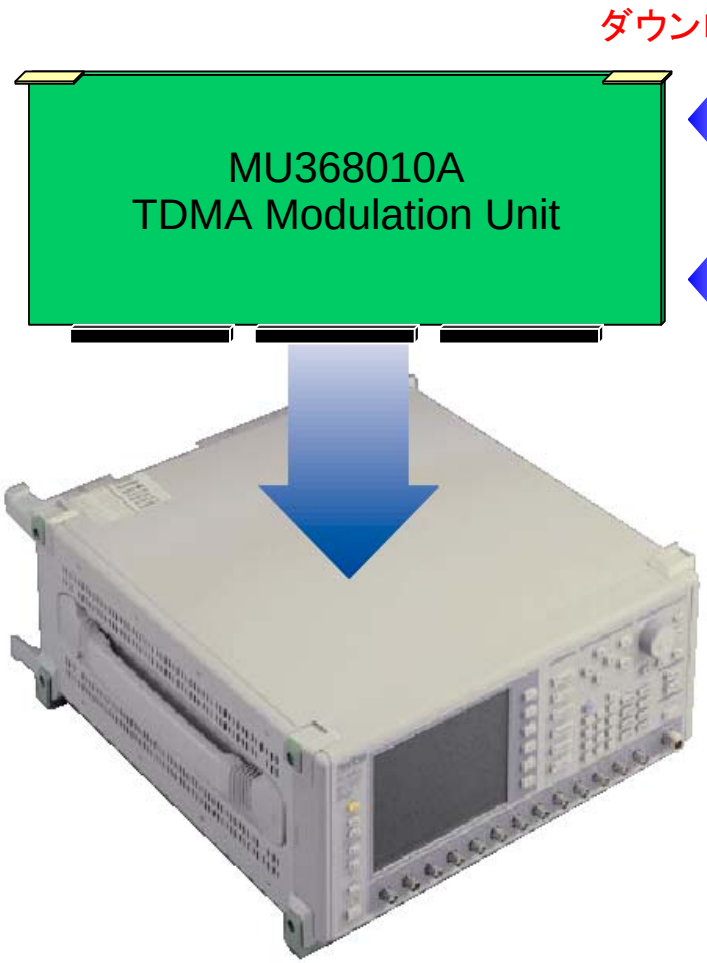
MX368041B
W-CDMAソフトウェア

MX368042A
IS-95デバイステストソフトウェア



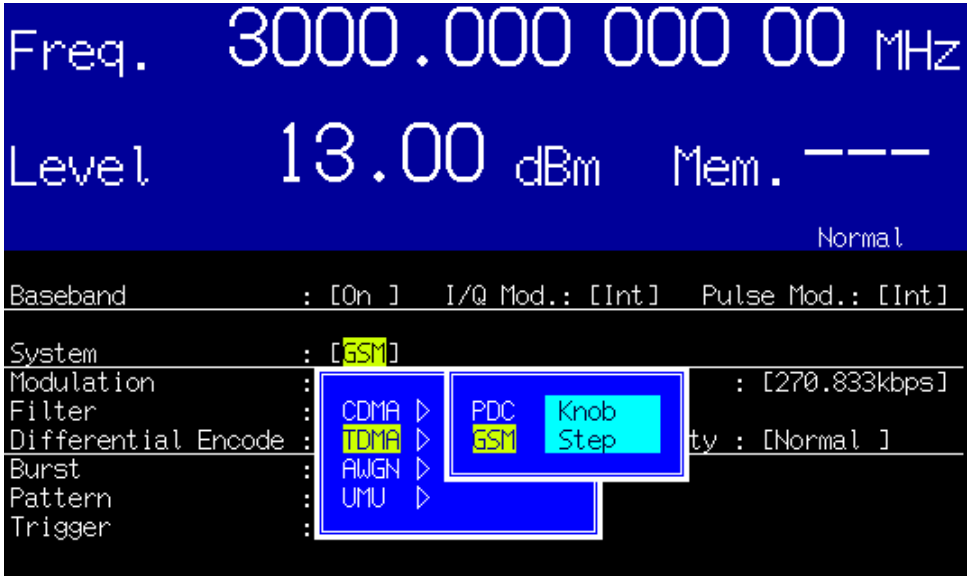
多彩な拡張ユニット: MU368010A TDMA変調ユニット

リアルタイム出力のベースバンドジェネレータ



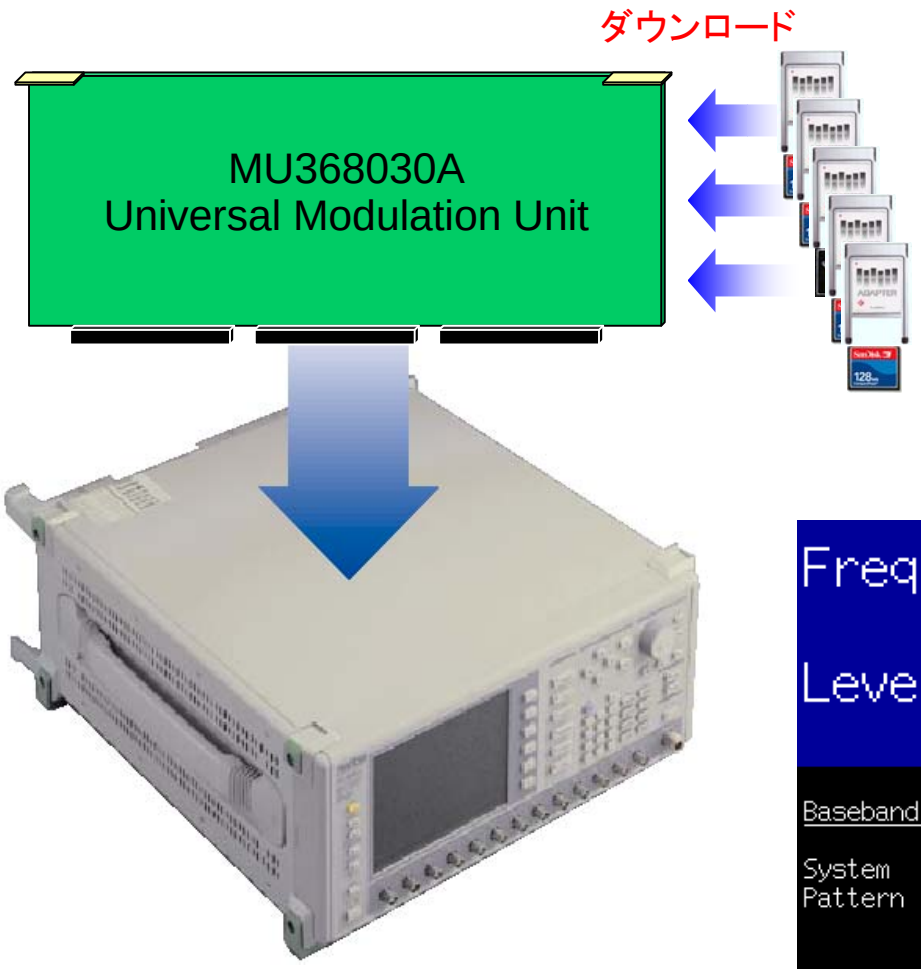
MX368011A
PDCソフトウェア

MX368012A
GSMデバイステストソフトウェア

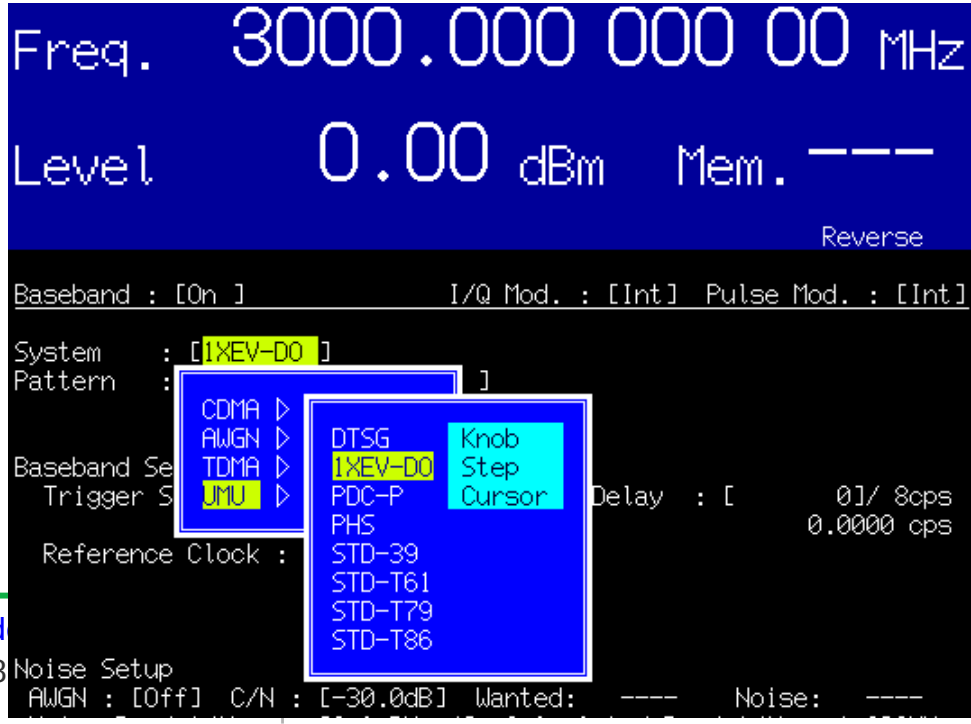


多彩な拡張ユニット: MU368030A ユニバーサル変調ユニット

波形メモリ出力のベースバンドジェネレータ

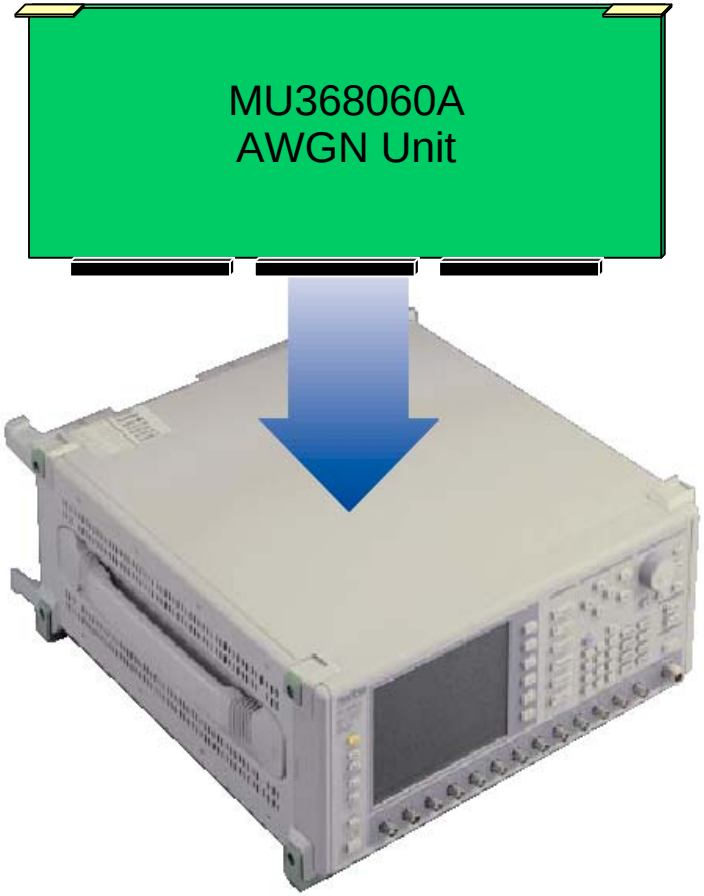


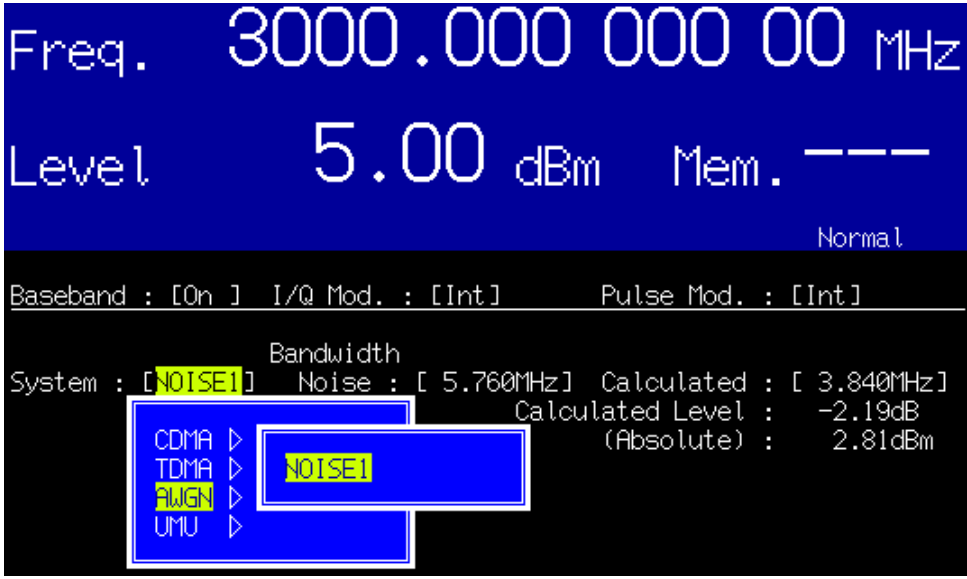
MX368031A
デバイステスト信号発生ソフトウェア
MX368033A
CDMA2000 1xEV-DO信号発生ソフトウェア
MX368034A
PDC Packetソフトウェア
MX368035A
PHS信号発生ソフトウェア
MX368037A/B/C/D
RCR STD-39/ARIB STD-T61/ARIB STD-T79/ARIB STD-T86
信号発生ソフトウェア



多彩な拡張ユニット: MU368060A AWGNユニット

リアルタイム出力のAWGNジェネレータ





多彩な拡張ユニット: MU368040A + MU368060A

W-CDMAとAWGNのミキシング出力

MU368060A
AWGN Unit

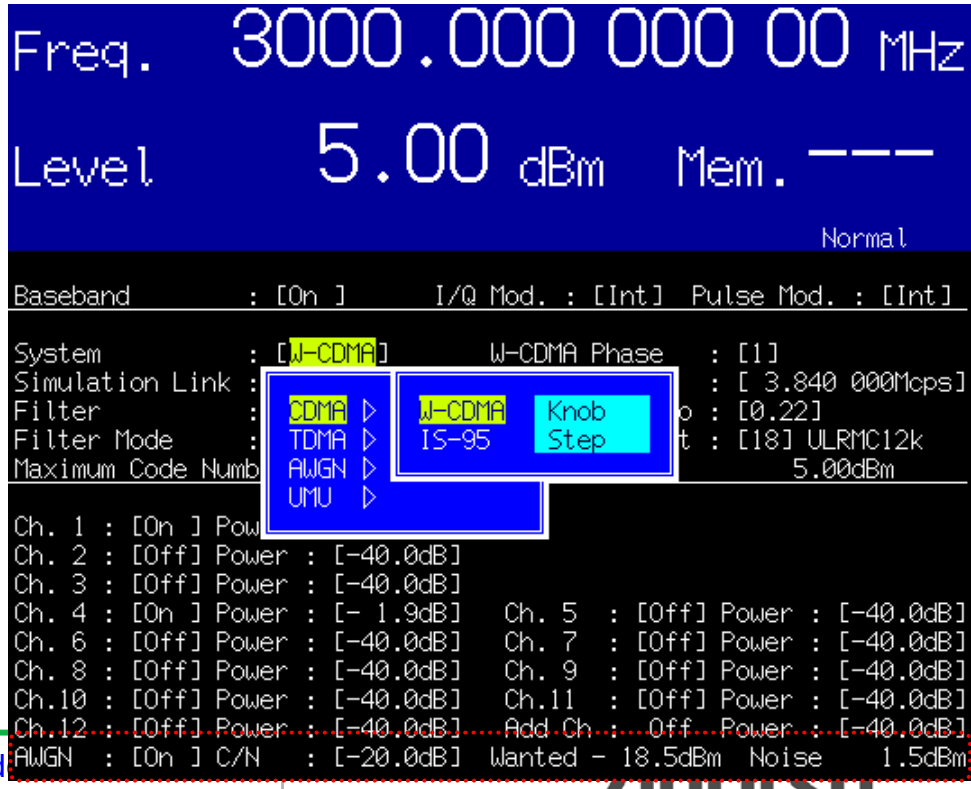
MU368040A
CDMA Modulation Unit



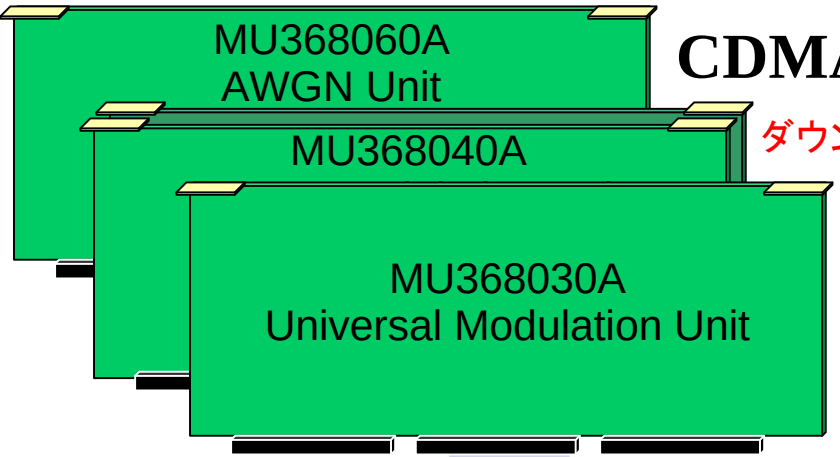
ダウンロード



MX368041B
W-CDMAソフトウェア



多彩な拡張ユニット: MU368030A + MU368040A + MU368060A



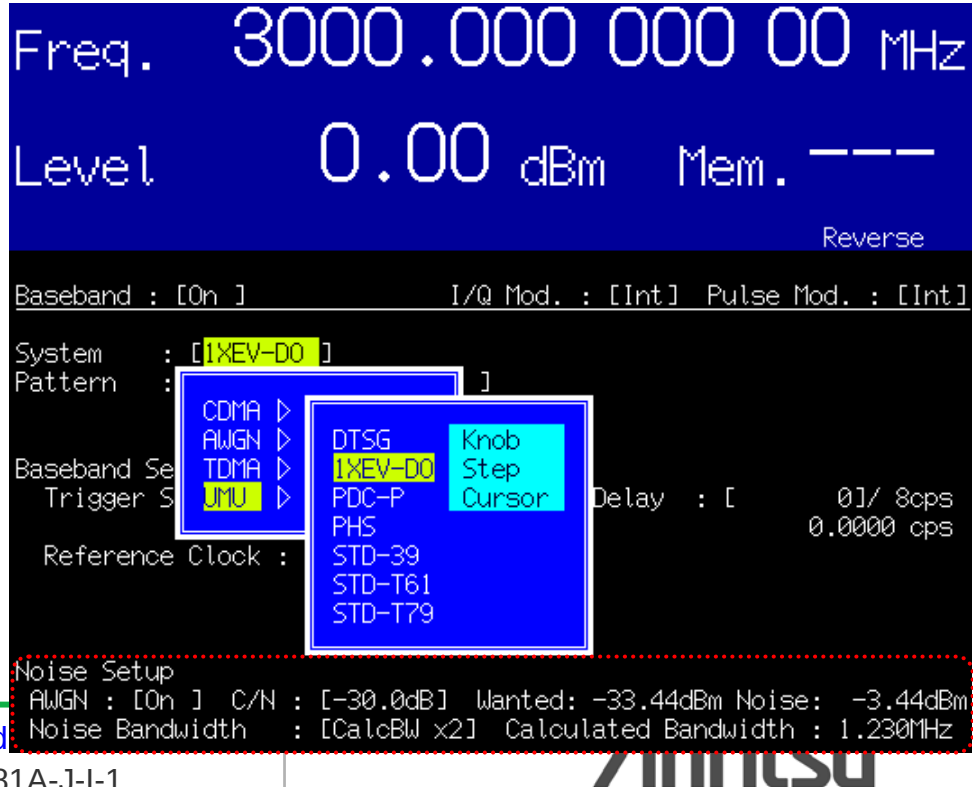
CDMA2000とAWGNのミキシング出力

ダウンロード



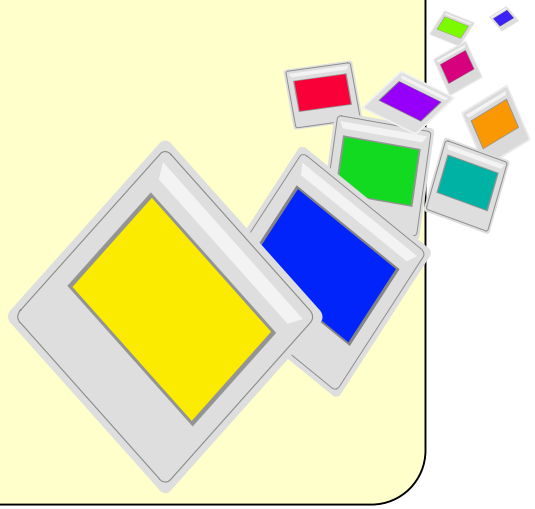
MX368031A
デバイステスト信号発生ソフトウェア
MX368033A
CDMA2000 1xEV-DO信号発生ソフトウェア





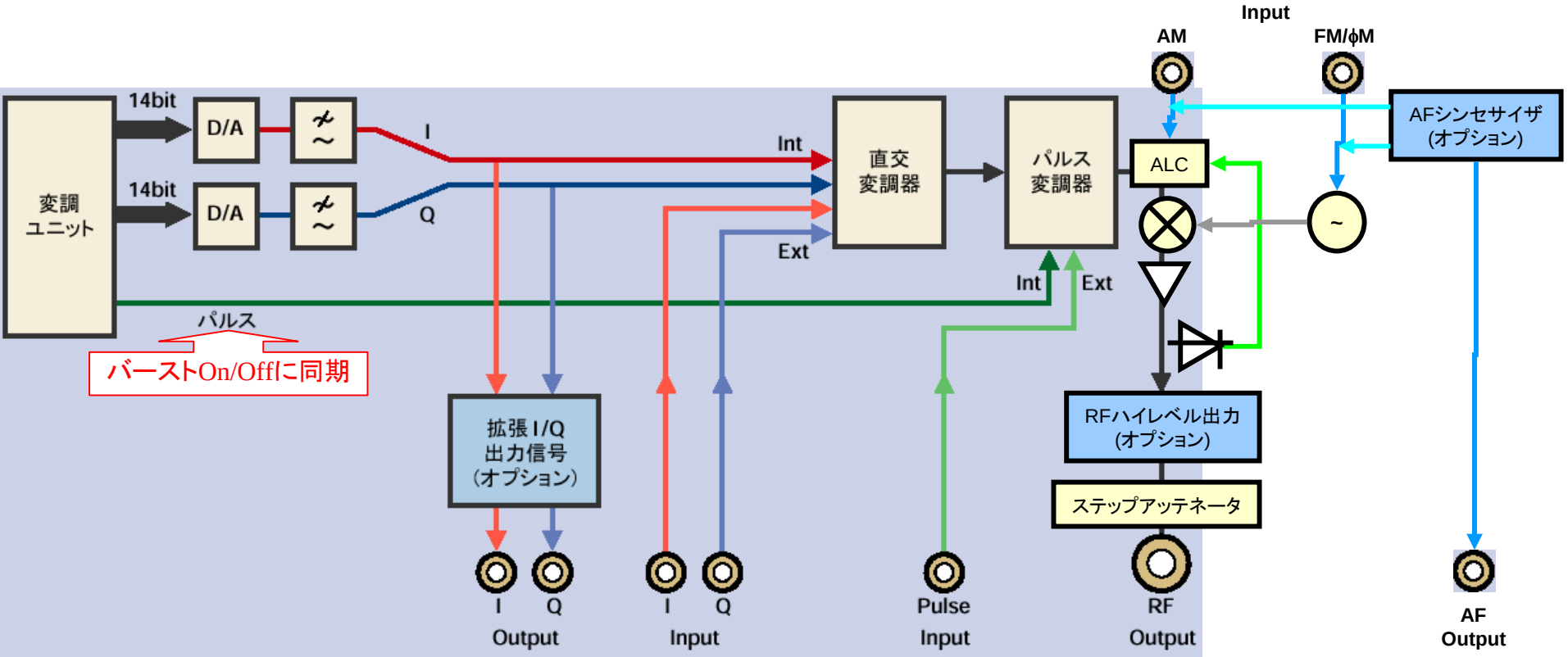
特徴

- 製品概要
- 特徴
- アプリケーション
- オプション



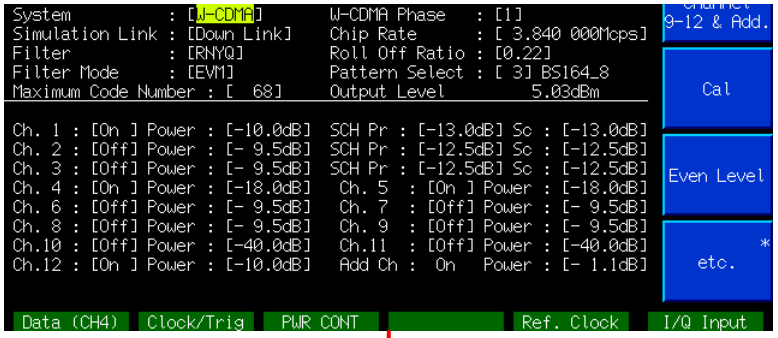
- **MG3681A**
  - » MG3681Aブロック図 19
  - » 接続性 20
  - » 高レベル確度 22
  - » 高信号純度 28
  - » 位相ノイズ 29
  - » 隣接チャネル漏洩電力比 32
  - » 広帯域/高精度ベクトル変調 41
  - » リーケージエミッションポリシー 42
  - » 操作性 43
- **拡張ユニット 47**
- **ソフトウェア 53**

MG3681A　ブロック図

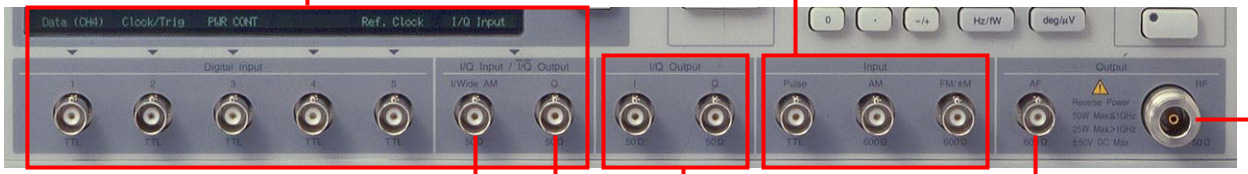


接続性: フロントパネル

- 使用ソフトウェアや設定状況に応じた機能を表示



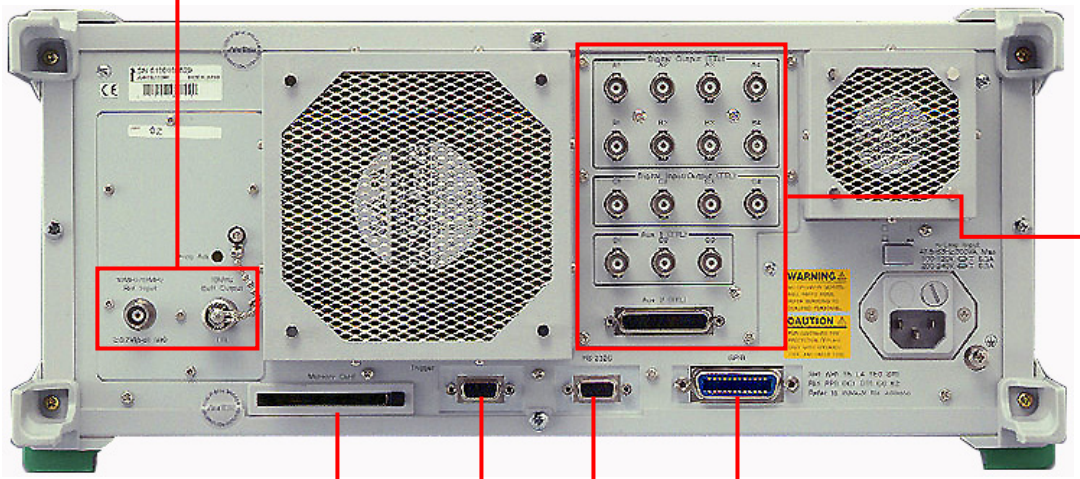
- 外部変調入力
  - » パルス, AM, FM, ϕM



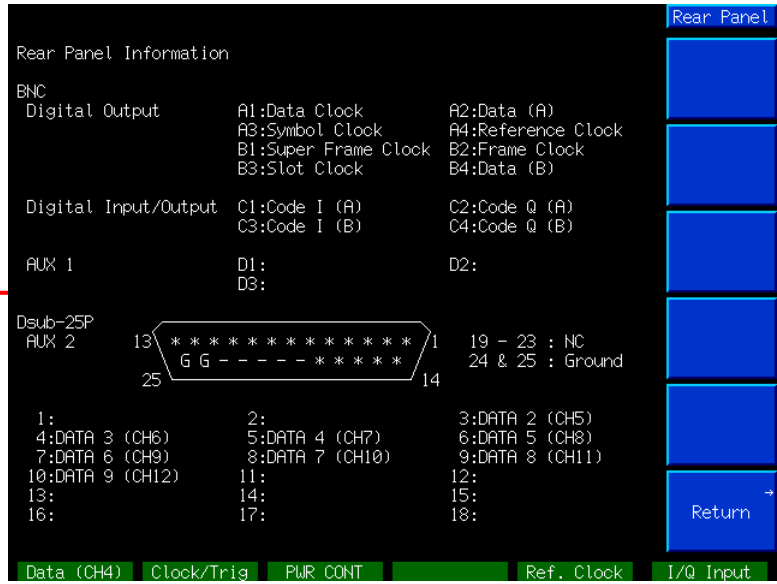
- 外部I/Q入力
  I/Q反転出力(オプション)
- I/Q出力
- AF出力
- RF出力

接続性: リアパネル

- **外部基準クロック**
  - » 10MHz/13MHz



- **使用ソフトウェアや設定状況に応じた機能を表示**



- **GPIBリモートコントロール**
- **RS-232Cリモートコントロール**
- **トリガリモートコントロール**
  - » 周波数, 出力レベル, パラメータメモリ(BPM番号)のアップ/ダウン, RF出力On/Off

- **PCメモリカード**
  - » PCMCIAインタフェース

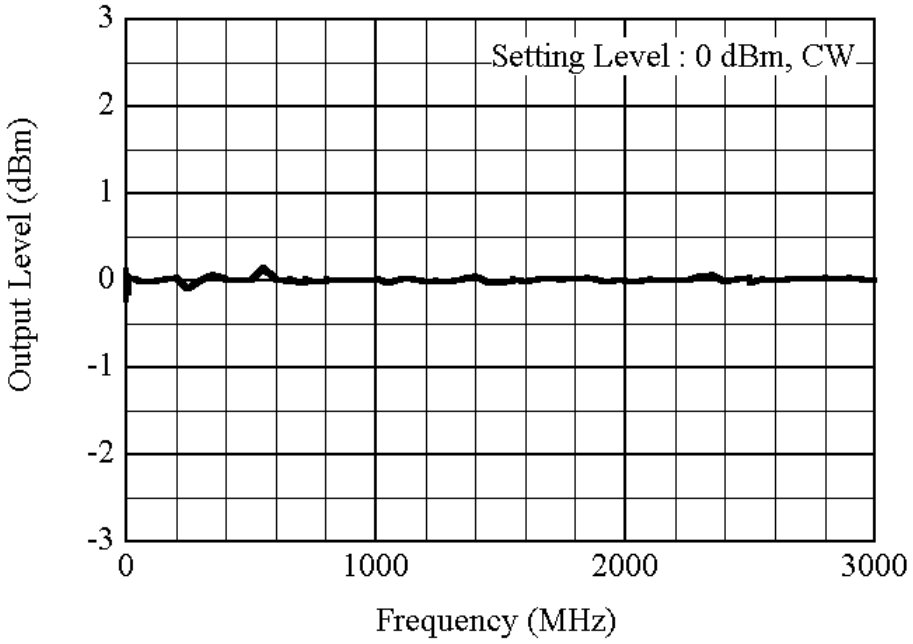
高レベル確度

正確なレベルで出力するために

- **高安定なALC(Automatic Level Control)回路**
  ベクトル変調(内部/外部変調)でも検波
  - » ALC 回路の温度安定性は、検波器の温度特性でほぼ決定されます。特に低温時での検波電圧のドリフトの影響が大きいため、低温時に検波ダイオードをヒータ回路にて加熱することにより、検波器の温度特性を改善しました。
- **高確度, 高信頼性のステップアッテネータ**
  - » 減衰量確度が優れ、通過損失が小さく、波形ひずみが全く発生しないメカアッテネータです。
    - – 1dBステップ, 140dBまでアッテネーション
- **1台ごとに補正**
  - » 周波数特性, ALC回路のリニアリティ偏差, ステップアッテネータ減衰量の誤差をパワーメータおよび校正用受信機にて測定し、データを補正値テーブルにインプットして補正します。

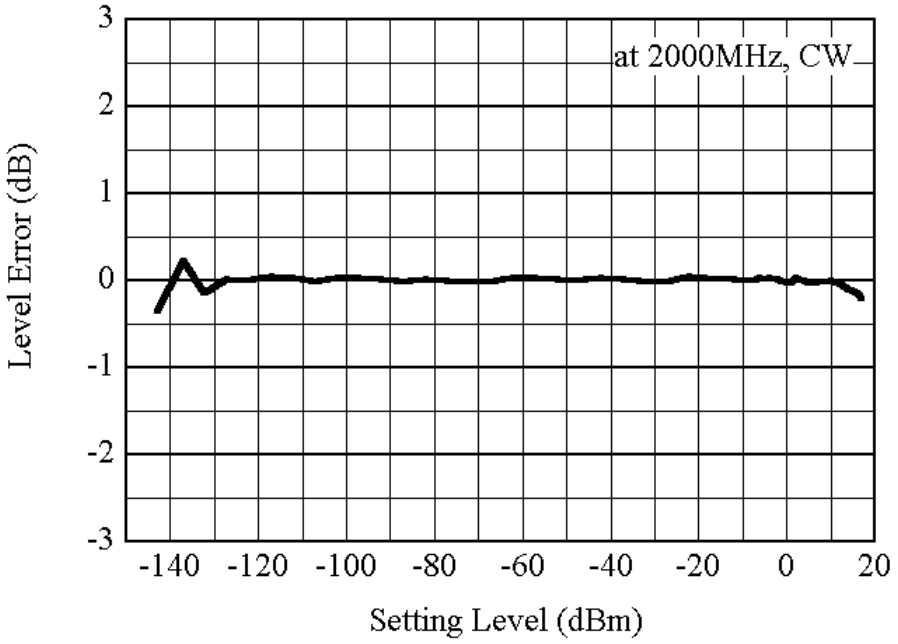
高レベル確度: Typ.レベル確度

- 周波数特性



» ≤ ±0.2 dB

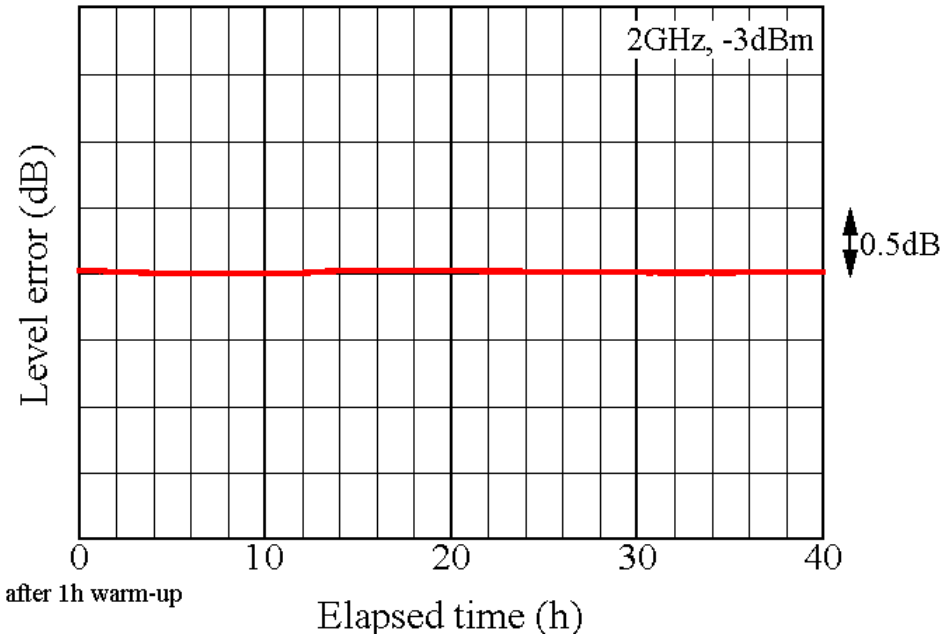
- リニアリティ特性



» ≤ ±0.1 dB (-127 ~ +13 dBm)

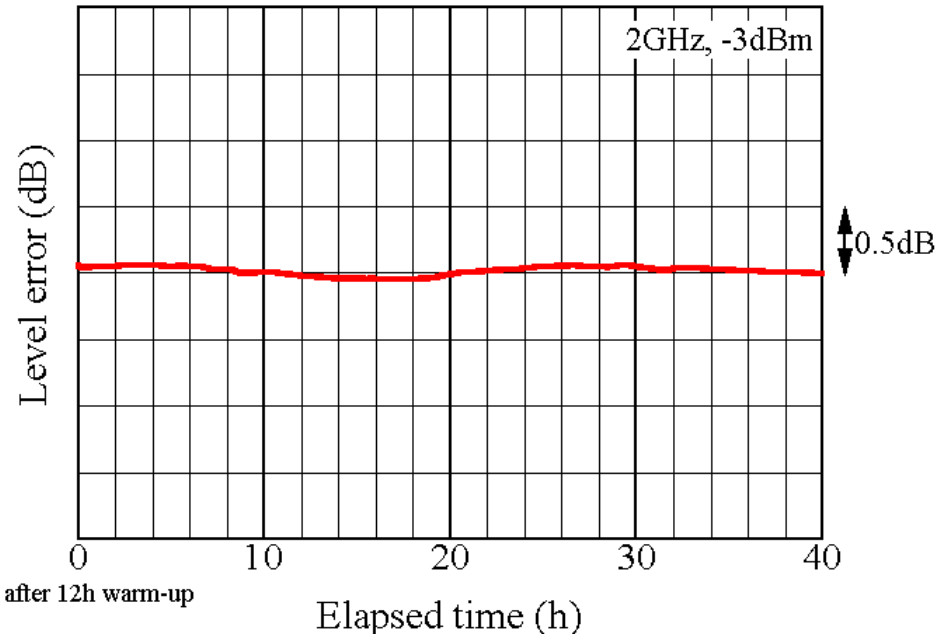
高レベル確度: Typ.レベル安定性

- 経時変化
  - » CW, ALC on (default setting)



  - » 殆ど変動しない

- 経時変化
  - » CW, ALC off

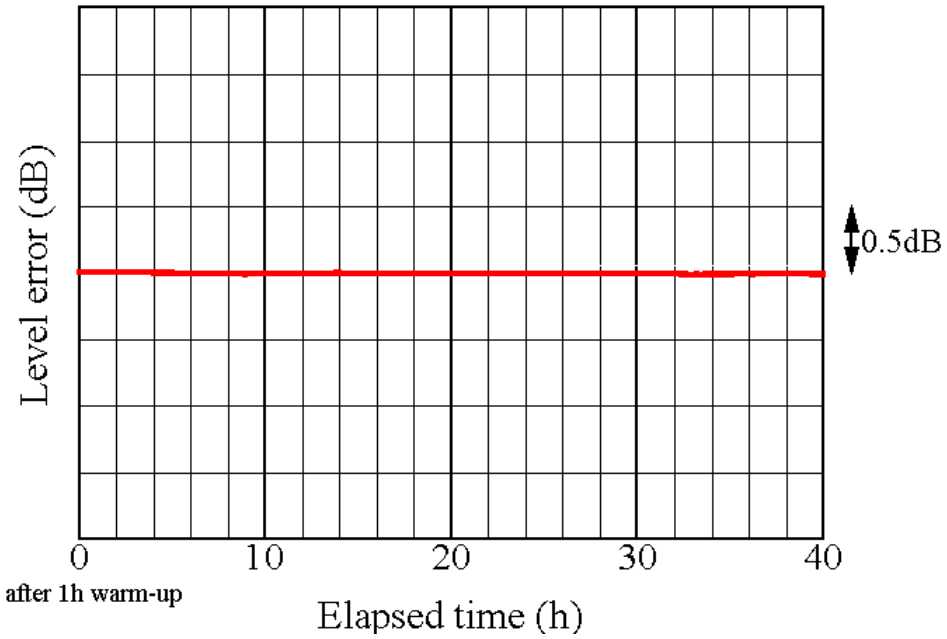


  - » ≤ ±0.1 dB

– ALC off の場合
  - レベル切替が高速

高レベル確度: Typ.レベル安定性

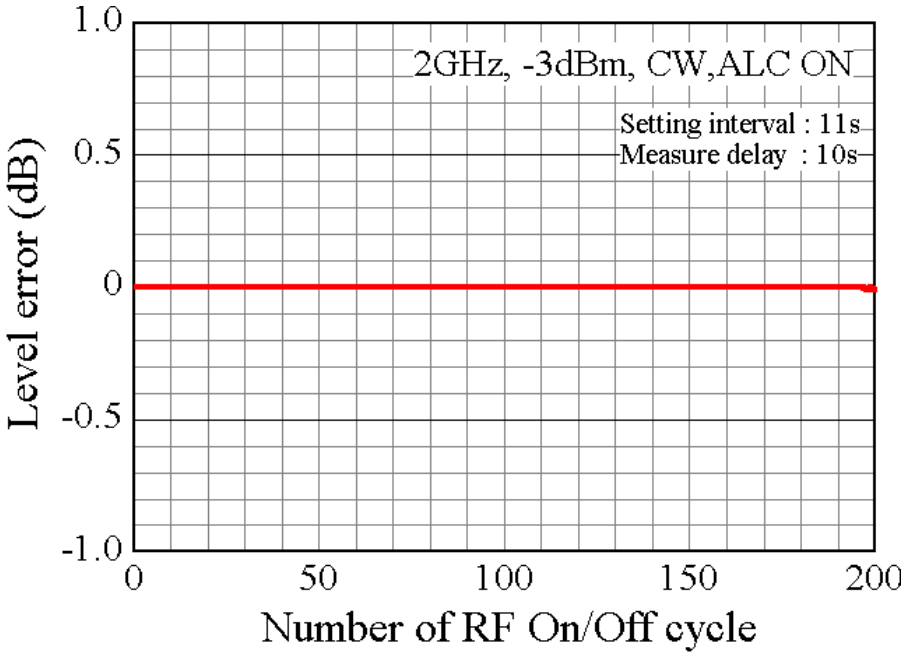
- 経時変化
  - » W-CDMA変調, ALC on



  - » 殆ど変動しない (CWと同じ)

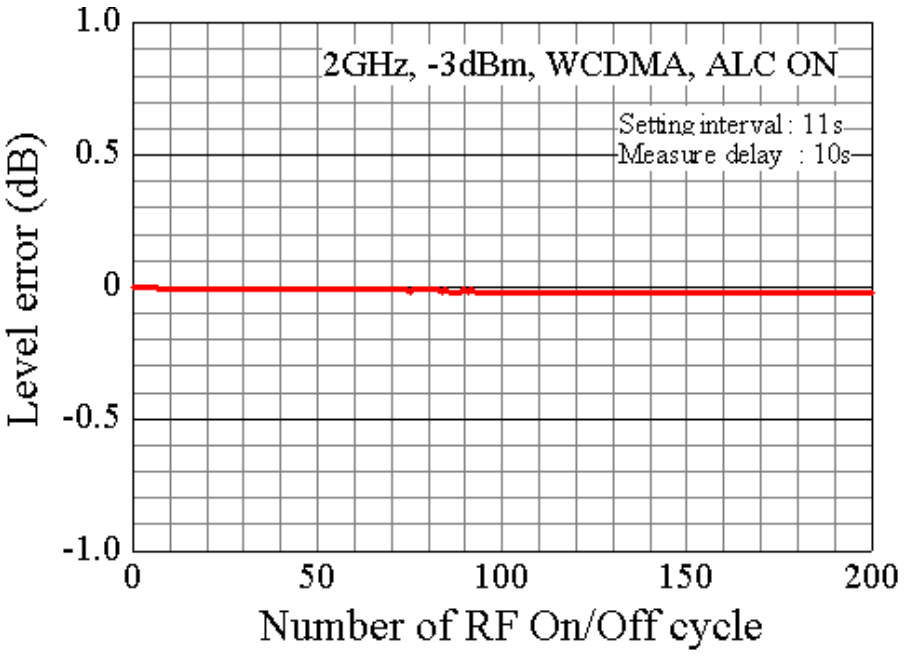
高レベル確度: Typ.レベル再現性

- **RF off → on ([on] off [on] off ...)**
  - » CW



  - » 殆ど変動しない

- **RF off → on ([on] off [on] off ...)**
  - » W-CDMA変調

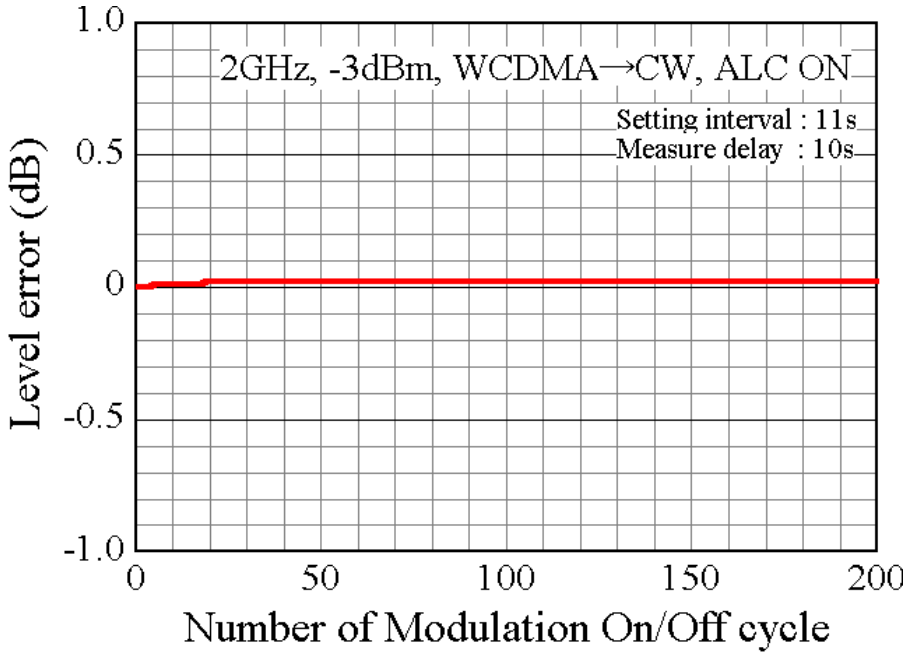


  - » ≤ 0.02 dB

1st measurement level = reference(0 dB)

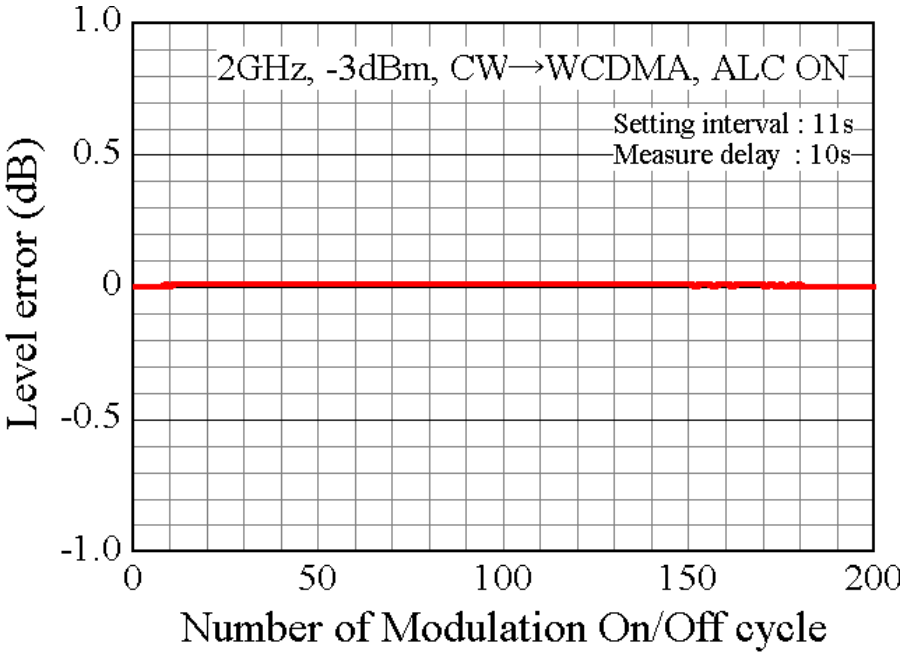
高レベル確度: Typ.レベル再現性

- **Modulation on → off**
  ([off(CW)] on(W-CDMA) [off] on ...)



» ≤ 0.02 dB

- **Modulation off → on**
  ([on(W-CDMA)] off(CW) [on] off ...)



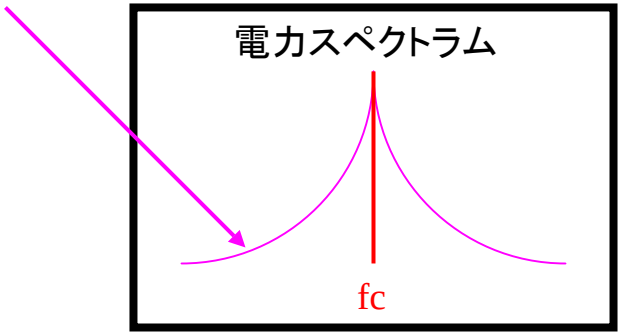
» ≤ 0.02 dB

1st measurement level = reference(0 dB)

高信号純度

次隣接チャネル漏洩電力比は、主に位相ノイズに起因します

» 位相ノイズ [dBc/Hz]



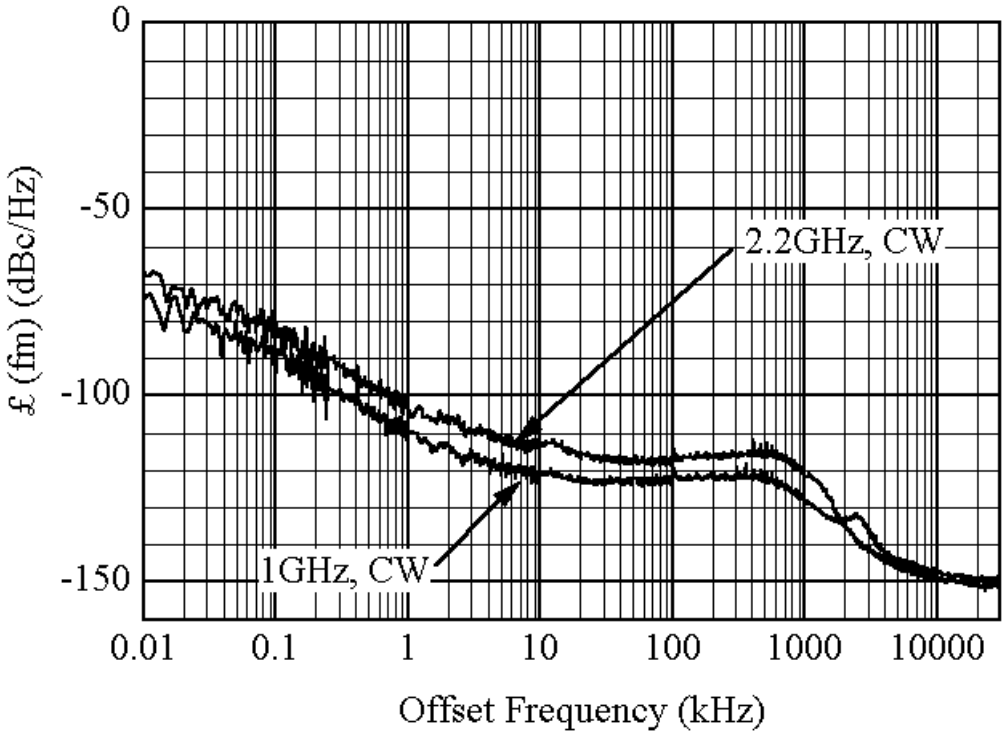
残留ノイズを抑制するために

- **レベルダイヤグラムやコンポーネントの最適化**
  - » ノンリニアコンポーネントの影響を少なくするために、回路を簡素化しました。
  - » 高速14ビットD/Aコンバータを採用し、残留ノイズの原因となる量子化雑音を低減しました。
  - » 変調帯域に対応して遮断周波数を設定したスムージングフィルタを通過させ、帯域外スプリアスおよびノイズを除去しました。

SSB(Single Side Band)位相ノイズ

3Gの広帯域な変調信号のノイズを低減しました。

- **高純度VCOのC/N特性を適用**
  - » 次隣接チャネル漏洩電力比が優れます
    - – -145 dBc/Hz typ. : 5MHzオフセット
    - – -150 dBc/Hz typ. : 20MHzオフセット



位相ノイズのチェンジ

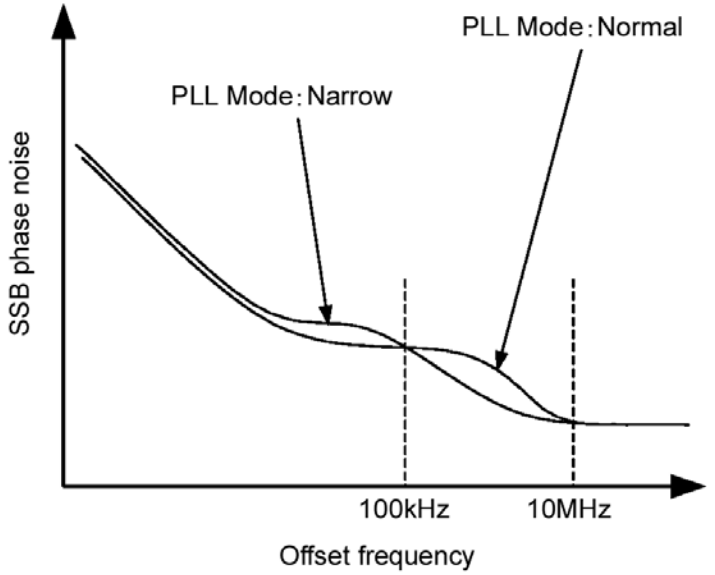
PLLシンセサイザ回路のループ特性を切り換えることにより、位相ノイズの圧縮を変更できるため、2Gの狭帯域な変調信号のノイズも抑えることができます。

» PLL Mode: Normal
  < 100 kHzオフセットの近傍の位相ノイズが優れる
» PLL Mode: Narrow
  100 kHz ~ 10 MHz オフセットの位相ノイズが優れる

通信システムにより、チェンジすることが有益です。

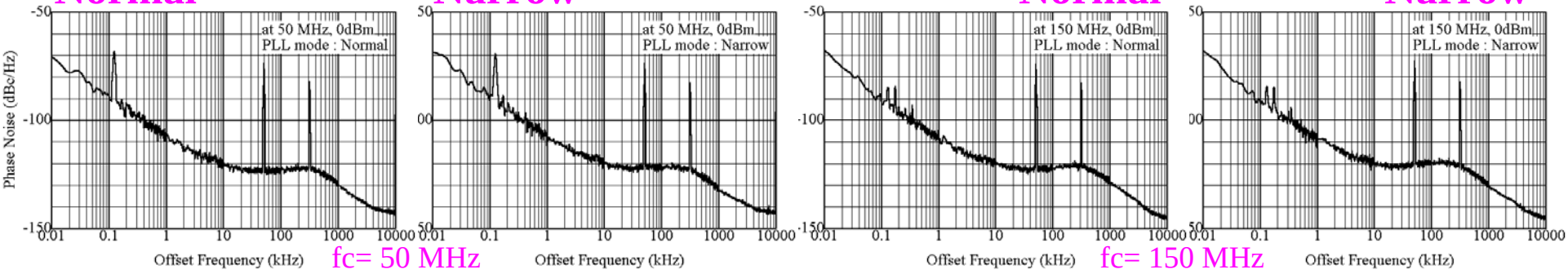
e.g.
- W-CDMA: Normal
- CDMA2000: Narrow
- GSM/EDGE: Narrow
- PHS : Narrow
- PDC : Normal
- NADC(IS-136): Normal



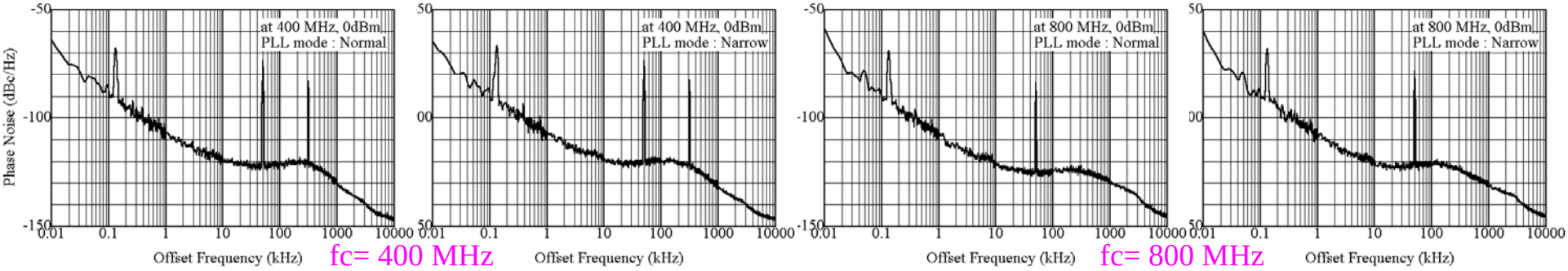


Typ.位相 ノイズ

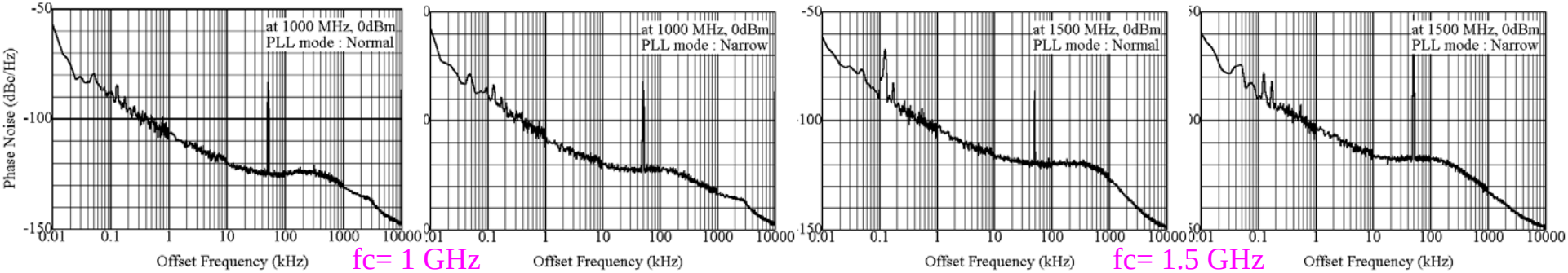
Normal Narrow Normal Narrow



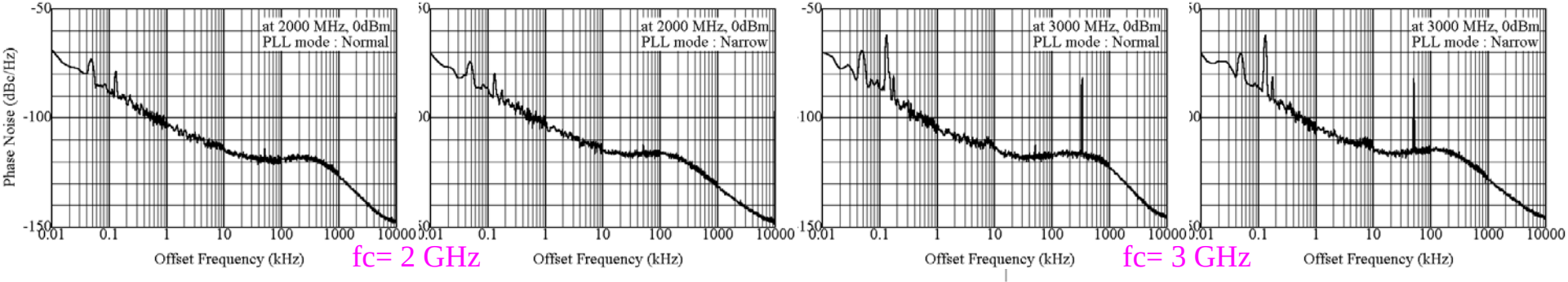
fc= 50 MHz fc= 150 MHz



fc= 400 MHz fc= 800 MHz



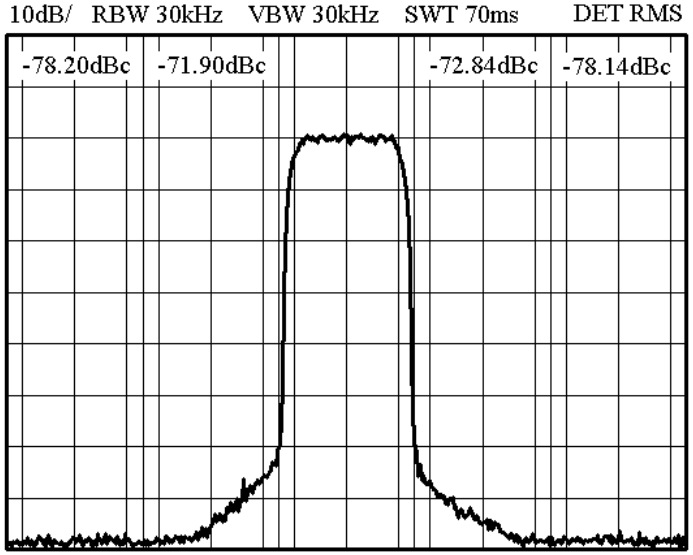
fc= 1 GHz fc= 1.5 GHz



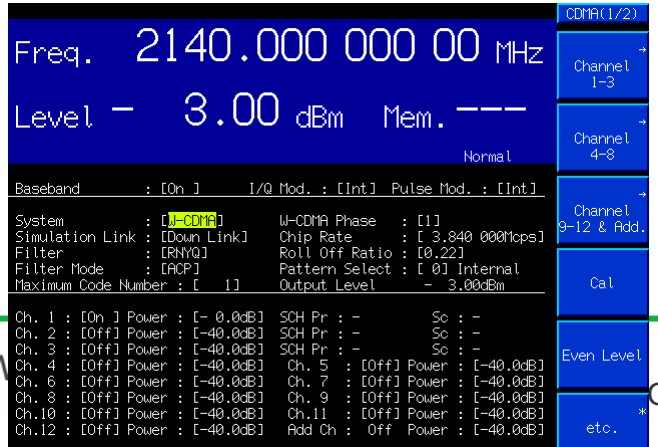
fc= 2 GHz fc= 3 GHz

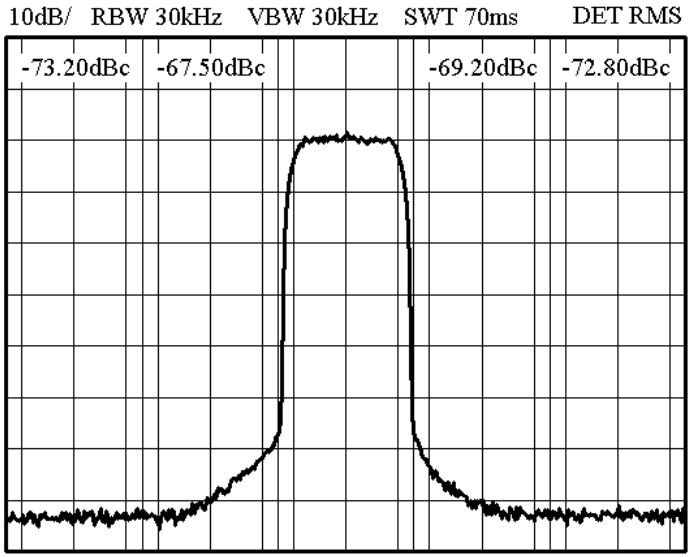
隣接チャネル漏洩電力比
W-CDMA, ≤ -3 dBm (≤ +5 dBm オプション42インストール時)

トップレベルの隣接チャネル漏洩電力比を実現しました。

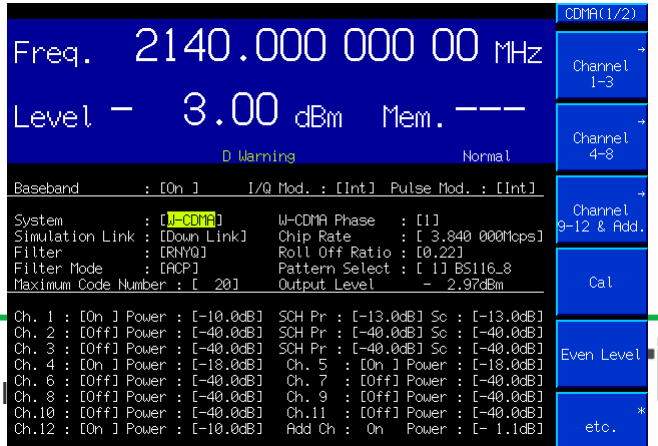


Frequency 2.140GHz
Output Level -3dBm
Pattern 1 code PN9





Frequency 2.14GHz
Output Level -3dBm
Pattern 3G TS25.141 V3.5.0 (2001-03) 6.2.1.1.1
Test Model 1 = P-CCPCH+SCH+P-CPICH+PICH+S-CCPCH+DPCH × 16codes



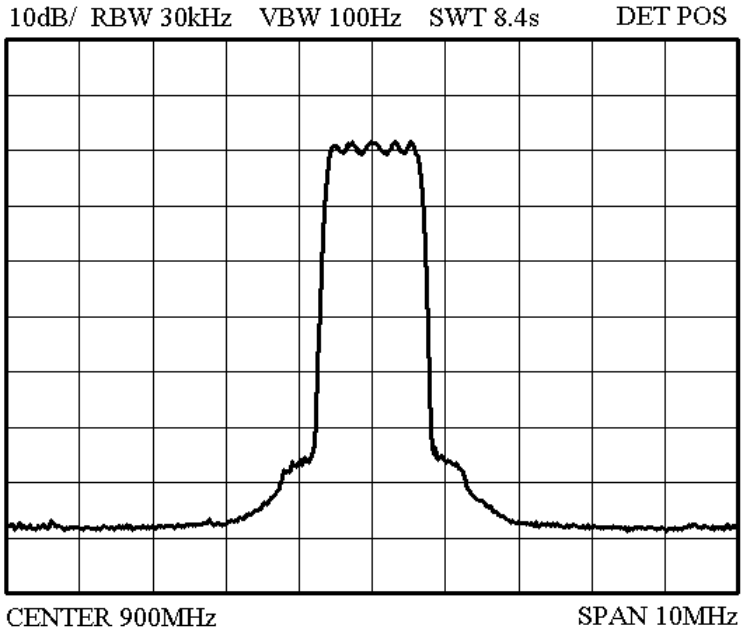
隣接チャネル漏洩電力比
IS-95, ≤ -1 dBm (≤ +7 dBm オプション42インストール時)

Forward

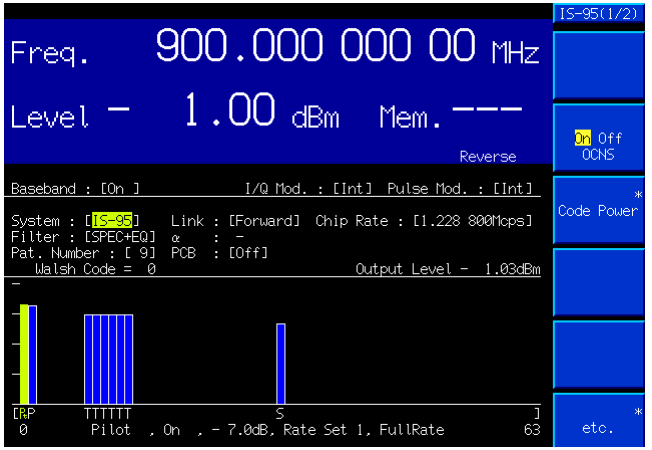
9 channels	64 channels
– ≤ -63 dBc	≤ -63 dBc
– ≤ -69 dBc	≤ -68 dBc
– ≤ -77 dBc	≤ -75 dBc

Reverse

full rate	
≤ -65 dBc/30kHz	: 0.885 ~ 1.25 MHz offset
≤ -70 dBc/30kHz	: 1.25 ~ 1.98 MHz offset
≤ -77 dBc/30kHz	: 1.98 ~ 5 MHz offset



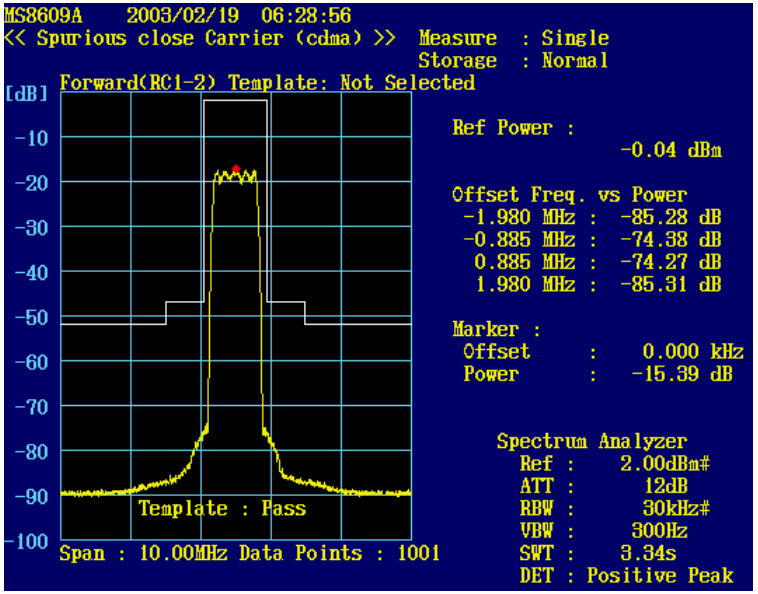
Frequency	900MHz
Output Level	0dBm
Pattern	Base Station Test Model, Nominal

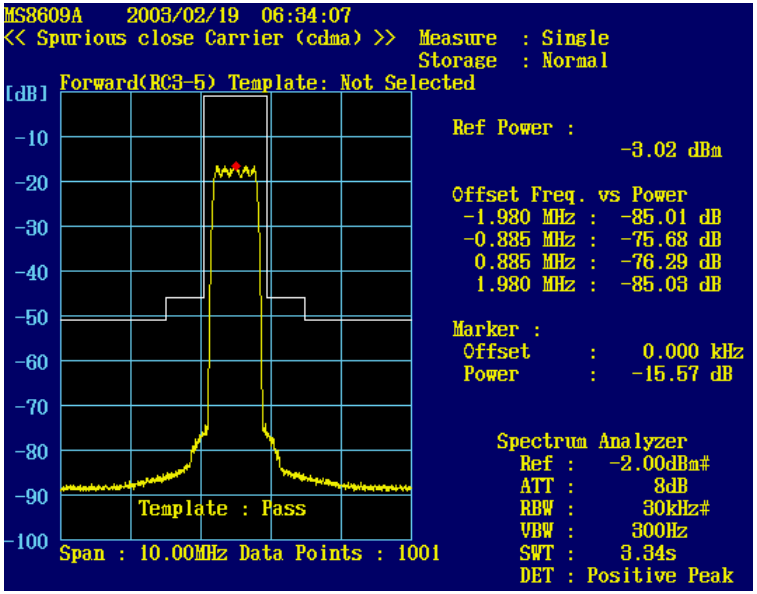


隣接チャネル漏洩電力比

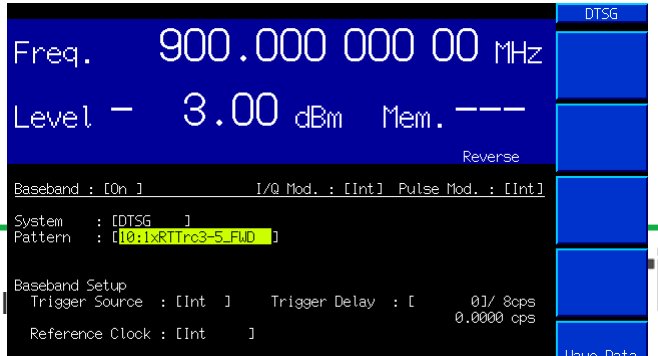
CDMA2000 1X (RC1-2), ≤ 0 dBm (≤ +8 dBm オプション42インストール時)
CDMA2000 1X (RC3-5), ≤ -3 dBm (≤ +5 dBm オプション42インストール時)

Forward		Reverse	
RC1 & 2	RC3 ~ 5	RC1 & 3	
– ≤ -62 dBc	≤ -62 dBc/30kHz	≤ -62 dBc/30kHz	: 0.885 ~ 1.98 MHz offset
– ≤ -67 dBc	≤ -70 dBc/30kHz	≤ -70 dBc/30kHz	: 1.98 ~ 2.5 MHz offset
– ≤ -77 dBc	≤ -77 dBc/30kHz	≤ -77 dBc/30kHz	: 2.5 ~ 5 MHz offset



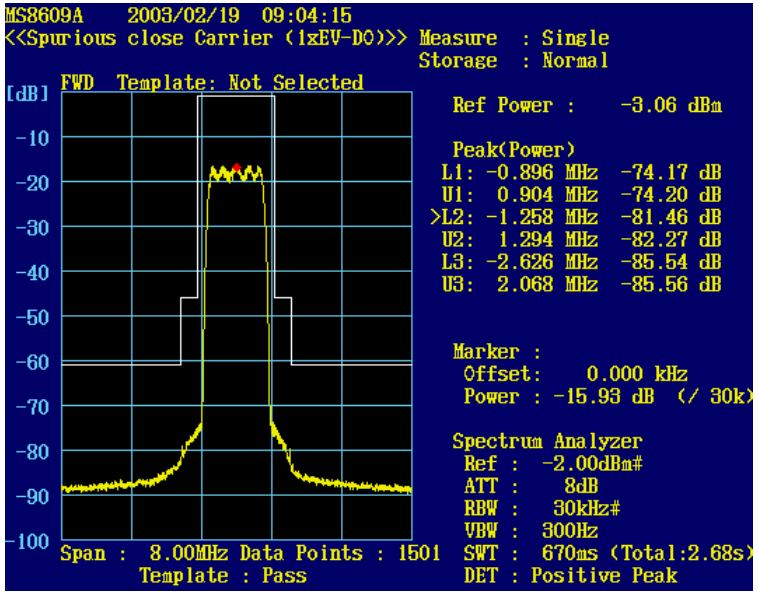


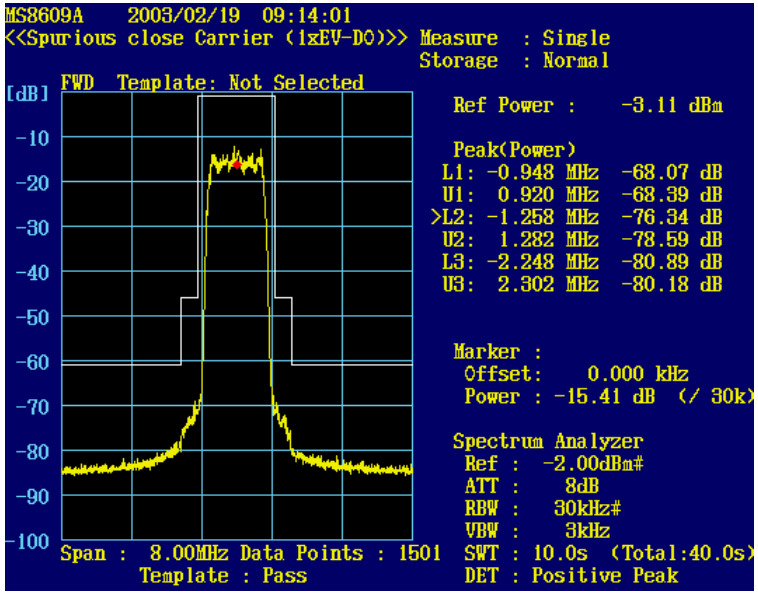


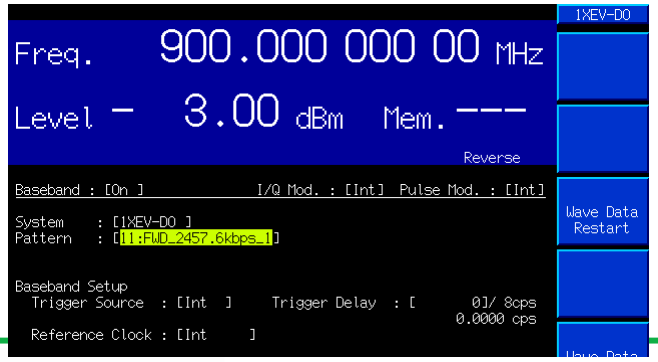


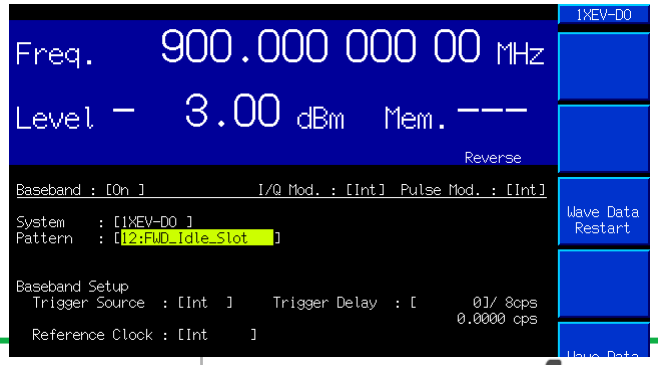
隣接チャネル漏洩電力比
CDMA2000 1xEV-DO, ≤ -3 dBm (≤ +5 dBm オプション42インストール時)

- ≤ -65 dBc/30kHz : 0.885 ~ 1.98 MHz offset
- ≤ -70 dBc/30kHz : 1.98 ~ 2.5 MHz offset
- ≤ -77 dBc/30kHz : 2.5 ~ 5 MHz offset





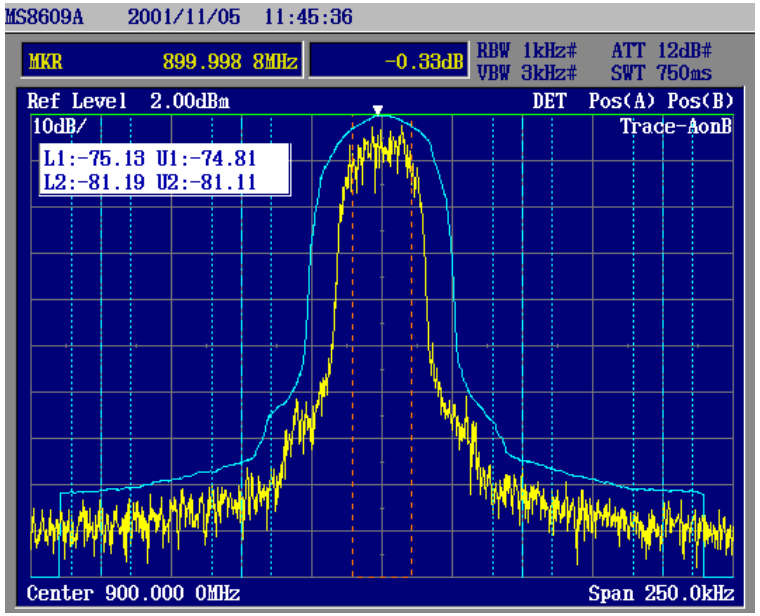


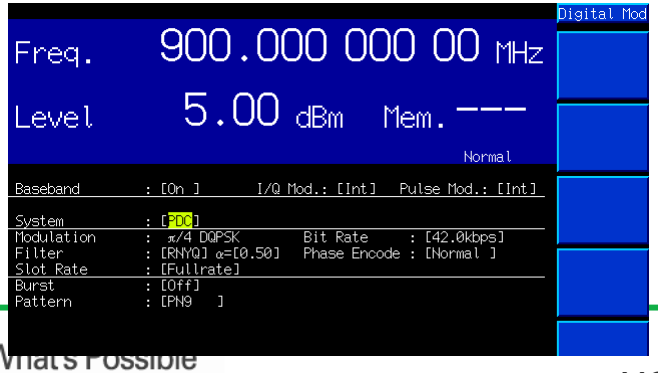


隣接チャネル漏洩電力比
PDC, ≤ +5 dBm

MX368011A

- ≤ -64 dBc/21kHz
- ≤ -68 dBc/21kHz

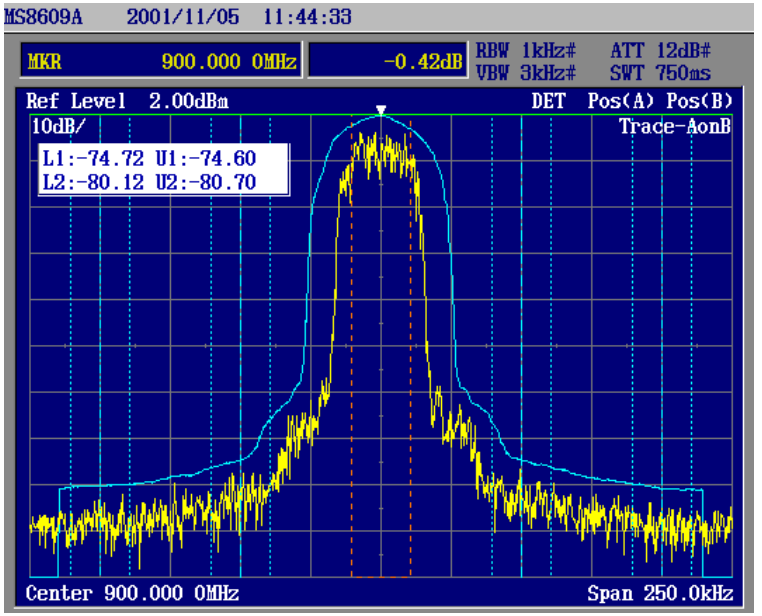


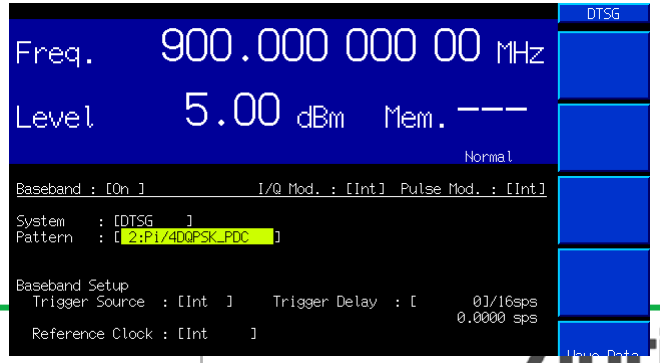


MX368031A

≤ -63 dBc/21kHz : 50 kHz offset

≤ -67 dBc/21kHz : 100 kHz offset

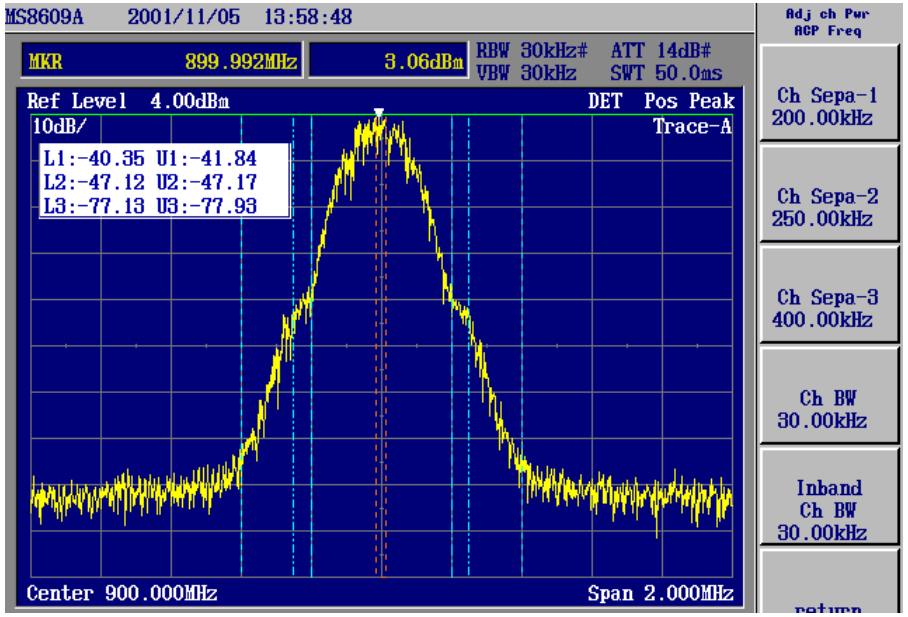




隣接チャネル漏洩電力比
GSM/EDGE(GMSK), ≤ +5 dBm

MX368012A

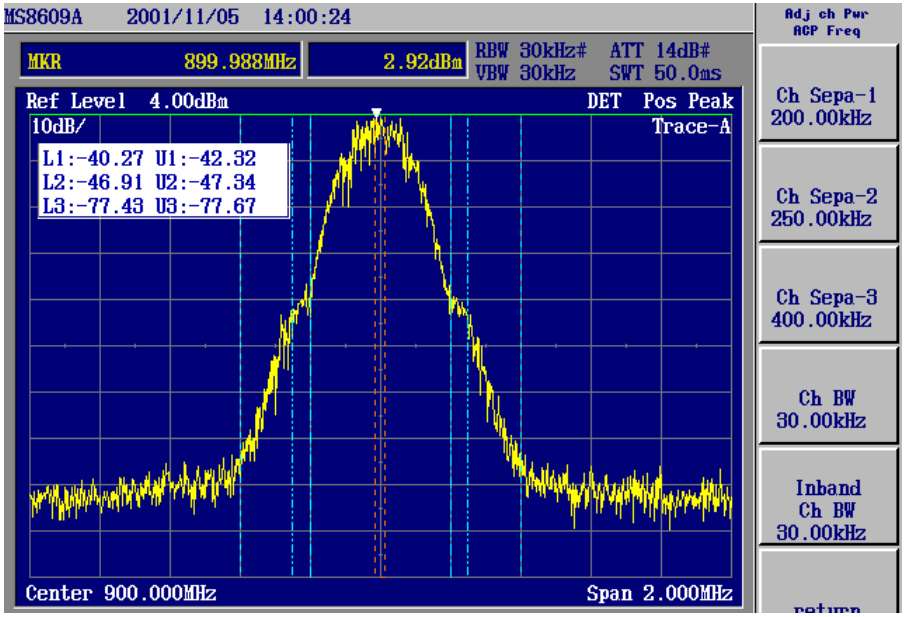
- ≤ -35 dBc/30kHz
- ≤ -66 dBc/30kHz

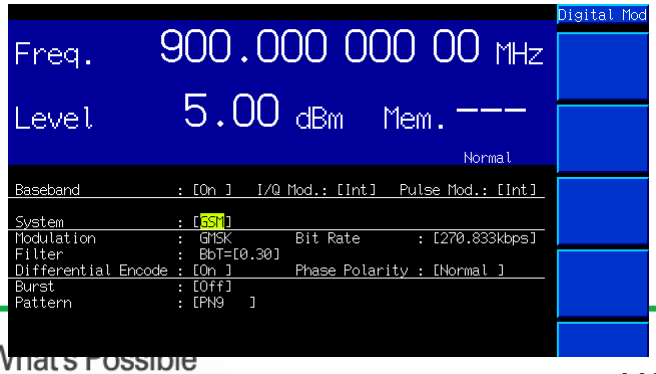


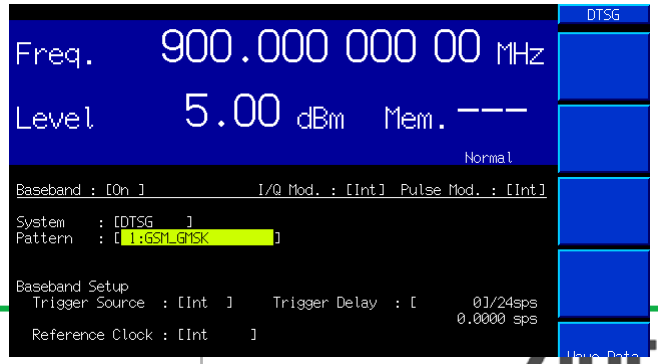
MX368031A

≤ -35 dBc/30kHz : 200 kHz offset

≤ -66 dBc/30kHz : 400 kHz offset

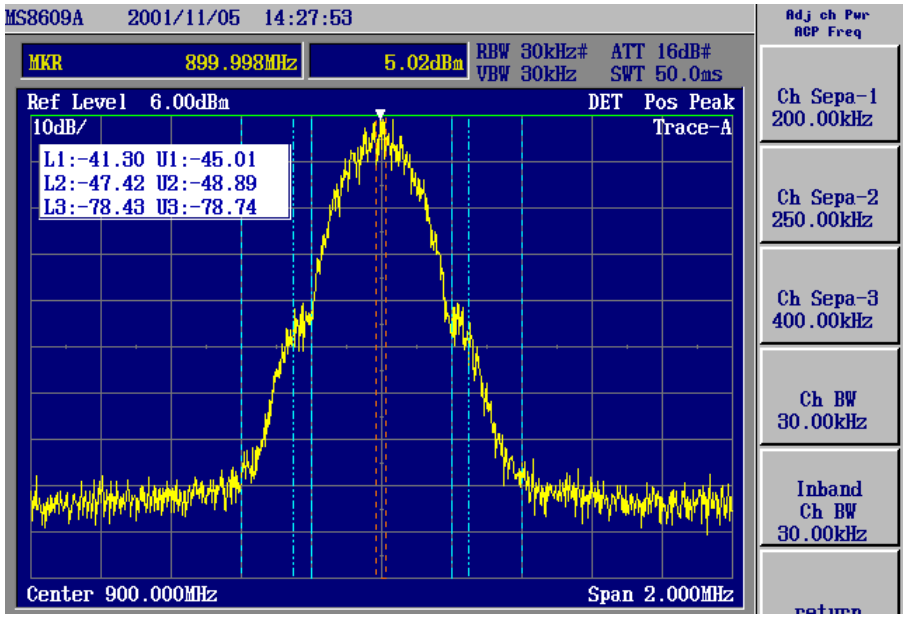


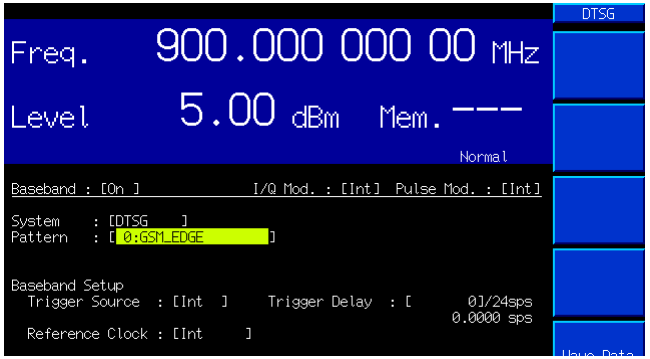




隣接チャネル漏洩電力比
GSM/EDGE(8PSK), ≤ +5 dBm

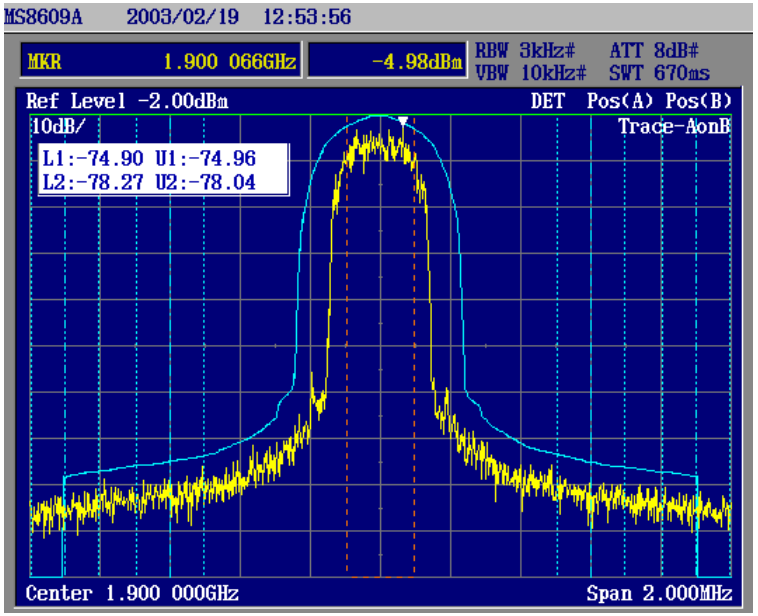
- ≤ -38 dBc/30kHz : 200 kHz offset
- ≤ -67 dBc/30kHz : 400 kHz offset

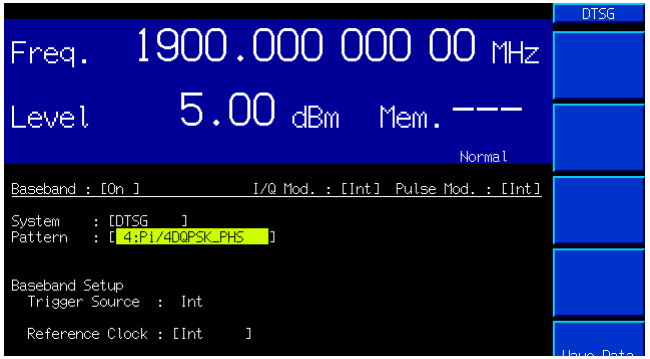




隣接チャネル漏洩電力比
PHS, ≤ +5 dBm

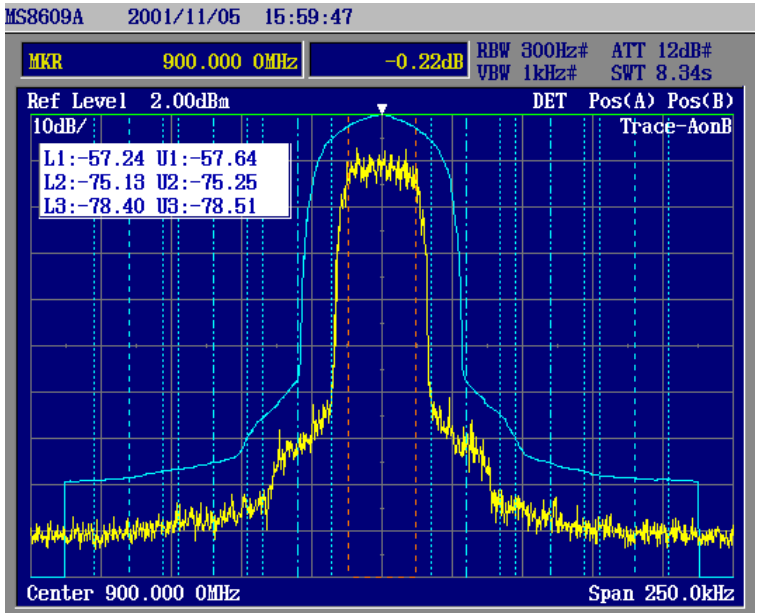
- ≤ -66 dBc/192kHz : 600 kHz offset
- ≤ -69 dBc/192kHz : 900 kHz offset

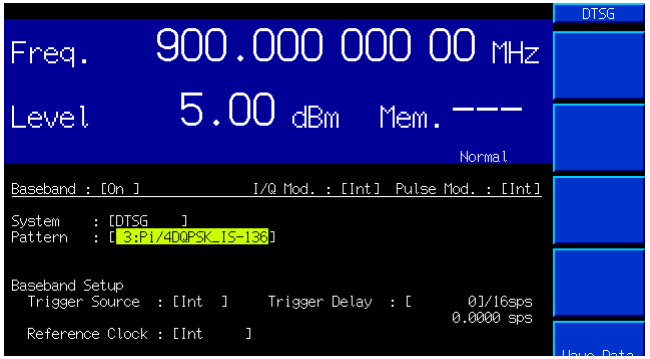




隣接チャネル漏洩電力比
NADC(IS-136), ≤ +5 dBm

- ≤ -42 dBc/24.3kHz : 30 kHz offset
- ≤ -64 dBc/24.3kHz : 60 kHz offset
- ≤ -64 dBc/24.3kHz : 90 kHz offset

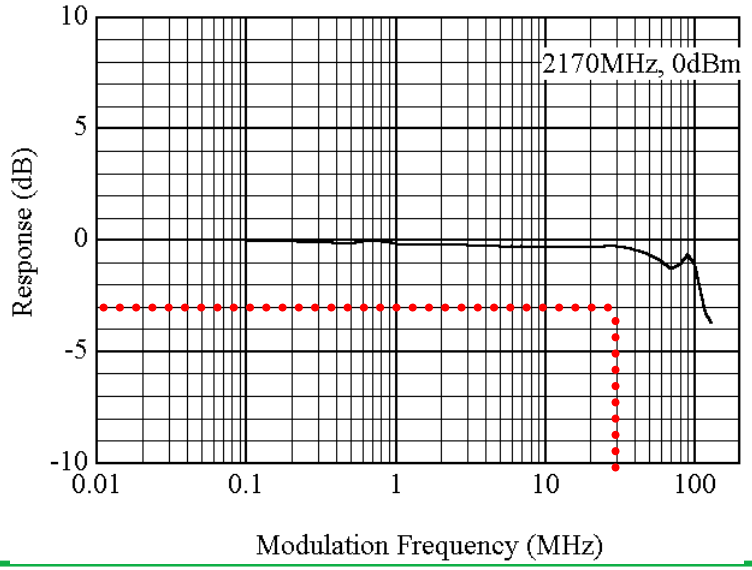


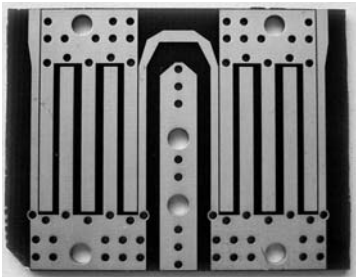


広帯域/高精度ベクトル変調

キャリアに近接するスプリアスを減衰するために、RF回路で出力周波数に対応したフィルタ群を切り換えてます。
このフィルタ群は、近接したスプリアスを除去できる帯域外減衰特性と、ベクトル変調の周波数特性およびベクトル変調精度を悪化させない通過帯域内振幅, 群遅延特性を満足するために、小面積で多段構成が可能なインタディジタル形バンドパスフィルタとしました。

- ベクトル変調周波数特性(3 dB帯域幅): ≥ 30 MHz
- 3.84 Msps QPSK変調精度: ≤ 2.5 %(rms)

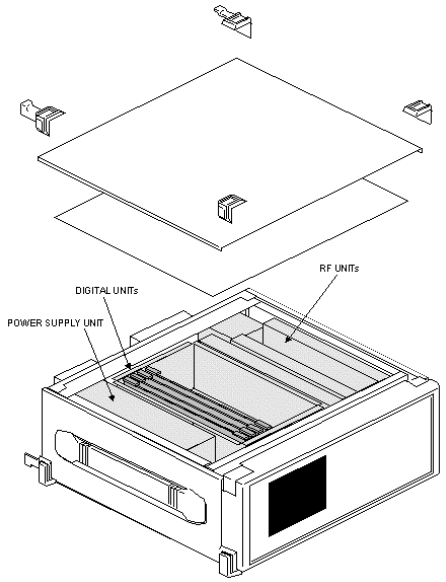


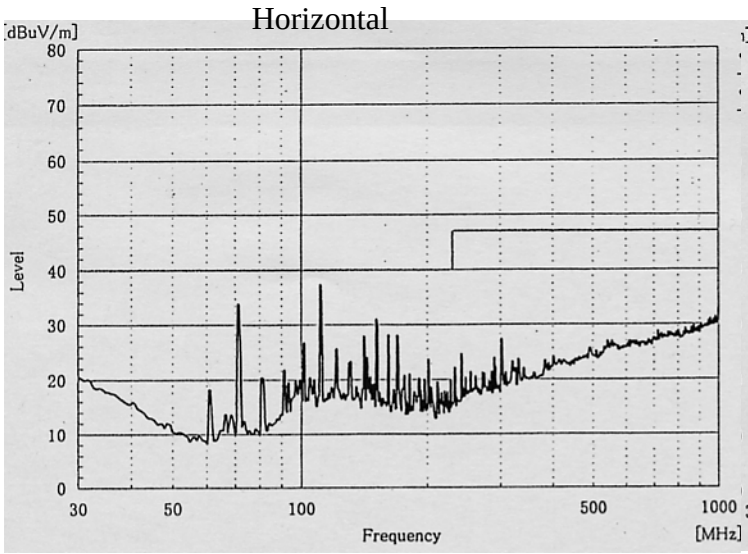


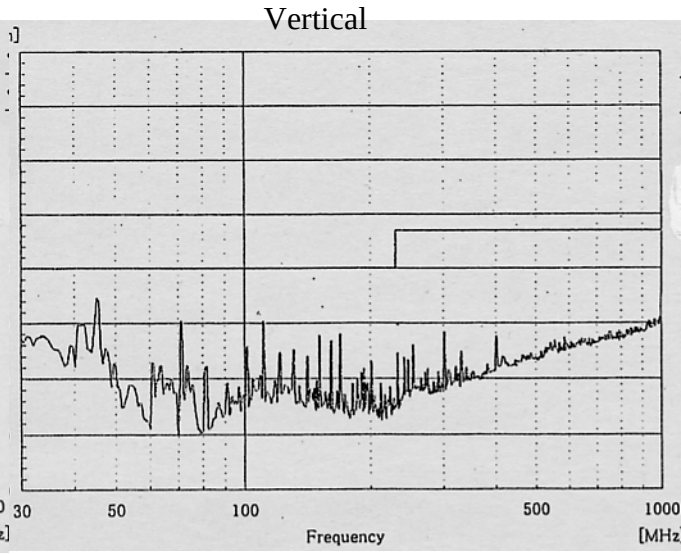
リーケージエミッションポリシー

ローレベルの受信感度テストにおいて、受信機に干渉を及ぼす信号発生器のリーケージエミッションを抑えるためには、信号発生器のシールドが重要です。

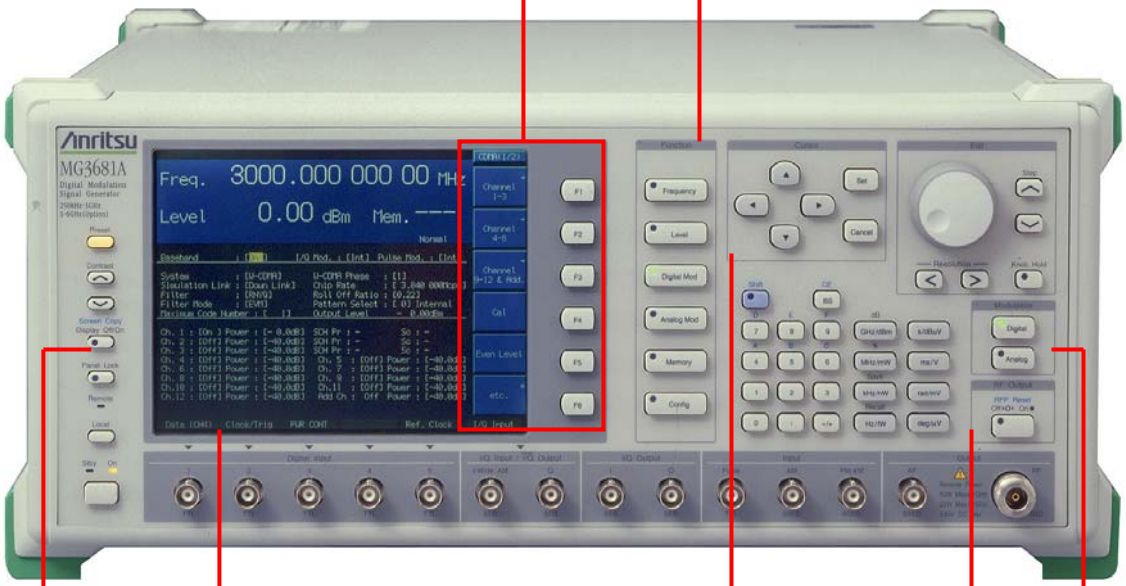
- メインフレームの筐体を2重シールド構造にしました。
- メインフレーム内部に実装する回路ユニットをそれぞれシールドケースに収めました。
- ディスプレイにシールドネットを装着しました。
- PCメモリカードインタフェースをリアパネルに装備しました。







操作性



- ファンクションキー
- エディットキー
  - » 周波数
  - » 出力レベル
  - » 変調パラメータ(ベースバンド)
    - – ディジタル
    - – アナログ
  - » 内部メモリ管理
    - – 設定状況をセーブ/リコール
  - » システム設定

    主な設定
    - – スクリーンセーバ ⇒ 省電力化
    - – リモートコントロール
    - – バージョン情報
    - – 動作時間/回数チェック
- カーソルキー
- カラー液晶ディスプレイ
  - » カラーbmpファイル保存
    - – 640 x 480 pixel
- 変調オン/オフ
  - – ディジタル
  - – アナログ
- RF出力オン/オフ

操作性

- **パネルキー配置, 役割**
  - » ［機能選択］→［カーソル移動］→［編集(選択/入力)］→［確定］という一連の操作の流れがスムーズになるようにパネルレイアウトすることで、操作性を向上しました。
- **操作ガイダンス表示**
  - » パネル操作には、メニュー選択, データ入力, 文字入力のパラメータ設定があります。パラメータ設定時のポップアップウィンドウに、使用できるキーの種類がガイダンス表示されますので、戸惑うことなく操作できます。
    - Level Offset 設定例

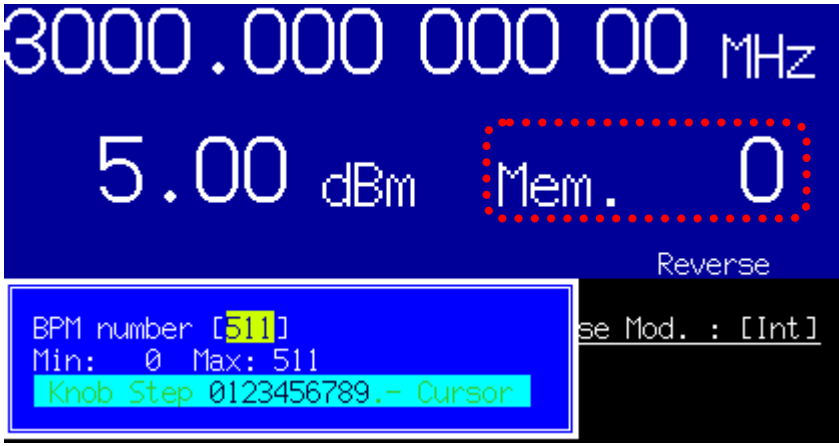


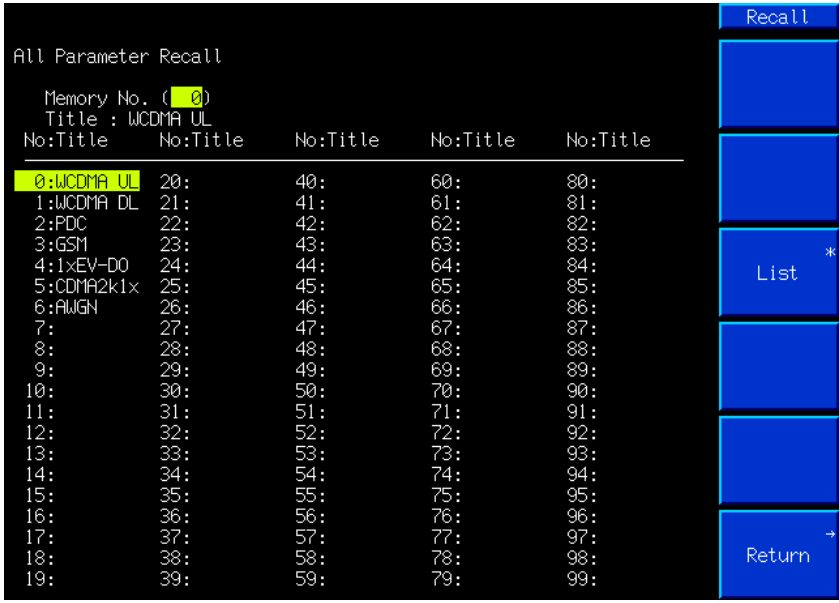
操作性

- **変調オン/オフ**
  - ディジタル: ベクトル変調, パルス変調
  - アナログ: 振幅変調, 周波数変調, 位相変調
    - オプション21 AF シンセサイザを実装すると、正弦波, 三角波, 方形波, 鋸歯状波のAF信号で内部アナログ変調が可能
  - » これらの変調をワンタッチでOn, Off
  - » ディジタル変調とアナログ変調を併用すると、振幅変調による外部ALC機能の実現や、振幅変調による振幅変動および周波数変調による周波数変動のシミュレーションに利用可

操作性

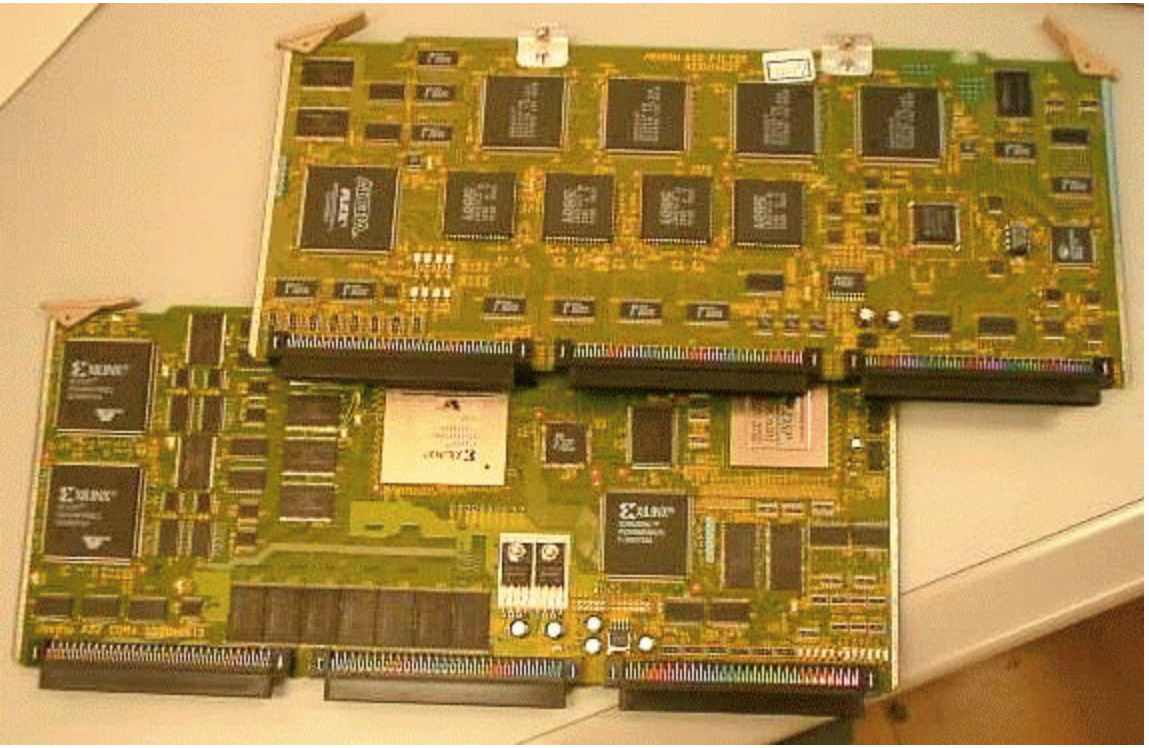
- 内部メモリ管理
  - » 基本パラメータメモリ (BPM)
    - 512種の周波数と出力レベルをセーブ可能
    - 掃引できる連続リコールや、外部トリガ信号による高速リコールが可能
  - » 全パラメータメモリ (APM)
    - 周波数と出力レベルに加え、ベースバンドの変調パラメータの設定を含めた全ての設定をセーブ可能
    - 実装した拡張ユニットの数量に関わらず、100種の設定をセーブ可能
    - 各種8文字までのタイトルを入力でき、確認が容易
  - » メモリExport/Import
    - BPMおよびAPMをPCメモリカードへセーブまたはPCメモリカードからリコールできるので、他のMG3681Aへコピーや、メモリのバックアップに利用可

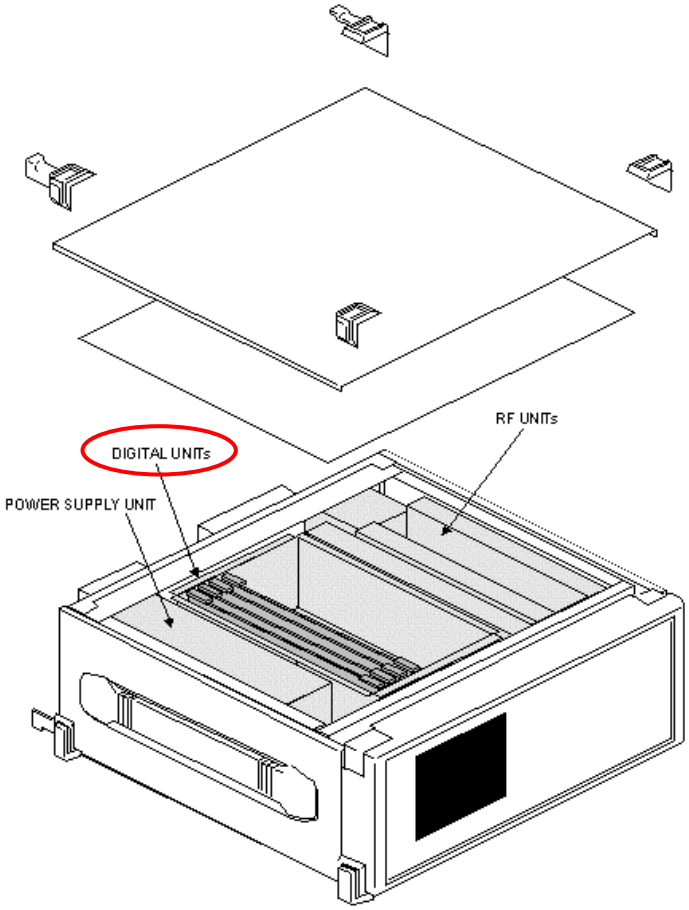




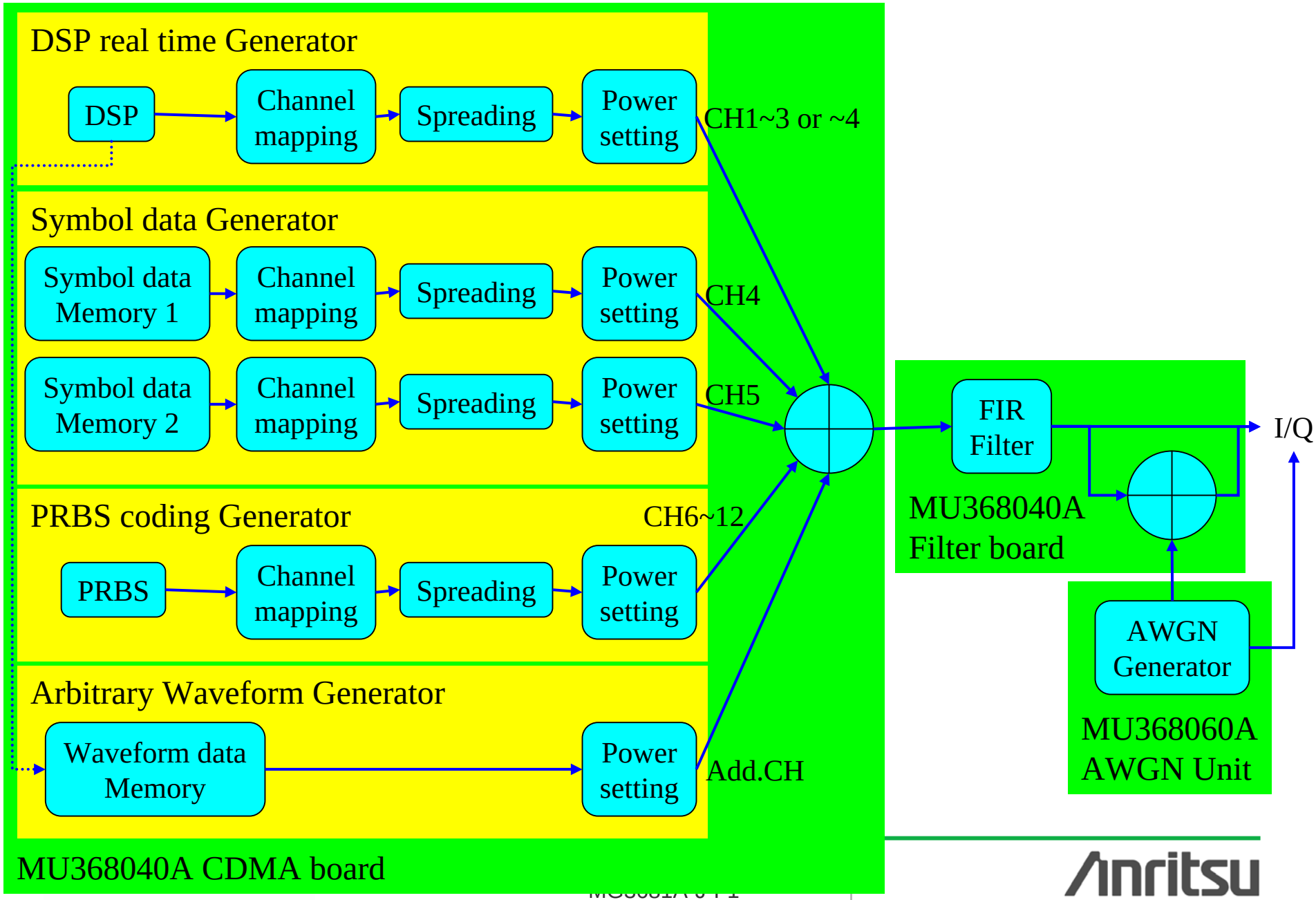
拡張ユニット

- 拡張ユニットは、ベースバンドのディジタルI/Q信号を生成するディジタルボードです。
  - » ディジタルI/Q信号は、D/Aコンバータでアナログ I/Q信号に変換されます。





MU368040A CDMA変調ユニット　ブロック図



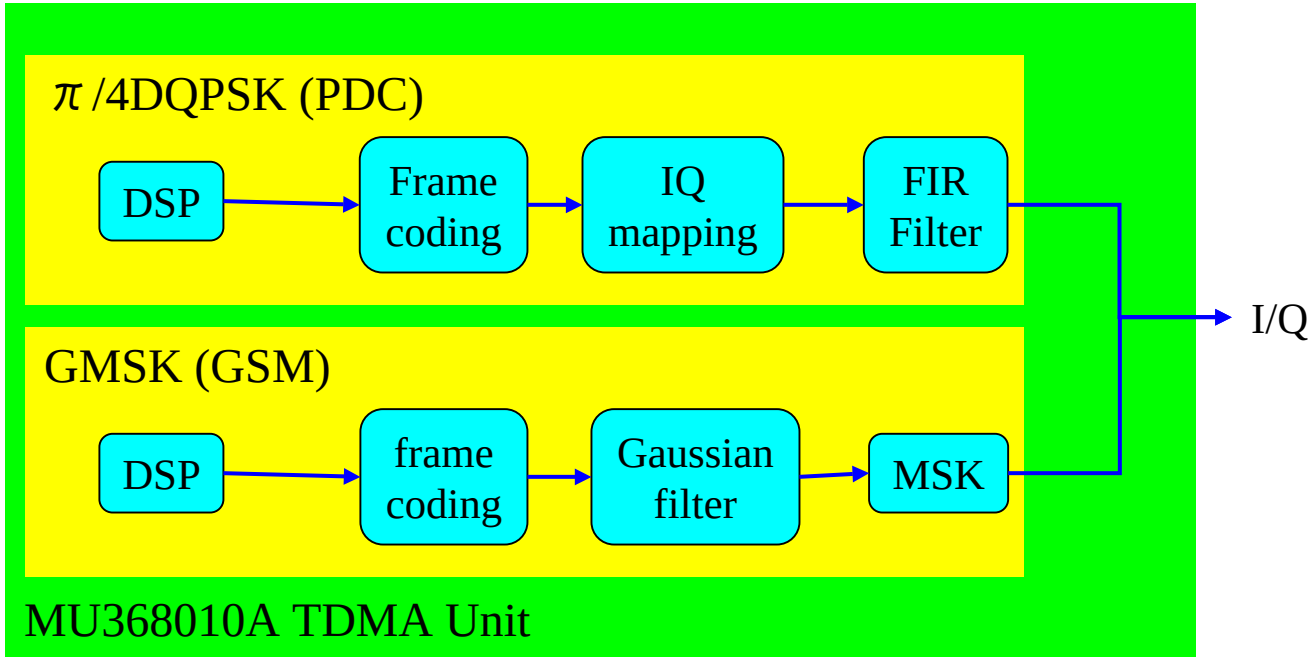
MU368040A CDMA変調ユニット

- **DSP real time Generator**
  - » DSPでリアルタイムコーディングされたフィジカルレイヤのデータをフィジカルチャネルに配置
- **Symbol data Generator**
  - » W-CDMA DL-DPCHやPRACHのように、シンボル毎にパワー/バースト制御を必要とするチャネル用
  - » 拡散前のフィジカルレイヤのシンボルのシグナルパターンファイル
    - – PCメモリカードから内部メモリにダウンロード
      - • 内部メモリ容量　CH4: 4Mbit, CH5: 4Mbit
        - – W-CDMA Downlink　≦ 512 ksymbol　e.g. DL-DPCH 30ksps: 1747 frame
        - – W-CDMA Uplink　≦ 1 Msymbol
- **PRBS coding Generator**
  - » PRBS(Pseudo-random Binary Sequence)データをフィジカルチャネルに配置
- **Arbitrary Waveform Generator**
  - » W-CDMA DPCHやOCNSのように、多重チャネル用
  - » FIRフィルタリング前(オーバーサンプリング前)のフィジカルレイヤのシグナルパターンファイル　*W-CDMA over sampling rate: 8× 3.84 Mcps = 30.72 MHz
    - – PCメモリカードから内部メモリにダウンロード
      - • 内部メモリ容量　512 ksamples/channel　(2 Mbyte)
        - – W-CDMA 3.84 Mcps　≦ 13 frame (130 ms)

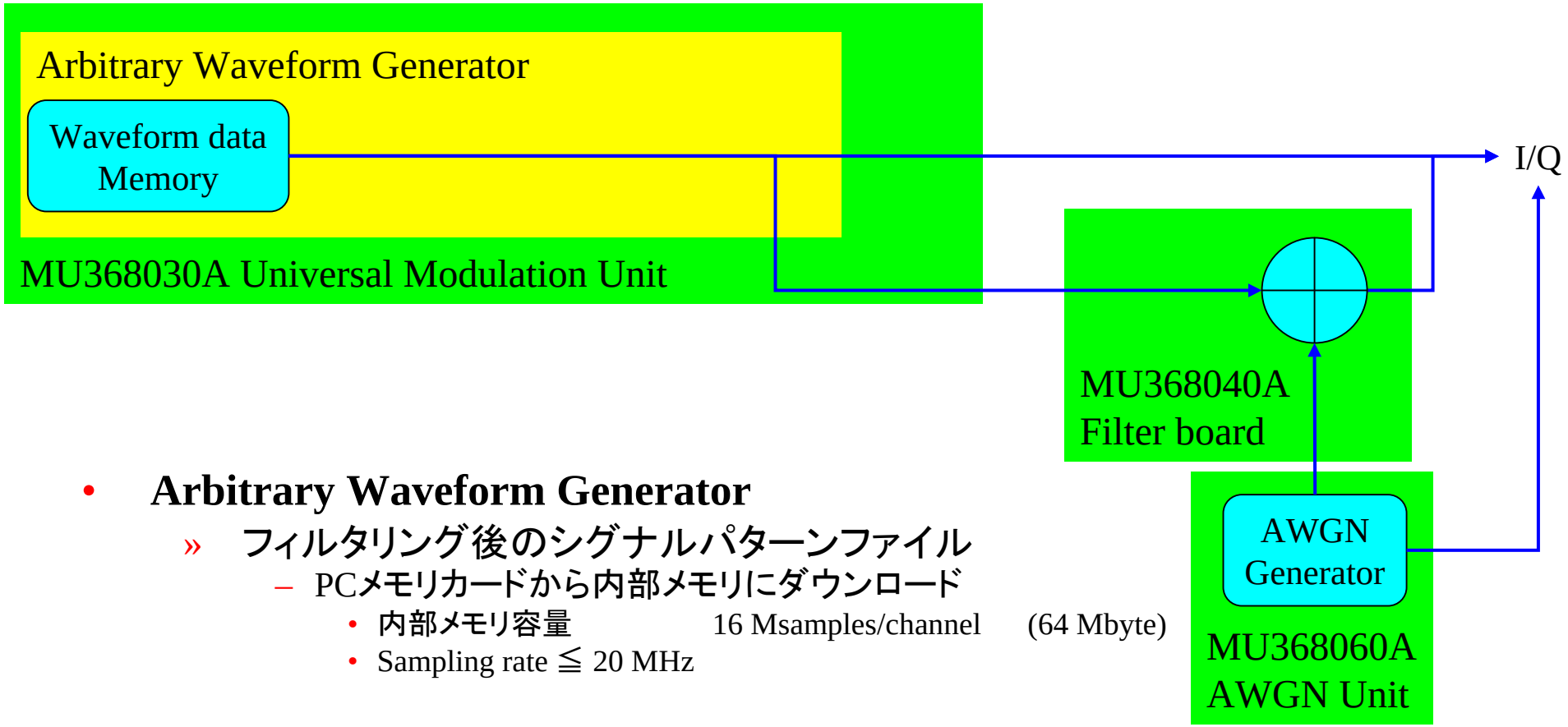
MU368040A CDMA変調ユニット

- **システム対応容易なファームウェア構造**
  - » 拡散前までの低レートの信号処理部は、2方式を用途により使い分け
    - – DSPによるリアルタイムコーディング方式
    - – 外部生成データパターンを周回出力するダウンロード用メモリ方式
  - » 高速拡散からFIR フィルタリングまでの信号処理部は、柔軟なシステム対応を可能とするために、100万ゲート相当の高集積FPGAを採用
  - » これらのDSPプログラム, ダウンロード用シグナルパターンファイルおよびFPGA コンフィギュレーションデータは、PCメモリカードから書き換え可能
  - » 高速処理が要求されるFIRフィルタ部は、機能変更の必要性がないため、専用ICを採用
- **高速データ伝送**
  - – W-CDMAは、移動状態で384kbps, 静止状態で2Mbpsまでの高速データ通信を規定しているため、ベースバンドでも高速な信号処理能力が必要
  - » リアルタイムコーディング用に最大1600MIPS の高性能DSPを採用することで、384kbpsまでのリアルタイムチャネルコーディングが可能

MU368010A TDMA変調ユニット　ブロック図



MU368030A ユニバーサル変調ユニット ブロック図



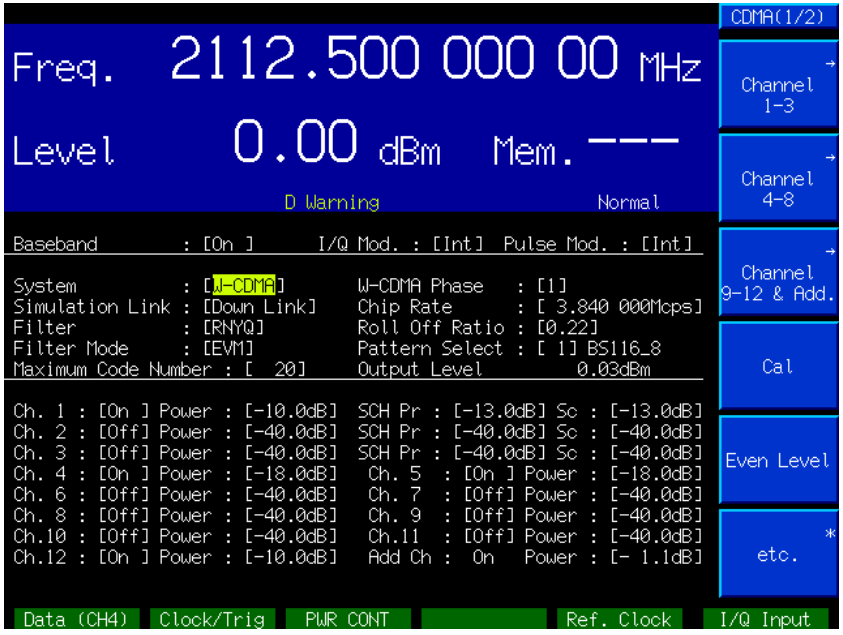
- **Arbitrary Waveform Generator**
  - » フィルタリング後のシグナルパターンファイル
    - – PCメモリカードから内部メモリにダウンロード
      - 内部メモリ容量　16 Msamples/channel　(64 Mbyte)
      - Sampling rate ≦ 20 MHz

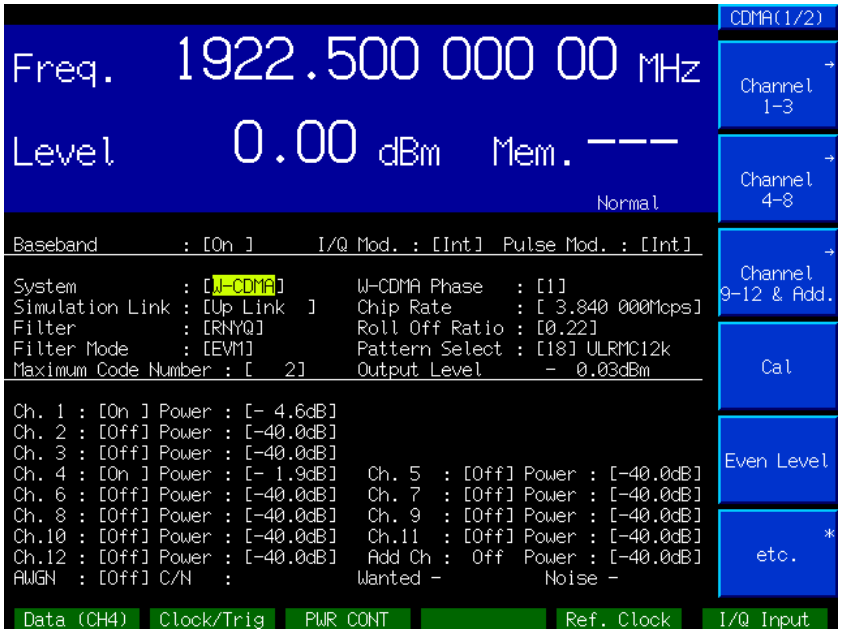
ソフトウェア

- MX368041B W-CDMAソフトウェア 54
  - MX368041B-11 HSDPAシグナルパターン 56
  - MX368141A HSDPA IQproducer 73
- MX368042A IS-95デバイステストソフトウェア 77
- MX368011A PDCソフトウェア 84
- MX368012A GSMデバイステストソフトウェア 92
- MX368031A デバイステスト信号発生ソフトウェア 102
- MX368033A CDMA2000 1xEV-DO信号発生ソフトウェア 111
  - » MX368133A CDMA2000 1xEV-DO IQproducer™ 120
- MX368034A PDC Packetソフトウェア 126
- MX368035A PHS信号発生ソフトウェア 133
- MX368037A RCR STD-39 π/4DQPSK信号発生ソフトウェア 141
  - » MX368137A RCR STD-39 π/4DQPSK IQproducer™ 150
- MX368037B ARIB STD-T61 π/4DQPSK信号発生ソフトウェア 154
  - » MX368137B ARIB STD-T61 π/4DQPSK IQproducer™ 166
- MX368037C ARIB STD-T79 π/4DQPSK信号発生ソフトウェア 170
  - » MX368137C ARIB STD-T79 π/4DQPSK IQproducer™ 182
- MX368037D ARIB STD-T86 16QAM信号発生ソフトウェア 187
- MU368060A AWGN 197

MX368041B W-CDMAソフトウェア

- MU368040A CDMA変調ユニットに、MX368041B W-CDMAソフトウェアをインストールすることにより、3GPP(FDD)規格のDownlink/UplinkのW-CDMAテスト用信号を出力可能
- コンポーネンツから基地局(BS)および移動機(UE)の開発/生産工程において、コンポーネンツ用信号源、受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現





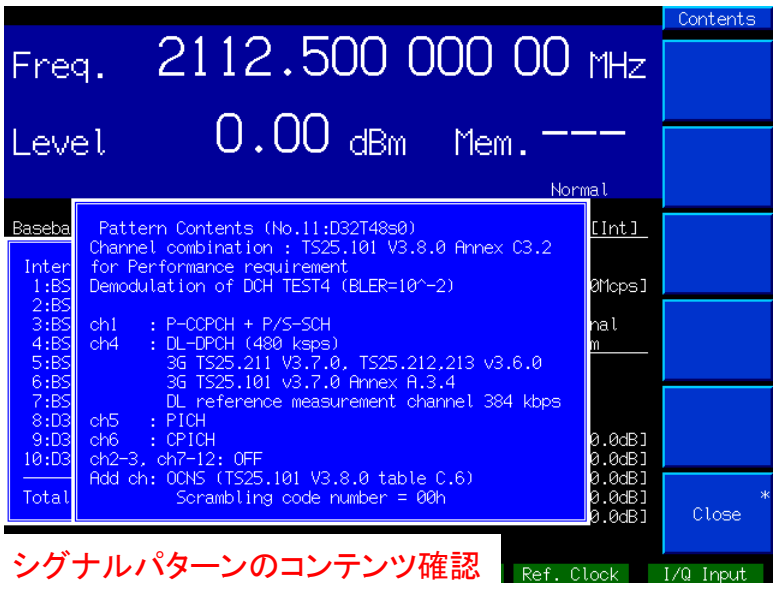
テスト用信号フォーマットのサポート

- **3GPPの複雑なパラメータを設定することなく、TS 25.141, TS 34.121テスト仕様のシグナルパターンを選択するだけ!　　簡単操作**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルと、リアルタイムコーディング用DSPプログラムの更新により、迅速なサポートを実現**
  - » 3GPPの更新や特別なシグナルパターンをサポート
    - – “製品紹介 MX368041A/B アップデートニュース” を用意してます。

バージョンアップ ヒストリー, Versionの確認方法, アップグレード方法,
PCメモリカード内ファイル構成, シグナルパターンリスト



内部メモリ内のシグナルパターン選択



シグナルパターンのコンテンツ確認

テスト用信号フォーマットのパターンファイル

MX368041B-11 (オプション)　　HSDPAシグナルパターン

» MX368041Bに付録のRelease1999シグナルパターンファイルに、Release 5で規定されたシグナルパターンファイルをプラスしたパッケージ



シグナルパターン　BS送信機のコンポーネンツ評価に

Test item	Channel combination	Parameter	Patt. name	Added by option11	
TS25.141 6.1.1 Transmitter Test Models	TS25.141 6.1.1.1 Test Model 1	16 DPCH	BS11657 BS116571 BS116572 BS116573	B11657d B11657d2	
		32 DPCH	BS13257 BS132571 BS132572 BS132573	B13257d B13257d2	
		64 DPCH	BS16457 BS164571 BS164572 BS164573	B16457d B16457d2	
	TS25.141 6.1.1.2 Test Model 2	-	BS257 BS2571 BS2572 BS2573		
	TS25.141 6.1.1.3 Test Model 3	16 DPCH	BS31657 BS316571 BS316572 BS316573		
		32 DPCH	BS33257 BS332571 BS332572 BS332573		
	TS25.141 6.1.1.4 Test Model 4	-	BS457 BS4571 BS4572 BS4573		
	TS25.141 6.1.1.4A Test Model 5	2 HS-PDSCH + 6 DPCH		BS5_257 BS5_2571 BS5_2572 BS5_2573	B5_257d B5_257d2
		4 HS-PDSCH + 14 DPCH		BS5_457 BS5_4571 BS5_4572 BS5_4573	B5_457d B5_457d2
		8 HS-PDSCH + 30 DPCH		BS5_857 BS5_8571 BS5_8572 BS5_8573	B5_857d B5_857d2

» Test Models

– 6.1.1.1
Test Model 1 マルチキャリア
(2キャリア)

2キャリア
******d:　低い周波数用
******d2:　高い周波数用

– 6.1.1.4A
Test Model 5 (HSDPA)
- マルチキャリア(2キャリア)

シグナルパターン　BS受信機&パフォーマンス テストに

Test item	Channel combination	Parameter	Patt. name	Added by option11	
TS25.141	TS25.141 Annex A.1	TS25.141 Annex A.2	ULRMC12k		
7 Receiver characteristics		TS25.141 Annex A.3	ULRMC64k		
8 Performance requirement		TS25.141 Annex A.4	ULRMC144		
		TS25.141 Annex A.5	ULRMC384		
8.8.1 RACH preamble	TS25.211 5.2.2.1	TS25.213 4.3.3		PRE	
8.8.3 RACH message		TS25.141 Annex A.7		R168	R360
8.9.3 CPCH message	TS25.211 5.2.2.2	TS25.141 Annex A.8		C168	C360
8.10 SSDT	TS25.141 Annex A.1	TS25.141 Annex A.2		SSDTa	SSDTb
-	TS25.104 Annex A.1	TR25.944 4.1.2.2.1.1 DCCH 4.1.2.2.1.2 AMR TFCS#1 4.1.2.2.2.2	UL_AMR#1		
		TR25.944 4.1.2.2.1.1 DCCH 4.1.2.2.1.2 AMR TFCS#2 4.1.2.2.2.2	UL_AMR#2		
		TR25.944 4.1.2.2.1.1 DCCH 4.1.2.2.1.2 AMR TFCS#3 4.1.2.2.2.2	UL_AMR#3		
		TR25.944 4.1.2.2.1.1 DCCH 4.1.2.2.1.6 ISDN 4.1.2.2.2.2	UL_ISDN		

- 8.8　RACH performance
  - 8.8.1　RACH preamble detection in static propagation conditions
  - 8.8.2　RACH preamble detection in multipath fading case 3
  - 8.8.3　Demodulation of RACH message in static propagation conditions
  - 8.8.4　Demodulation of RACH message in multipath fading case 3
- 8.9　CPCH Performance
  - 8.9.3　Demodulation of CPCH message in static propagation conditions
  - 8.9.4　Demodulation of CPCH message in multipath fading case 3
- 8.10　Site Selection Diversity Transmission (SSDT) Mode

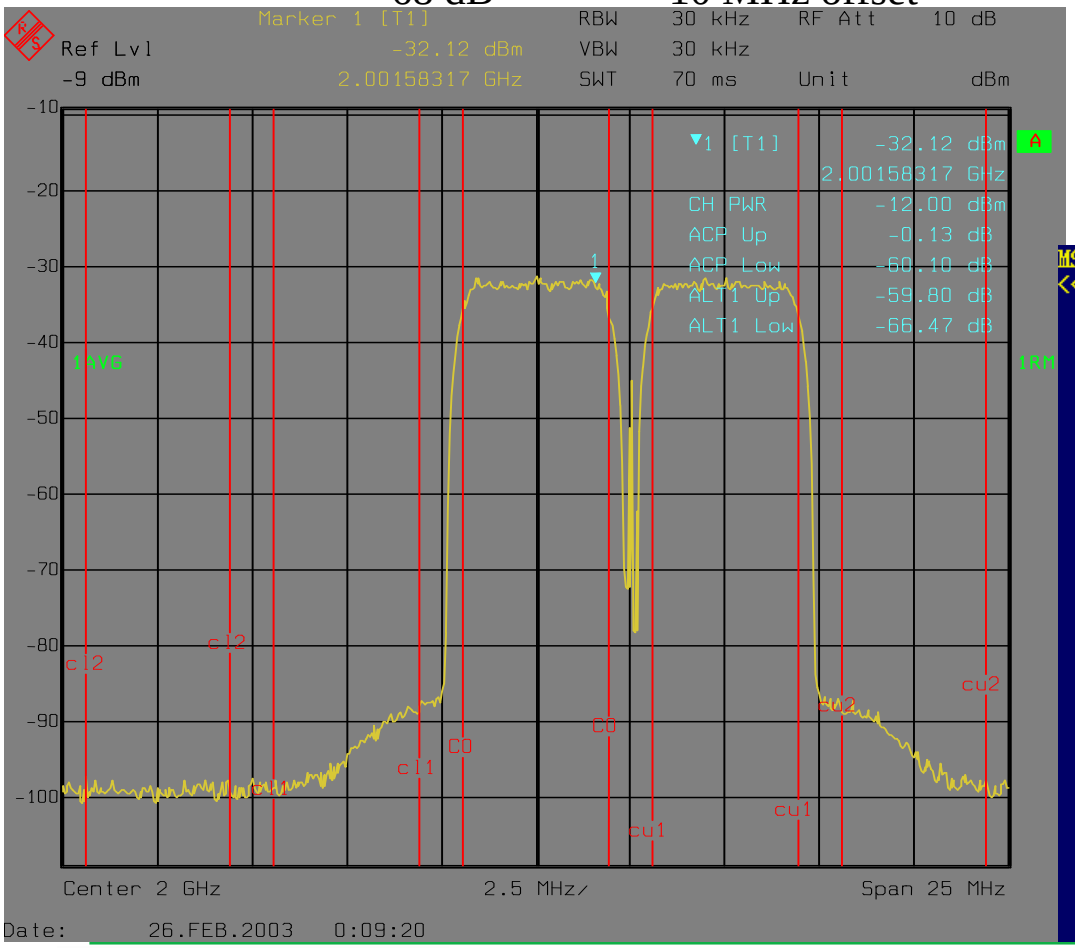
シグナルパターン　UE受信機&パフォーマンス テストに

Test item	Channel combination	Parameter	Patt. name	Added by option11				
TS25.101	TS25.101 Annex C.3.1	TS25.101 Annex A.3.1	DL_C31					
7 Receiver characteristics 8 Performance requirement	TS25.101 Annex C.3.2		D32T18s0 D32T18s8 D32T18s9					
		TS25.101 Annex A.3.2	D32T28s0 D32T28s8 D32T28s9					
		TS25.101 Annex A.3.3	D32T38s0 D32T38s8 D32T38s9					
		TS25.101 Annex A.3.4	D32T48s0 D32T48s8 D32T48s9					
	TS25.101 Annex C.4		DL_INTR					
8.3 in multi-path (Case7) Test21~25	TS25.101 Annex C.3.5	TS25.101 Annex A.4A		4Ps0 4Ps8 4Ps9				
8.6.1 open-loop transmit diversity	TS25.101 Annex C.3.3	TS25.101 Annex A.3.1		OTD1s0 OTD1s8 OTD1s9	OTD2s0 OTD2s8 OTD2s9			
8.9 Downlink compressed mode	TS25.101 Annex C.3.2	TS25.101 Annex A.5		DCP11540 DCP11548 DCP11549	DCP12540 DCP12548 DCP12549	DCP21540 DCP21548 DCP21549	DCP22540 DCP22548 DCP22549	DCP23540 DCP23548 DCP23549
8.10 BTFD		TS25.101 Annex A.4		BTFD1s0 BTFD1s8 BTFD1s9	BTFD2s0 BTFD2s8 BTFD2s9	BTFD3s0 BTFD3s8 BTFD3s9		
8.12 PCH		TS25.101 Annex A.6		PCHs0 PCHs8 PCHs9				
7.4.2 Maximum input level HS-PDSCH 9 Performance requirement (HSDPA)	TS25.101 Annex C.5.1 Table C.8	TS25.101 Annex A.7.1		F1P0s0 F1A0s0 F2P0s0 F2A0s0 F3P0s0 F3A0s0 F4P0s0 F5P0s0				
-	TS25.101 Annex C.3.2	TR25.944 4.1.1.3.1.1 DCCH 4.1.1.3.1.2 AMR TFCS#1 4.1.1.3.2.2	DAMR18s0 DAMR18s8 DAMR18s9					
		TR25.944 4.1.1.3.1.1 DCCH 4.1.1.3.1.2 AMR TFCS#2 4.1.1.3.2.2	DAMR28s0 DAMR28s8 DAMR28s9					
		TR25.944 4.1.1.3.1.1 DCCH 4.1.1.3.1.2 AMR TFCS#3 4.1.1.3.2.2	DAMR38s0 DAMR38s8 DAMR38s9					
		TR25.944 4.1.1.3.1.1 DCCH 4.1.1.3.1.6 ISDN 4.1.1.3.2.5	DISDN8s0 DISDN8s8 DISDN8s9					

- 8.3
  Demodulation of DCH in multi-path fading propagation conditions
  - (Case 7) Test 21~25
- 8.6
  Demodulation of DCH in downlink Transmit diversity modes
  - 8.6.1
    Demodulation of DCH in open-loop Transmit diversity mode
- 8.9
  Downlink compressed mode
- 8.10
  Blind transport format detection (BTFD)
- 8.12
  Demodulation of Paging Channel (PCH)
- 7.4
  Maximum input level
  - 7.4.2 HS-PDSCH for 16QAM
- 9
  Performance requirement (HSDPA)

マルチキャリア typical ACLR

- **Test Model 1: 64 DPCH, ≤ -8 dBm**
  - -60 dB 5 MHz offset
  - -68 dB 10 MHz offset




```
MS8609A    2003/05/28  04:00:46
<< Modulation Analysis (W-CDMA) >>   Measure  : Single
                                     Storage  : Normal
                                     Trace    : Non

Frequency
  Carrier Frequency                :  2 137.500 000 2 MHz
  Carrier Frequency Error          :          0.000 2 kHz
                                              0.000 ppm

Waveform Quality
  Waveform Quality Factor          :      0.99926


Modulation
  RMS EVM                          :      2.70 % (rms)
  Peak EVM                         :      7.15 %
  Phase Error                      :      1.09 deg. (rms)
  Magnitude Error                  :      1.92 % (rms)
  Origin Offset                    :     -74.61 dB

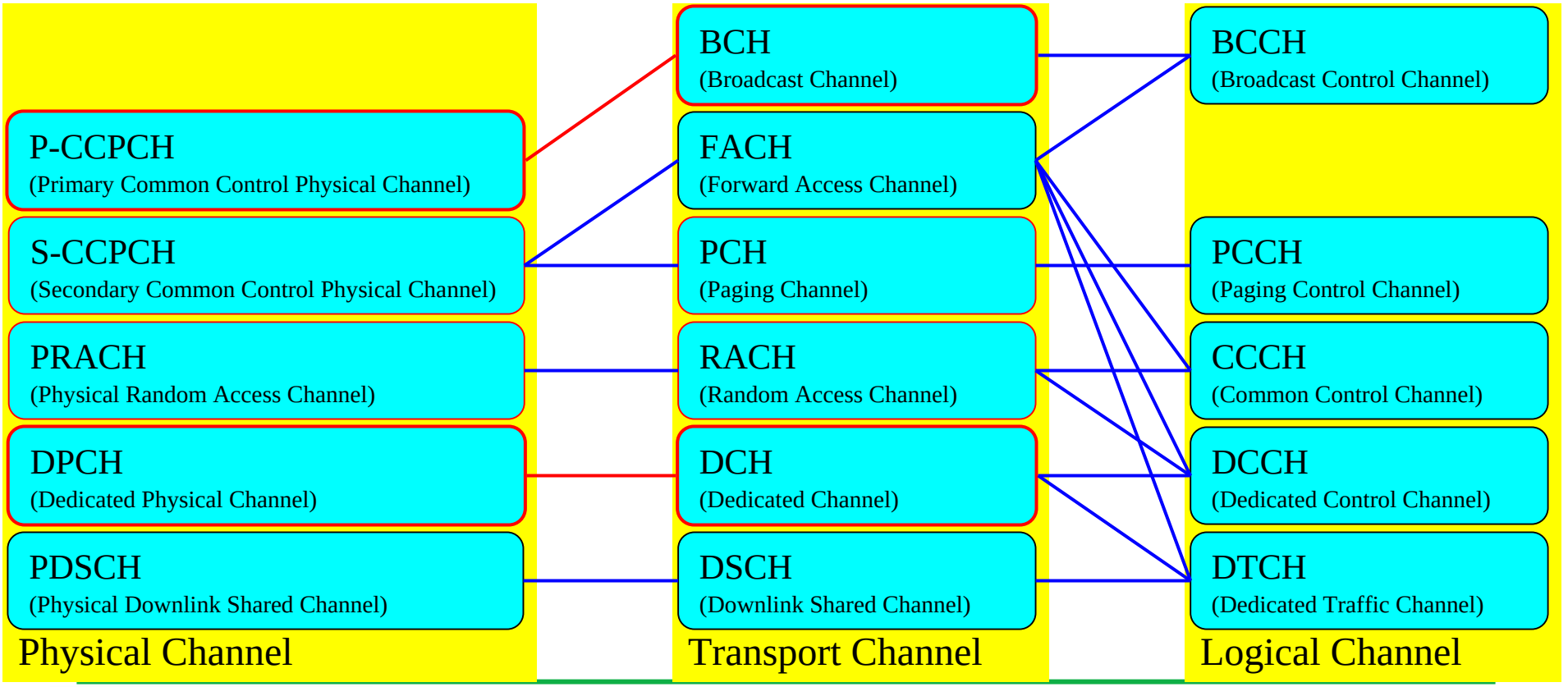
Power
  Filtered Power                   :     -11.14 dBm
  SCH(Total)                       :     -12.97 dB
  P-SCH                            :     -16.07 dB
  S-SCH                            :     -15.89 dB

Scramble Code Number               :      00000
```

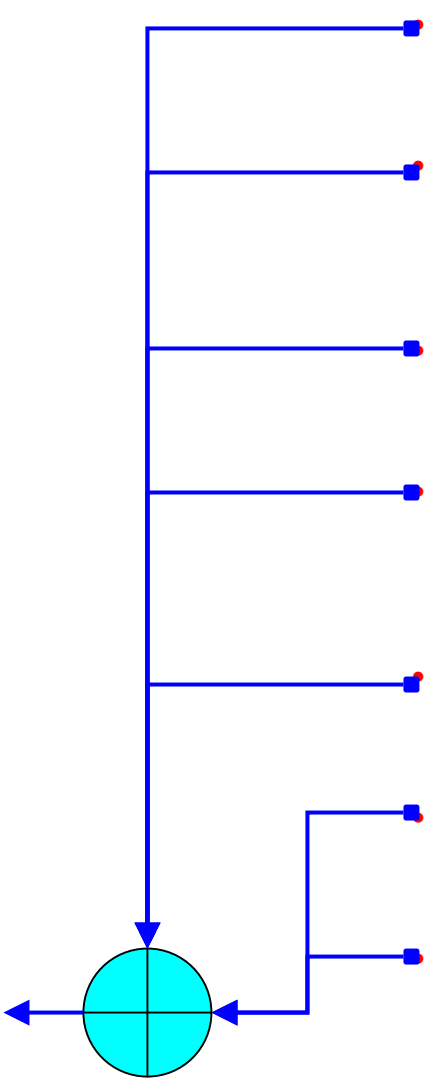
テスト用信号フォーマットのリアルタイム生成

- ディスプレイで簡単にエディット
  多様なテストケースをサポート
  - » 5種類のフィジカルチャネルと2種類のトランスポートチャネルのパラメータ

参考) 主なフィジカルチャネル, トランスポートチャネル, ロジカルチャネルのマッピング関係

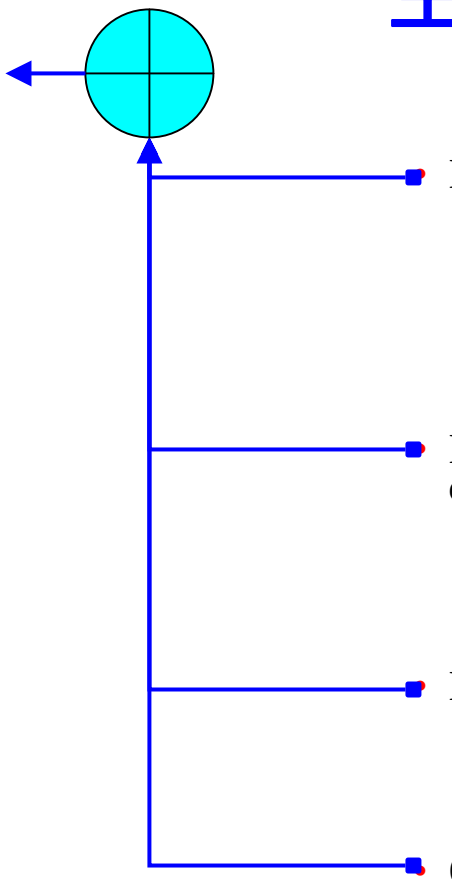


主なテスト用フィジカルチャネル



- P-CPICH (Primary Common Pilot Channel)
  - Downlink共通チャネル
  - Downlinkチャネル推定用の位相リファレンスとして使用
- S-CPICH (Secondary Common Pilot Channel)
  - Downlink共通チャネル
  - Adaptive Array Antenna適用時に使用
  - テスト中のS-CPICHの位相リファレンス: P-CPICH180°オフセット
- P-CCPCH (Primary Common Control Physical Channel)
  - Downlink共通チャネル
  - システム情報やセル情報を送信
- S-CCPCH (Secondary Common Control Physical Channel)
  - Downlink共通チャネル
  - 着信信号用PCH Paging Channel, 制御情報およびユーザデータ(低レート)用FACH Forward Access Channelを送信
- PICH (Page Indication Channel)
  - Downlink共通チャネル
  - UEへ着信の有無を通知するためのPaging indicatorを送信
- P-SCH (Primary Synchronization Channel)
  - Downlink共通チャネル
  - UEのセルサーチ(スロット同期)のために使用
- S-SCH (Secondary Synchronization Channel)
  - Downlink共通チャネル
  - UEのセルサーチ(フレーム同期確立とScrambling codeグループを知る)のために使用

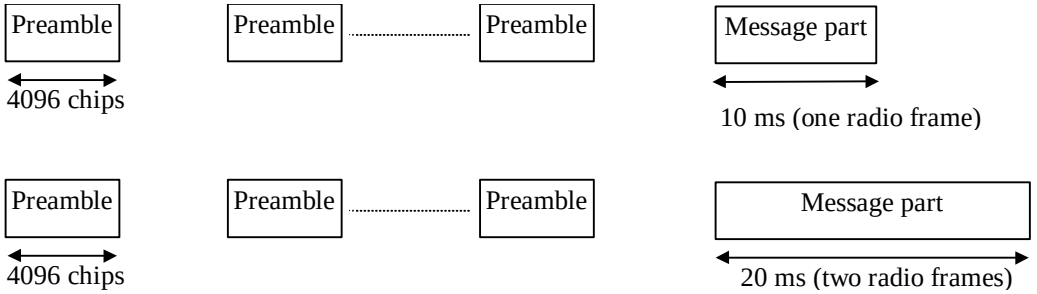
主なテスト用フィジカルチャネル



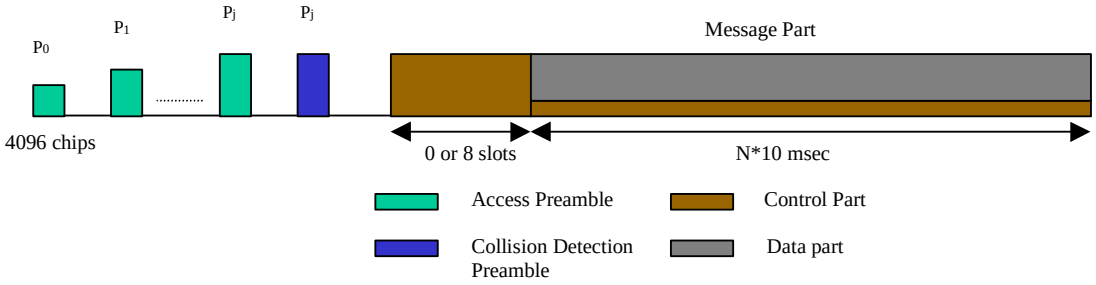
- DPCH (Dedicated Physical Channel)
  - UE別に割り当て
  - Downlink: DPDCH Dedicated Physical Data ChannelとDPCCH Dedicated Physical Control Channelがタイムスロット内で時間多重
  - Uplink: DPDCH, DPCCHおよびHS-DPCCH Dedicated Physical Control Channel (uplink) for HSDPAがI/Q多重
- HS-SCCH (Shared Control Channel for HS-DSCH High Speed Downlink Shared Channel)
  - HSDPA用Downlink共有チャネル
  - HS-SCCHセットに最大4チャネル
  - HS-PDSCH割当てのために使用
- HS-PDSCH (High Speed Physical Downlink Shared Channel)
  - HSDPA用Downlink共有チャネル
  - パケットデータ用HS-DSCHを送信
  - Slot format #0: QPSK, 1#: 16QAM
- OCNS (Orthogonal Channel Noise Simulator)
  - Downlinkの他のユーザチャネルを疑似する干渉チャネル

主なテスト用フィジカルチャネル

- PRACH (Physical Random Access Channel)
  - Uplink共通チャネル
  - 制御情報およびユーザデータ(低レート)用RACHを送信



- PCPCH (Physical Common Packet Channel)
  - Uplink共通チャネル
  - ユーザパケットデータ(高レート)用CPCHを送信



Downlinkフィジカルチャネルのリアルタイム生成

- P-CCPCH (CH1~3)
  - BCHトランスポートチャネルのマッピング
  - SCH TSDT: On, Off
    - TSDT
      - Time Switched Transmit Diversity
      - オープンループモード
      - スロット毎に送信アンテナ(SCH)を切り替え
- CPICH (CH1~3)
  - Antenna: 1,2
    - 送信ダイバーシチ用
    - STTD encoding (Antenna: 2)
    - STTD
      - Space Time Block Coding Based Transmit Antenna Diversity
      - オープンループモード
      - アンテナ2側のシンボルパターンを操作
- DPCH (CH4)
  - DCHトランスポートチャネルのマッピング
  - Slot format: #0~#15
  - TPC: 4フレーム(60スロット)サイクルのTPC command
    - TPC
      - Transmit Power Control
      - クローズドループパワーコントロール

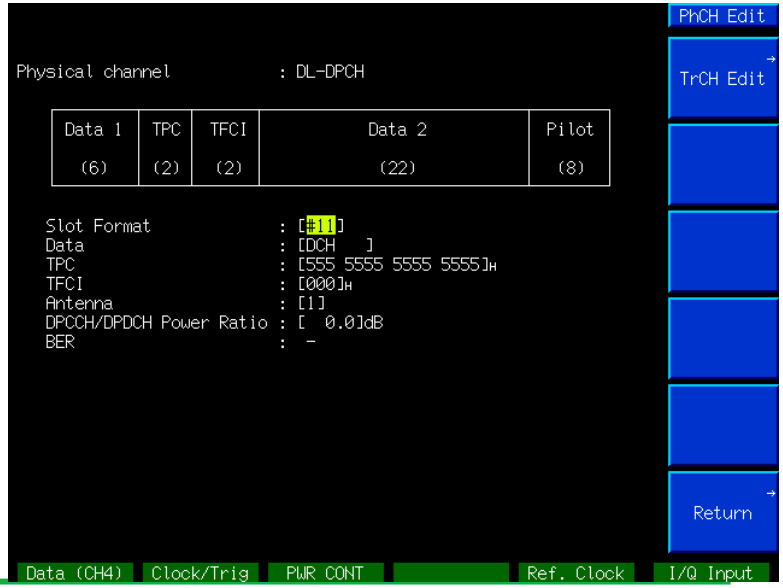
        * Inner loop power control

        目標SIRに等しくするためのコントロール

        * Outer loop power control

        目標BER/BLERに等しくするために目標SIRを補正

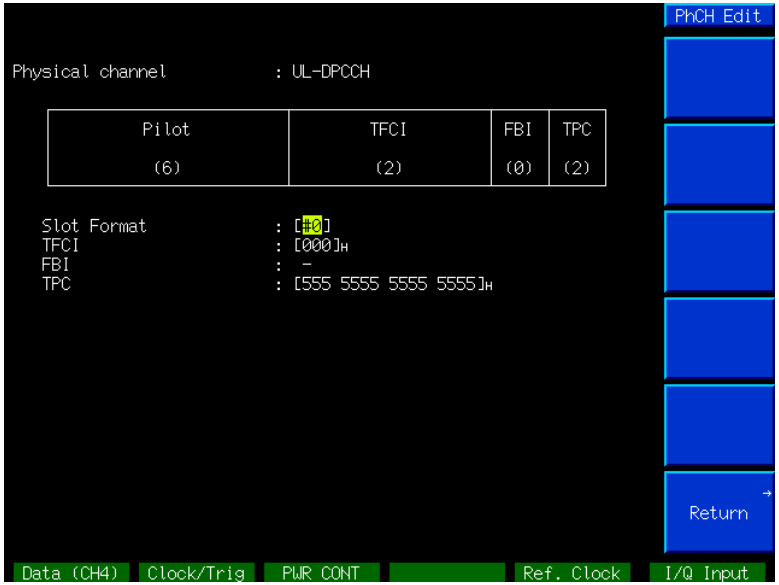


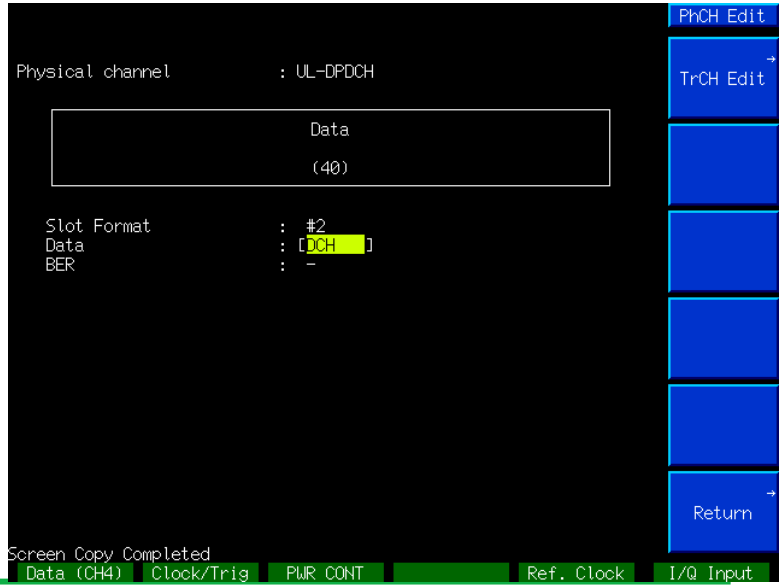


Uplinkフィジカルチャネルのリアルタイム生成

» DPCCH (CH1~3)
  – Slot format: #0, #2, #5
  – TPC: 4フレーム(60スロット)サイクルのTPC command
    • TPC
      – Transmit Power Control
      – クローズドループパワーコントロール
        * Inner loop power control
        目標SIRに等しくするためのコントロール
        * Outer loop power control
        目標BER/BLERに等しくするために目標SIRを補正

» DPDCH (CH4)
  – DCHトランスポートチャネルのマッピング





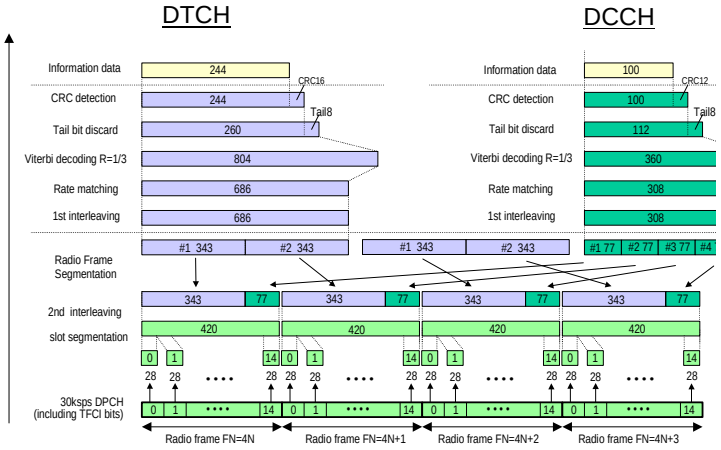
Downlinkトランスポートチャネルのリアルタイム生成

- BCH (P-CCPCHのデータ)
  - 3GPP TS 25.944

Transport block size	246
CRC	16 bits
Coding	CC, coding rate = 1/2
TTI	20 ms
The number of codes	1
SF	256

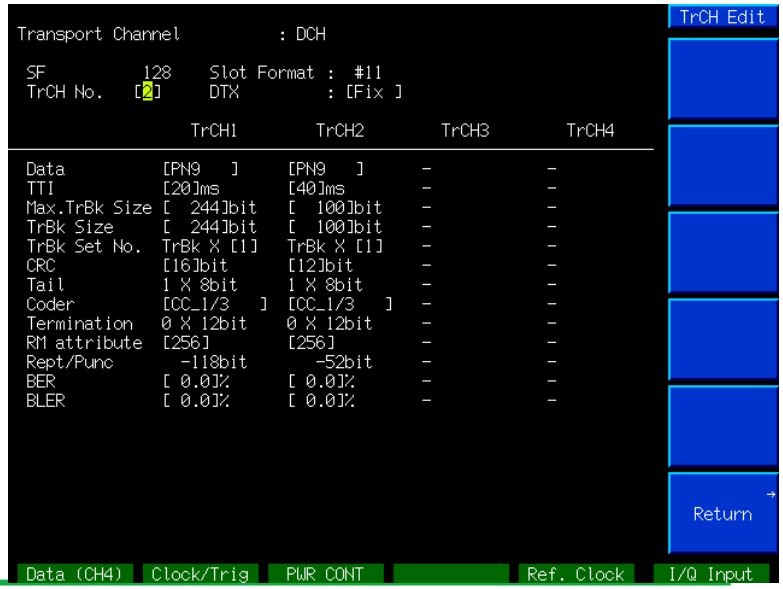
- DCH (DPCHのデータ)
  - 3GPP TS 25.101

	TrCH1	TrCH2
Parameter	**DTCH**	**DCCH**
Transport Channel Number	1	2
Transport Block Size	244	100
Transport Block Set Size	244	100
Transmission Time Interval	20 ms	40 ms
Type of Error Protection	Convolution Coding	Convolution Coding
Coding Rate	1/3	1/3
Rate Matching attribute	256	256
Size of CRC	16	12
Position of TrCH in radio frame	fixed	fixed



- BER, BLER
  - エラーを発生
  - 0 ~ 10 %, 0.1 %分解能

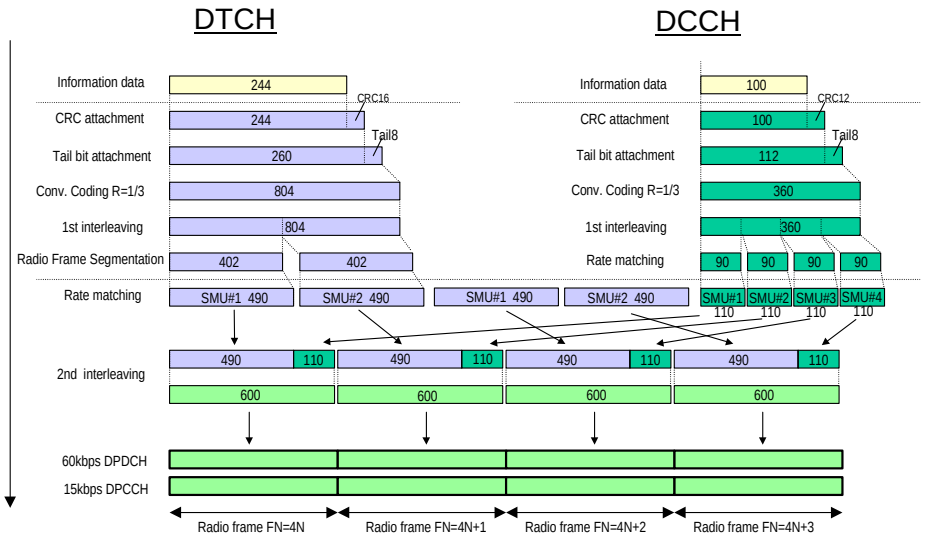


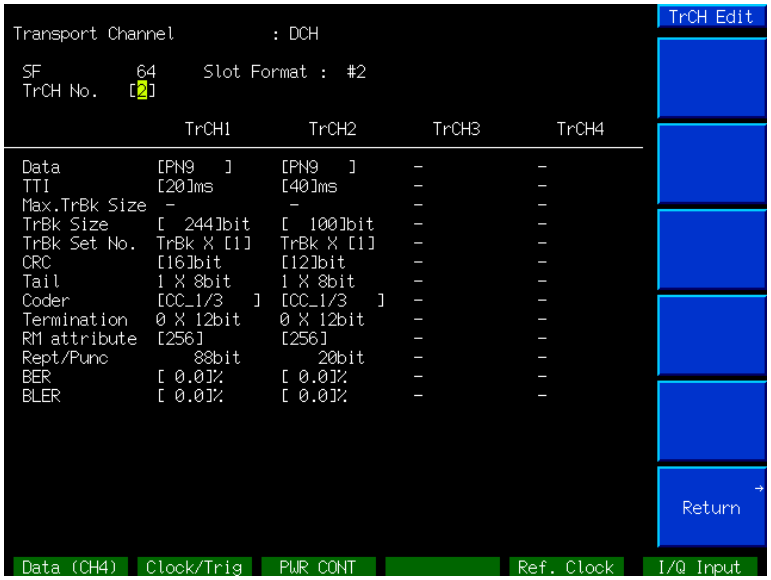


Uplinkトランスポートチャネルのリアルタイム生成

- DCH (DPDCHのデータ)
  - 3GPP TS 25.101

	TrCH1	TrCH2
Parameters	**DTCH**	**DCCH**
Transport Channel Number	1	2
Transport Block Size	244	100
Transport Block Set Size	244	100
Transmission Time Interval	20 ms	40 ms
Type of Error Protection	Convolution Coding	Convolution Coding
Coding Rate	1/3	1/3
Rate Matching attribute	256	256
Size of CRC	16	12



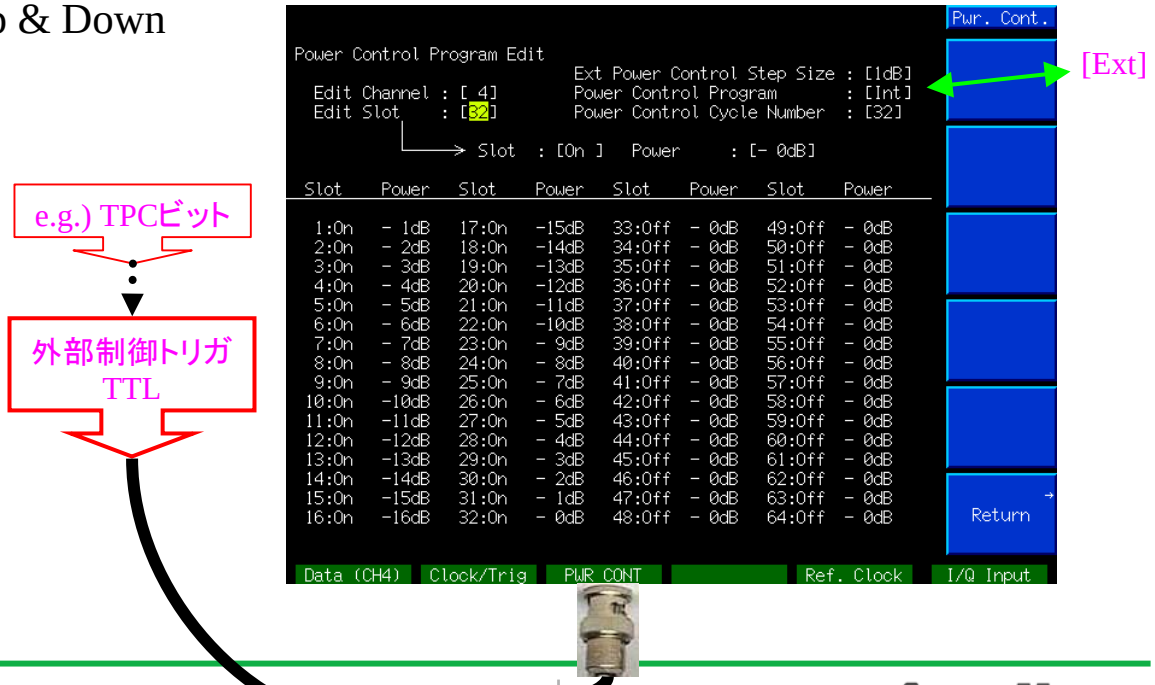


  - BER, BLER
    - エラーを発生
    - 0 ~ 10 %, 0.1 %分解能

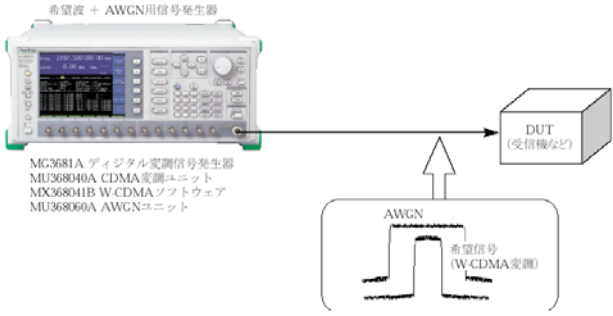
パワーコントロール機能

クローズドループパワーコントロールの動作チェックが可能

- **ディスプレイでのエディットにより、各チャネルのスロットパワーを最大64スロット周期でプログラム**
  - » CH4~12ごとのスロットパワーをエディット
    - – -40 ~ 0 dB (チャネルパワーを基準), 1 dB分解能
- **外部制御トリガ入力により、各チャネルのスロットパワーをUp/Down**
  - » CH4~12の指定したチャネルのスロットパワーをコントロール
    - – 1, 2 or 3 dBのUp & Down



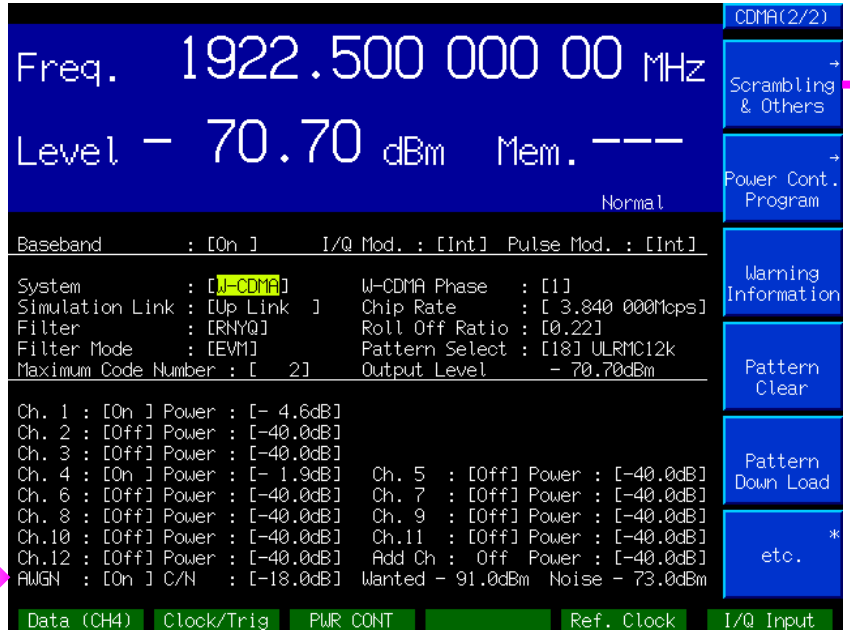
AWGNミキシング



1台でBS受信機のダイナミックレンジテスト可能

- **内部でUplink希望信号にAWGNをミキシング**
- **高確度/高安定C/N**
  - » -30 ~ -20 dB, 0.2 dB分解能
    -19.9 ~ -8 dB, 0.1 dB分解能

- **AWGN帯域幅をセレクト**
  - » 1.5× 3.84MHz = 5.76 MHz
  - » 2× 3.84MHz = 7.68 MHz





補助信号 Input

- フロントパネル
  - Data (CH4)
    - シンボルデータ
  - Clock/Trig
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - BS受信機テスト時使用
  - PWR CONT
    - 前述“パワーコントロール機能”参照
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 1×, 2×, 4× チップレート を選択可
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK

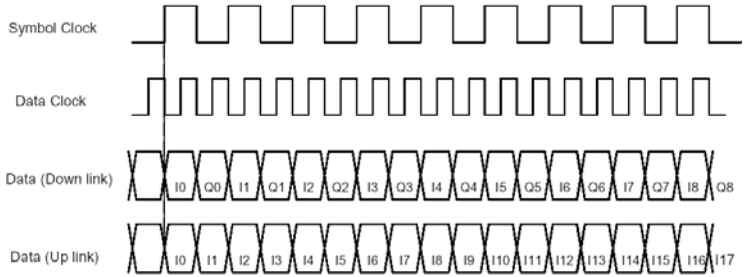


補助信号 Output

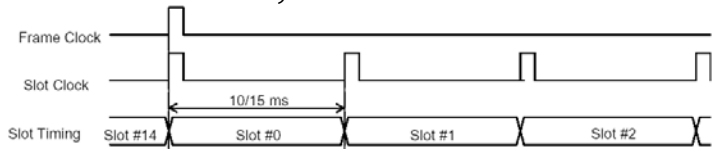
» リアパネル

- Data (A),(B), Code I/Q (A),(B)
  - CH1~12のデータ&コードを選択可
    - Data: 拡散前(Symbol), 拡散後(Chip)のデータを選択可

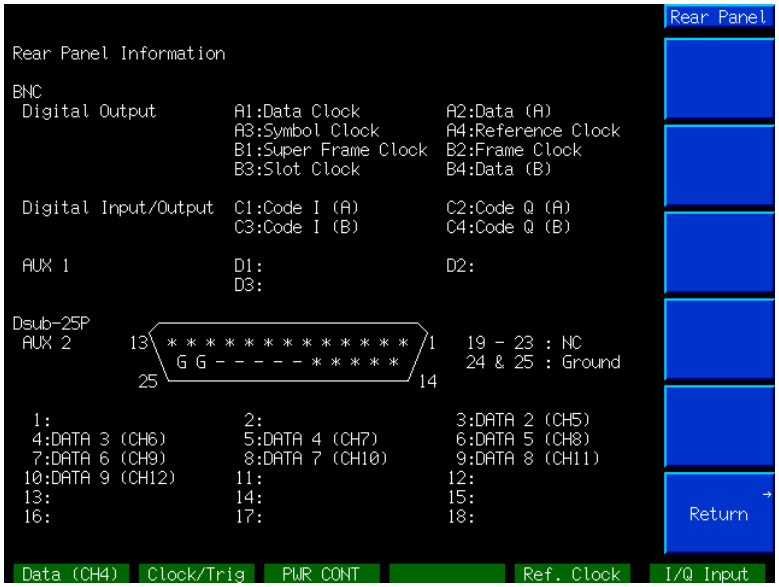
    CH1~3のとき
    - (A) P-CCPCHとP-SCHのデータ&コード
    - (B) P-CCPCHとS-SCHのデータ&コード
- Reference Clock
  - ベースバンドリファレンスクロック
    - 1×, 2×, 4×, 8× チップレート を選択可
- Symbol Clock, Data Clock

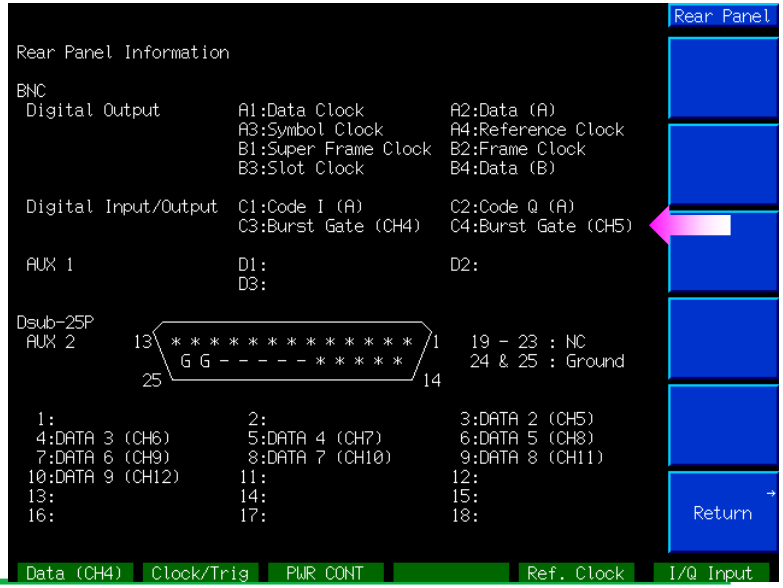


- Frame Clock, Slot Clock



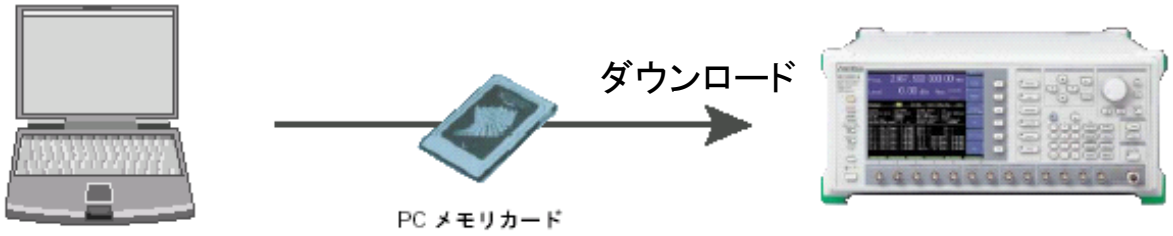
- Burst Gate (CH4),(CH5)
  - CH4とCH5のパワーOn/Off信号
    - CH1~3以外のデータ&コードを選択時





MX368141A HSDPA IQproducer™

- MX368141A HSDPA IQproducer™ は、MG3681A ディジタル信号発生器から出力する3GPP HSDPA準拠のシグナルパターンを生成するためのPCアプリケーションソフトウェア
- 生成したシグナルパターンは、MU368040A CDMA変調ユニットとMX368041B W-CDMA ソフトウェアを備えたMG3681A ディジタル信号発生器で使用可能
- 生成したシグナルパターンをMG3681A本体に複数ダウンロードすることができ、それらを選択することでシグナルパターンを容易に切り替えることが可能



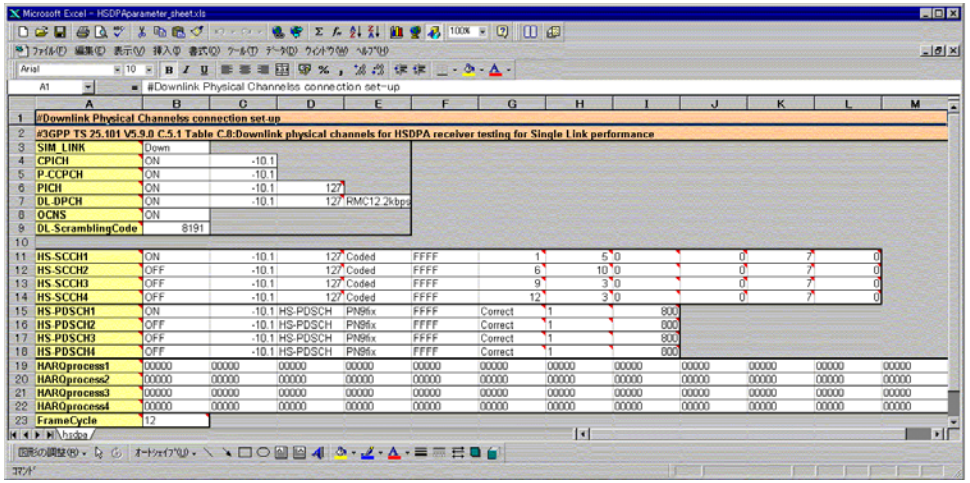
PC

MX368141A
HSDPA IQ producer™

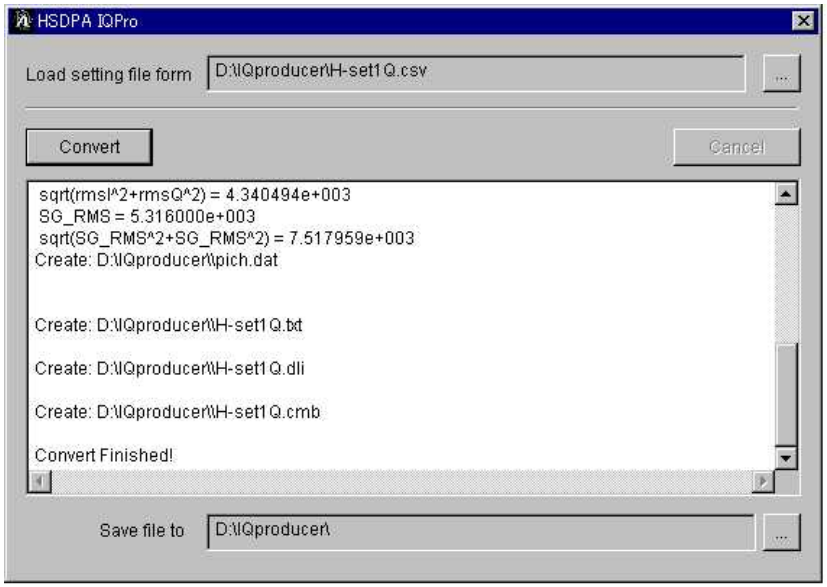
MG3681A
ディジタル信号発生器
+ MU368040A
CDMA変調ユニット
+ MX368041B
W-CDMAソフトウェア

イージーセットアップ用リファレンス設定ファイル

- **MX368141A HSDPA IQproducer™ では、HSDPA方式のシグナルパターンを決める設定ファイル(csv形式)をExcelなどで編集し、編集した設定ファイルを変換することでシグナルパターンを生成**
- **あらかじめ収録されているスタンダードなシグナルパターンの設定ファイルを利用して、変更したいパラメータだけをエディットするので簡単・便利**



MX368141A HSDPA IQproducer™の
設定ファイル編集画面

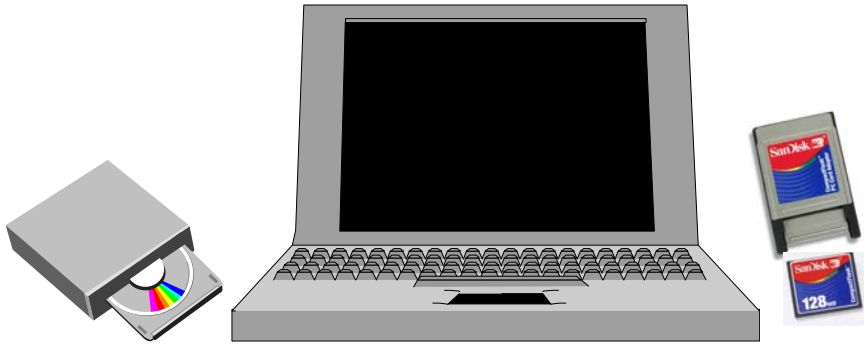


MX368141A HSDPA IQproducer™の
設定ファイル変換画面

動作環境

パーソナルコンピュータ

- OS: Windows 2000/XP
- CPU: Pentium 300MHz相当以上
- メモリ: 128MB以上
- HDD: 占有200MB以上の空きがあること
- ディスプレイ: 解像度800×600ピクセル以上
- 周辺機器: CD-ROMドライブ
  コンパクトフラッシュ(MG3681Aへダウンロードするには
  PCカードアダプタが必要)へセーブが可能



MX368141A HSDPA IQproducer と MX368041A-11 HSDPAシグナルパターン の比較

HSDPAに関する機能差

Model - Baseband - Software - HSDPA application software	MG3681A - MU368040A - MX368041A/B - MX368141A	MG3681A - MU368040A - MX368041A/B - MX368041A/B-11
Component test for Down-Link of HSDPA	No	Yes (Test models5を提供)
Component test for Up-Link of HSDPA	Yes (HS-DPCCH に対応)	No
Supports HSDPA channels	HS-PDSCH HS-SCCH HS-DPCCH * 上記3つのパラメータの変更が可能	HS-PDSCH HS-SCCH * パラメータは固定

MX368141Aはパラメータの変更が可能であり、HSDPA Uplink のHS-DPCCHにも対応。

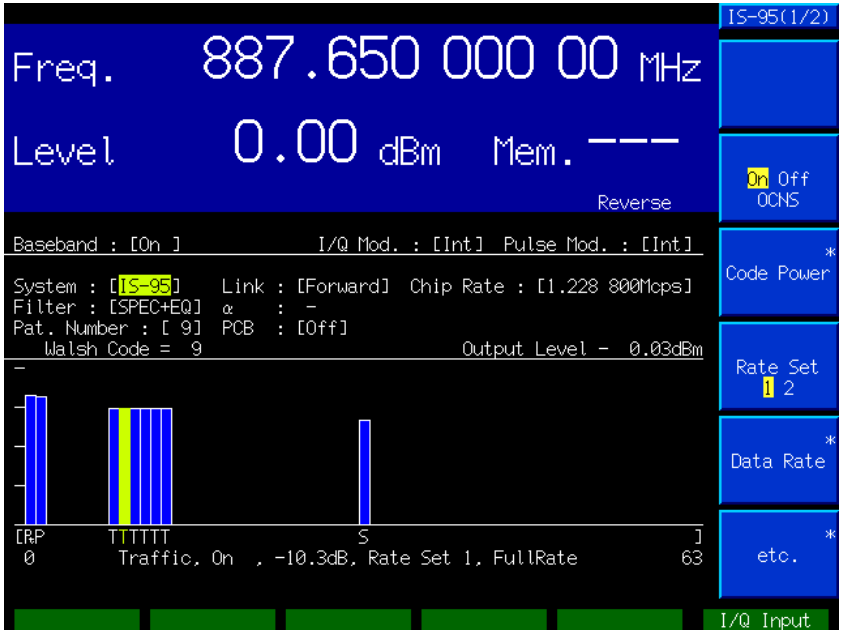
MX368040A-11は、HSDPA Downlinkのコンポーネントテストにおいて Test Models 5 を提供。

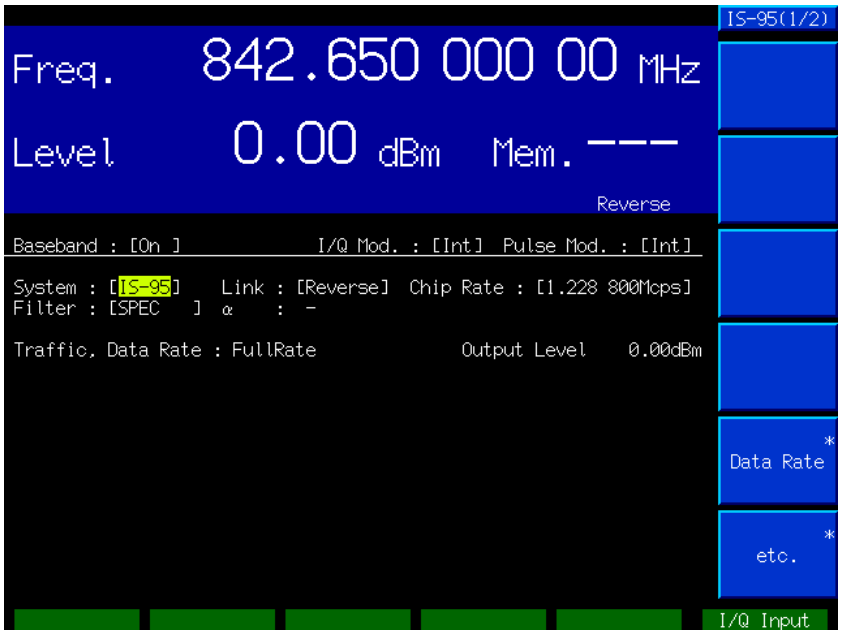
MX368042A IS-95デバイステストソフトウェア

cdmaOne

3GPP2 "3rd Generation Partnership Project 2"

- MU368040A CDMA変調ユニットに、MX368042A IS-95デバイステストソフトウェアをインストールすることにより、IS-95A/B(3GPP2 C.S0002 RC1 & 2)規格のForward/ReverseのcdmaOneテスト用信号を出力可能
- コンポーネンツから基地局(BS)および移動機(MS)の開発/生産工程において、コンポーネンツ用信号源, 受信機テスト用干渉信号源として、様々なアプリケーションをサポートするための機能を実現





テスト用信号フォーマットの生成

- **IS-95A/B(3GPP2 C.S0002 RC1 & 2)の複雑なパラメータを設定することなく、IS-97A/B(3GPP2 C.S0010 RC1 & 2)テスト仕様のTest Mode 1 & 2信号を簡単に設定**

Caution

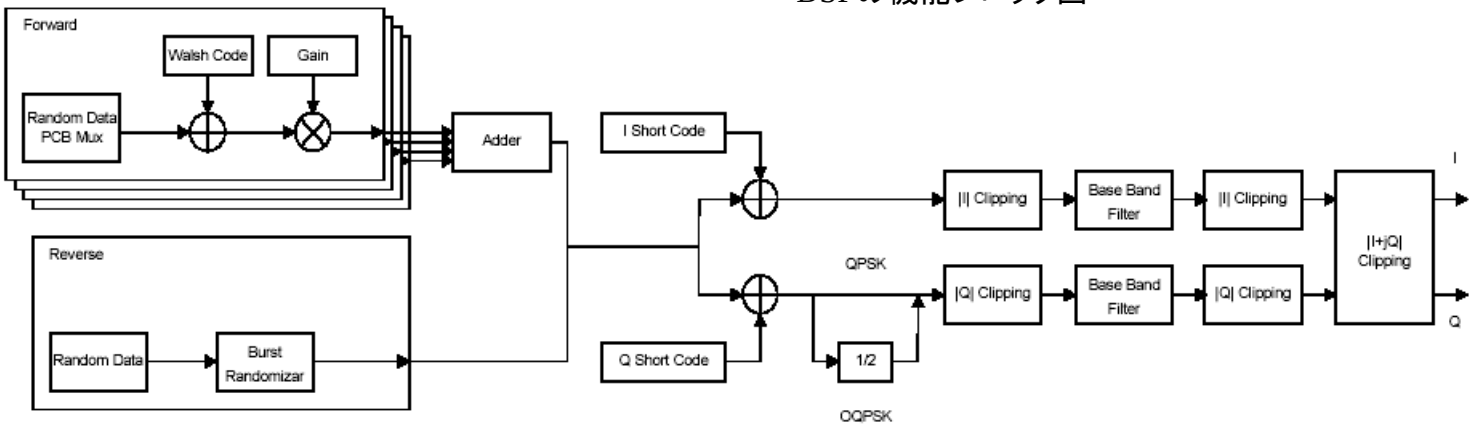
» チャネルコーディング未対応
(FER Frame Error Rateテスト不可)

Table 6.5.2-1. Base Station Test Model, Nominal for Main Path

Channel Type	Number of Channels	Fraction of Power (linear)	Fraction of Power (dB)	Comments
Forward Pilot	1	0.2000	-7.0	Code channel W_0^{128}
Sync	1	0.0471	-13.3	Code channel W_{32}^{64}; always 1/8 rate
Paging	1	0.1882	-7.3	Code channel W_1^{64}; full rate only
Traffic	6	0.09412	-10.3	Variable code channel assignments; full rate only

- **ディスプレイで設定されたパラメータに従い、DSPが98304 chip (4 frames) /4倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memoryにストレージ**

DSPの機能ブロック図



テスト用信号フォーマットの生成

- ディスプレイで簡単にエディット

多様なテストケースをサポート

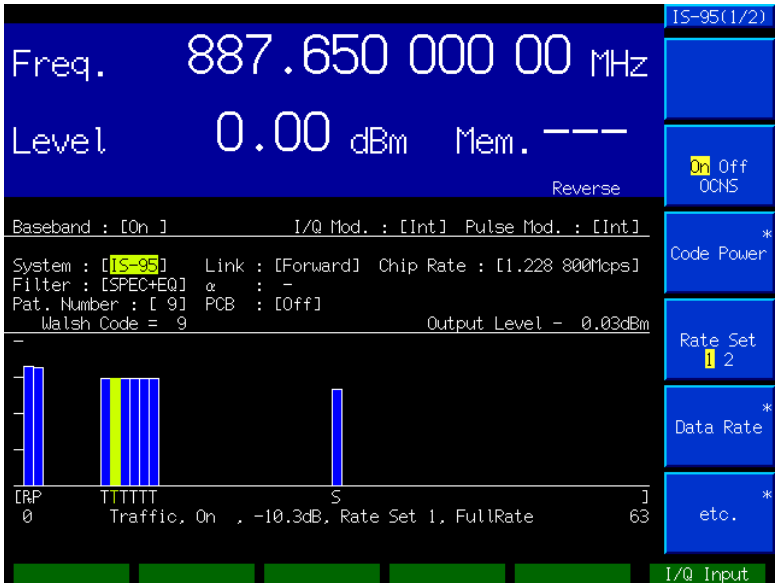
Channel Type	Walsh Code	Function
Pilot	0	Symbol Data is "0".
Sync	32	Symbol Data is Random. Symbol Rate is 4.8 ksps.
Paging	1 to 7	Symbol Data is Random. Symbol Rate is 19.2 ksps.
Traffic	8 to 31, 33 to 63	Symbol Data is Random. Symbol Rate is 19.2 ksps. Settings of Data Rate and Rate Set are enabled. Setting PCB to On allows PCB bit to be inserted.

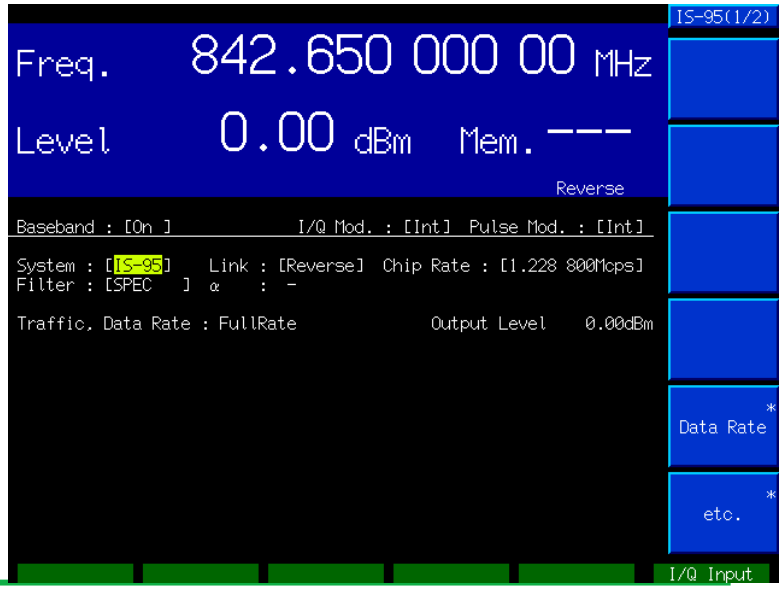
Forward

» 多重チャネル数
  – 1 ~ 64
» Walsh code (0 ~ 63) 毎に
  – On, Off, OCNS
  – Code Domain Power
    • -40 ~ 0 dB, 0.1 dB分解能
» Traffic channels
  – Rate set
    • 1 (RC1), 2 (RC2)
  – Data rate
    • Full, Half, Quarter, Eighth
      9.6 , 4.8 , 2.4 , 1.2 kbps (Rate set 1)
      14.4, 7.2 , 3.6 , 1.8 kbps (Rate set 2)

Reverse

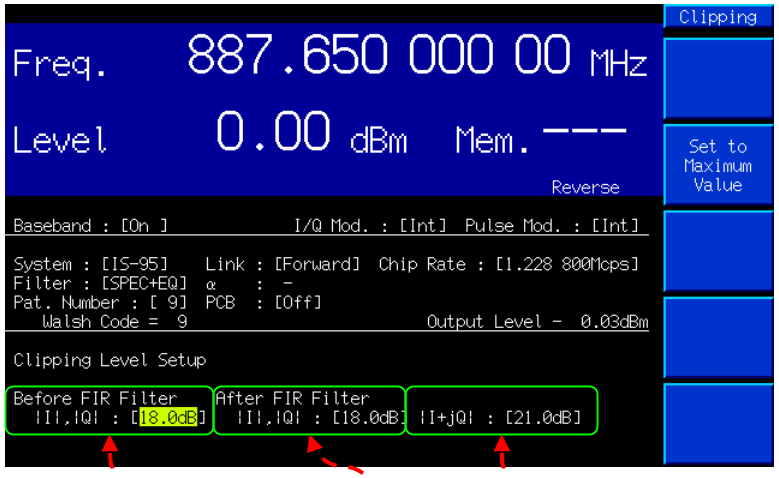
  – Data rate
    • Full, Half, Quarter, Eighth
      9.6 , 4.8 , 2.4 , 1.2 kbps (Rate set 1)

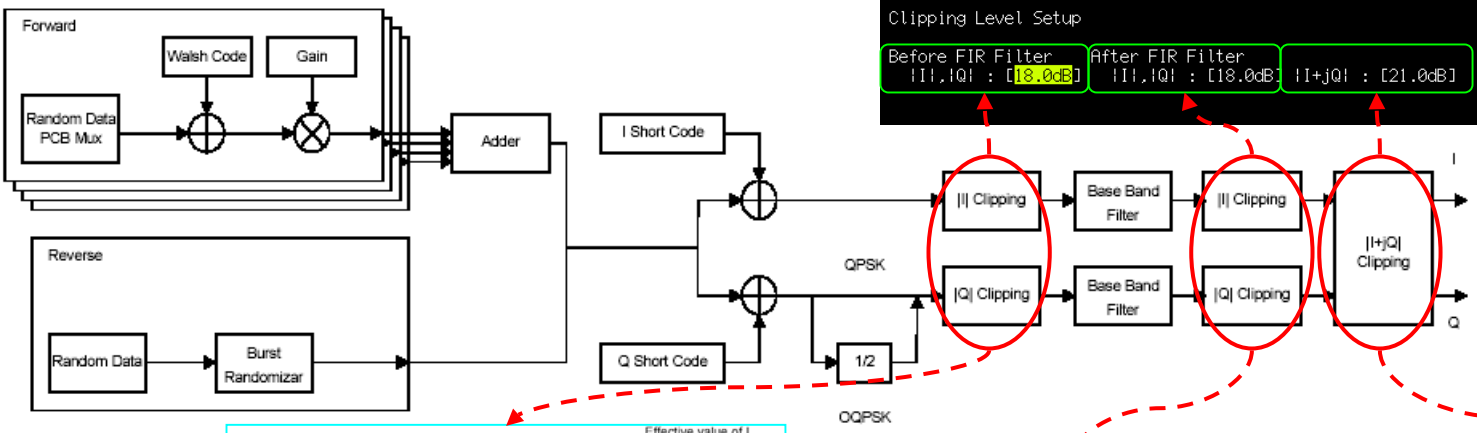


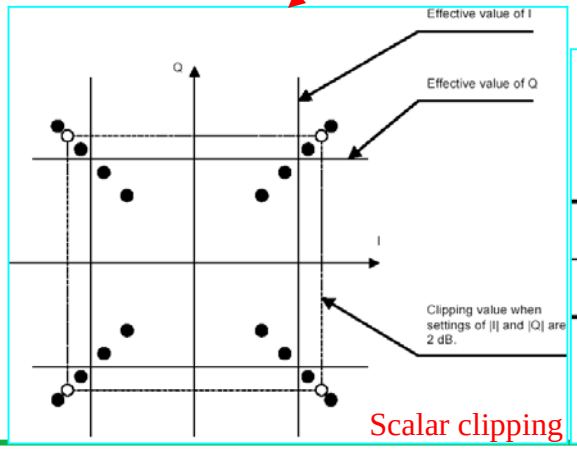


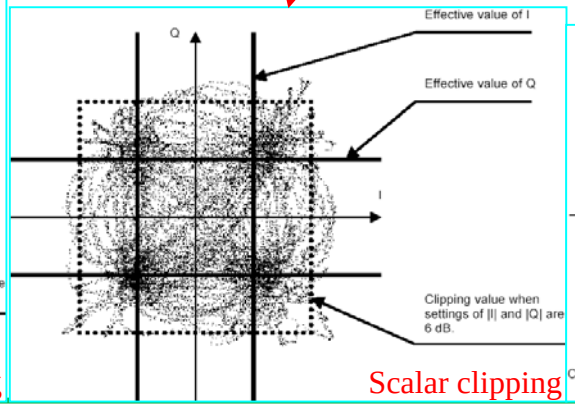
テスト用信号の Peak Clipping

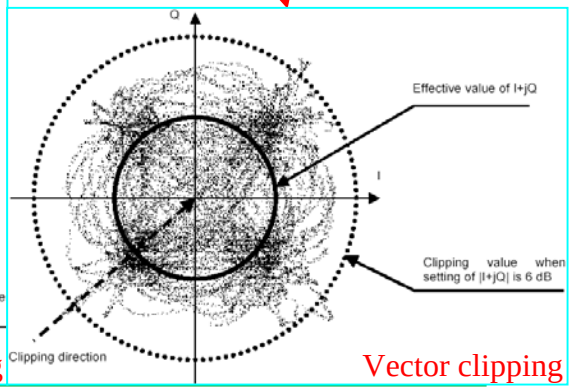
- コンポーネンツのクレストファクタ(CCDF)の評価に有益
  - » I/Q振幅のピークレベルを制限









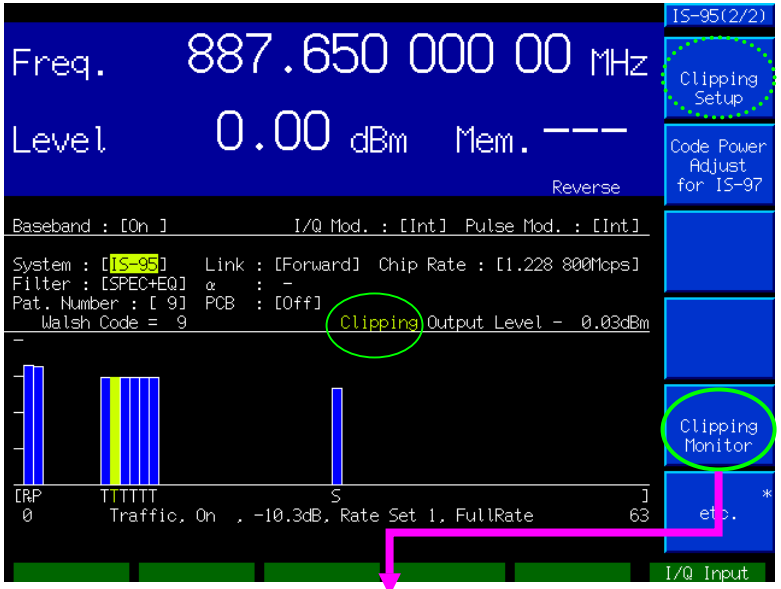


テスト用信号の Peak Clipping

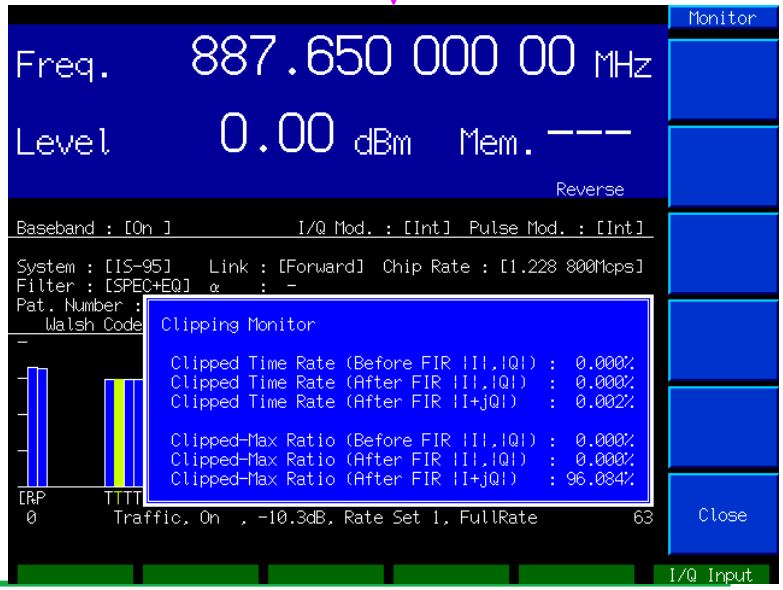
- **FIRフィルタリング前のClipping**
  - » クリッピングによる歪みが発生しないため、出力信号のACLRが悪化せず
    - – 過度なクリッピングのとき、波形品質が悪化
  - » FIRフィルタリングにより、制限レベルを超えるピークが発生するケースがあり、特に少ない多重数のとき、大きなピークが発生
- **FIRフィルタリング後のClipping**
  - » クリッピングによる歪みが発生し、出力信号のACLRが悪化
- **Scalar clipping**
  - » IまたはQ振幅レベルを制限する処理
- **Vector clipping**
  - » RMS $\sqrt{(I^2+Q^2)}$ レベルを制限する処理

テスト用信号の Peak Clipping Monitor

- **Clippingによりベクトル振幅がアッテネートされた場合、“Clipping”が表示**
  - » “Clipping Monitor”を選択可

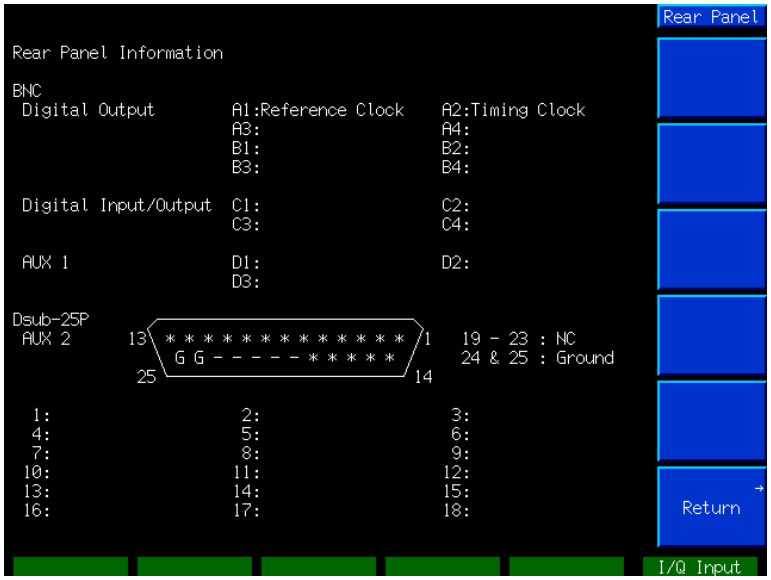


- **アッテネートされた時間とベクトル振幅をチェック**
  - » Clipped Time Rate
    - – アッテネートされたサンプリングポイントの割合
  - » Clipped Max Ratio
    - – 最大ベクトル振幅のアッテネーションの割合
      - アッテネートされなかった場合のベクトル振幅が100%



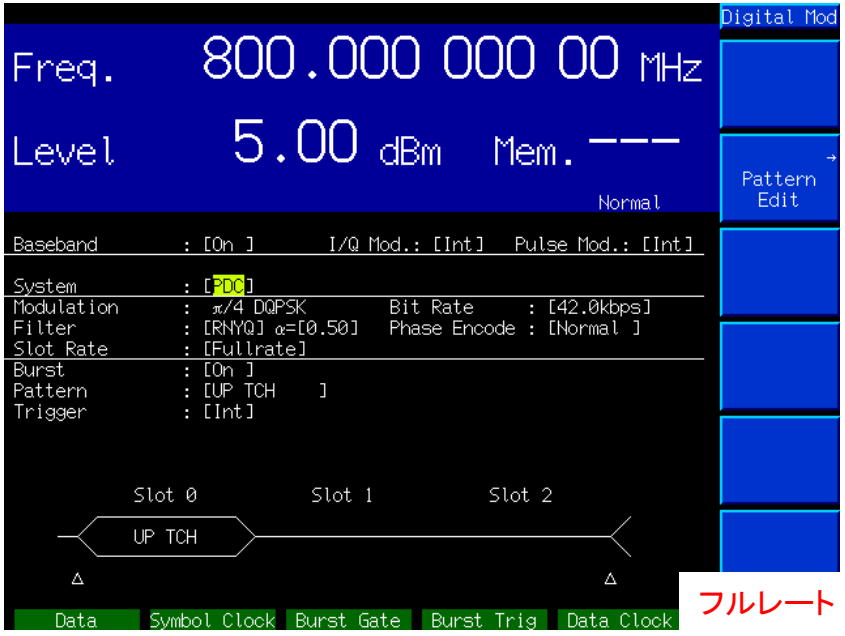
補助信号 Output

- リアパネル
  - Reference Clock
    - ベースバンドリファレンスクロック
      - チップレート
  - Timing Clock
    - 20ms, 26.7ms, 80ms, 2secを選択可

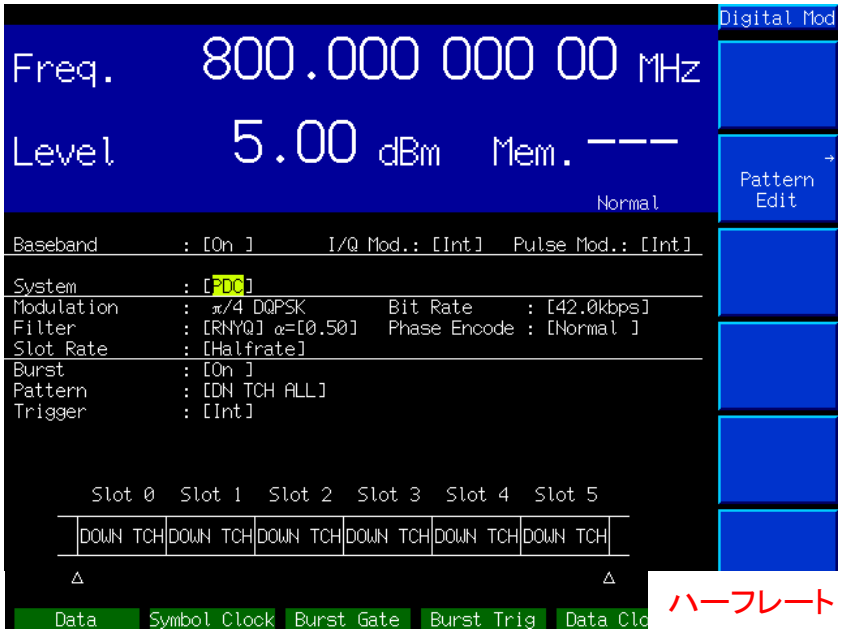


MX368011A PDCソフトウェア

- MU368010A TDMA変調ユニットに、MX368011A PDCソフトウェアをインストールすることにより、RCR STD-27規格のDownlink/UplinkのPDCテスト用信号(TCH, VOX)を出力可能
- コンポーネンツから基地局(BS)および移動機(MS)の開発/生産工程において、コンポーネンツ用信号源, 受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現



フルレート



ハーフレート

MG3670シリーズのエミュレーション

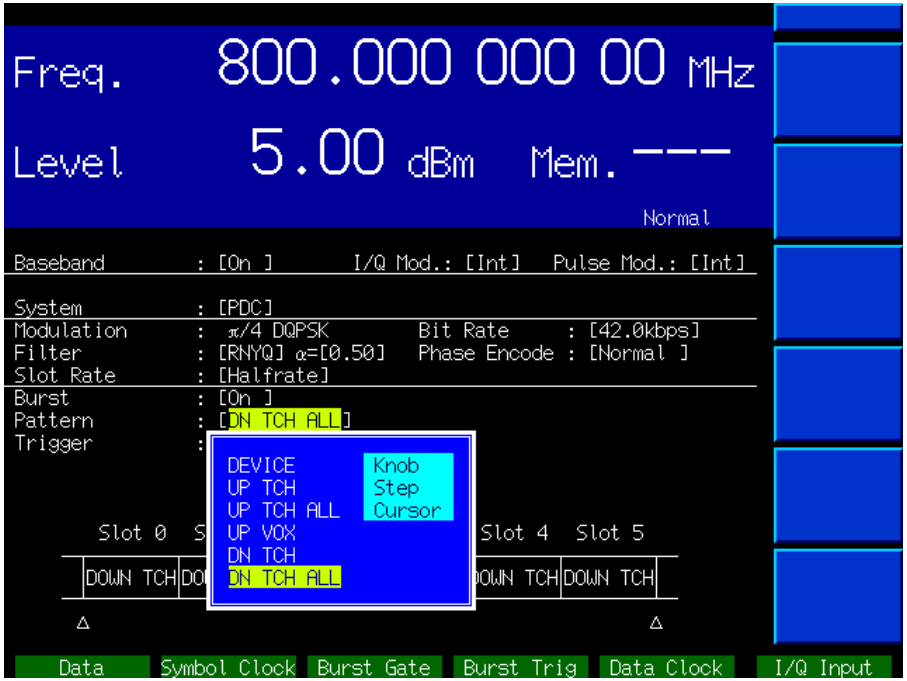
MG3670シリーズ/MG3660A

- **MG0301C π/4DQPSK変調ユニット**
- **MG0303B バースト機能ユニット**



同等機能

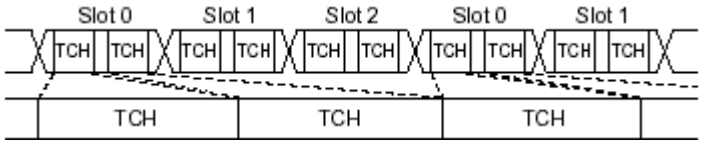
- **ディスプレイ表示**
- **リモートコントロール**

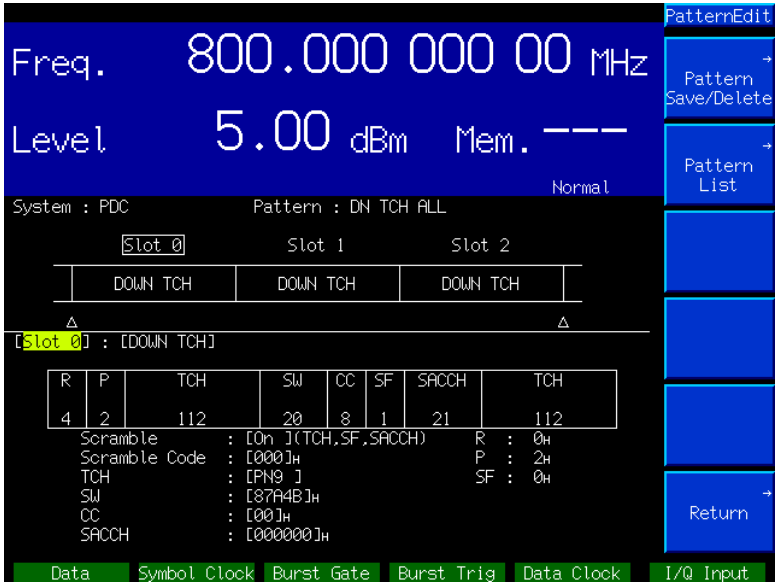


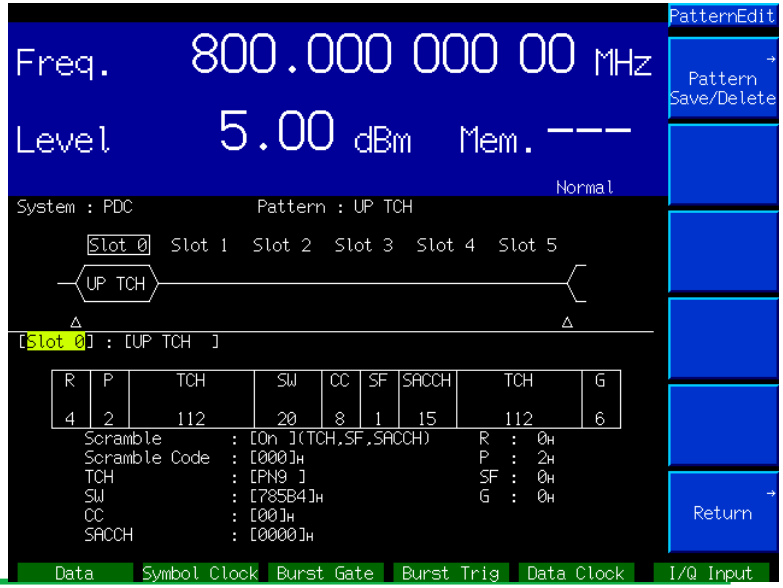
テスト用信号フォーマットのリアルタイム生成

- ディスプレイで簡単にエディット
  多様なテストケースをサポート
  - » フルレート/ハーフレート
  - » スロット On/Off
  - » パラメータ

- TCHのPRBSデータ
  - » 同一スロットで連続
  - » スロットごとに位相をシフト
    - – 誤って他のスロットを受信した場合、PRBSデータが不連続になり、BERテストにて検出可能

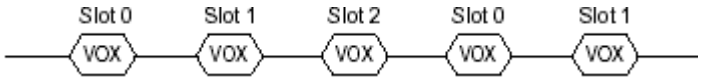




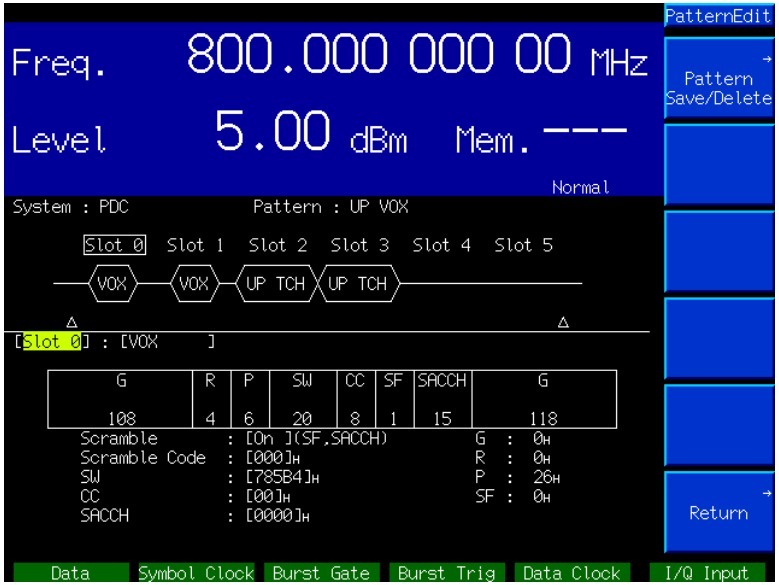


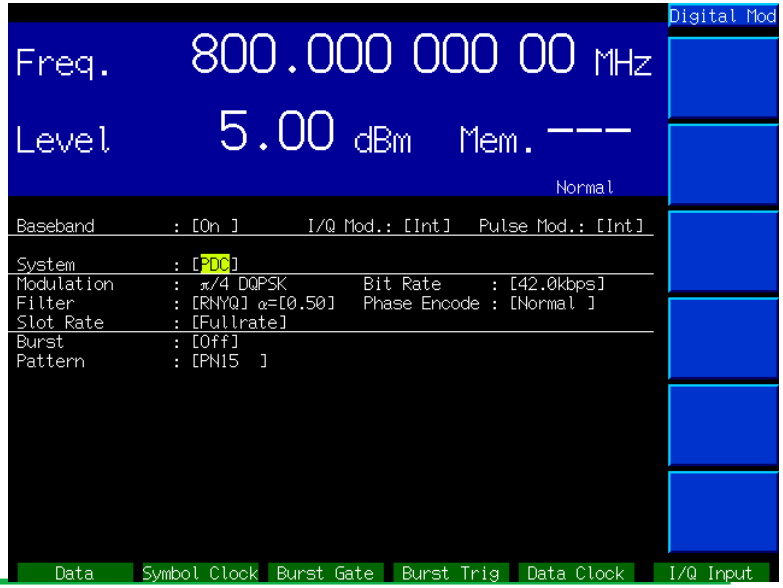
テスト用信号フォーマットのリアルタイム生成

- **VOX**(Voice Operated Transmission)
  - » MSの省電力化のために有音区間のみ音声信号を送信し、無音区間では送信を停止する制御



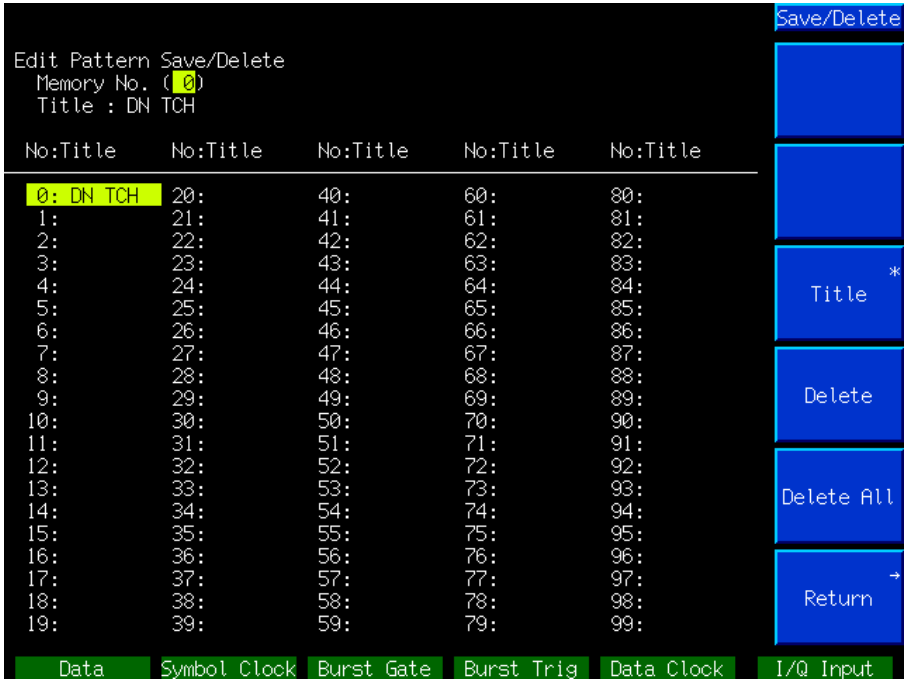
- **受信機テスト用干渉信号**

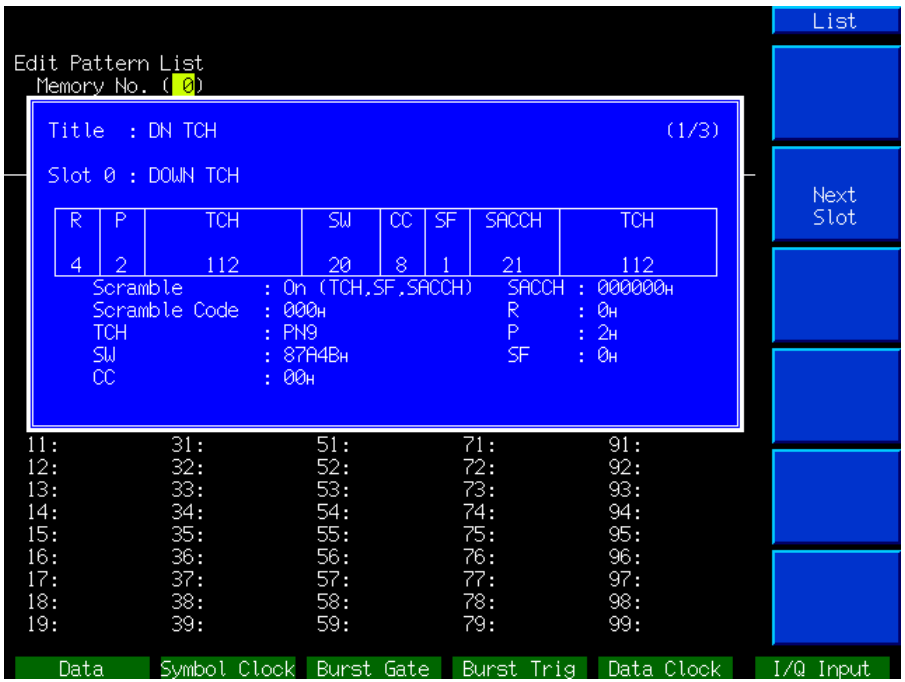




パターンメモリ (MU368010A内部メモリ)

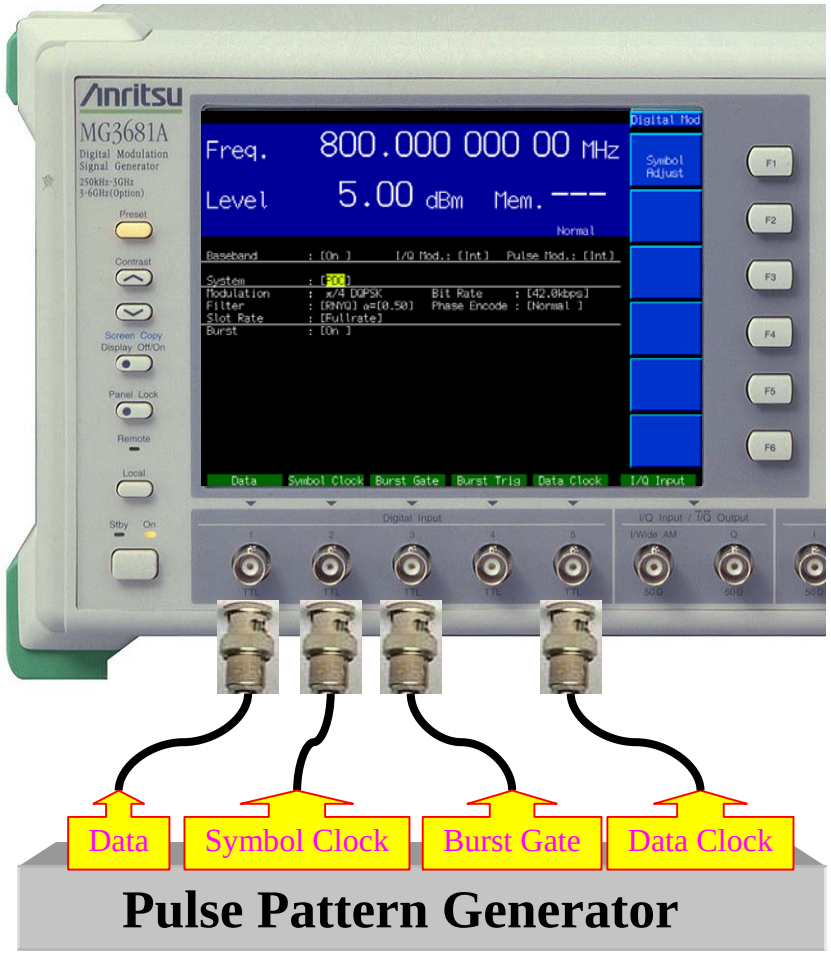
- **Pattern Edit スクリーン上パラメータの設定を100種までセーブ可能**
- **各種8文字までのタイトルを入力でき、確認が容易**
  - » セーブしたパラメータの設定ウィンドウ





外部データ入力

パルスパターンジェネレータを活用することで、任意のフレームフォーマットの
π/4DQPSK変調信号を出力可能



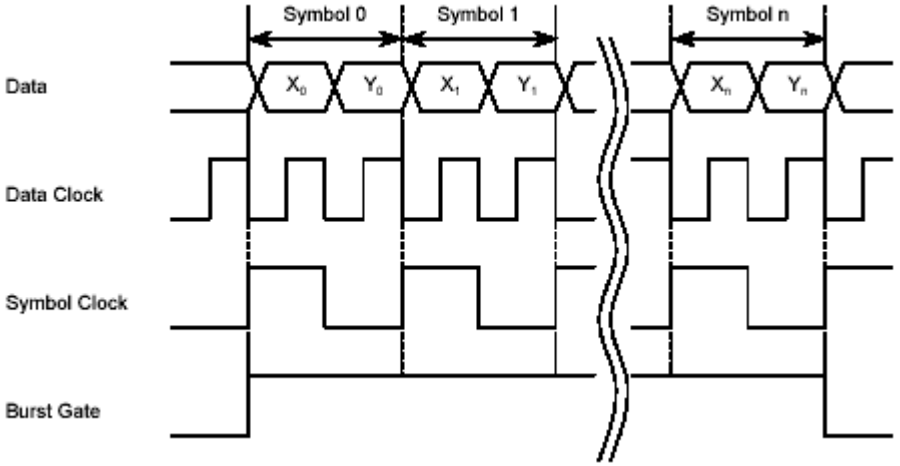

```
Base Band Setup

        Data                        : [Ext]
        Data Clock                  : [Ext]

    Ext Mod Input
        Data                        : [Positive]
        Data Clock                  : [Rise]
        Symbol Clock                : [Rise]
        Burst Gate                  : [Positive]

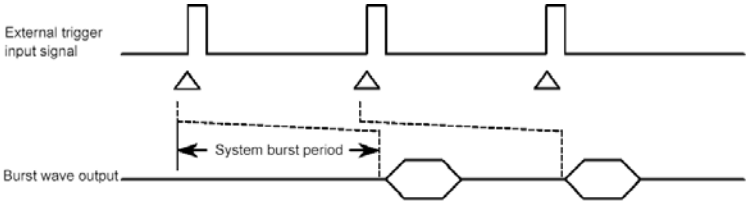
    Ext Mod Output
        Data                        : [Positive]
        Data Clock                  : [Rise]
        Symbol Clock                : [Rise]
        Burst Gate                  : [Positive]

        Burst Trigger Input         : [Rise]
        Burst Trigger Output        : [Rise]
        Pattern Sync Output         : [PN Clock]
```



補助信号 Input

» フロントパネル
  – Data, Symbol Clock, Burst Gate, Data Clock
    • 前述“外部データ入力”参照
  – Burst Trig
    • 外部バーストトリガの同期
      – BS受信機テスト時使用

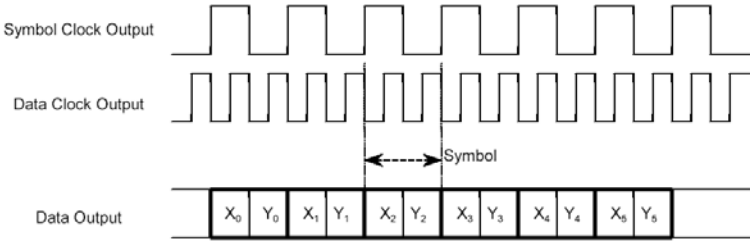




補助信号 Output

» リアパネル

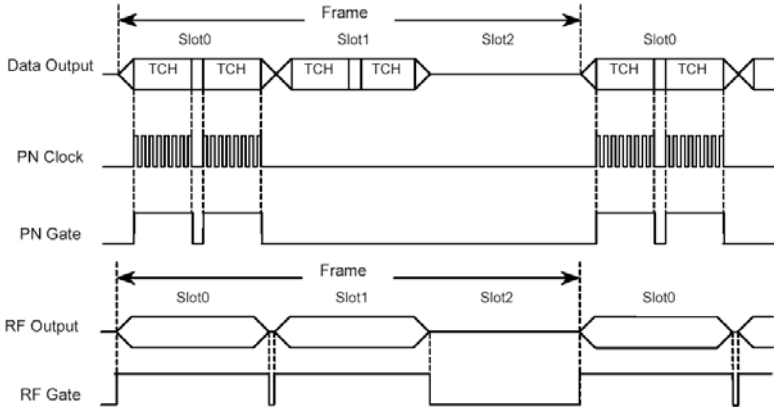
– Data, Data Clock, Symbol Clock



– Pattern Sync

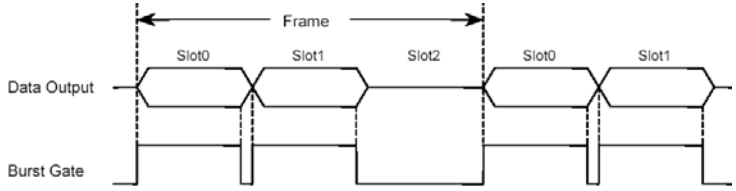
• PN Clock, PN Gate, RF Gate を選択可

– Burst On のとき



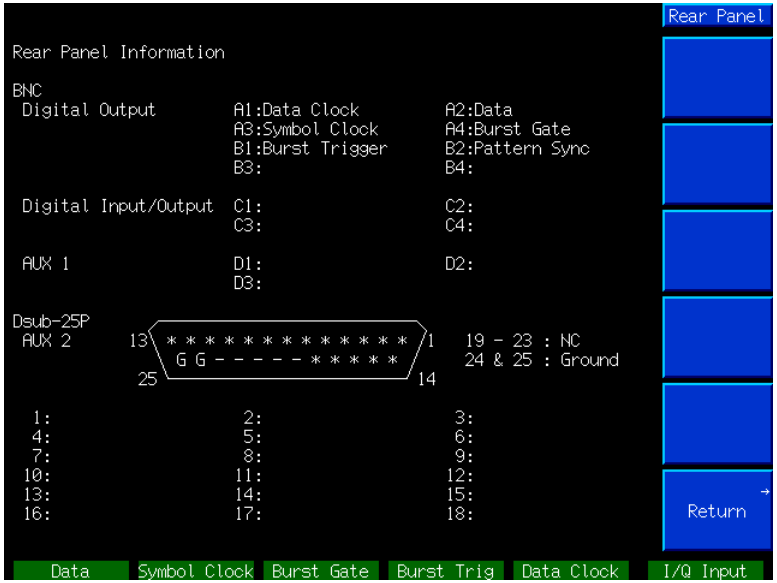
内部パルス変調器制御信号

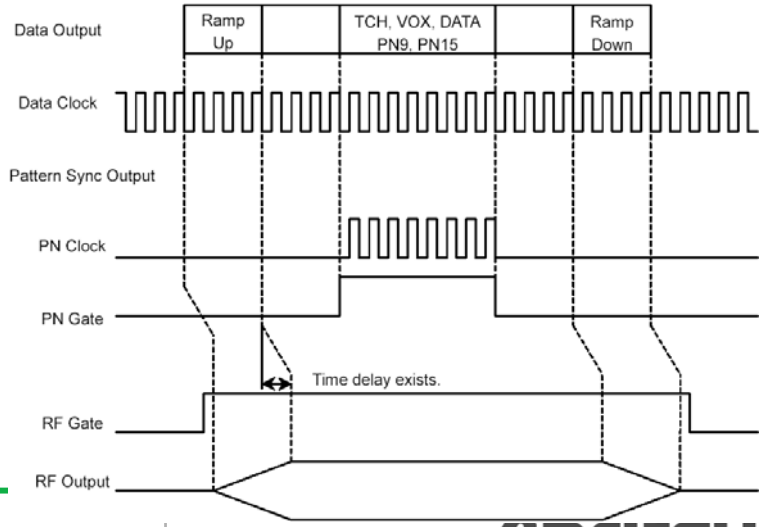
– Burst Gate



– Burst Trigger

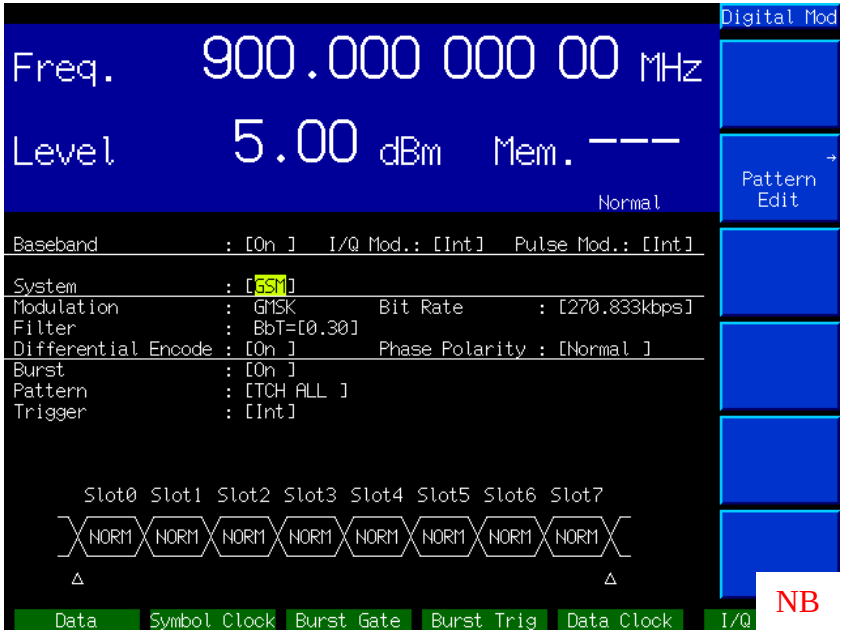
– フル/ハーフレート:
20 / 40 ms clock

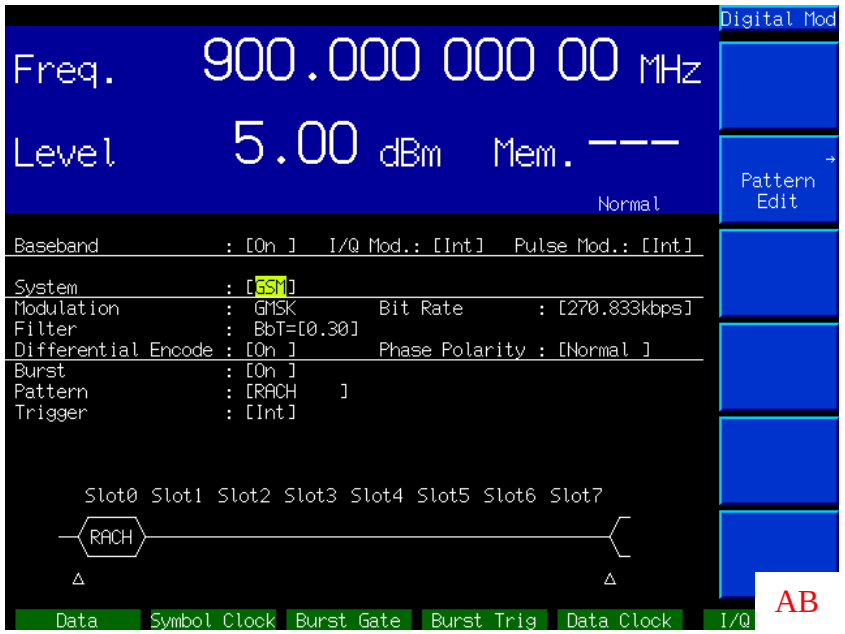




MX368012A GSMデバイステストソフトウェア

- MU368010A TDMA変調ユニットに、MX368012A GSMデバイステストソフトウェアをインストールすることにより、3GPP TS (GSM) 05.01規格のDownlink/UplinkのGSMテスト用信号(NB Normal Burst, AB Access Burst)を出力可能
- コンポーネンツから基地局(BS)および移動機(MS)の開発/生産工程において、コンポーネンツ用信号源, 受信機テスト用干渉信号源として、様々なアプリケーションをサポートするための機能を実現





MG3670シリーズのエミュレーション

MG3670シリーズ/MG3660A

- **MG0302A GMSK変調ユニット**
- **MG0303B バースト機能ユニット**

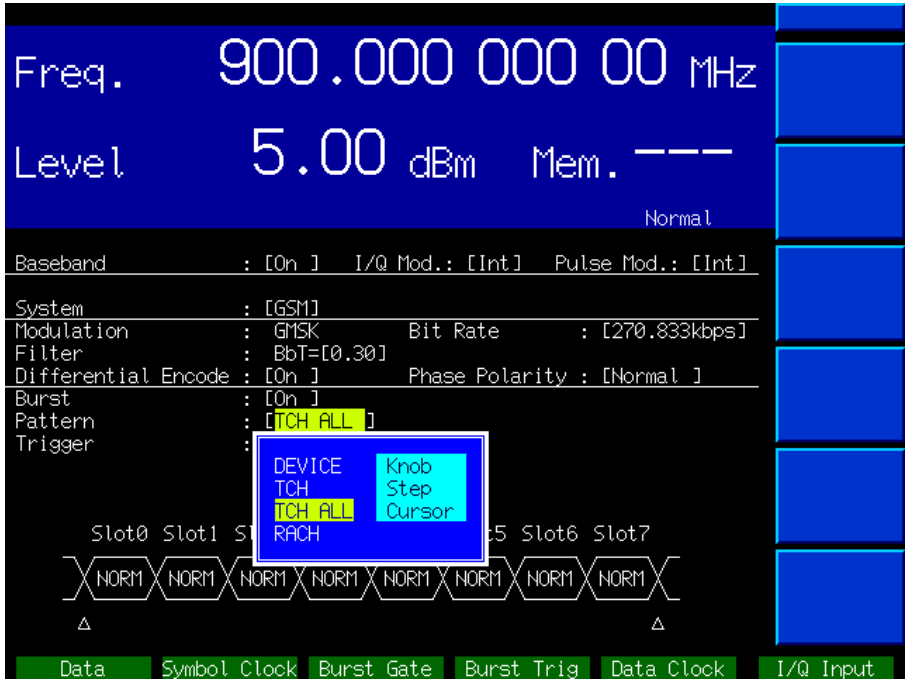


同等機能

- **ディスプレイ表示**
- **リモートコントロール**

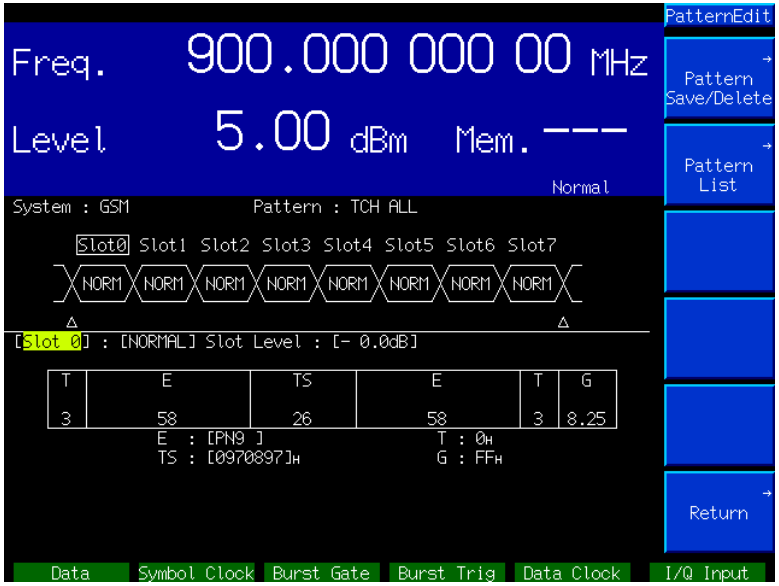
追加機能

- **RACHフォーマット**
  - » Access Burst

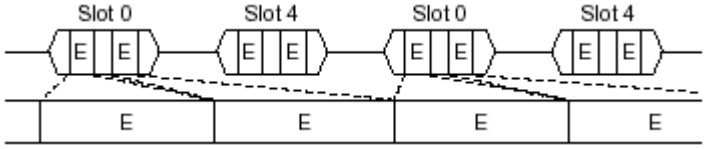


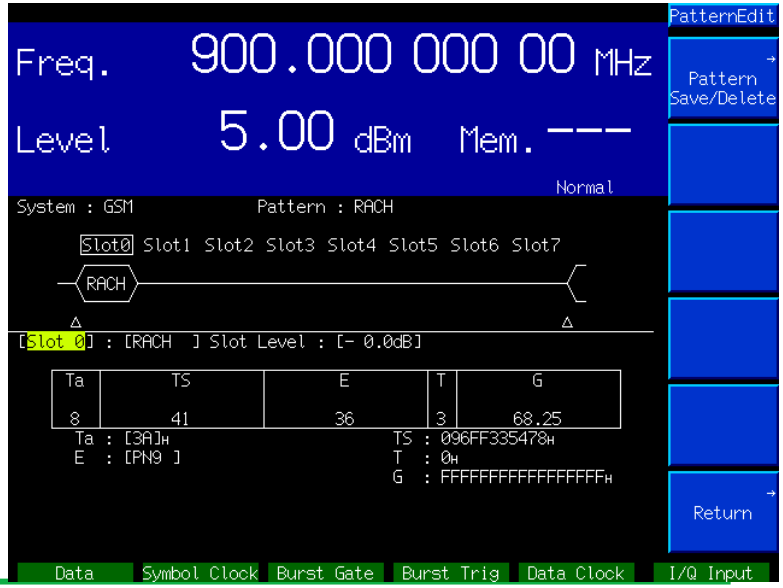
テスト用信号フォーマットのリアルタイム生成

- ディスプレイで簡単にエディット
  多様なテストケースをサポート
  - » スロット On/Off
  - » スロットレベル
    - – -20 ~ 0 dB, 0.1 dB分解能
  - » Differential Encode
    - • 3GPP TS (GSM) 05.04の差動符号化処理
  - » パラメータ



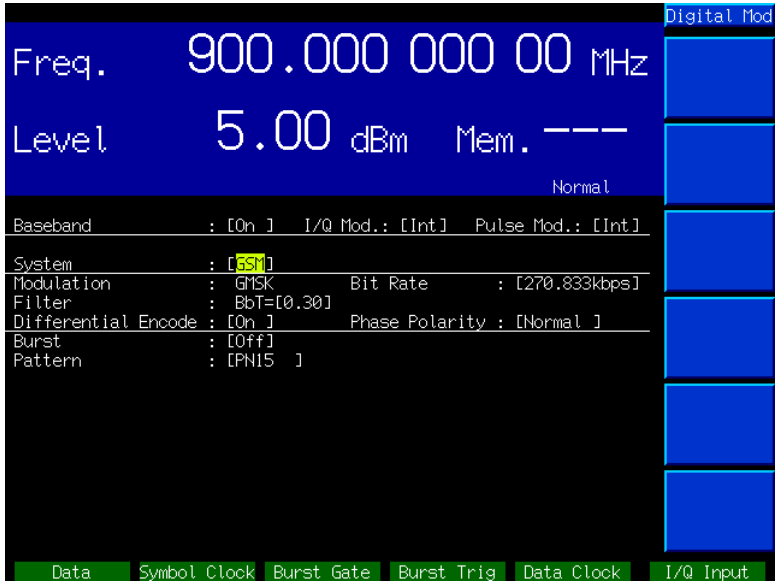
- **E(Encrypted bits)のPRBSデータ**
  - » 同一スロットで連続
  - » スロットごとに位相をシフト
    - – 誤って他のスロットを受信した場合、PRBSデータが不連続になり、BERテストにて検出可能





テスト用信号フォーマットのリアルタイム生成

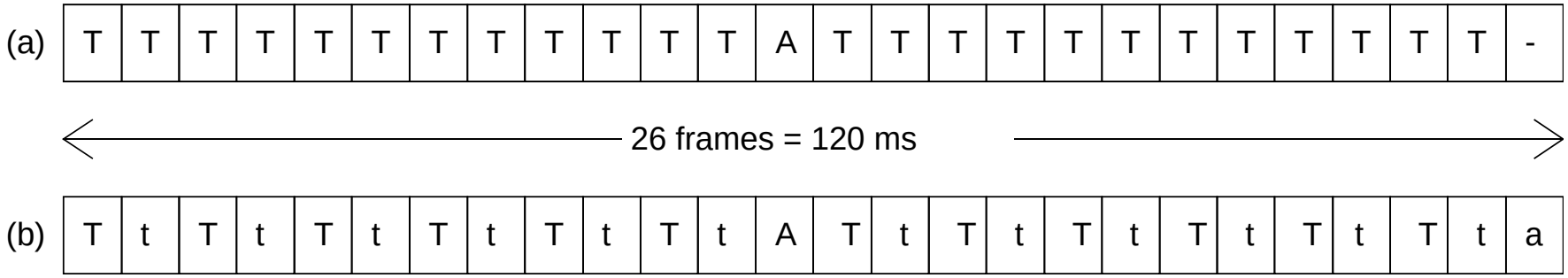
- 受信機テスト用干渉信号



テスト用信号フォーマットのチャネルコーディング

Caution

- 3GPP TS (GSM) 05.03 チャネルコーディング未対応
  - Traffic Channels (TCH)
    - TCH/FS (Speech channel at full rate)
    - TCH/EFS (Speech channel at enhanced full rate)
  - Control Channels
    - SACCH (Slow associated control channel)
    - RACH (Random access channel)
  - Packet Switched Channels
    - PDTCH (Packet data traffic channel)
- マルチフレームフォーマット未対応



(a) case of one full rate TCH

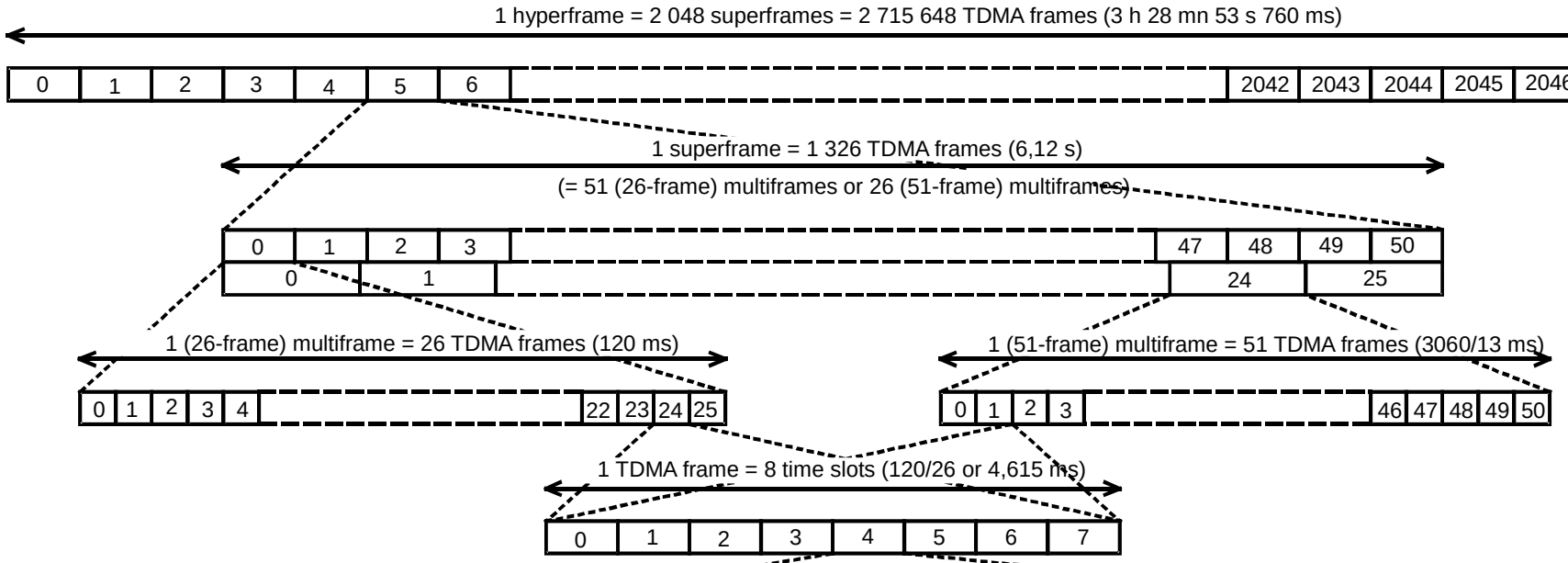
(b) case of two half rate TCHs

T, t: TDMA frame for TCH

-: idle TDMA frame

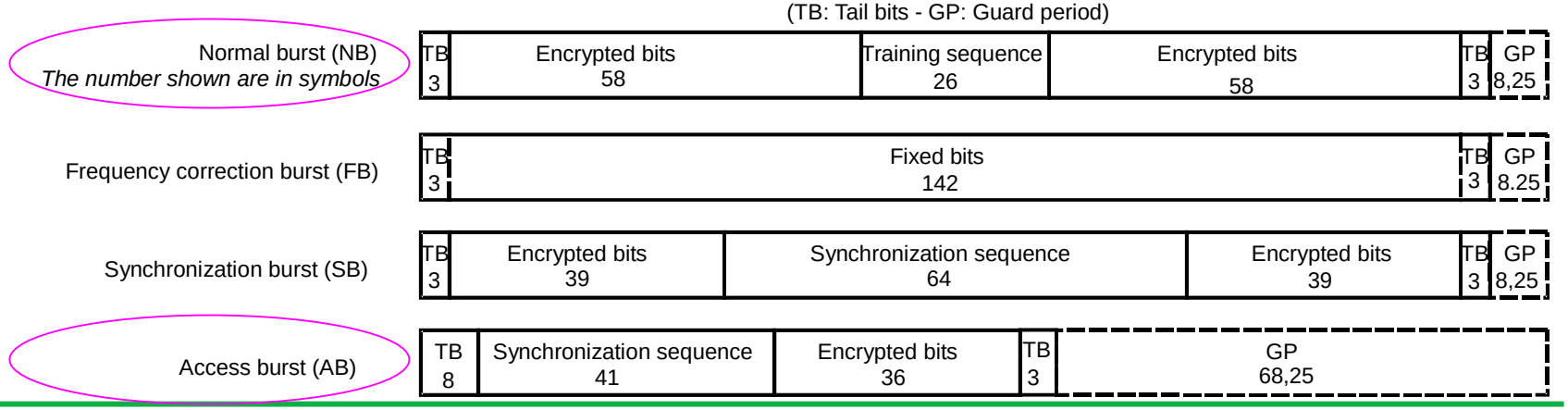
A, a: TDMA frame for SACCH/T

タイムスロット構成　in 3GPP TS 05.01



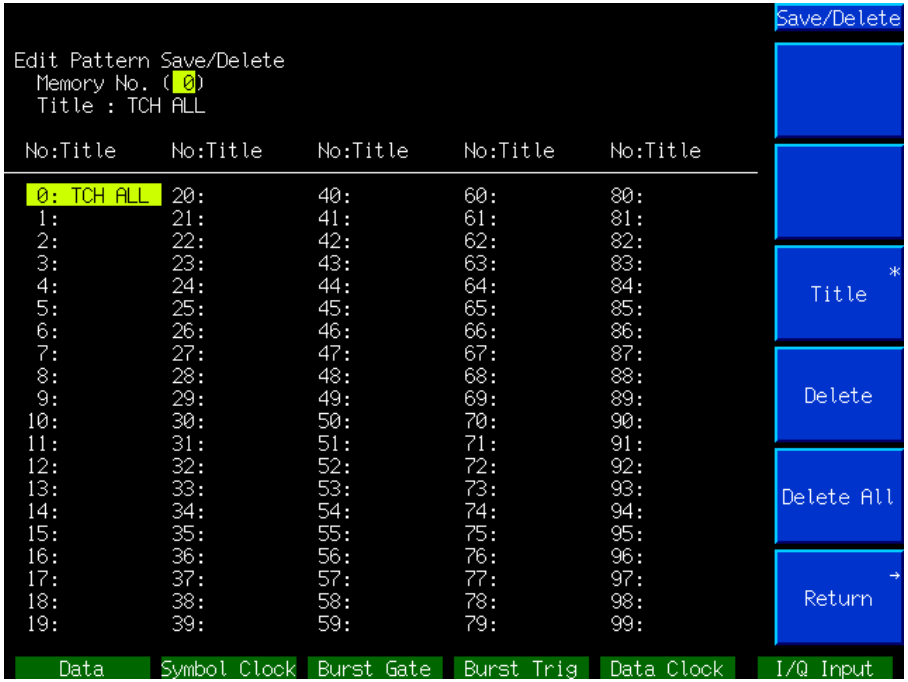
NOTE: GMSK modulation: one symbol is one bit
8PSK modulation: one symbol is three bits

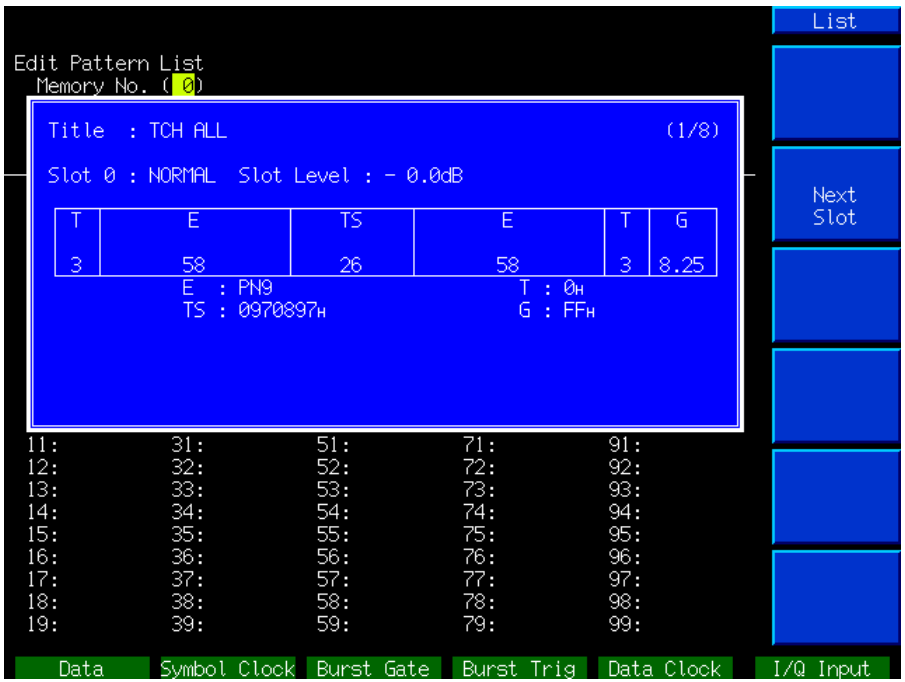
(TB: Tail bits - GP: Guard period)



パターンメモリ (MU368010A内部メモリ)

- **Pattern Edit スクリーン上パラメータの設定を100種までセーブ可能**
- **各種8文字までのタイトルを入力でき、確認が容易**
  - » セーブしたパラメータの設定ウィンドウ

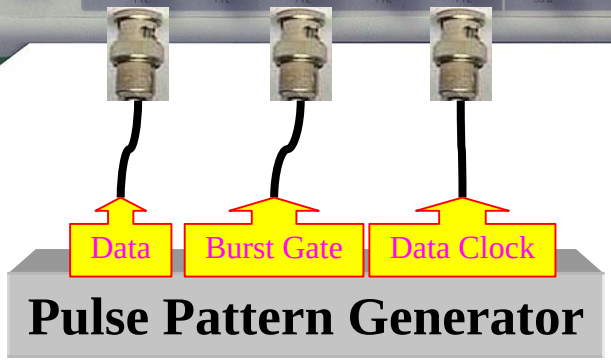




外部データ入力

パルスパターンジェネレータを活用することで、任意のフレームフォーマットの
GMSK変調信号を出力可能





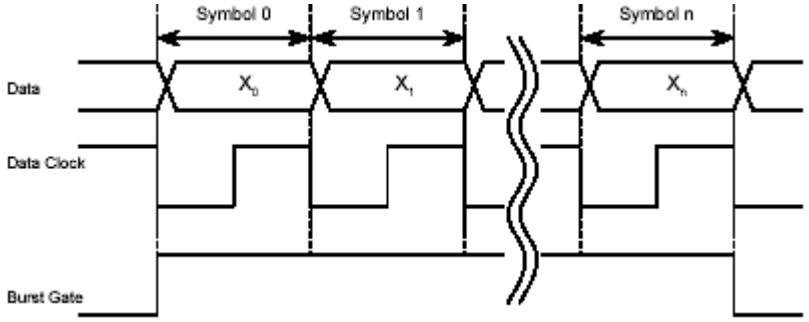

```
Base Band Setup

        Data                        : [Ext]
        Data Clock                  : [Ext]

    Ext Mod Input
        Data                        : [Positive]
        Data Clock                  : [Rise]
        Symbol Clock                : [Rise]
        Burst Gate                  : [Positive]

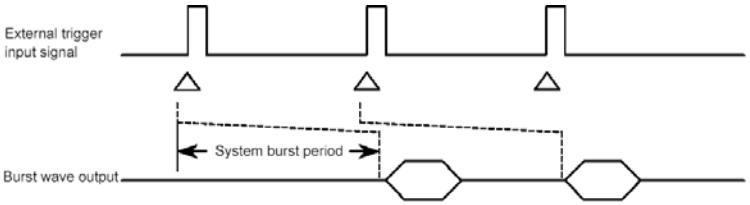
    Ext Mod Output
        Data                        : [Positive]
        Data Clock                  : [Rise]
        Symbol Clock                : [Rise]
        Burst Gate                  : [Positive]

        Burst Trigger Input         : [Rise]
        Burst Trigger Output        : [Rise]
        Pattern Sync Output         : [PN Clock]
```



補助信号 Input

- フロントパネル
  - Data, Burst Gate, Data Clock
    - 前述“外部データ入力”参照
  - Symbol Clock
    - Data Clock と同じ
  - Burst Trig
    - 外部バーストトリガの同期
      - BS受信機テスト時使用



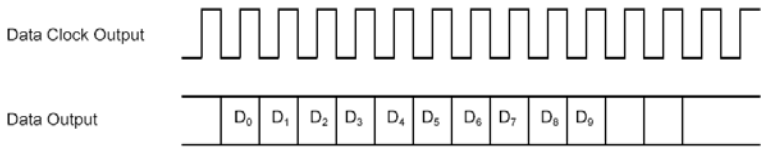


補助信号 Output

» リアパネル

– Data, Data Clock

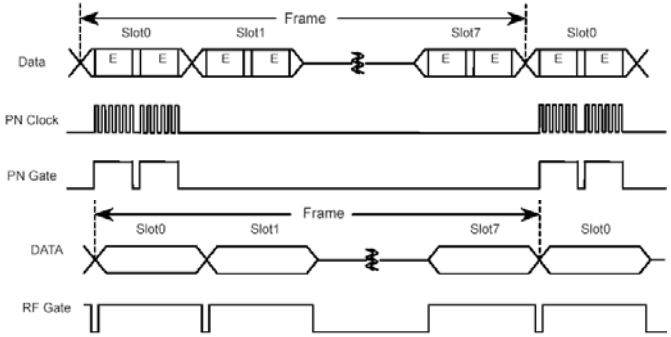
– Symbol Clock は、Data Clock と同じ



– Pattern Sync

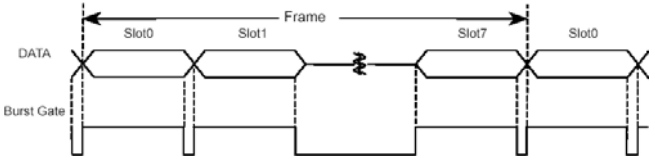
• PN Clock, PN Gate, RF Gate を選択可

– Burst On のとき



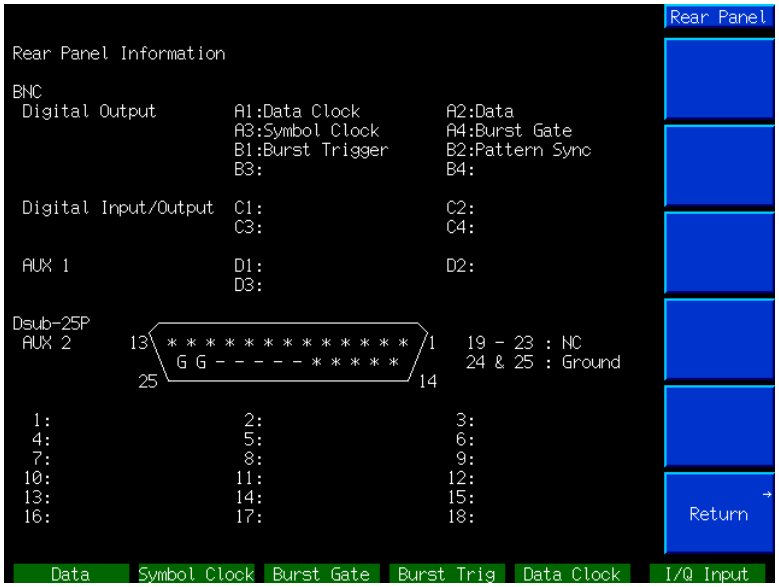
内部パルス変調器制御信号

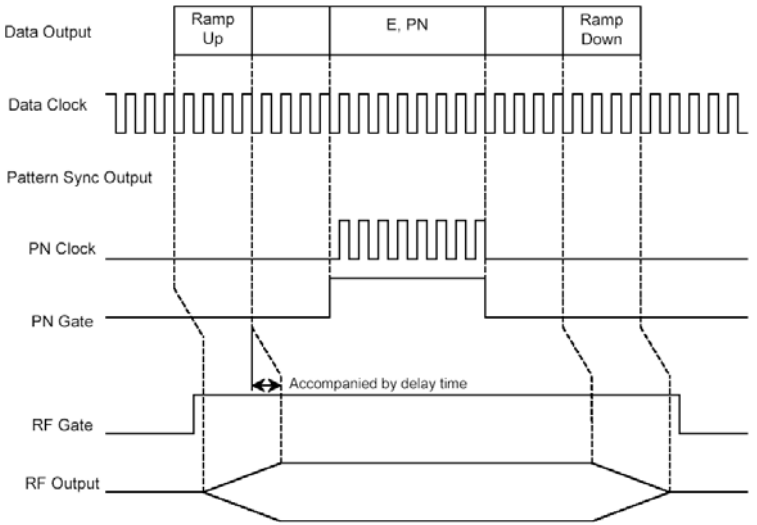
– Burst Gate



– Burst Trigger

– 4.615 ms clock





MX368031A デバイステスト信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368031A デバイステスト信号発生ソフトウェアをインストールすることにより、世界のメイン通信システムに対応したテスト用信号を出力可能
- コンポーネンツの生産工程において、コンポーネンツ用信号源としての機能を実現
- CDMA2000 1X基地局(BS)の生産工程において、受信機テスト用希望信号源としての機能を実現
- CDMA2000 1X移動機(MS), CDMA2000 1xEV-DO ANアクセスネットワークおよびATアクセスターミナルの開発/生産工程において、受信機テスト用干渉信号源としての機能を実現



テスト用信号フォーマットのサポート

- **通信システムの複雑なパラメータを設定することなく、大容量波形メモリに保存されたシグナルパターンを選択するだけ!**
  簡単操作
- **TDMA 5シグナルパターンと、CDMA2000 10シグナルパターンを高速チェンジ < 1 sec**
  - » TDMA: GSM/EDGE (2), PDC, IS-136, PHS
  - » CDMA2000: CDMA2000 1X (5), 1xEV-DO (4)
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - – PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - オーバーサンプリングのI/Qマッピングデータを Waveform data Memoryにストレージ

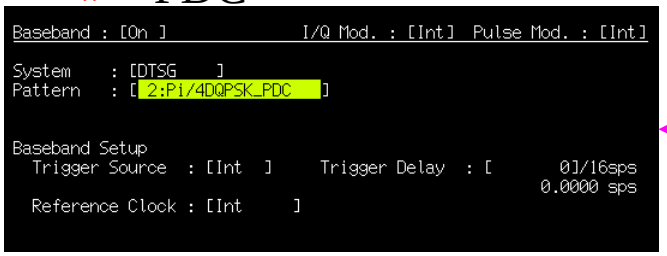
シグナルパターン

	変調	変調データ, パラメータ
• **TDMA**		
Frameフォーマット 未対応		
» GSM/EDGE:	8PSK	PN9連続変調, Linearized Gaussian, 270.833ksps
	GMSK	PN9連続変調, Gaussian (Bbt: 0.3), 270.833ksps
» PDC:	π/4DQPSK	PN9連続変調, Root Nyquist (α: 0.5), 21ksps
» NADC(IS-136):	π/4DQPSK	PN9連続変調, Root Nyquist (α: 0.35), 24.3ksps
» PHS:	π/4DQPSK	PN9連続変調, Root Nyquist (α: 0.5), 192ksps
• **CDMA2000 1X**		
» Reverse: Channel coding 対応 (BSのFERテスト可)		
– RC1:	BPSK→OQPSK	Traffic(TCH)
– RC3 (1):	BPSK→HPSK	Fundamental(FCH) + Pilot(PICH)
– RC3 (2):	BPSK→HPSK	Fundamental(FCH) + Supplemental(SCH) + Pilot(PICH)
– RC3 (3):	BPSK→HPSK	Dedicated Control(DCCH) + Pilot(PICH)
» Forward: Channel coding 未対応		
– RC1-2:	BPSK→QPSK	Pilot(PICH) + SYNC + Paging(PCH) + Traffic(TCH)x6
– RC3-5:	BPSK/QPSK→QPSK	Pilot(PICH) + SYNC + Paging(PCH) + Traffic(TCH)x6
• **CDMA2000 1xEV-DO**		
Channel coding 未対応		
» Forward:		
– Active Slot:	BPSK/16QAM→QPSK	Pilot(PICH) + MAC + Data
– Idle Slot:	BPSK→QPSK	Pilot(PICH) + MAC
» Reverse:	BPSK→HPSK	Pilot(PICH) + DRC + ACK + Data
– 9.6 kbps:	DRCChannelGain 3 dB, ACKChannelGain 3 dB, DataChannelGain 3.75 dB	
– 153.6 kbps:	DRCChannelGain 3 dB, ACKChannelGain 3 dB, DataChannelGain 18.5 dB	

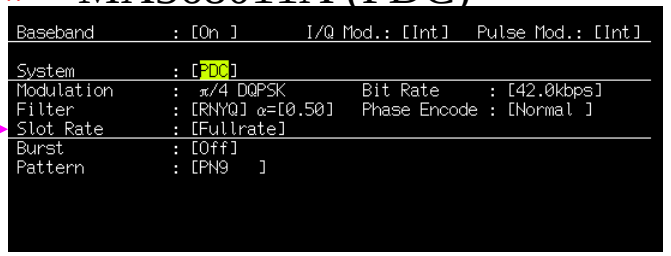
PDC, GSM, PHS　同一シグナルパターン

MX368031A

» PDC



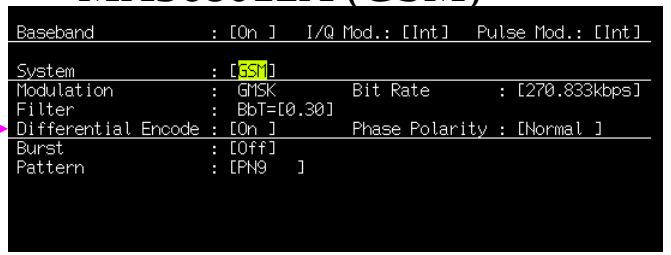
» MX368011A (PDC)



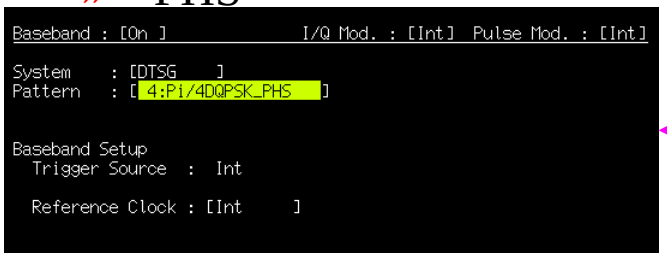
» GSM



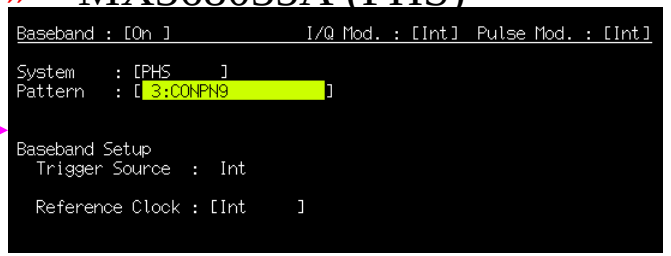
» MX368012A (GSM)



» PHS



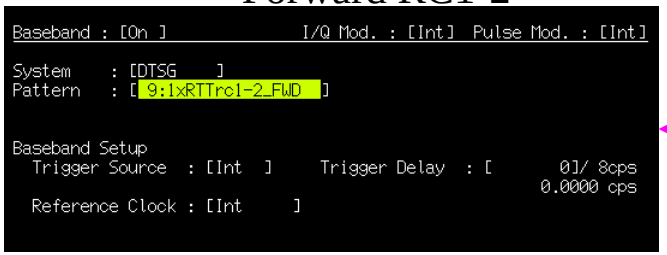
» MX368035A (PHS)



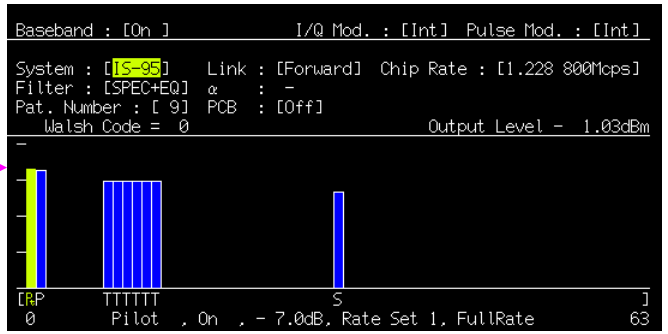
CDMA2000 1X 同一シグナルパターン

MX368031A

- » CDMA2000 1X
  - – Forward RC1-2



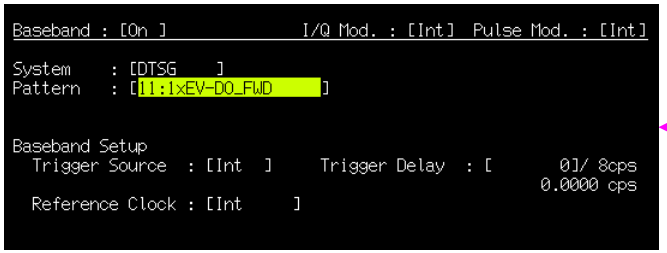
- » MX368042A (IS-95)



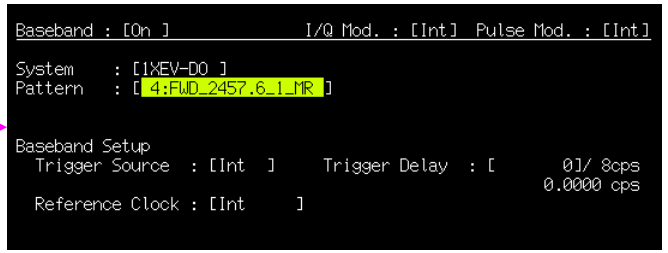
CDMA2000 1xEV-DO 同一シグナルパターン

MX368031A

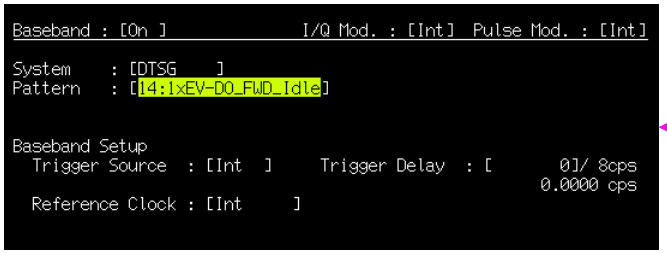
- CDMA2000 1xEV-DO
  - Forward Active Slot

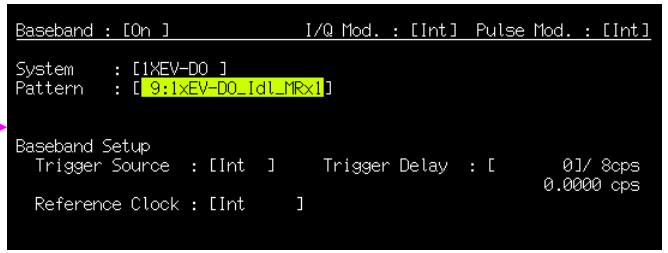


- MX368033A (1xEV-DO)

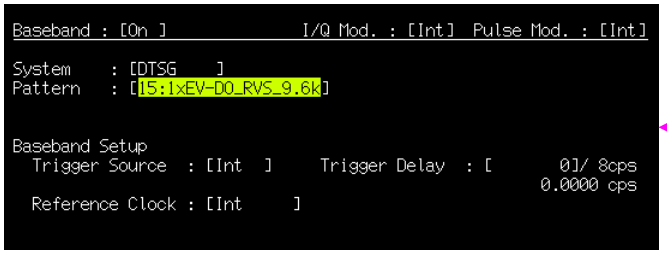


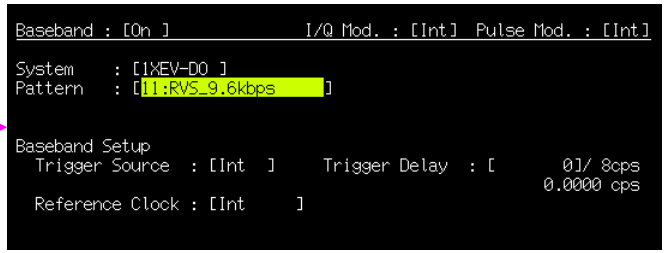
  - Forward Idle Slot



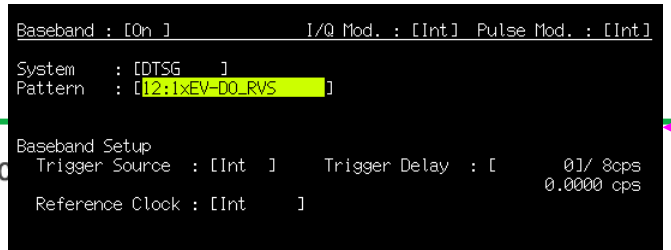


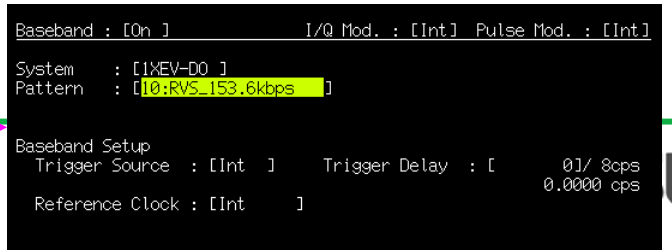
  - Reverse 9.6 kbps





  - Reverse 153.6 kbps





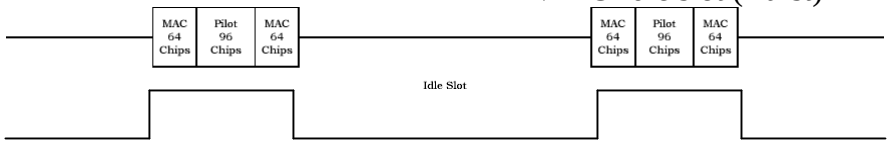
補助信号 Input

- フロントパネル
  - Trigger
    - CDMA2000 1X Reverseシグナルにて有効
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - BS受信機テスト時使用
  - Ref. Clock
    - CDMA2000シグナルにて有効
    - 外部ベースバンドリファレンスクロックの同期
    - 8×チップレート (8× 1228.4 kcps = 9830.4 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



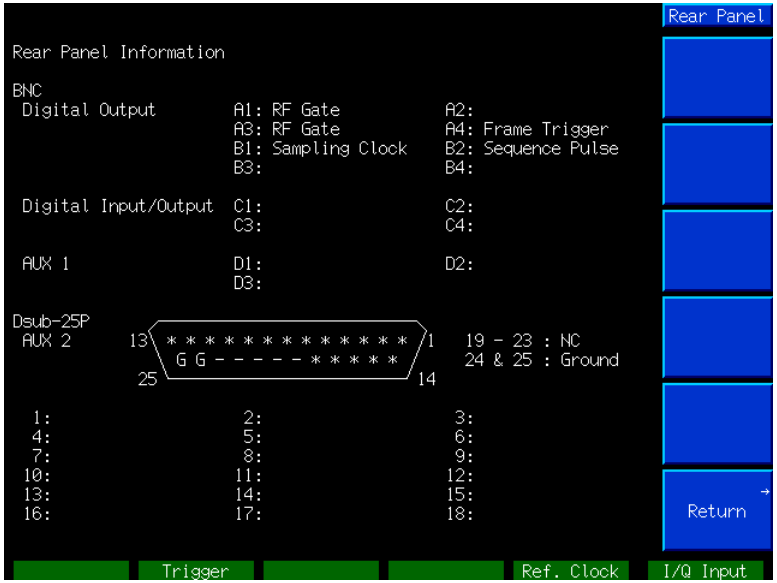
補助信号 Output

» リアパネル
  – RF Gate
    – 1xEV-DO Idle slot (Burst)



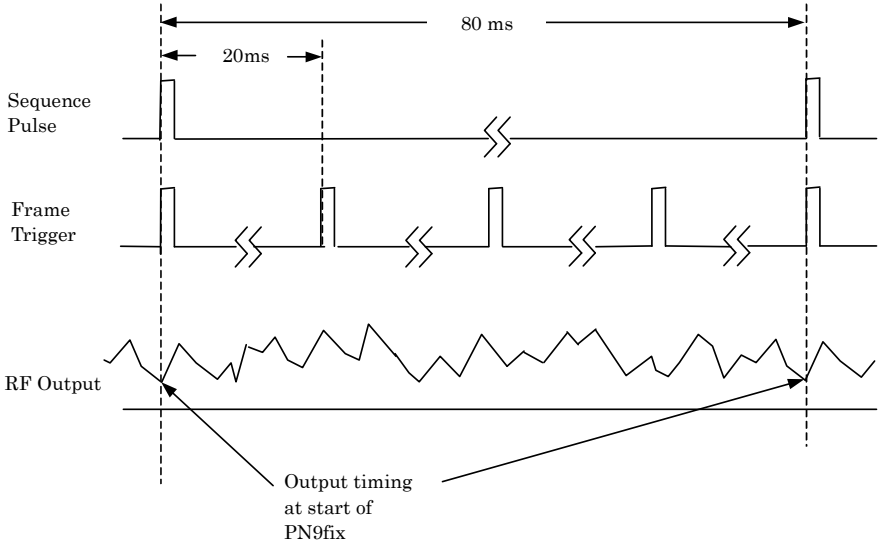
内部パルス変調器制御信号

  – Sampling Clock
    • CDMA2000シングル時
    • ベースバンドリファレンスクロック
      – 8×チップレート
        (8× 1228.4 kcps = 9830.4 kHz)

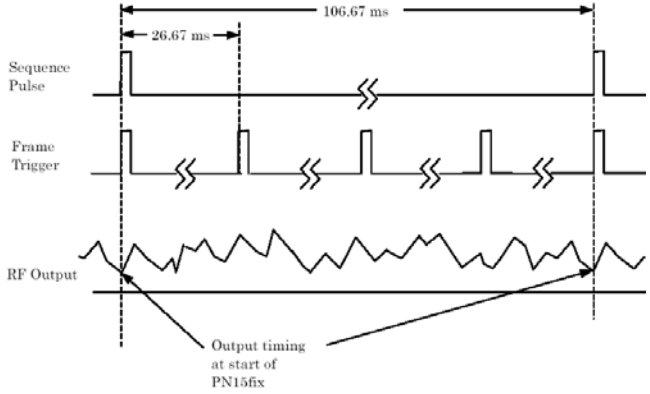


補助信号 Output

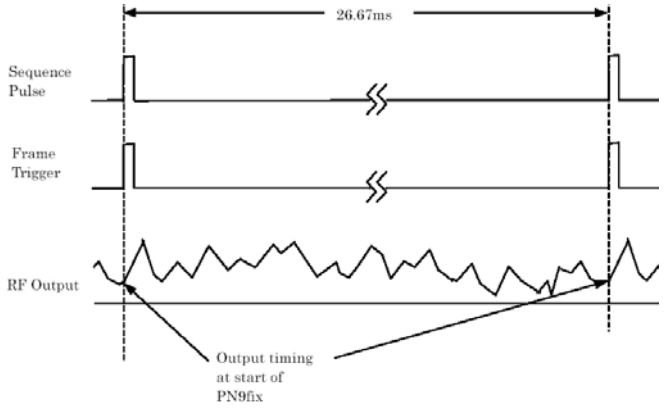
» リアパネル
  – Frame Trigger, Sequence Pulse
    – CDMA2000 1X



  – 1xEV-DO (Active/Idle)

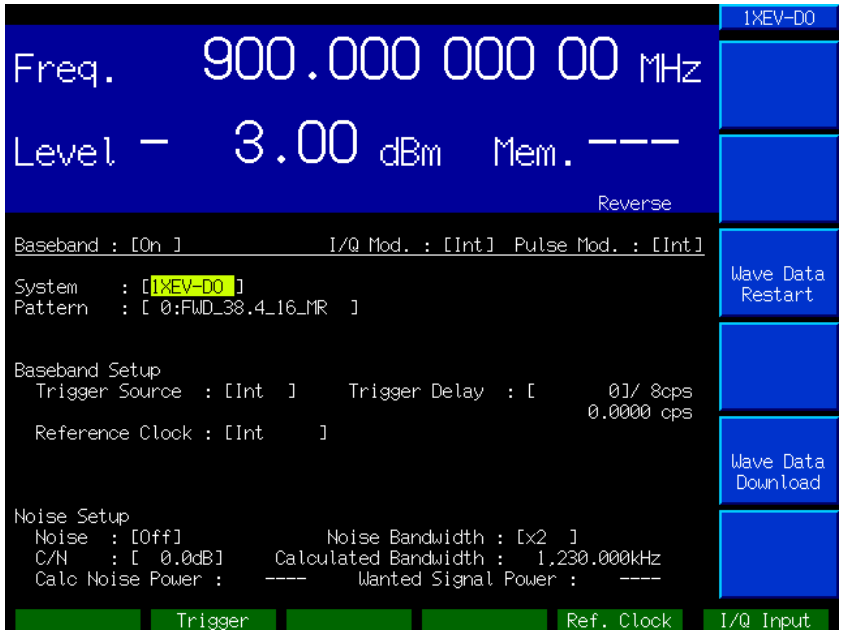


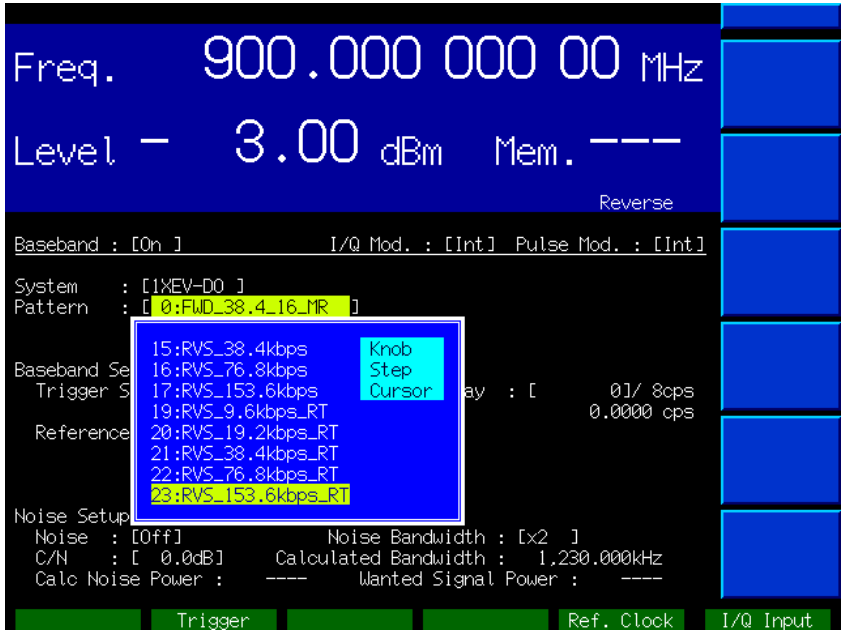
  – 1xEV-DO Reverse



MX368033A CDMA2000 1xEV-DO信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368033A CDMA2000 1xEV-DO信号発生ソフトウェアをインストールすることにより、3GPP2 C.S0024規格のForward/ReverseのCDMA2000 1xEV-DOテスト用信号を出力可能
- コンポーネンツからANアクセスネットワークおよびATアクセスターミナルの開発/生産工程において、コンポーネンツ用信号源、受信機テスト用希望信号源として、様々なアプリケーションをサポートするための機能を実現





テスト用信号フォーマットのサポート

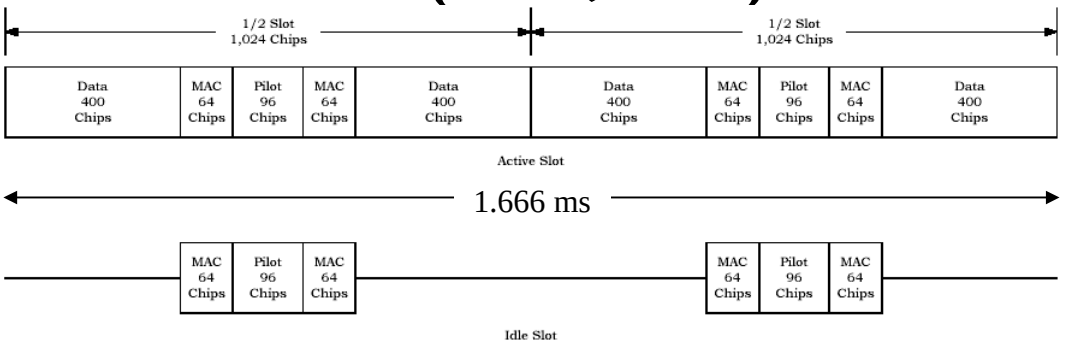
- **3GPP2 C.S0024 に基づいたCodingフォーマット (Frame/Slot 構造化, CRC付加, ターボコーディング, インタリーブ)であるため、3GPP2 C.S0032 (AN), C.S0033 (AT) テスト仕様の受信機テスト(PER Packet Error Rate)が可能**
- **3GPP2の複雑なパラメータを設定することなく、大容量波形メモリに保存されたシグナルパターンを選択するだけ!**

  簡単操作
- **Forward 13データレートのシグナルパターン(Idle Slot 付)と、Reverse 5データレートのシグナルパターンを**

  高速チェンジ < 1 sec
- **8×までのマルチキャリアをサポート**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 8倍オーバーサンプリングのI/QマッピングデータをWaveform data Memoryにストレージ
      - マルチキャリアでは16倍オーバーサンプリング

シグナルパターン

- **Forward (13パターン)**



12パターン

Data Rate (kbps)	Number of Values per Physical Layer Packet				
	Slots	Bits	Code Rate	Modulation Type	TDM Chips (Preamble, Pilot, MAC, Data)
38.4	16	1,024	1/5	QPSK	1,024 3,072 4,096 24,576
76.8	8	1,024	1/5	QPSK	512 1,536 2,048 12,288
153.6	4	1,024	1/5	QPSK	256 768 1,024 6,144
307.2	2	1,024	1/5	QPSK	128 384 512 3,072
614.4	1	1,024	1/3	QPSK	64 192 256 1,536
307.2	4	2,048	1/3	QPSK	128 768 1,024 6,272
614.4	2	2,048	1/3	QPSK	64 384 512 3,136
1,228.8	1	2,048	1/3	QPSK	64 192 256 1,536
921.6	2	3,072	1/3	8-PSK	64 384 512 3,136
1,843.2	1	3,072	1/3	8-PSK	64 192 256 1,536
1,228.8	2	4,096	1/3	16-QAM	64 384 512 3,136
2,457.6	1	4,096	1/3	16-QAM	64 192 256 1,536

- **Reverse (10パターン)**
  - » セクタ受信機テスト用
  - » AT送信機テスト用

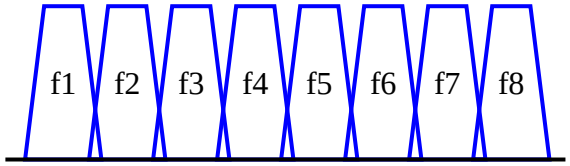
Data Rate (kbps)	9.6	19.2	38.4	76.8	153.6
Reverse Rate Index	1	2	3	4	5
Code Rate	1/4	1/4	1/4	1/4	1/2
Bits per Physical Layer Packet	256	512	1,024	2,048	4,096
Number of Turbo Encoder Input Symbols	250	506	1,018	2,042	4,090
Turbo Encoder Code Rate	1/4	1/4	1/4	1/4	1/2
Encoder Output Block Length (Code Symbols)	1,024	2,048	4,096	8,192	8,192

マルチキャリア

マルチキャリアをサンプルシグナルパターンとしてPCメモリカードにセーブ(付録)

- Forward Active Slot マルチキャリア (8×, 4×, 3×, 2×, 1×)
- Forward Idle Slot マルチキャリア (8×, 4×, 3×, 2×, 1×)
  - 周波数オフセット: 1.25 MHz
  - Pilot Channel:
    - PN Offset Index = 0 (f1), 1 (f2), 2 (f3), 3 (f4), 4 (f5), 5 (f6), 6 (f7), 7 (f8)
  - MAC Channel:
    - MACIndex = RA, 13 RPC Channel

4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17	(f1)
4, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30	(f2)
4, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43	(f3)
4, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56	(f4)
4, 57, 58, 59, 60, 61, 62, 63, 5, 6, 7, 8, 9, 10	(f5)
4, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23	(f6)
4, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36	(f7)
4, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49	(f8)

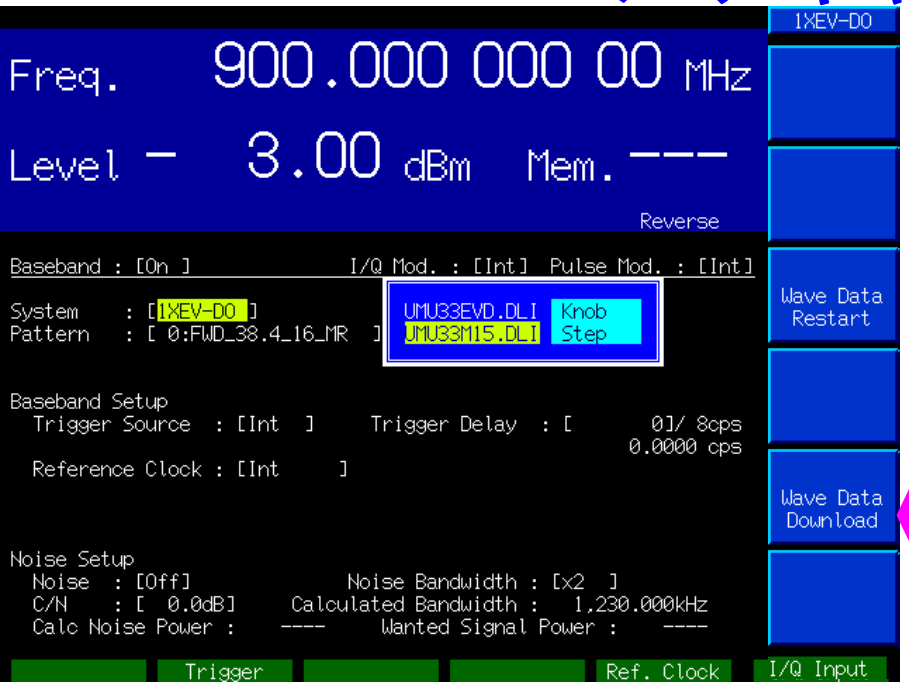


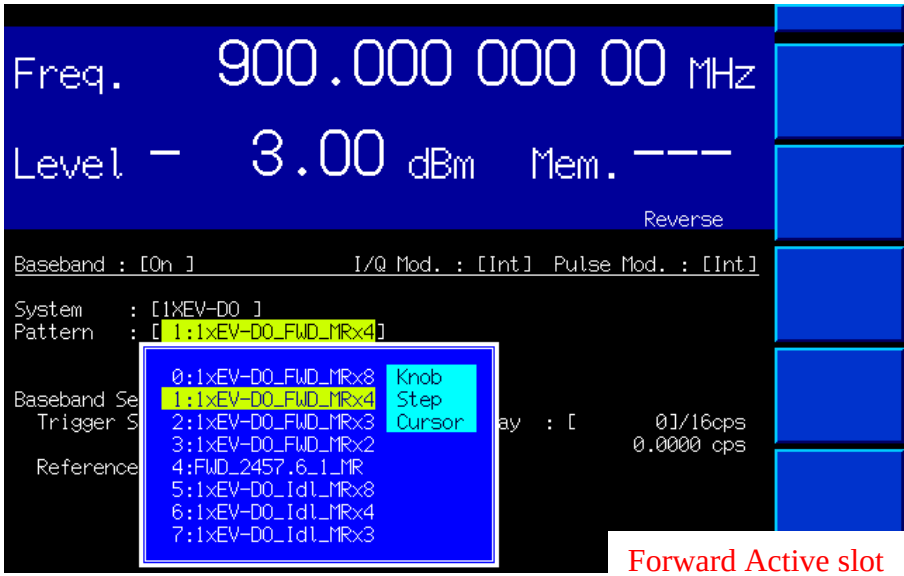
    - RABit = PRBS
    - RPCBit = PRBS
  - Frame length: 3 frame (8×, 4×, 3×, 2×), 4 frame (1×)

Active Slot

- Traffic Channel: PN15fix
- Data Rate: 2457.6 kbps
- Preamble: 64 chip
- Modulation: 16QAM

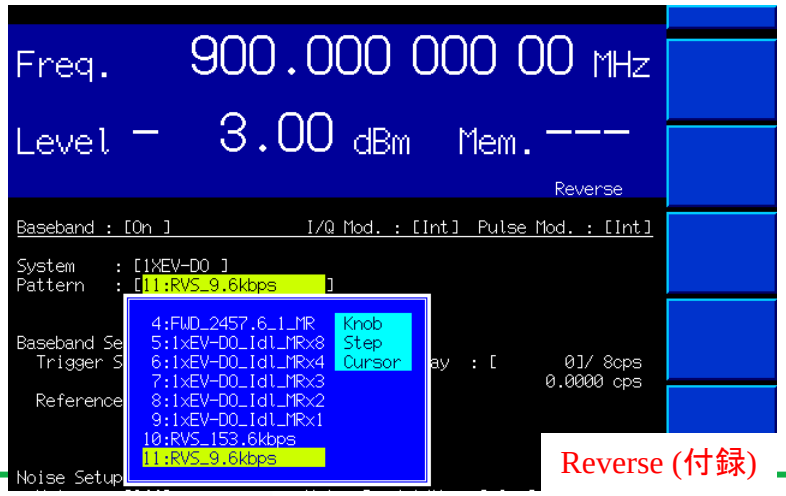
マルチキャリア セレクト



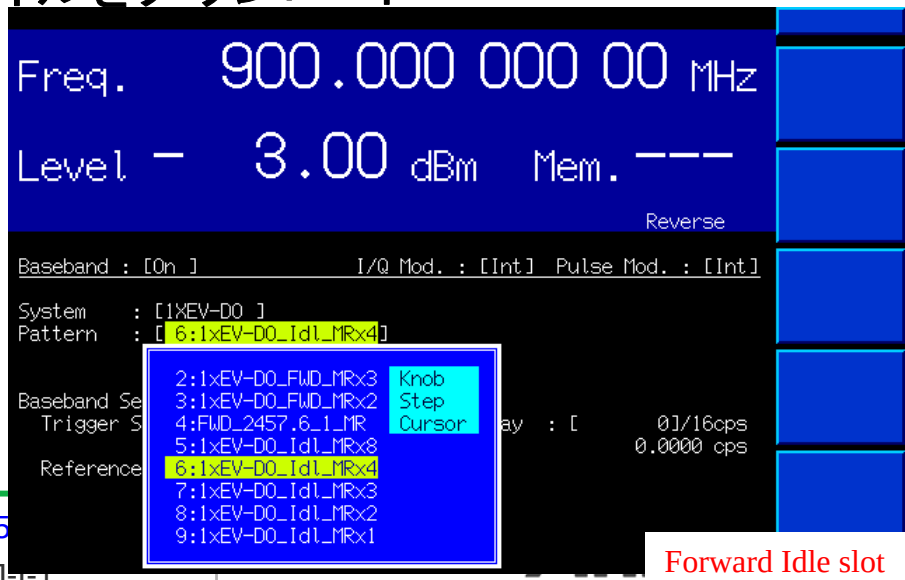


Forward Active slot

PCメモリカードからシグナルパターンファイルをダウンロード



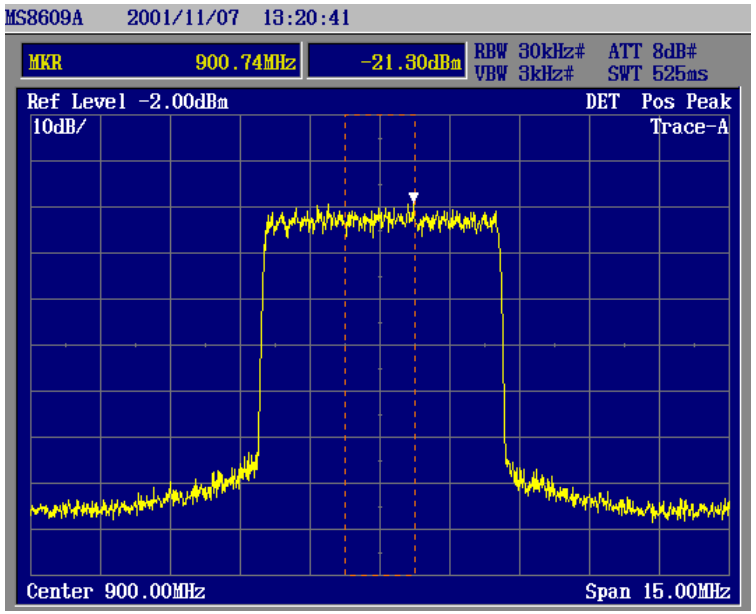
Reverse (付録)

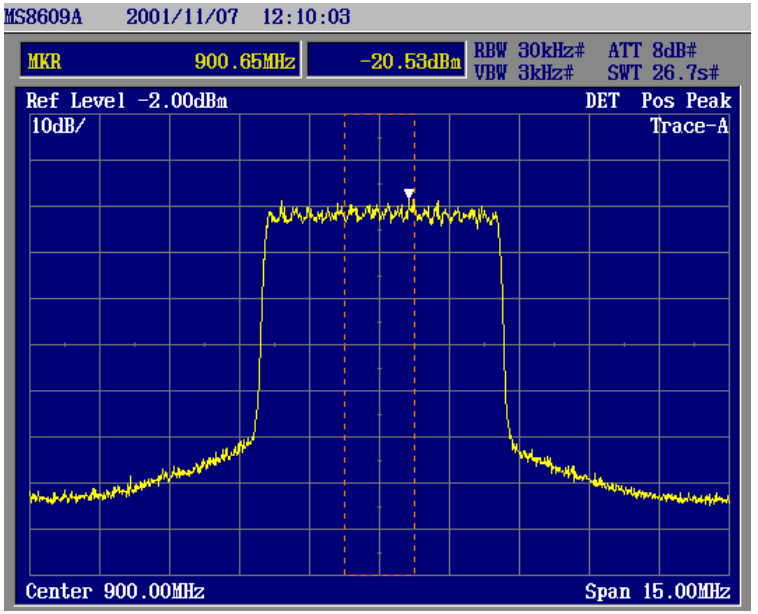


Forward Idle slot

Discover What's Possible™

4キャリア Spurious Emissions (typ.)





Forward Active Slot

L* / U* dBc/30kHz

1: -69.35 / -70.81

2: -73.78 / -74.87

3: -74.96 / -75.36

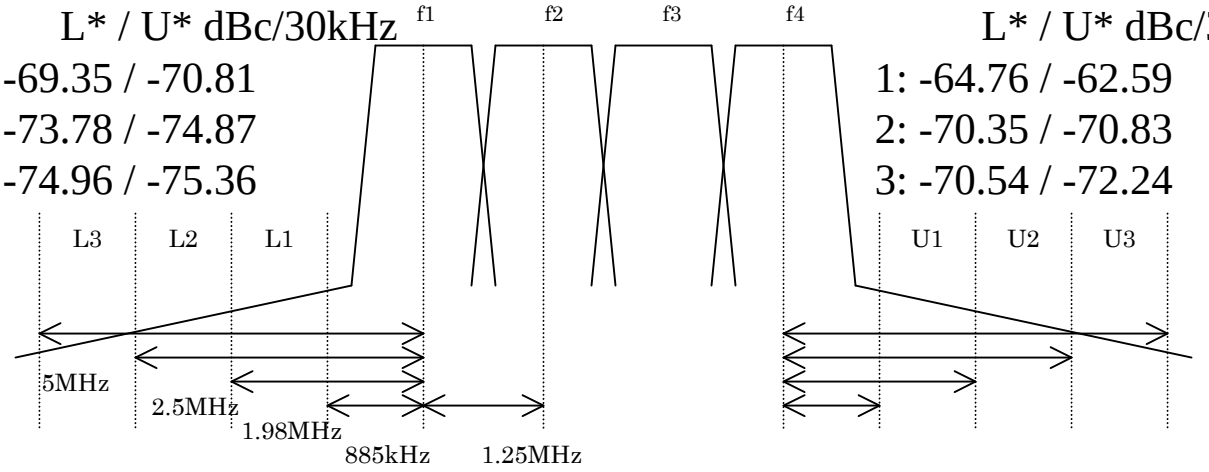
Forward Idle Slot

L* / U* dBc/30kHz

1: -64.76 / -62.59

2: -70.35 / -70.83

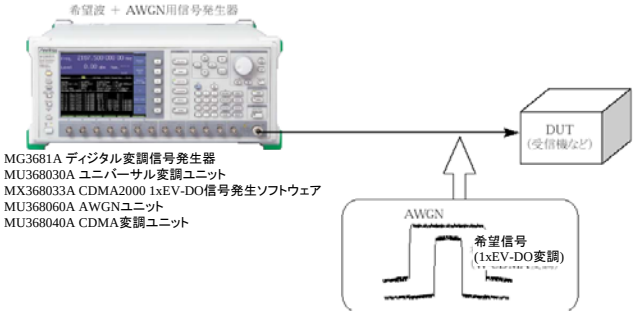
3: -70.54 / -72.24

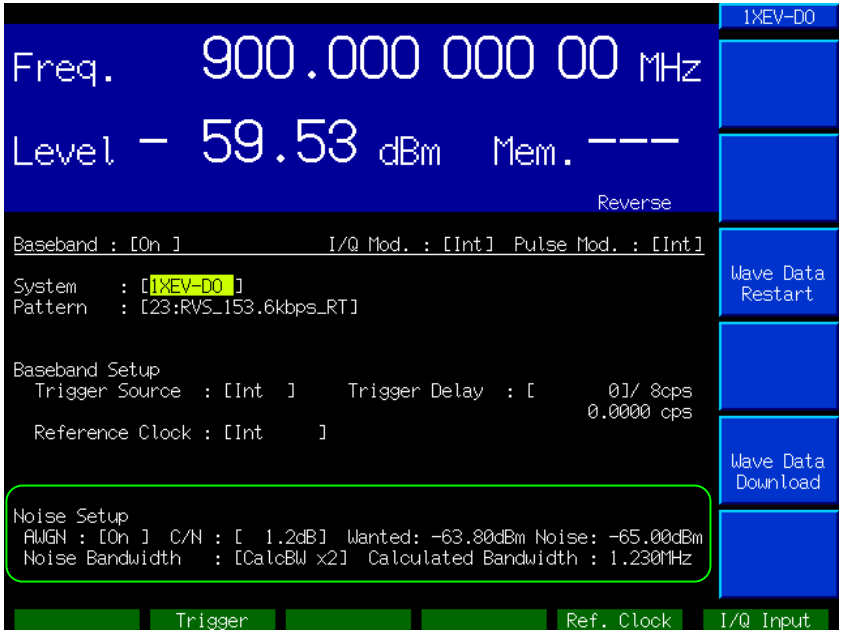


AWGNミキシング

1台でAN受信機のダイナミックレンジテスト可能

- **CDMA2000希望信号にAWGNをミキシング**
- **高確度/高安定C/N**
  - » -30 ~ -30 dB, 0.1 dB分解能





- **AWGN帯域幅をセレクト**
  - » 2× 1.23MHz = 2.46 MHz
  - » 3× 1.23MHz = 3.69 MHz
  - » 4× 1.23MHz = 4.92 MHz

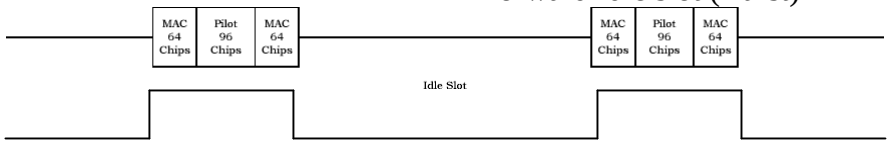
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - AN受信機テスト時使用
  - Ref. Clock
    - シングルキャリア時
    - 外部ベースバンドリファレンスクロックの同期
    - 8×チップレート (8× 1228.4 kcps = 9830.4 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



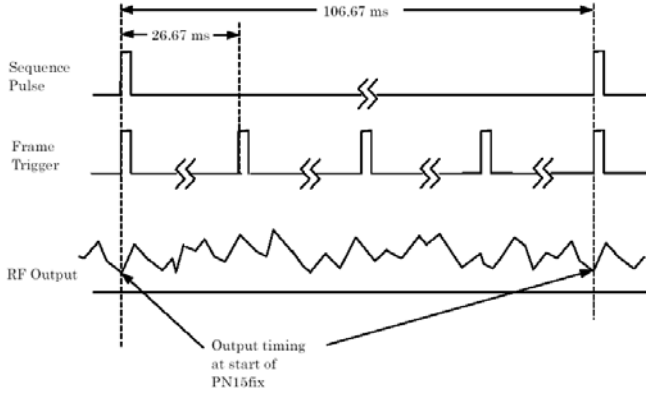
補助信号 Output

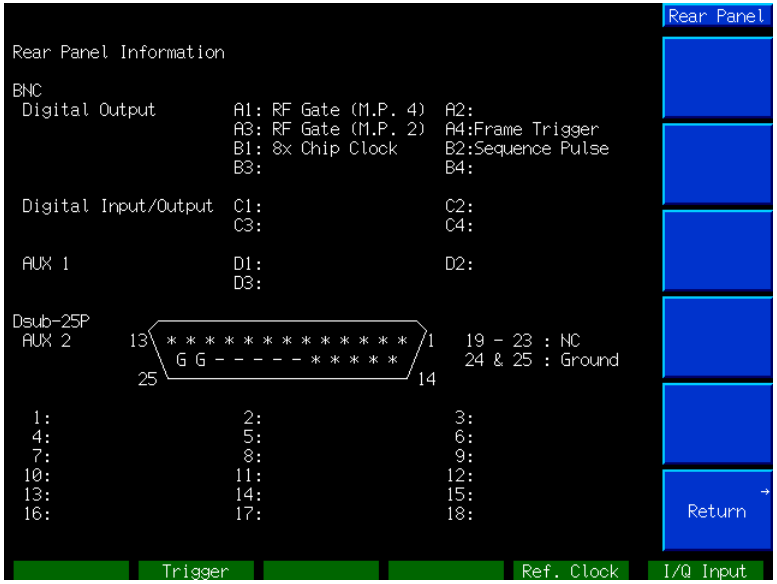
» リアパネル
- RF Gate
  - Forward Idle slot (Burst)



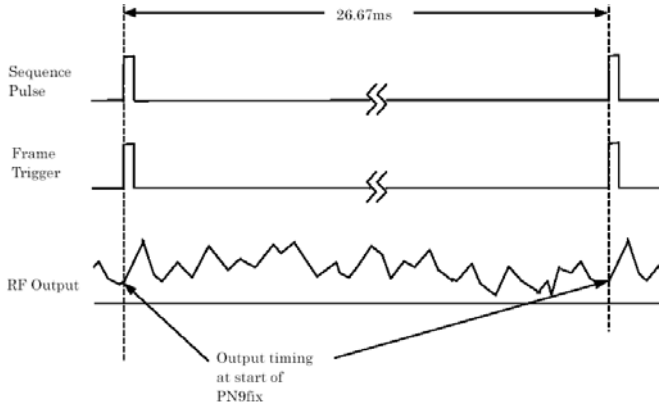
内部パルス変調器制御信号

- 8x Chip Clock
  - シングルキャリア時
  - ベースバンドリファレンスクロック
    - 8×チップレート
      (8× 1228.4 kcps = 9830.4 kHz)
- Frame Trigger, Sequence Pulse
  - Forward (Active/Idle)



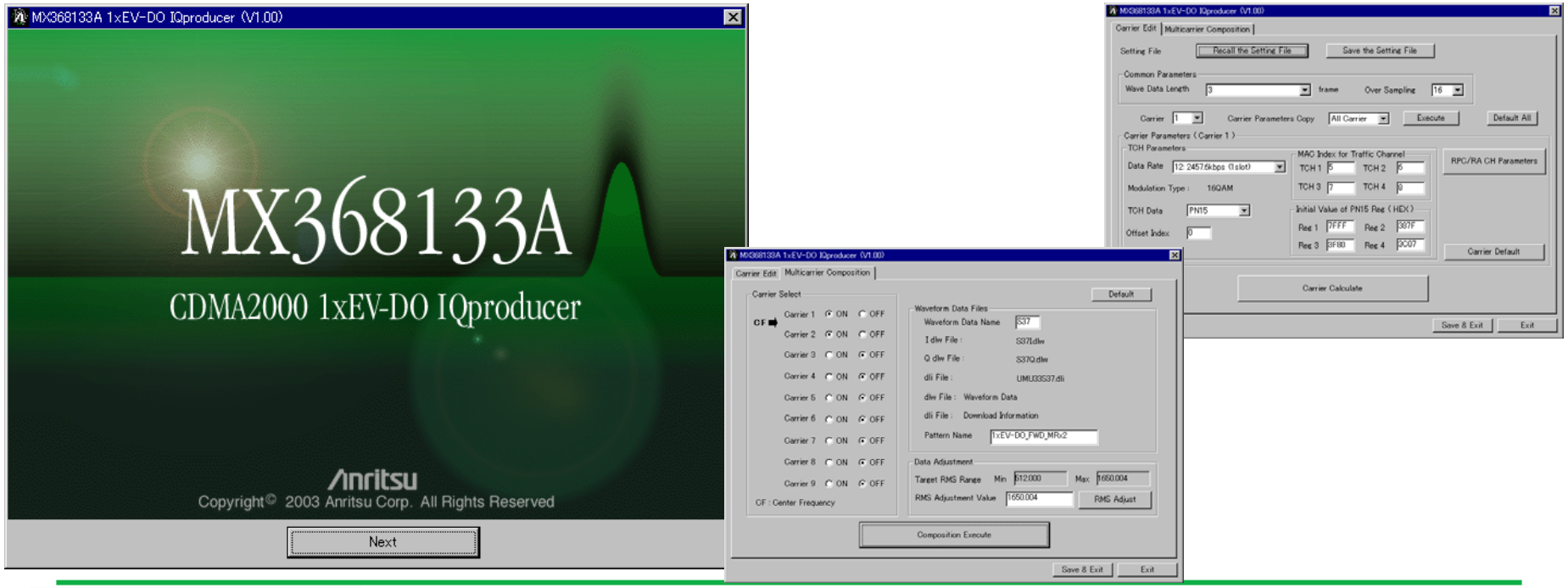


- Reverse



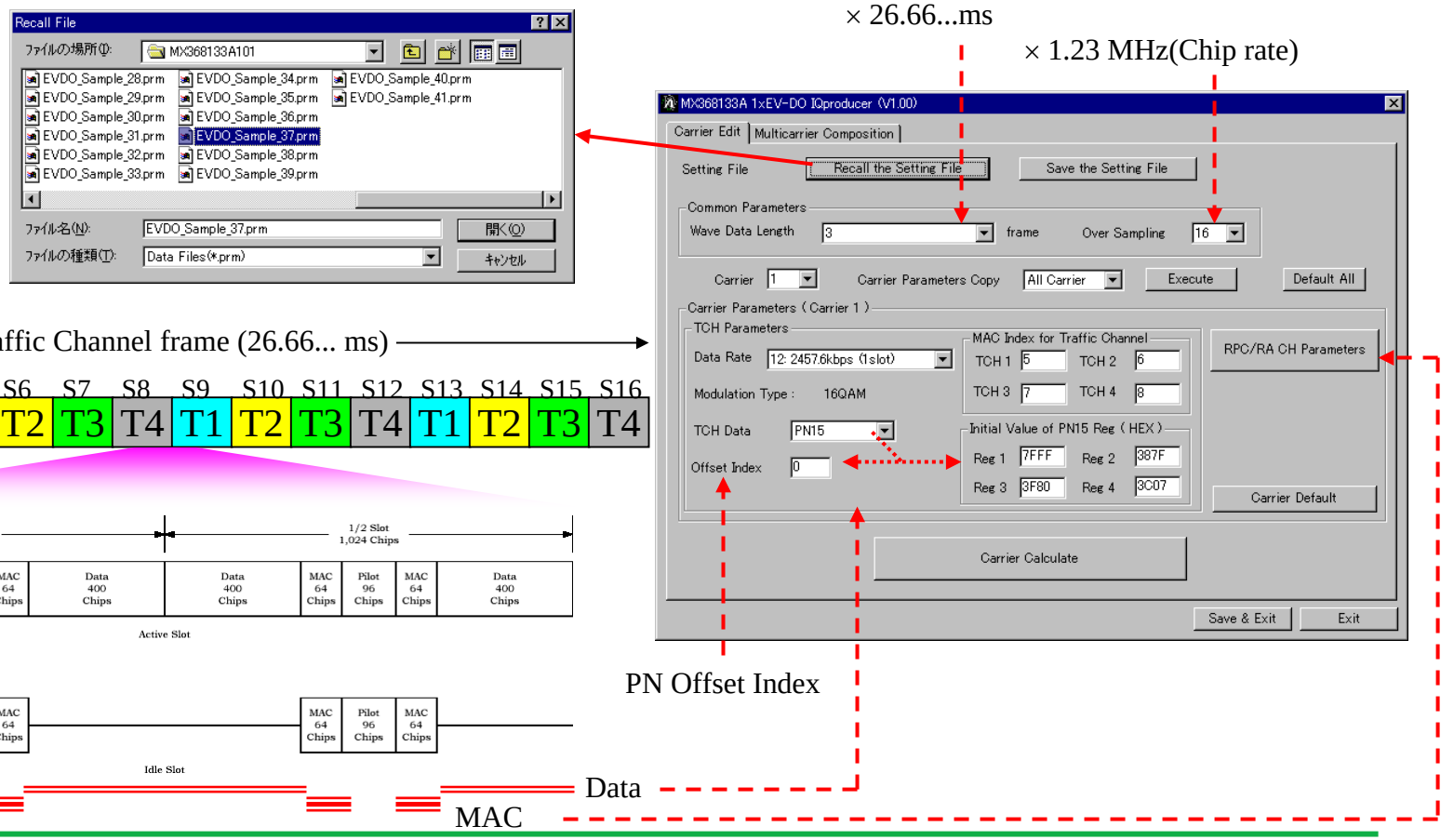
MX368133A CDMA2000 1xEV-DO IQproducer™

- MG3681Aにインストールされた**MX368033A**の機能を高めるための**Windows**アプリケーションソフトウェア
- MG3681Aに内蔵した**MU368030A**ユニバーサル変調ユニットが発生するシグナルパターンのIQマッピングデータファイルを生成
- コンポーネンツからANおよびATの開発工程において、多様なパワーアンプの評価や復調テストを実現するための機能をサポート



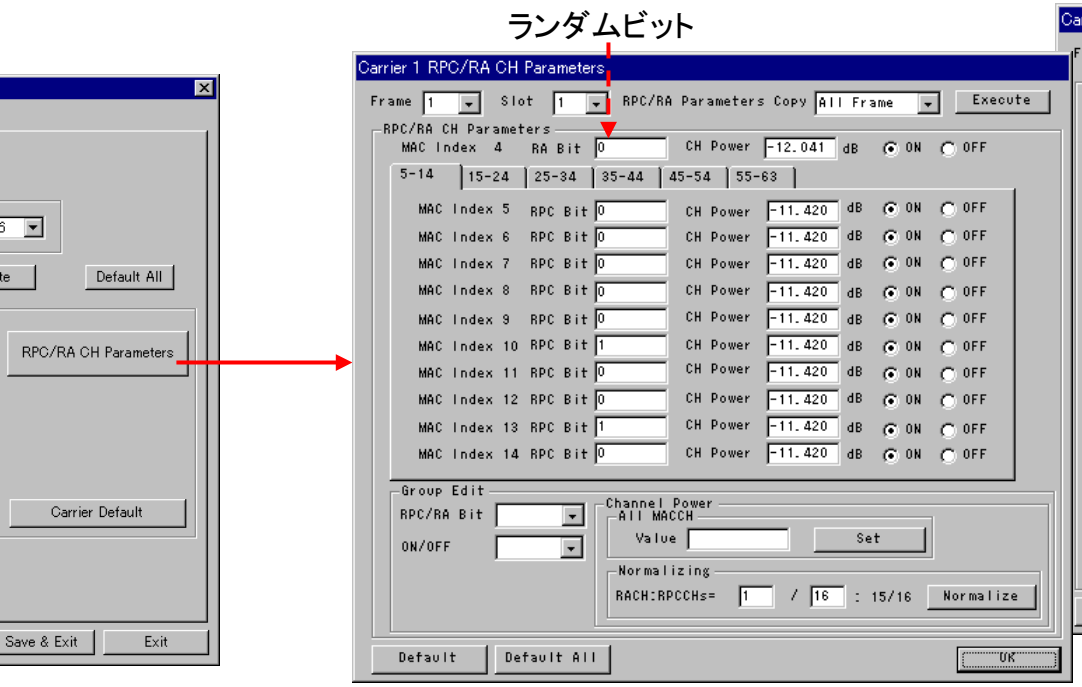
イージーセットアップ用リファレンス設定ファイル

- スタンダードなMX368033Aのシグナルパターン用リファレンス設定ファイルが収録されているため、変更したいパラメータをエディットするだけで、容易にシグナルパターンを生成可

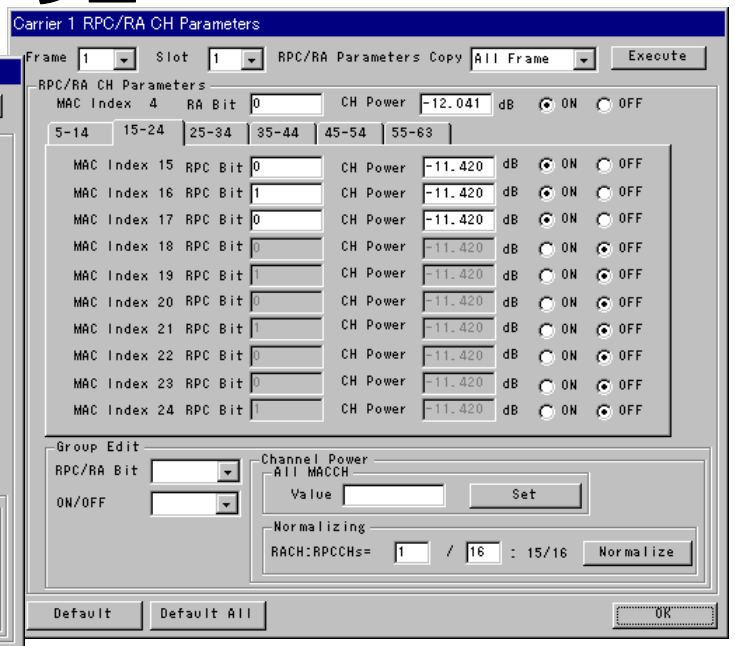


多様なMACチャネルのエディット

- フレームとスロット毎に、パラメータをエディット可



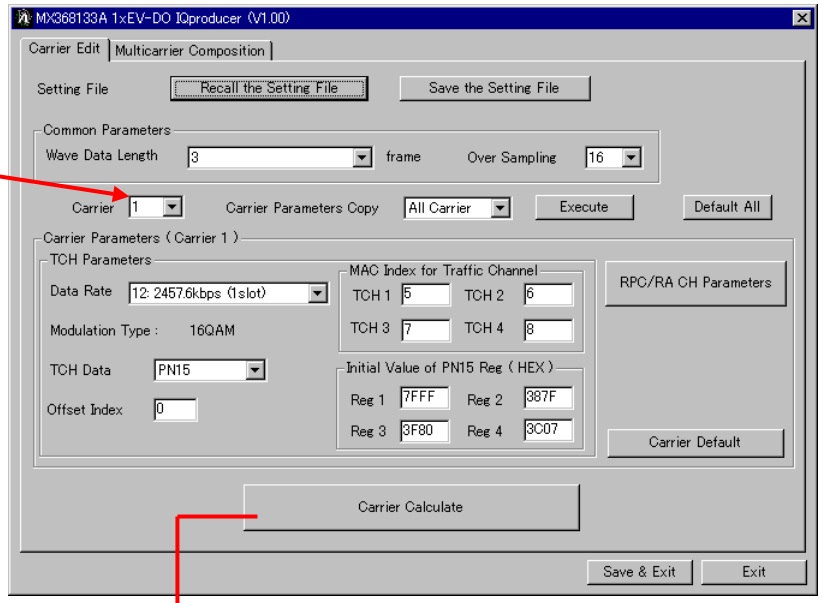
- RAチャネルとRPCチャネルの多重

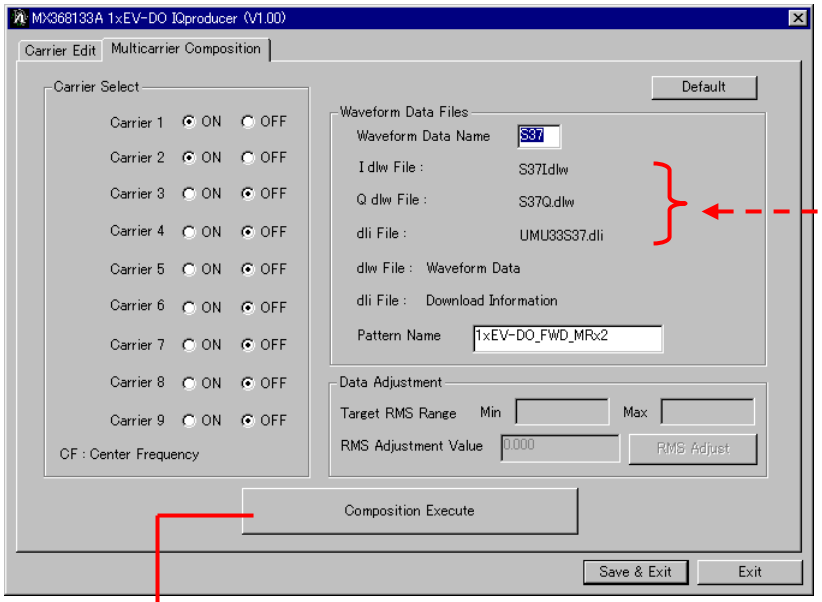


MACIndex	MAC Channel Use
0 and 1	Not Used
2	Not Used
3	Not Used
4	RA Channel
5-63	Available for RPC Channel and DRCLock Channel Transmissions

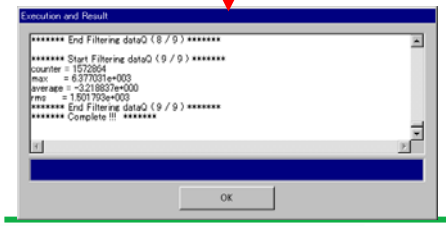
Forward マルチキャリア生成

- キャリア毎に、パラメータをエディット可
  - » 1 ~ 9
- 最大9キャリア
  - » 1.25MHzオフセット

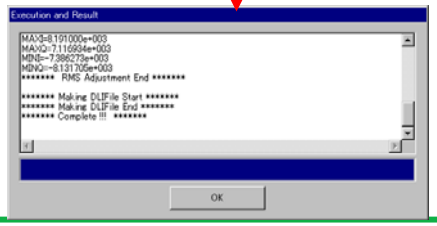




IQマッピングデータを計算



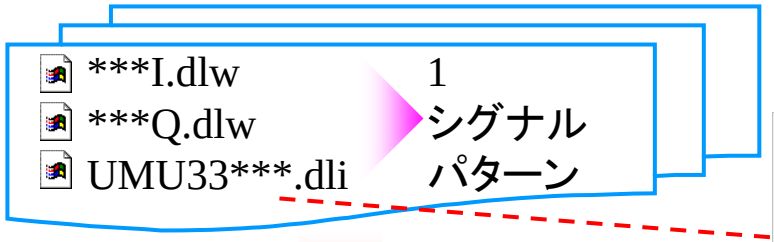
3ファイルを生成



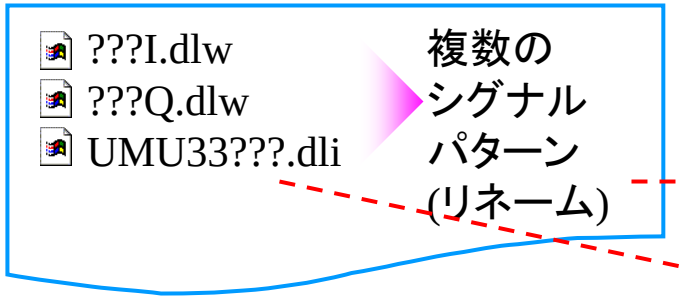
- Iデータ
- Qデータ
- ダウンロード用定義ファイル

シグナルパターンコンバイナ

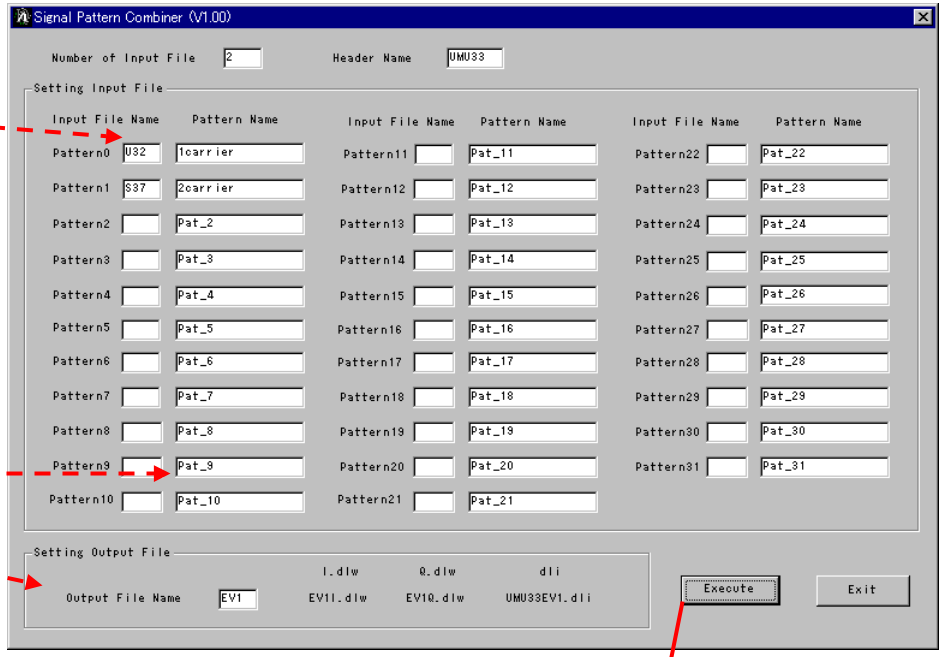
生成されたシグナルパターンファイル

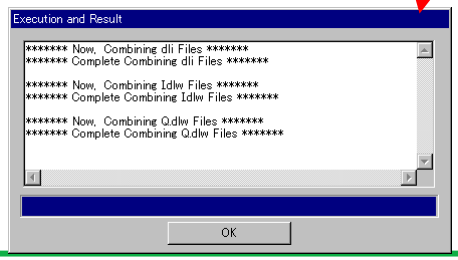


結合されたシグナルパターンファイル



- シグナルパターンの高速チェンジを実現



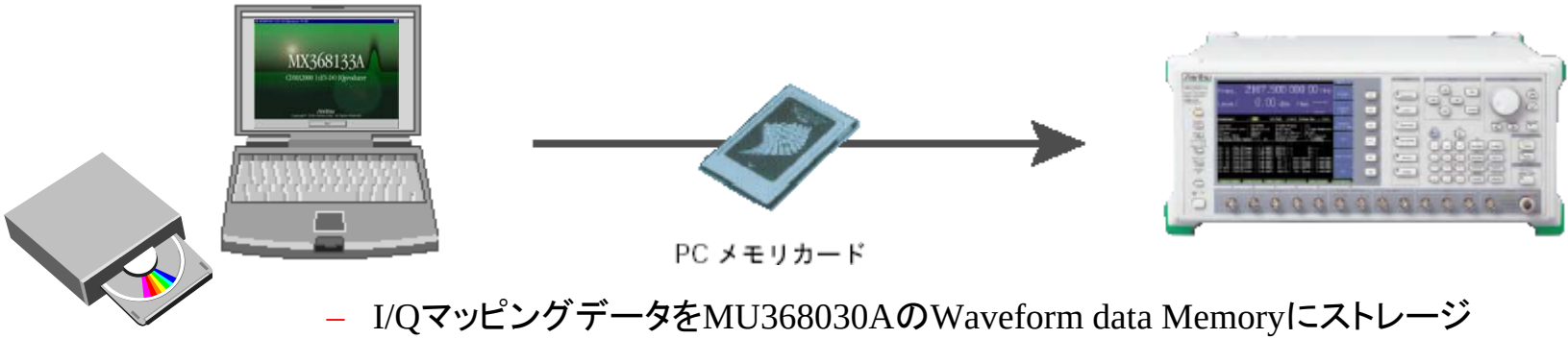


動作環境

パーソナルコンピュータ

- OS: Windows 2000, XP 推奨
- CPU: ≧ 300MHz
- メモリ: ≧ 128MB 推奨
- HDD: ≦ 512MB 占有
- ディスプレイ: ≧ 800×600ピクセル
- 周辺機器:

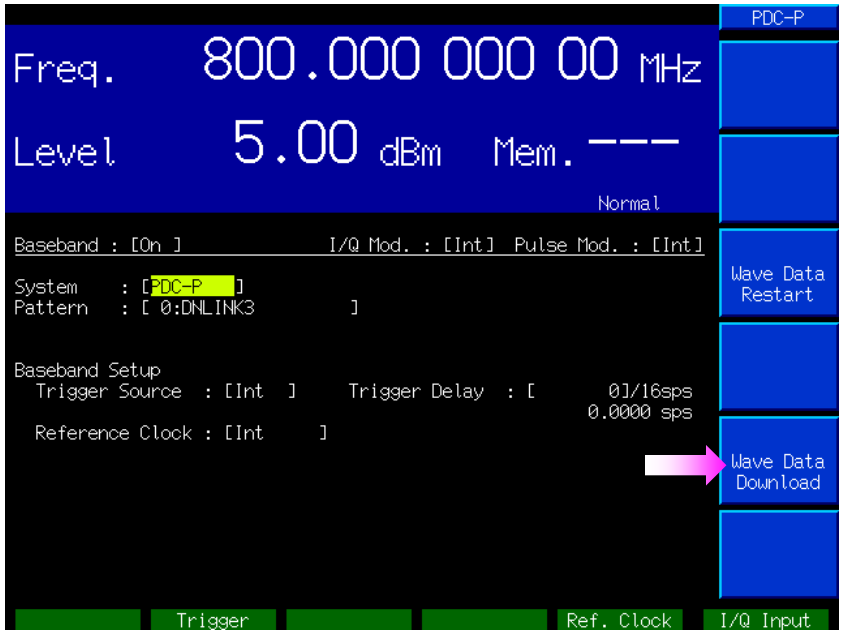
CD-R読込
PCメモリカード(コンパクトフラッシュ+PCカードアダプタ)へセーブ

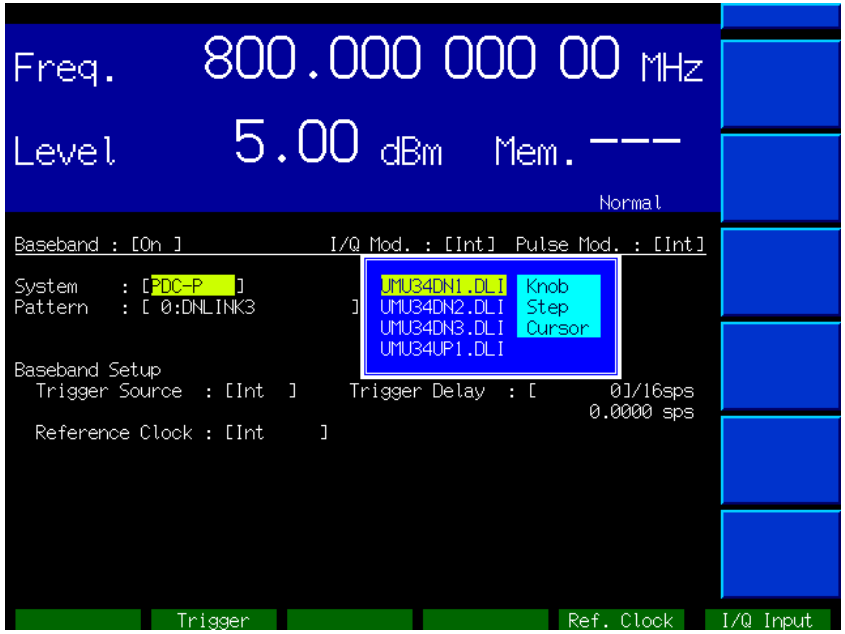


– I/Qマッピングデータを MU368030A の Waveform data Memory にストレージ

MX368034A PDC Packetソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368034A PDC Packet ソフトウェアをインストールすることにより、RCR STD-27規格の Downlink/UplinkのPDCユーザパケットチャネル(UPCH)テスト用信号を出力可能
- コンポーネンツから基地局(BS)および移動機(MS)の開発/生産工程において、コンポーネンツ用信号源、受信機テスト用希望信号源として、様々なアプリケーションをサポートするための機能を実現



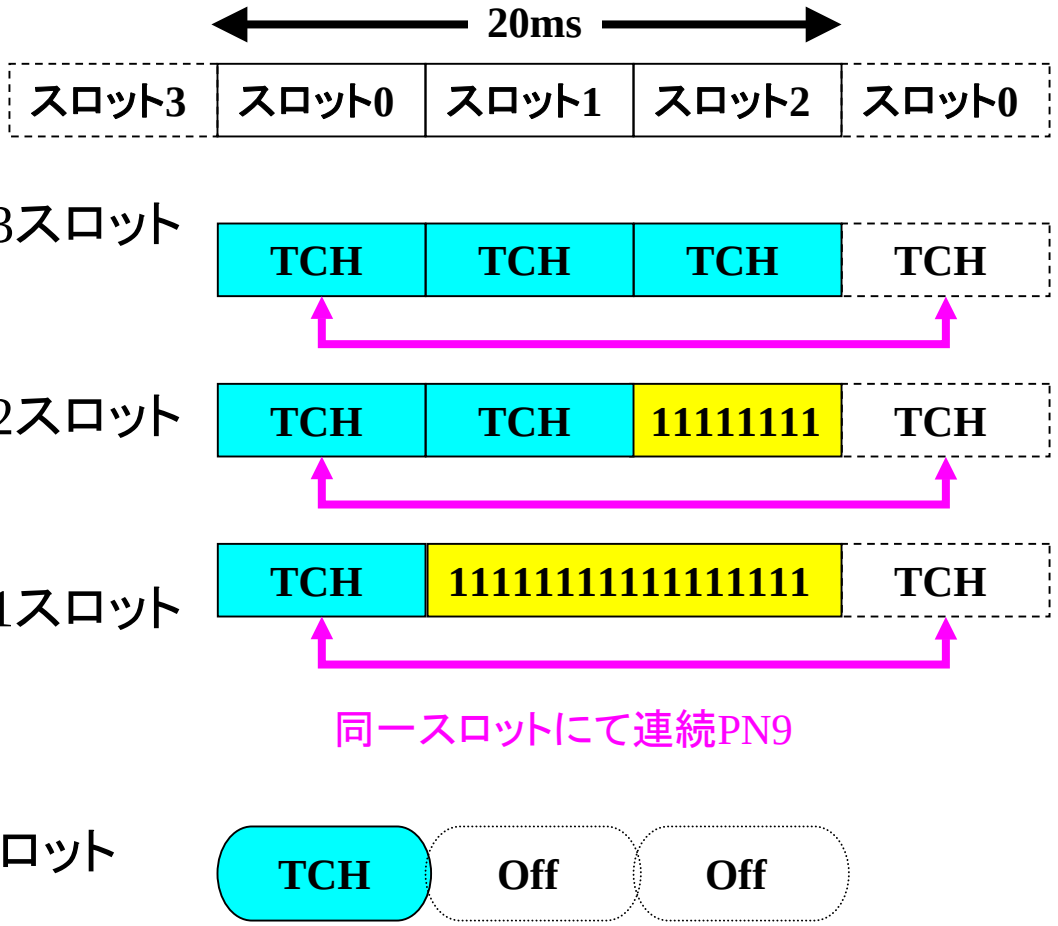


テスト用信号フォーマットのサポート

- **RCR STD-27 に基づいたFrame/Slotフォーマットであるため、BS/MSのパケット(Downlink max. 28.8 kbps)受信機テスト(BER)が可能**
- **RCR STD-27の複雑なパラメータを設定することなく、大容量波形メモリに保存されたシグナルパターンを選択するだけ!**
  簡単操作
- **Downlink 3データレートのシグナルパターンと、Uplink 1 データレートのシグナルパターンをチェンジ　(約 10 min)**
- **UPCH ⇔ TCH (MX368011A)　高速チェンジ < 10 sec**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 16倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memory にストレージ

シグナルパターン　フレーム構成

- パケット通信用物理チャネル (UPCH)



- スーパーフレーム対応不可

シグナルパターン　スロット構成

- **Downlinkパケット通信用物理チャネル (UPCH)**
  - » 280ビット
    - スクランブルオフ



- » R　バースト過渡応答用ガード時間　0000
- » P　プリアンブル　10
- » SW　同期ワード
  - – スロット0:　S1(87A4B)
  - – スロット1:　S2(9D236)
  - – スロット2:　S3(81D75)
- » CC　カラーコード　00000000
- » E　衝突制御ビット

シグナルパターン　スロット構成

- **Uplinkパケット通信用物理チャネル (UPCH)**
  - » 280ビット
    - スクランブルオフ



- » R　バースト過渡応答用ガード時間　0000
- » P　プリアンブル　10
- » SW　同期ワード
  - – スロット0:　S1’(785B4)
- » CC　カラーコード　00000000
- » G　ガード時間

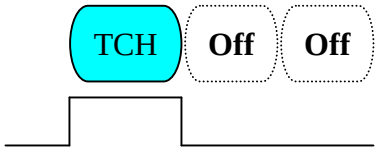
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - BS受信機テスト時使用
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 16×シンボルレート (16× 21 ksps = 336 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



補助信号 Output

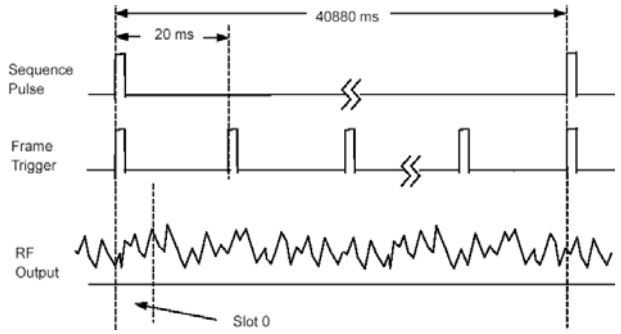
» リアパネル
- RF Gate
  - Uplink (Burst)

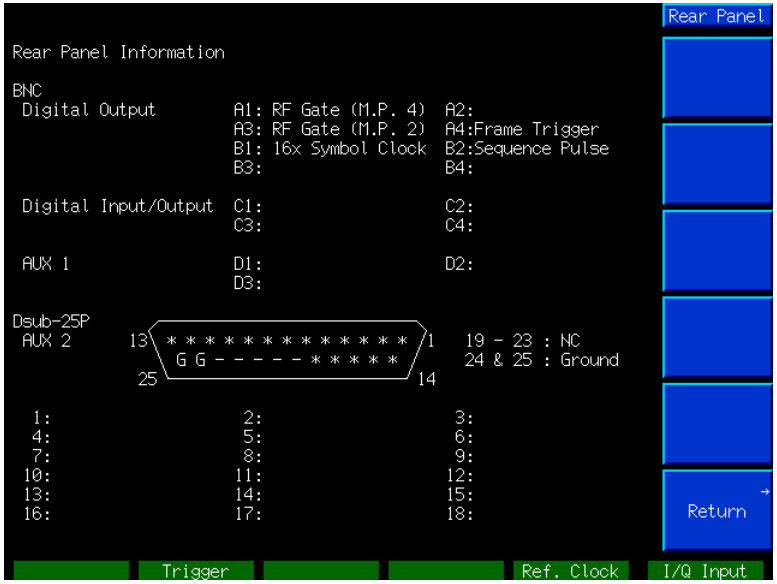


内部パルス変調器制御信号

- 16x Symbol Clock
  - ベースバンドリファレンスクロック
    - 16×シンボルレート
      (16× 21 ksps = 336 kHz)
- Frame Trigger, Sequence Pulse
  - Downlink

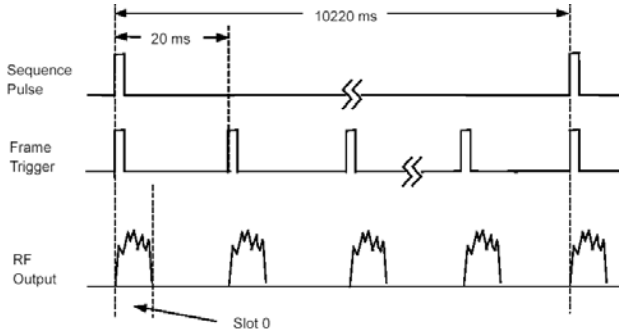
2044 frames





- Uplink

511 frames



MX368035A PHS信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368035A PHS信号発生ソフトウェアをインストールすることにより、RCR STD-28規格のDownlink/UplinkのPHSテスト用信号(TCH)を出力可能
- コンポーネンツからCS基地局およびPS移動機の開発/生産工程において、コンポーネンツ用信号源, 受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現



テスト用信号フォーマットのサポート

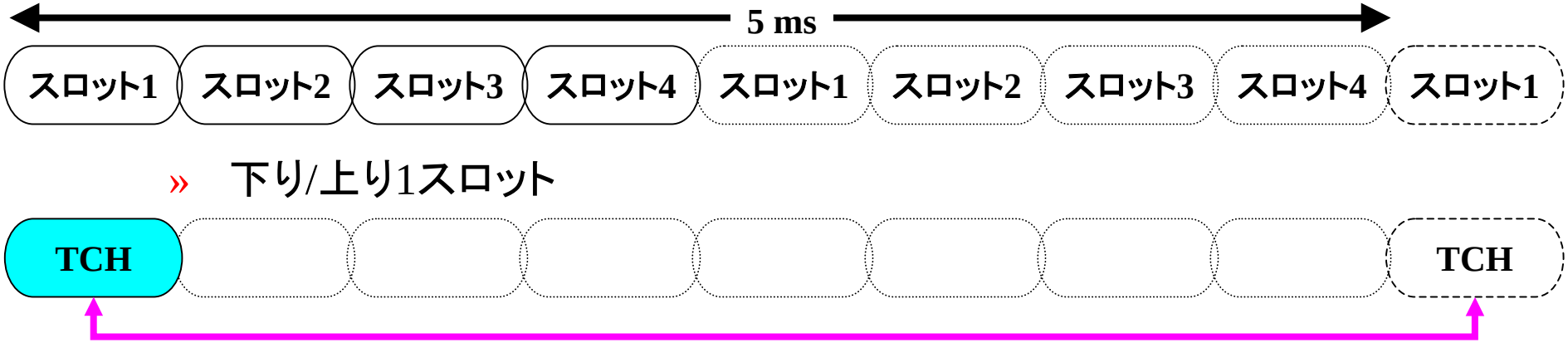
- **RCR STD-28 4.0版 に基づいたπ/4DQPSK Frame/Slot フォーマットであるため、CS/PSテスト仕様の受信機テスト(BER)が可能**
- **RCR STD-28 の複雑なパラメータを設定することなく、大容量波形メモリに保存されたシグナルパターンを選択するだけ!簡単操作**
- **シグナルパターンを 高速チェンジ < 1 sec**
- **RCR STD-28 4.0版の(高度化PHS用)連続変調シグナル パターンファイルをサンプル付録**

	16QAM	8PSK	QPSK	BPSK	kHzBW	ksps	α
– 1x:	PN9/15	PN9/15	PN9/15	PN9/15	: 288	192	0.5
– 3x:	PN9/15	PN9/15	PN9/15	PN9/15	: 884	640	0.38

- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 20倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memoryにストレージ

シグナルパターン　フレーム構成

- π/4DQPSK トラヒックチャネル (TCH)



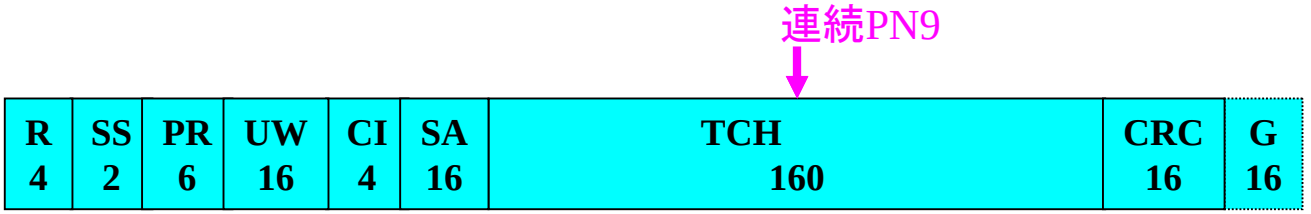
- スーパーフレーム対応不可

  – 受信機テスト用希望信号源に

- π/4DQPSK　PN9連続変調
  – コンポーネンツ用信号源に
- π/4DQPSK　PN15連続変調
  – 受信機テスト用干渉信号源に

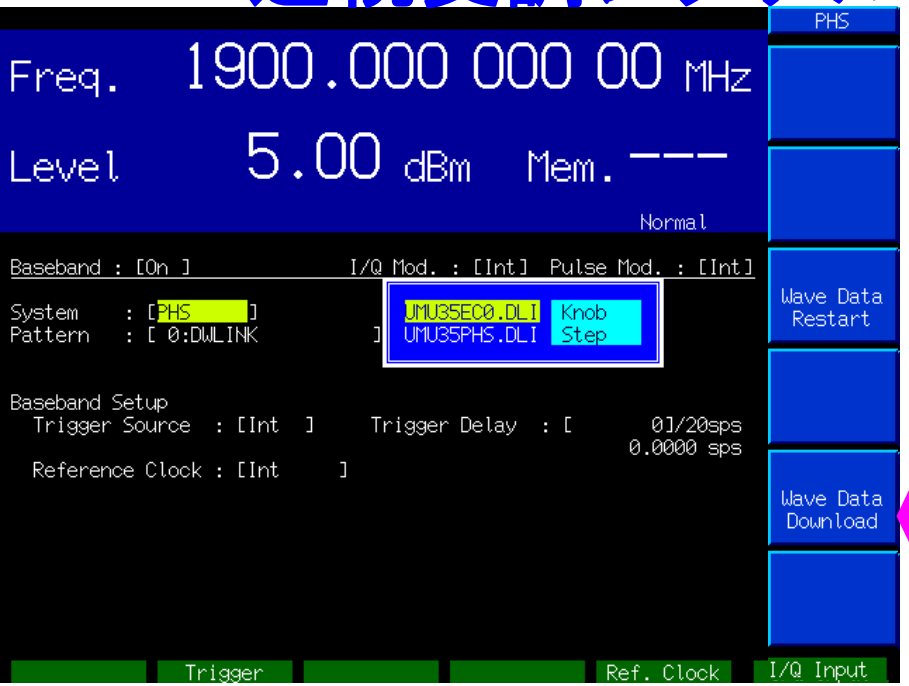
シグナルパターン　スロット構成

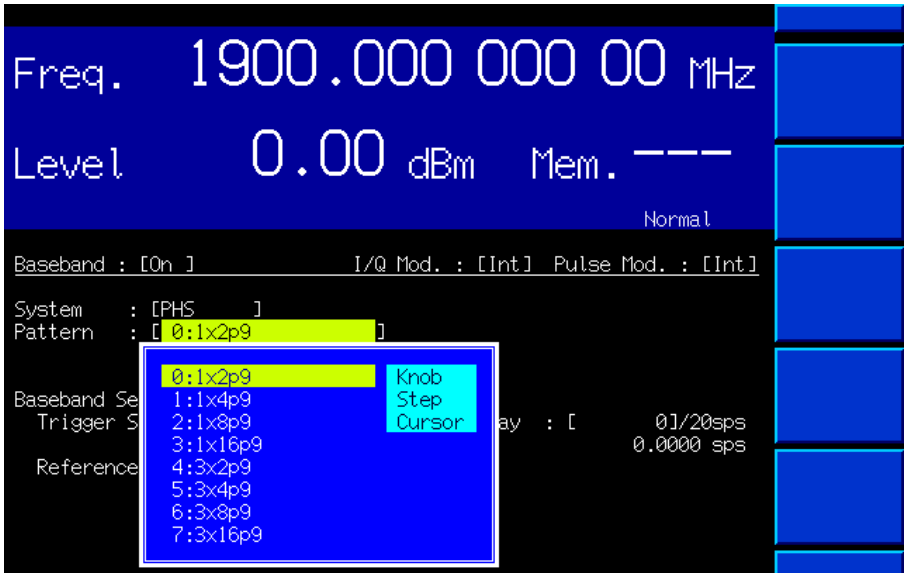
- **π/4DQPSK トラヒックチャネル (TCH)**
  - » 240ビット, 625 ms
    - スクランブルオフ



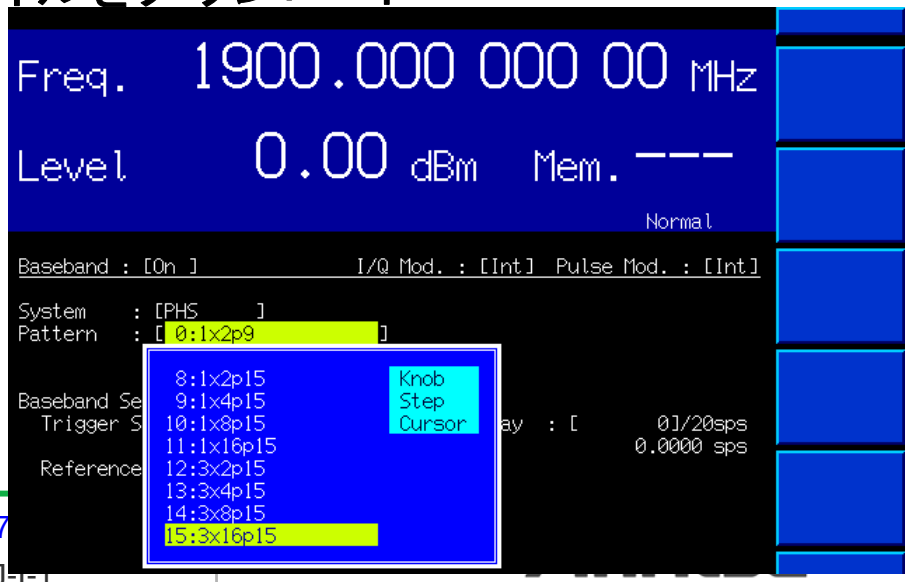
- » R　過渡応答用ランプタイム
- » SS　スタートシンボル　10
- » PR　プリアンブル　011001
- » UW　同期ワード
  - – 上り:E149
  - – 下り:3D4C
- » CI　チャネル種別　0000　(TCH)
- » SA　SACCH　オール“0”
- » G　ガードビット

連続変調シグナルパターン　セレクト

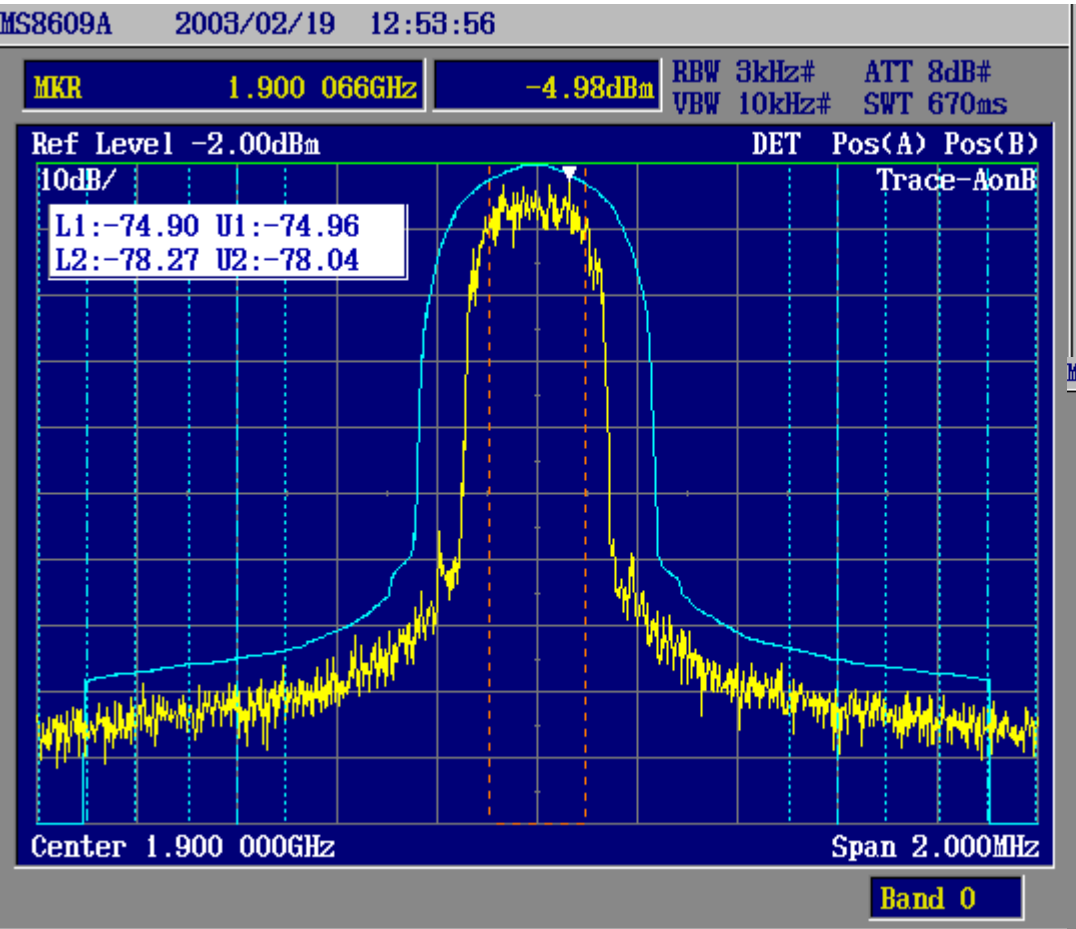


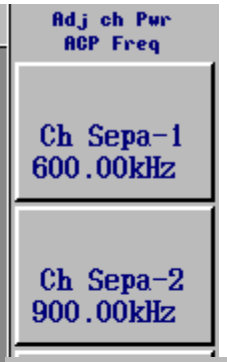


PCメモリカードからシグナルパターンファイルをダウンロード

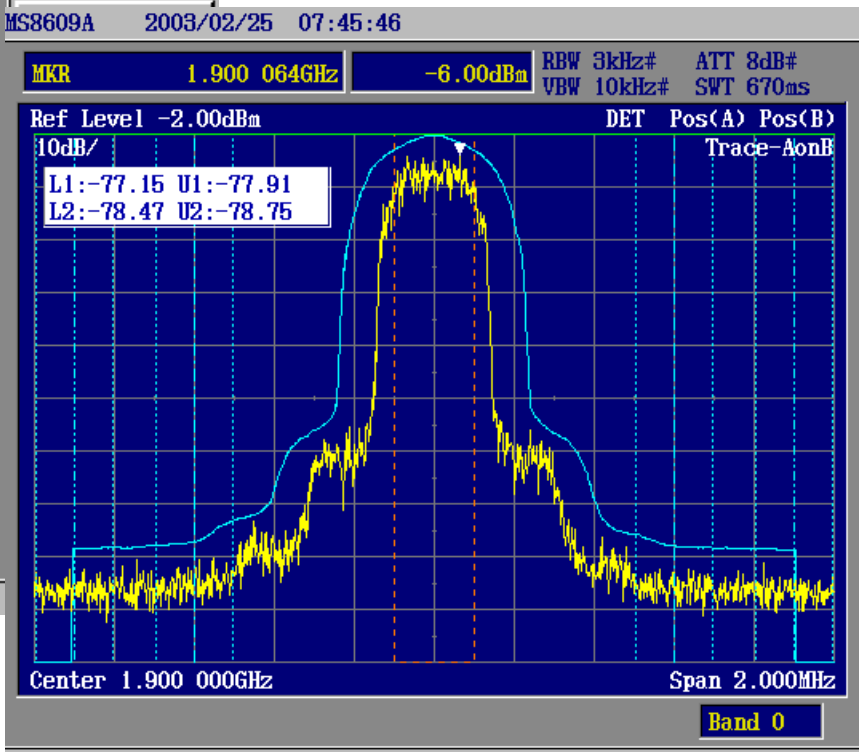


隣接チャネル漏洩電力比の対比
≤ +5 dBm, 連続変調





MG3670B



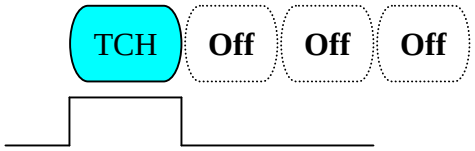
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - CS受信機テスト時使用
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 20×シンボルレート (20× 192 ksps = 3,840 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



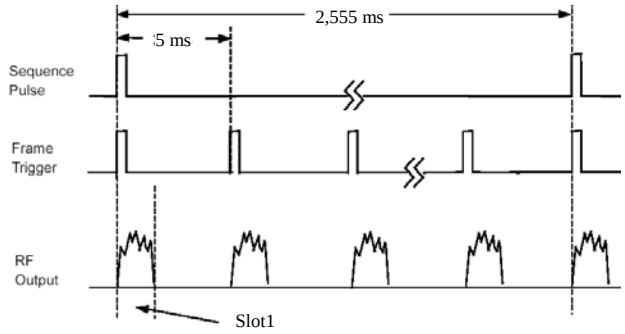
補助信号 Output

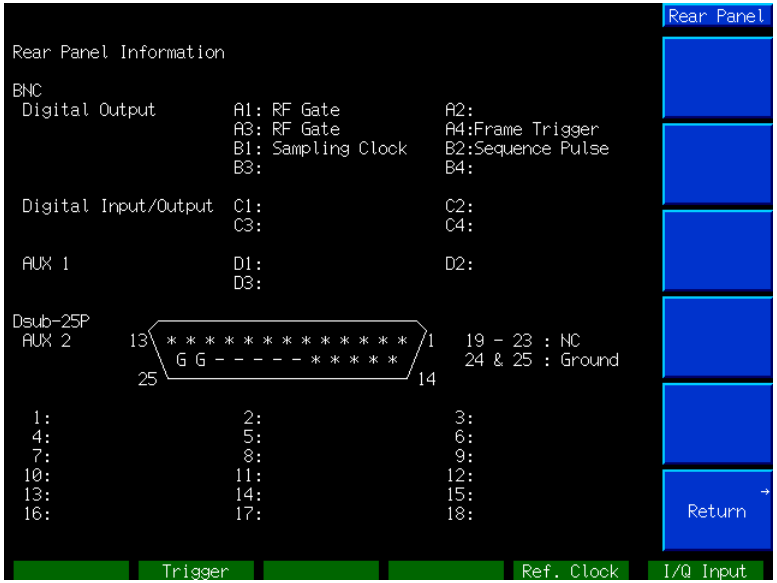
» リアパネル
  – RF Gate



内部パルス変調器制御信号

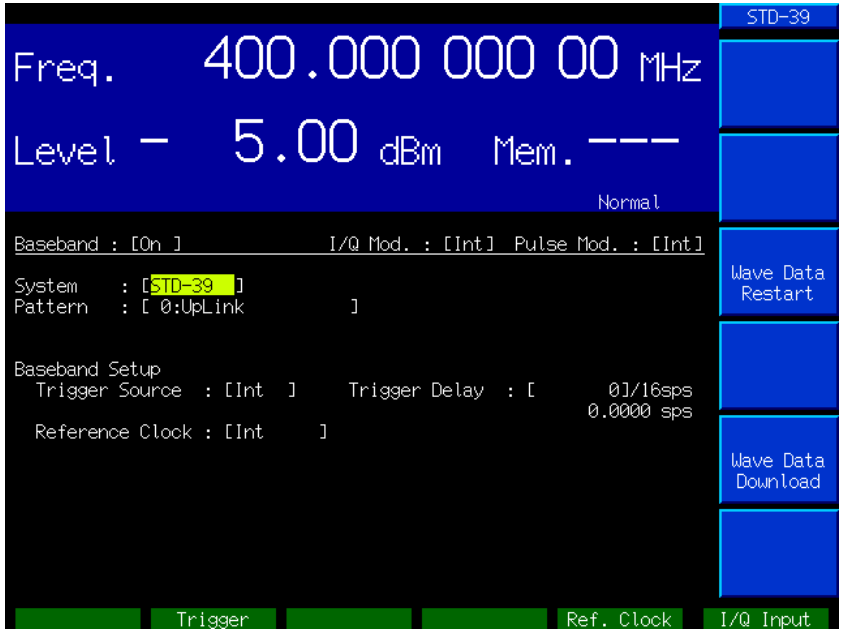
  – Sampling Clock
    • ベースバンドリファレンスクロック
      – 20×シンボルレート
      (20× 192 ksps = 3,840 kHz)
  – Frame Trigger, Sequence Pulse
    511 frames

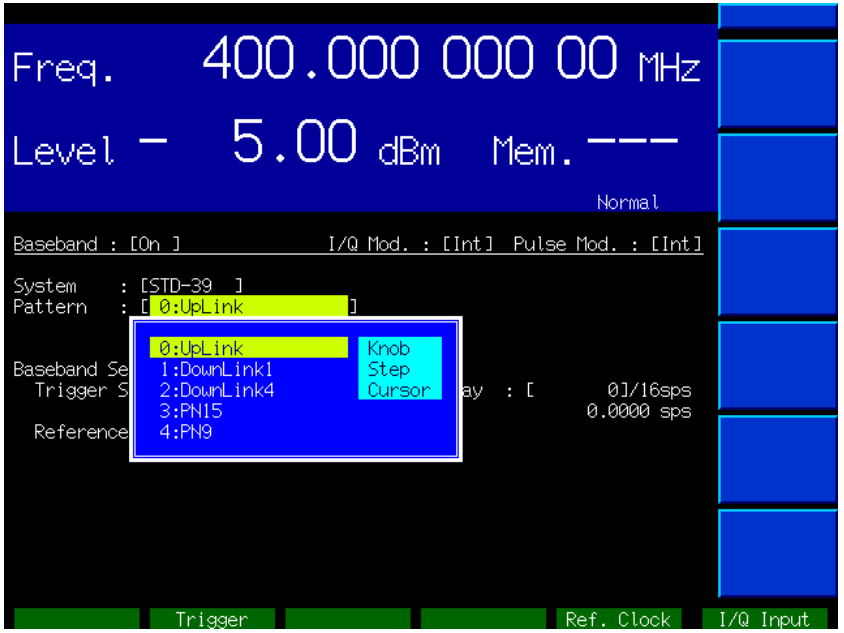




MX368037A RCR STD-39 π/4DQPSK信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368037A RCR STD-39 π/4DQPSK信号発生ソフトウェアをインストールすることにより、RCR STD-39規格の下り/上りのπ/4DQPSKテスト用信号(TCH)を出力可能
- コンポーネンツから基地局および移動機の開発/生産/保守工程において、コンポーネンツ用信号源, 受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現



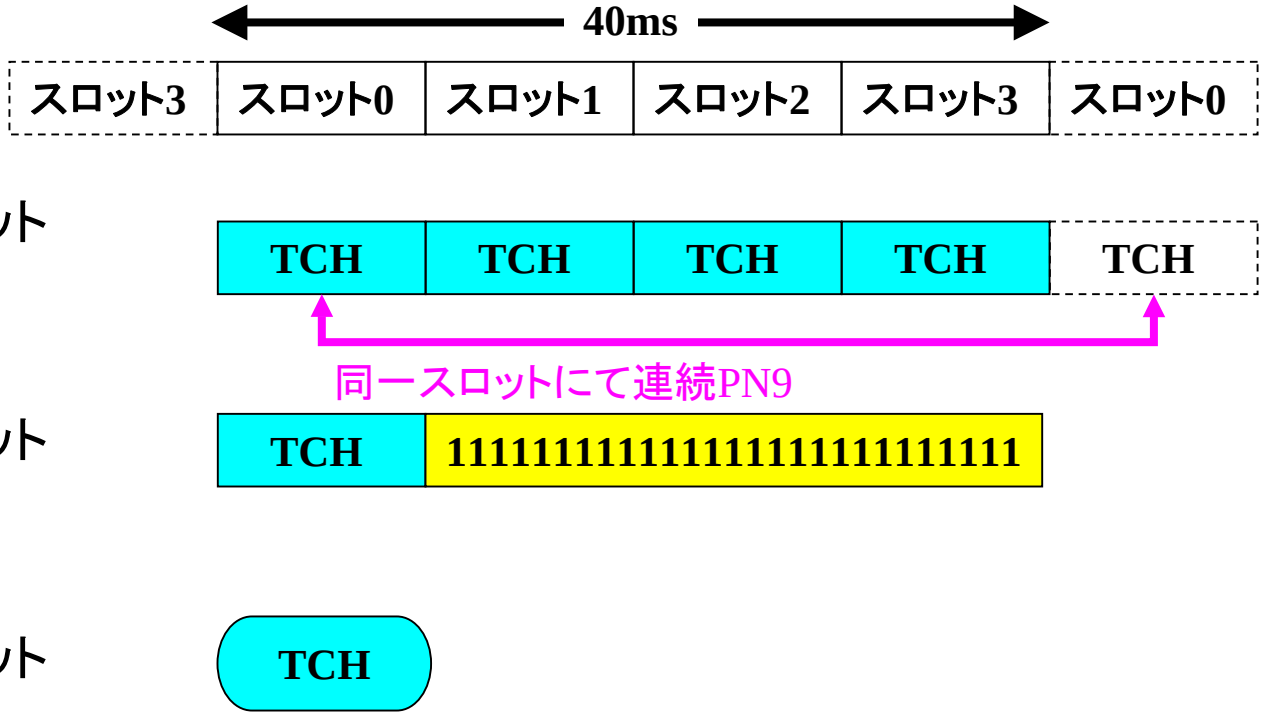


テスト用信号フォーマットのサポート

- **RCR STD-39 4.0版 に基づいたフレームフォーマットであるため、基地局/移動機テスト仕様の受信テスト(BER)が可能**
- **RCR STD-39 の複雑なパラメータを設定することなく、大容量内蔵メモリに保存されたシグナルパターンを選択するだけ!**
  簡単操作
- **シグナルパターンを　　高速チェンジ < 1 sec**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 16倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memory にストレージ

シグナルパターン　フレーム構成

- トラヒックチャネル (TCH)



- スーパーフレーム対応不可

シグナルパターン　スロット構成

- **下りトラヒックチャネル (TCH)**
  - » 320ビット, 10ms
    - スクランブルオフ



シグナルパターン　スロット構成

- R　バースト過渡応答用ガード時間
- P　プリアンブル　10
- SW　同期ワード
  - スロット0:　S1(87A4B)
  - スロット1:　S2(9D236)
  - スロット2:　S3(81D75)
  - スロット3:　S4(A94EA)
- CI　制御チャネル通信情報
  - 11　制御チャネル非活性中(制御チャネル通信中)
- CC　カラーコード(干渉対策コード)　オール“0”
- SACCH 低速ACCH　オール“0”
- B/I　ビジー/アイドルビット
  - 11111111　当該通信用物理チャネルは使用中

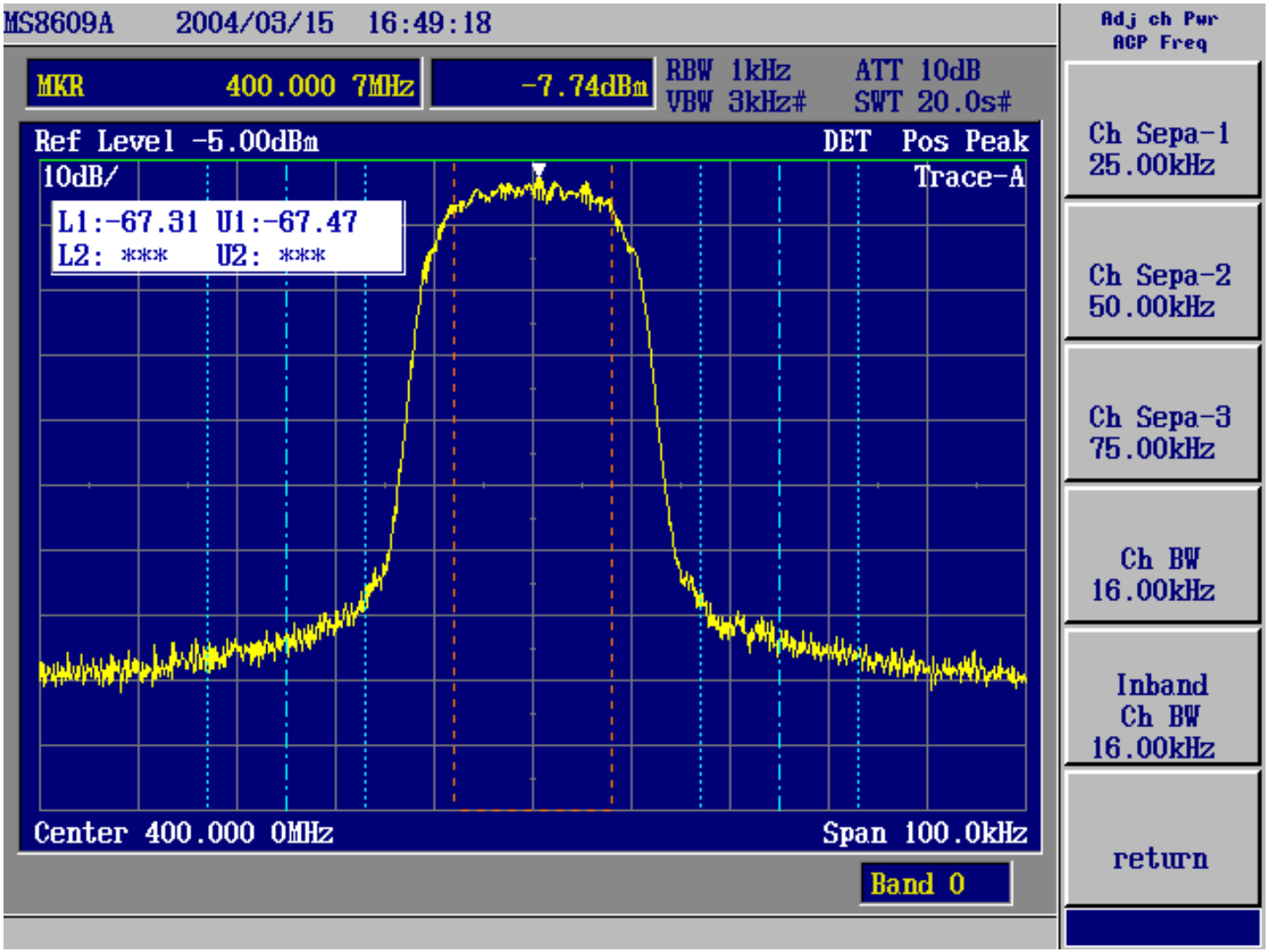
シグナルパターン　スロット構成

- **上りトラヒックチャネル (TCH)**
  - 320ビット, 10ms
    - スクランブルオフ



- R　バースト過渡応答用ガード時間
- P　プリアンブル　10
- SW　同期ワード
  - スロット0:　S1’(785B4)
- I　アイドルビット　00
- CC　カラーコード(干渉対策コード)　オール“0”
- SACCH 低速ACCH　オール“0”
- G　ガード時間

隣接チャネル漏洩電力比
≤ -5 dBm, 連続変調, ALC off



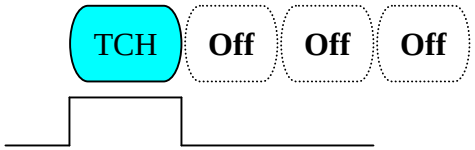
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - 基地局受信テスト時使用
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 16×シンボルレート (16× 16 ksps = 256 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



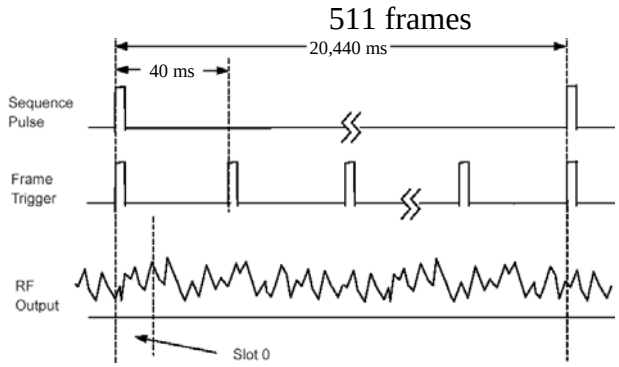
補助信号 Output

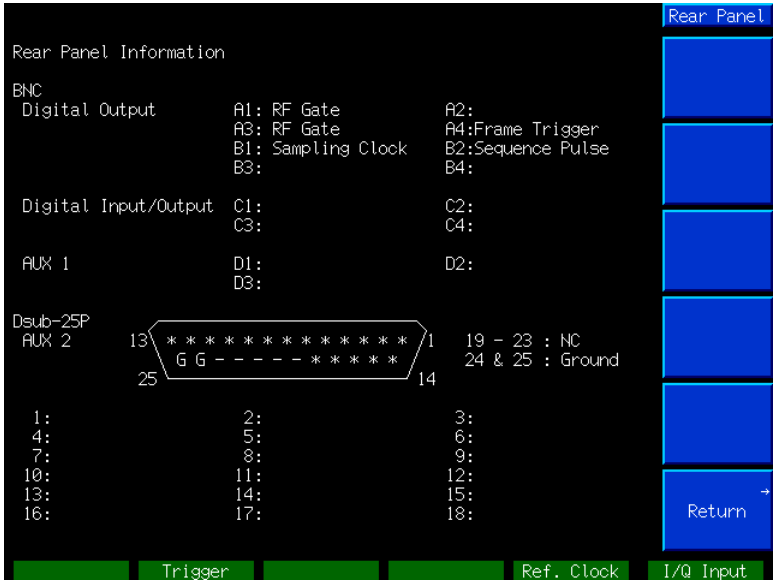
» リアパネル
- RF Gate
  - 上り (バースト)



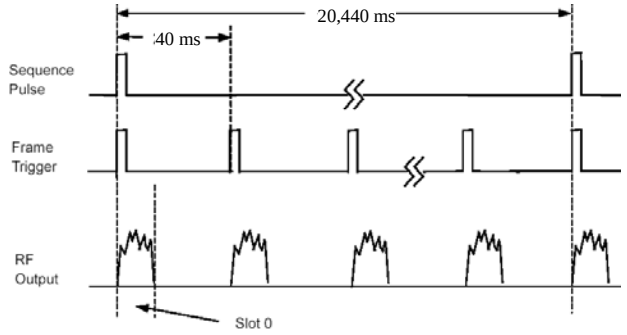
内部パルス変調器制御信号

- Sampling Clock
  - ベースバンドリファレンスクロック
    - 16×シンボルレート
      (16× 16 ksps = 256 kHz)
- Frame Trigger, Sequence Pulse
  - 下り



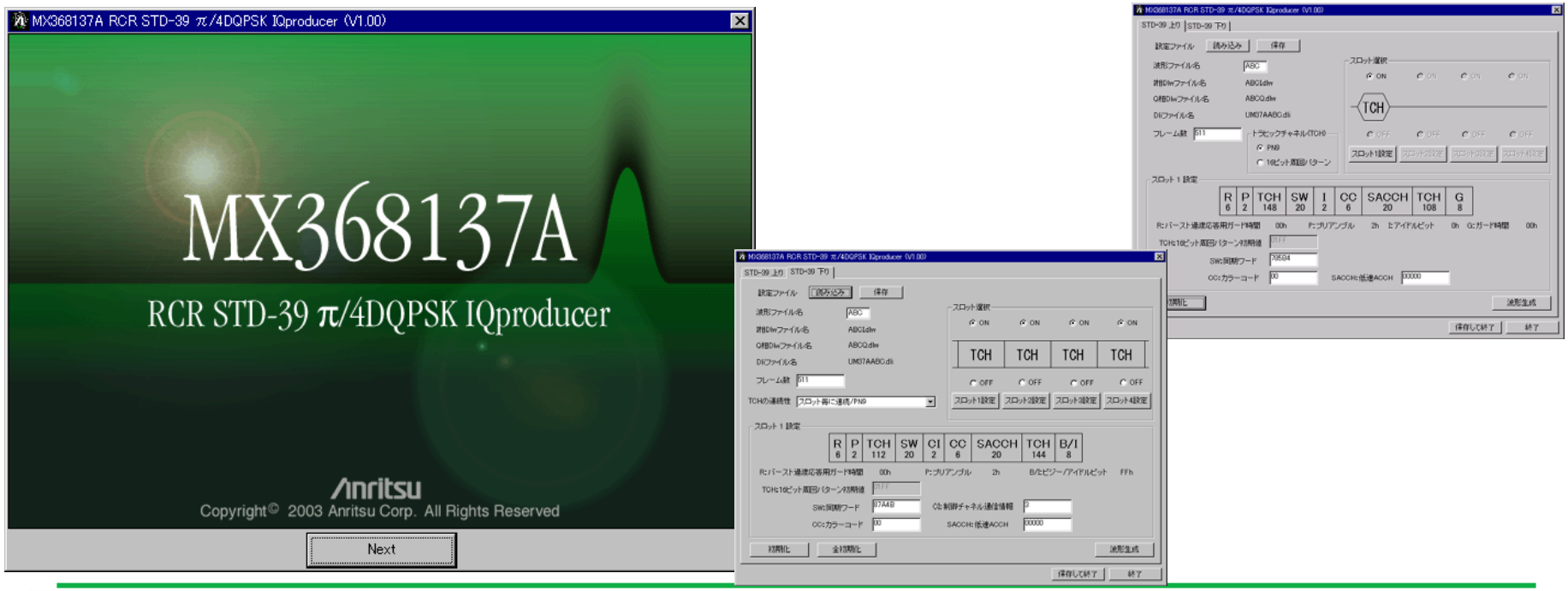


- 上り



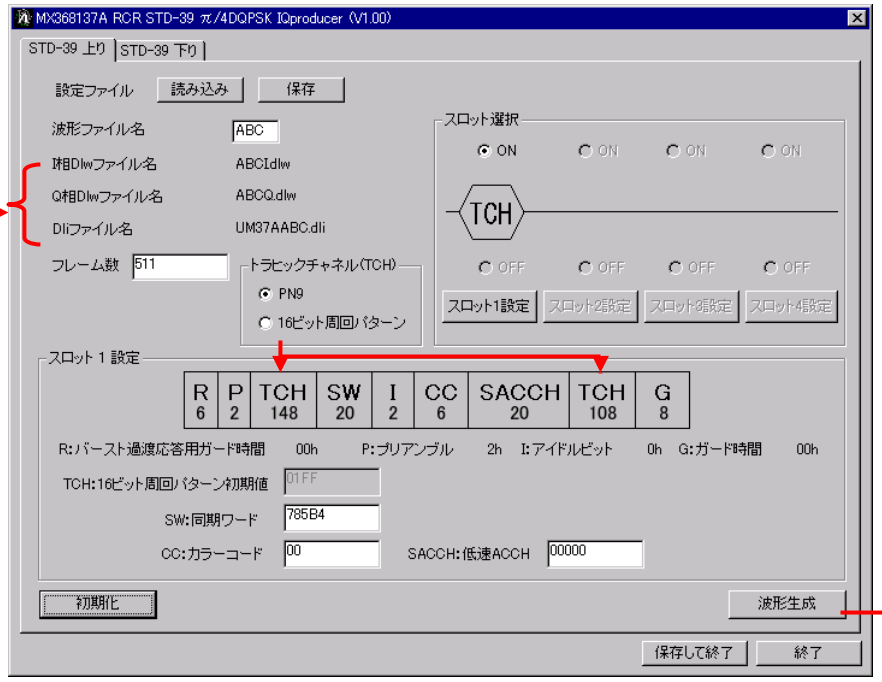
MX368137A RCR STD-39 π/4DQPSK IQproducer™

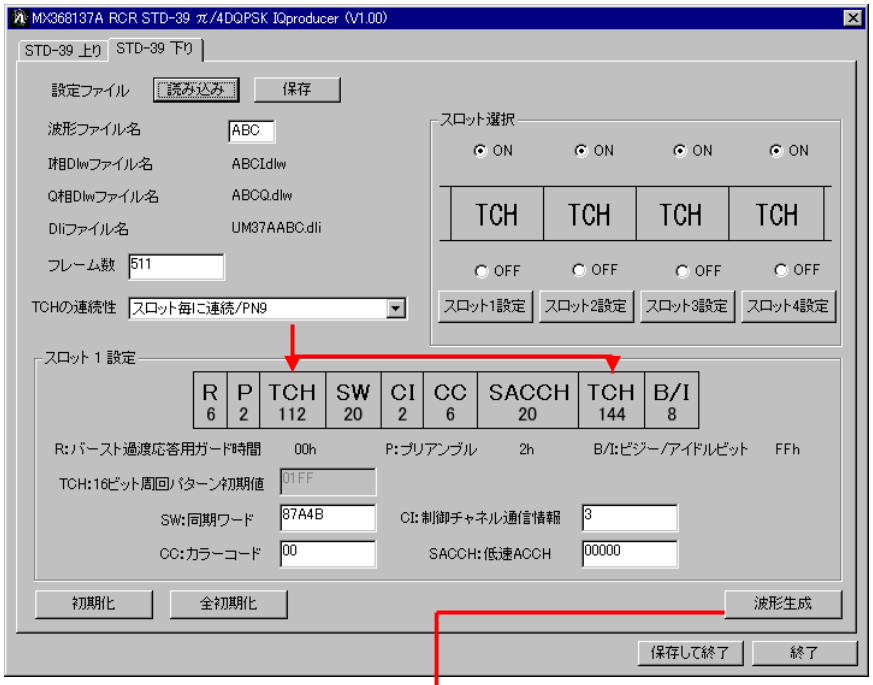
- MG3681Aにインストールされた**MX368037A**の機能を高めるための**Windows**アプリケーションソフトウェア
- MG3681Aに内蔵した**MU368030A**ユニバーサル変調ユニットが発生するシグナルパターンのIQマッピングデータファイルを生成
- コンポーネンツから基地局および移動機の開発工程において、多様なパワーアンプの評価や復調テストを実現するための機能をサポート



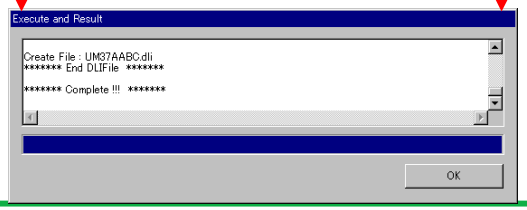
多様なフレーム/スロットフォーマットのエディット

- スロット毎に、パラメータをエディット可





3ファイルを生成
- Iデータ
- Qデータ
- ダウンロード用定義ファイル



シグナルパターンコンバイナ

生成されたシグナルパターンファイル

***I.dlw
***Q.dlw
UM37B***.dli

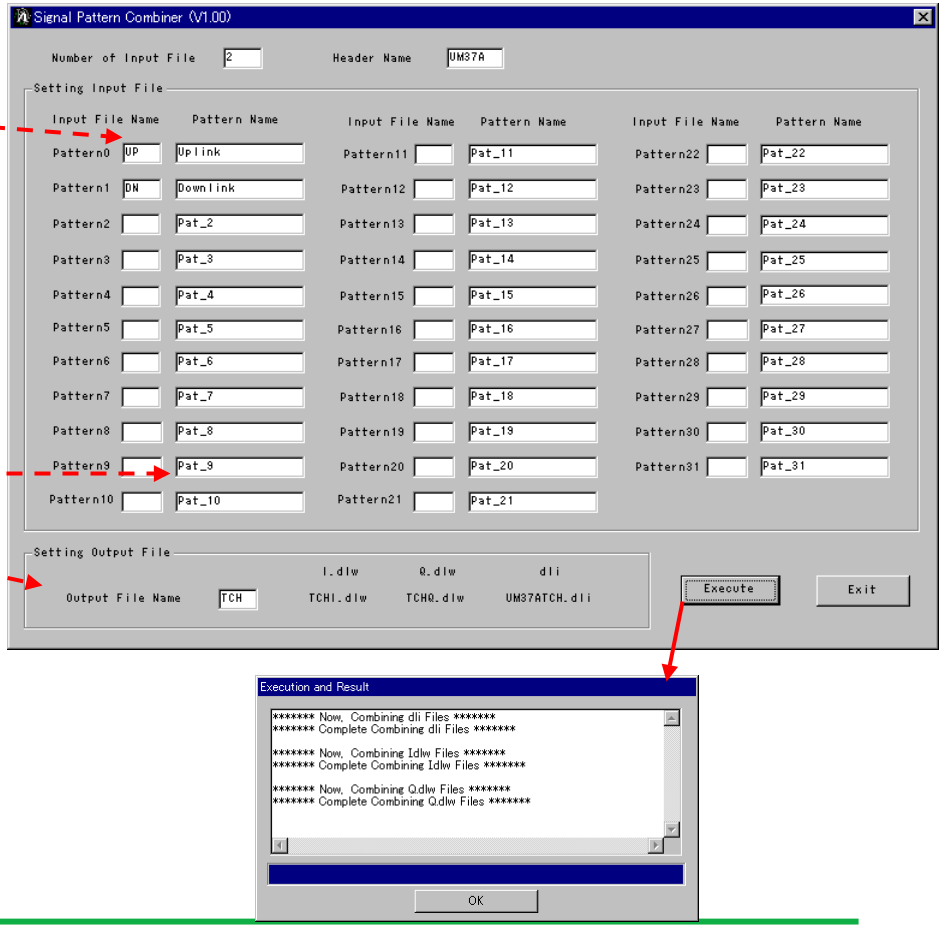
1
シグナル
パターン

結合されたシグナルパターンファイル

???I.dlw
???Q.dlw
UM37B???.dli

複数の
シグナル
パターン
(リネーム)

- シグナルパターンの高速チェンジを実現

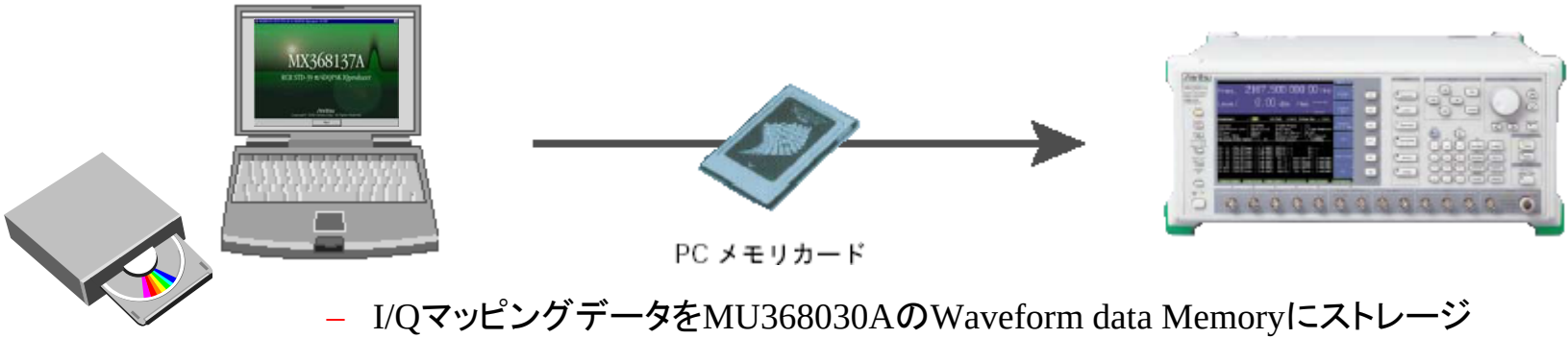


動作環境

パーソナルコンピュータ

- OS: Windows 2000, XP 推奨
- CPU: ≧ 300MHz
- メモリ: ≧ 128MB 推奨
- HDD: ≦ 512MB 占有
- ディスプレイ: ≧ 800×600ピクセル
- 周辺機器:

CD-R読込
PCメモリカード(コンパクトフラッシュ+PCカードアダプタ)へセーブ



– I/Qマッピングデータを MU368030A の Waveform data Memory にストレージ

MX368037B　ARIB STD-T61 π/4DQPSK信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368037B ARIB STD-T61 π/4DQPSK信号発生ソフトウェアをインストールすることにより、ARIB STD-T61規格の下り/上りのπ/4DQPSKテスト用信号(TCH)を出力可能
- コンポーネンツから基地局および移動機の開発/生産/保守工程において、コンポーネンツ用信号源, 受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現

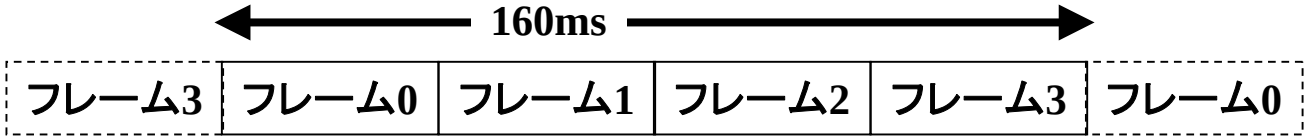


テスト用信号フォーマットのサポート

- **ARIB STD-T61 1.1版 に基づいたフレームフォーマットであるため、基地局/移動機テスト仕様の受信テスト(BER)が可能**
- **ARIB STD-T61 の複雑なパラメータを設定することなく、大容量内蔵メモリに保存されたシグナルパターンを選択するだけ!　　簡単操作**
- **シグナルパターンを　　高速チェンジ < 1 sec**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 32倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memory にストレージ

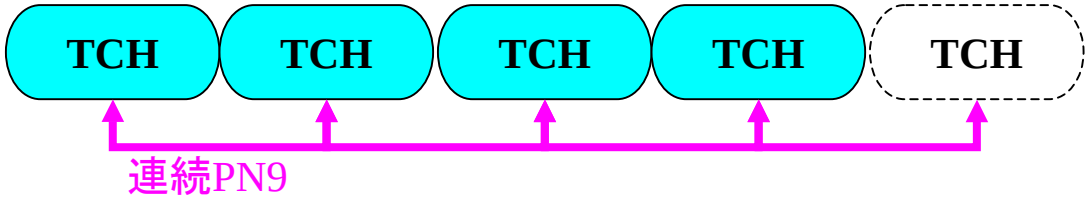
シグナルパターン　クラスタフレーム構成 (基本フレーム)

- トラヒックチャネル1 (TCH1)



パターン

» 4基本フレーム

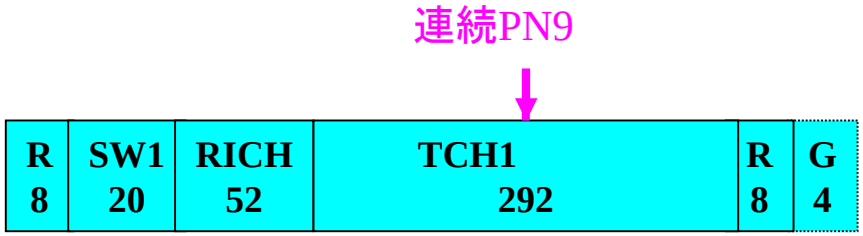


» 1基本フレーム



シグナルパターン　基本フレーム構成

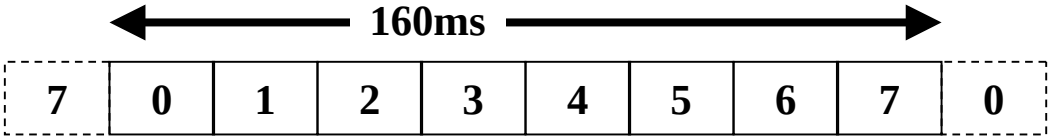
- **トラヒックチャネル1 (TCH1)**
  - 384ビット, 40ms



  - R　過渡応答ガードタイム
  - SW1　同期ワード1
    - S4(1E56F)
  - RICH　無線情報チャネル(RICH)　オール“0”
  - G　ガードタイム

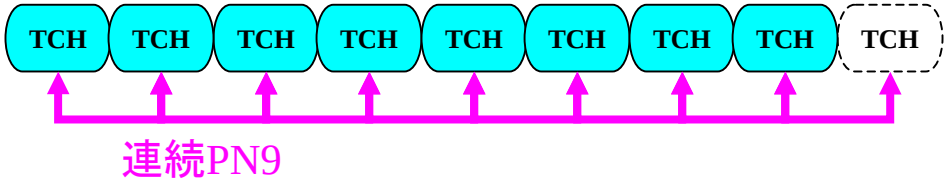
シグナルパターン　クラスタフレーム構成 (サブフレーム)

- トラヒックチャネル2 (TCH2)



パターン

» 8サブフレーム

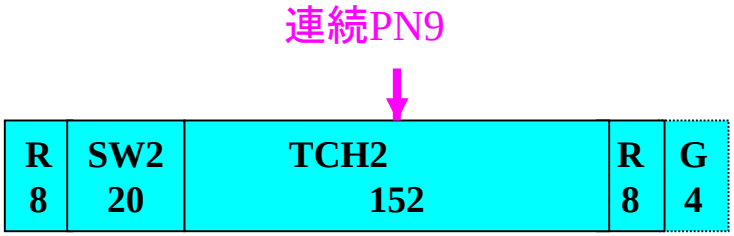


» 1サブフレーム



シグナルパターン　サブフレーム構成

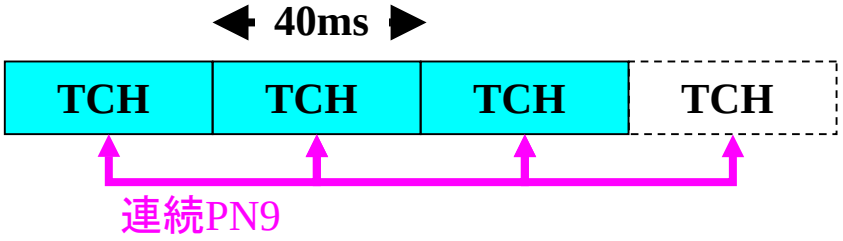
- **トラヒックチャネル2 (TCH2)**
  - 192ビット, 20ms



  - R　　過渡応答ガードタイム
  - SW2　　同期ワード2
    - S5(31BAF)
  - G　　ガードタイム

シグナルパターン　フレーム構成

- トラヒックチャネル (TCH)



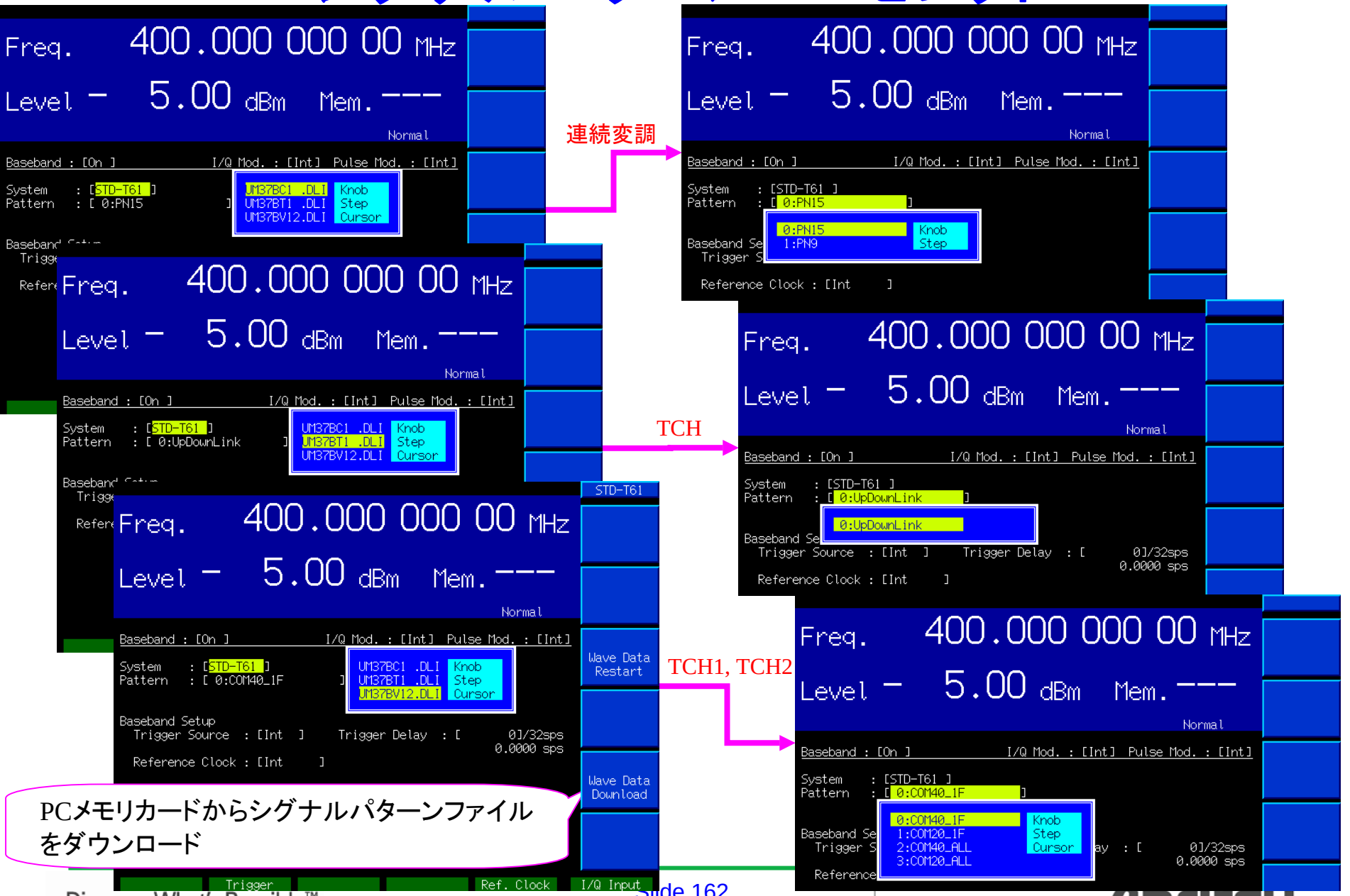
シグナルパターン　フレームフォーマット

- **トラヒックチャネル (TCH)**
  - 384ビット, 40ms



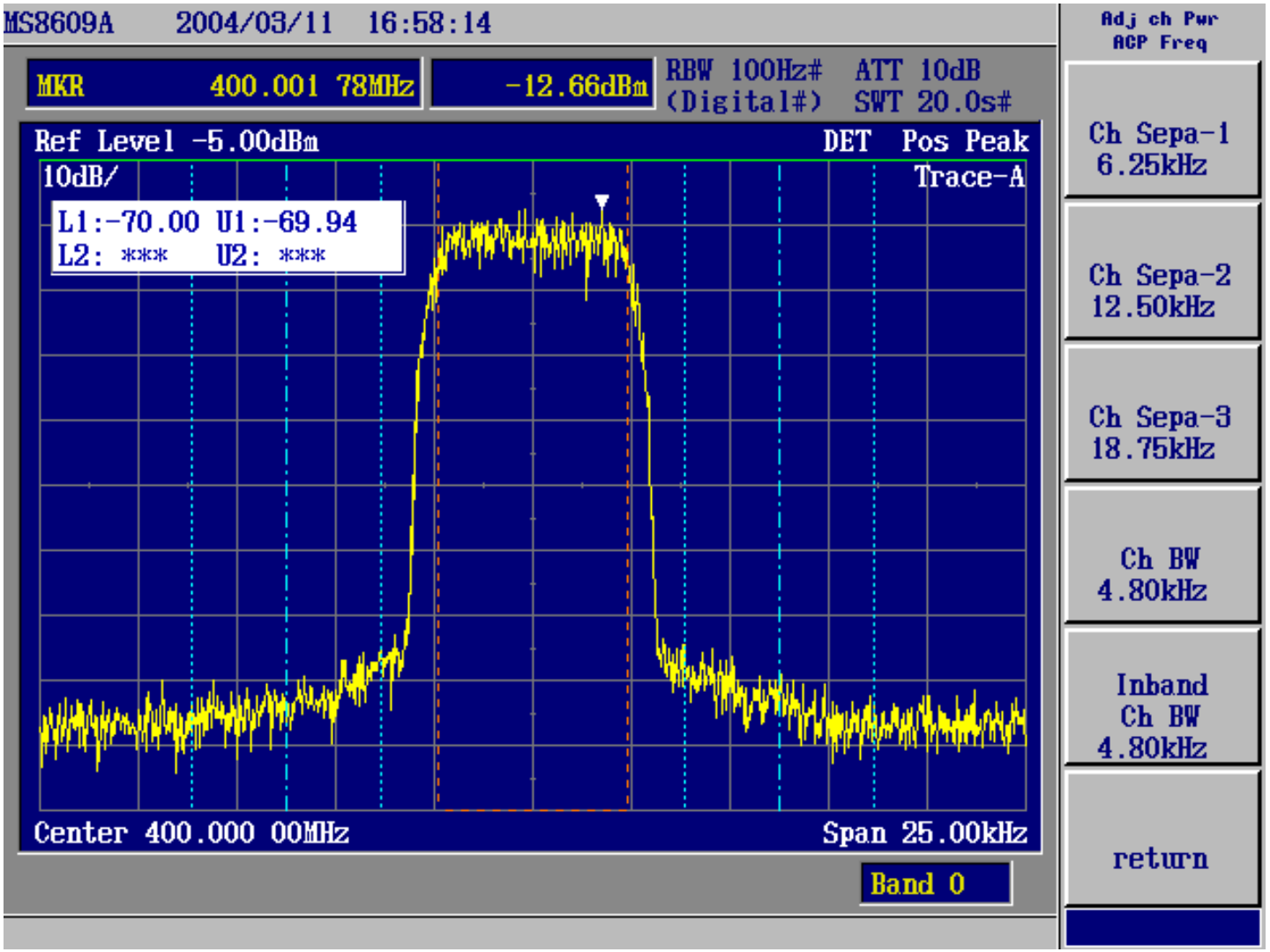
  - LP+R　リニアライザ用プリアンブル及びバースト過渡応答用ガードタイム　オール“0”
    - パワーアンプの直線性の改善の自己診断用
  - Pa　プリアンブル　10
  - RI　無線情報チャネル(RICH)　オール“0”
  - SW　同期ワード
    - S4(1E56F)
  - 未定義　オール“0”

シグナルパターン　セレクト



PCメモリカードからシグナルパターンファイルをダウンロード

隣接チャネル漏洩電力比
≤ -5 dBm, 連続変調, ALC off



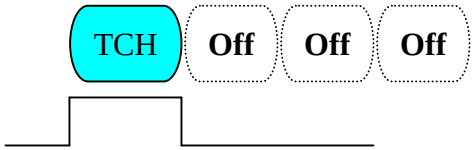
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - 基地局受信テスト時使用
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 32×シンボルレート (32× 4.8 ksps = 153.6 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



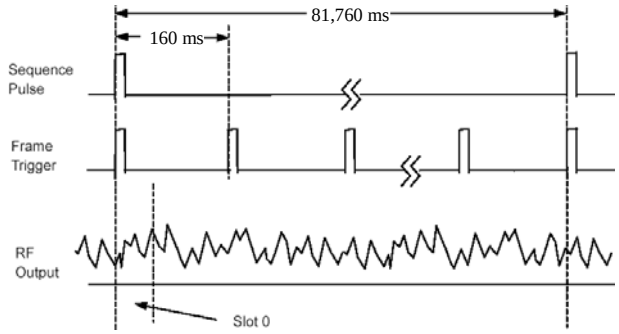
補助信号 Output

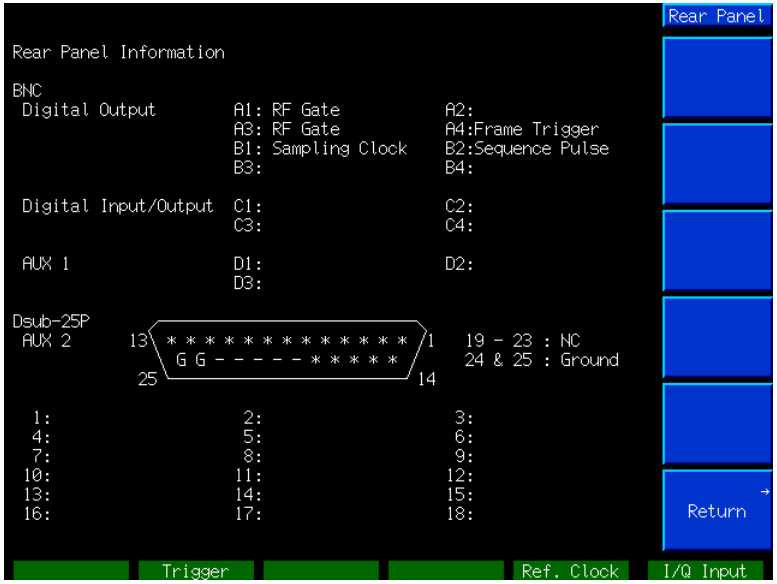
» リアパネル
- RF Gate
  - バースト



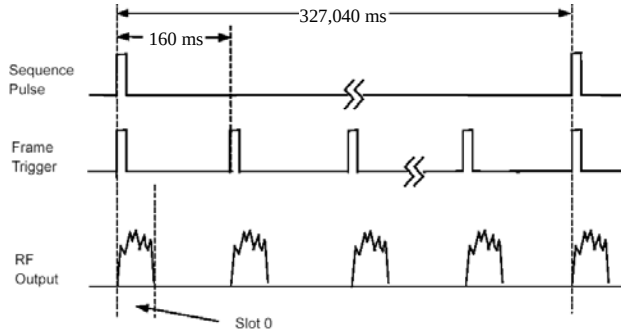
内部パルス変調器制御信号

- Sampling Clock
  - ベースバンドリファレンスクロック
    - 32×シンボルレート
      (32× 4.8 ksps = 153.6 kHz)
- Frame Trigger, Sequence Pulse
  - 連続フレーム
    511 frames





  - バーストフレーム
    2044 frames

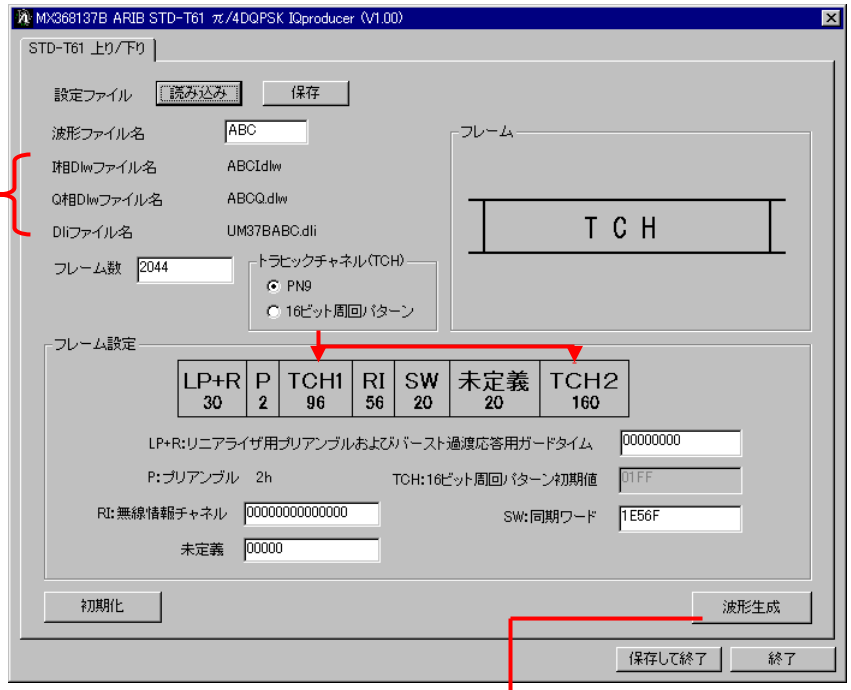


MX368137B　ARIB STD-T61 π/4DQPSK IQproducer™

- MG3681Aにインストールされた**MX368037B**の機能を高めるための**Windows**アプリケーションソフトウェア
- MG3681Aに内蔵した**MU368030A**ユニバーサル変調ユニットが発生するシグナルパターンのIQマッピングデータファイルを生成
- コンポーネンツから基地局および移動機の開発工程において、多様なパワーアンプの評価や復調テストを実現するための機能をサポート

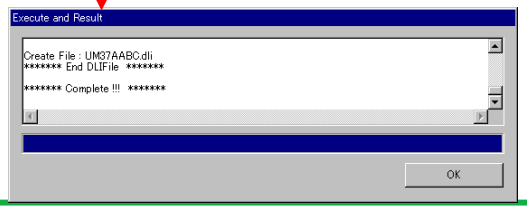


多様なフレームフォーマットのエディット



3ファイルを生成

- Iデータ
- Qデータ
- ダウンロード用定義ファイル



シグナルパターンコンバイナ

生成されたシグナルパターンファイル

***I.dlw
***Q.dlw
UM37B***.dli

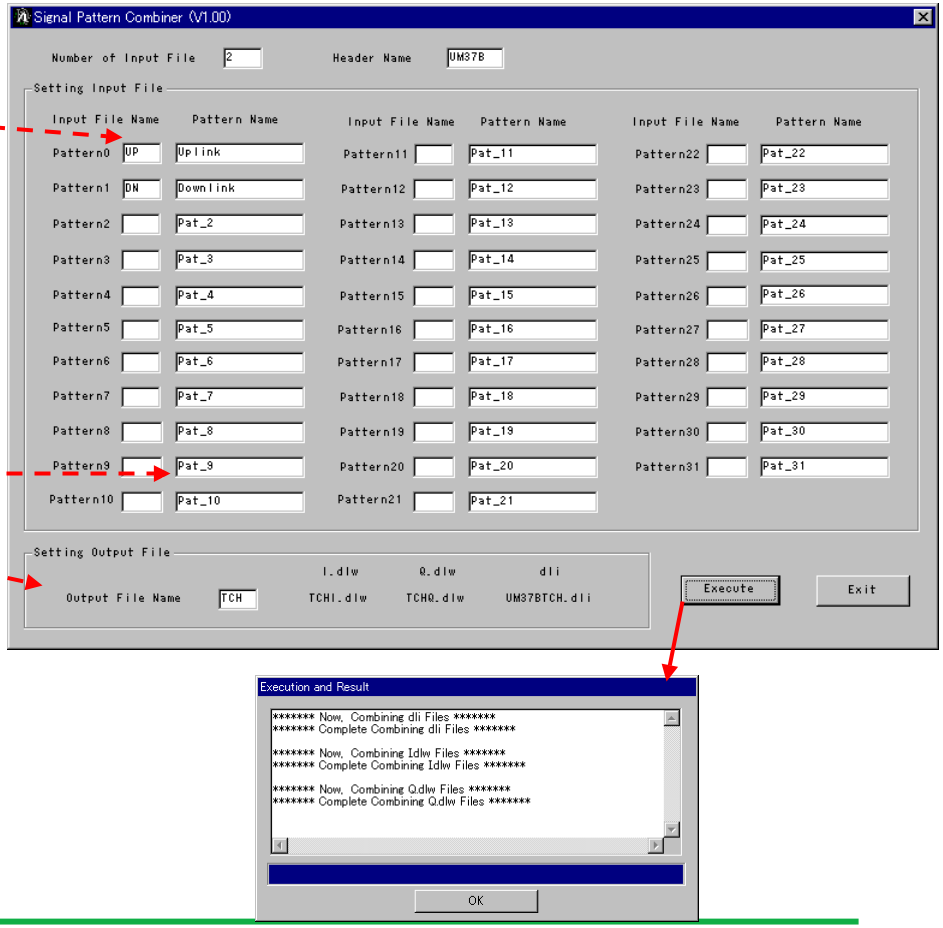
1
シグナル
パターン

結合されたシグナルパターンファイル

???I.dlw
???Q.dlw
UM37B???.dli

複数の
シグナル
パターン
(リネーム)

- シグナルパターンの高速チェンジを実現

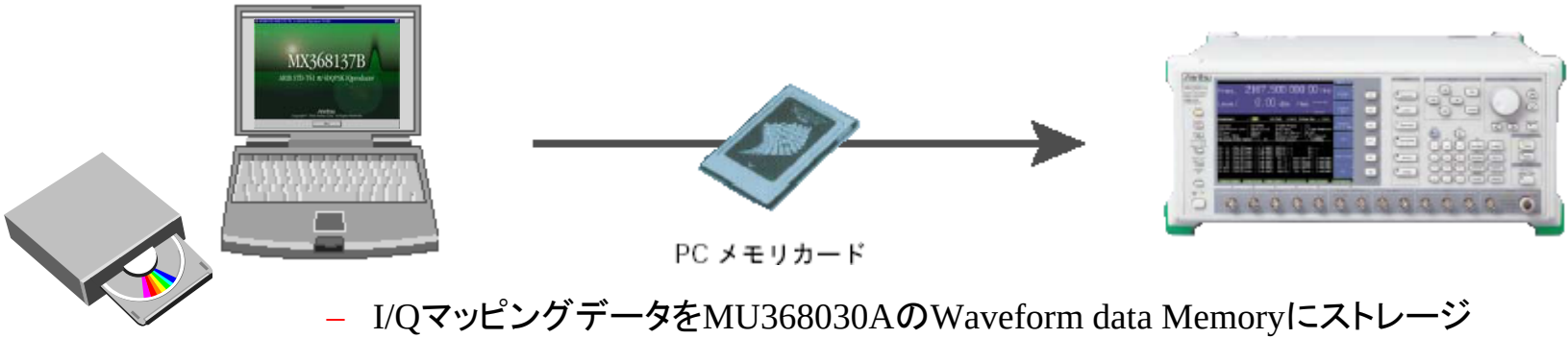


動作環境

パーソナルコンピュータ

- **OS:　　Windows 2000, XP　推奨**
- **CPU:　　≧ 300MHz**
- **メモリ:　　≧ 128MB　　推奨**
- **HDD:　　≦ 512MB　　占有**
- **ディスプレイ:　　≧ 800×600ピクセル**
- **周辺機器:**

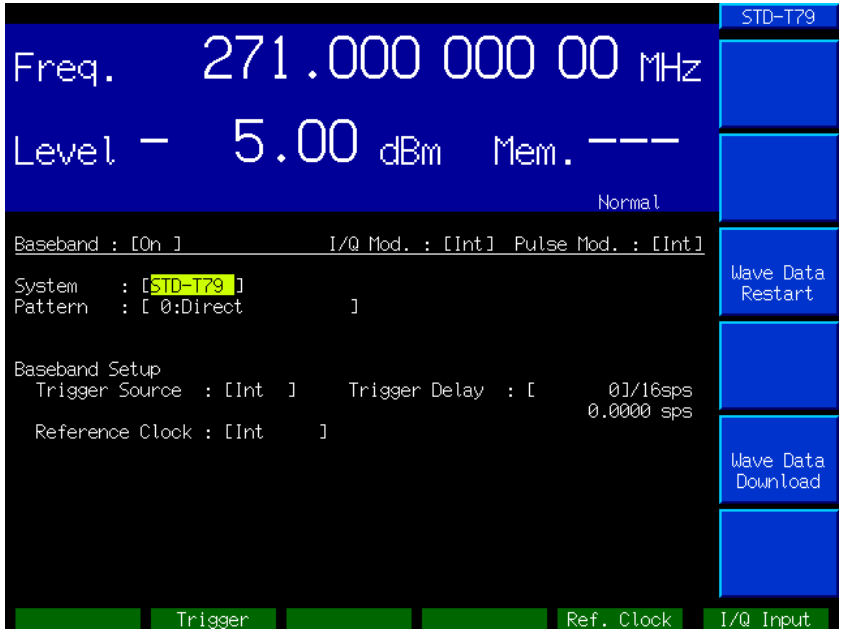
CD-R読込
PCメモリカード(コンパクトフラッシュ+PCカードアダプタ)へセーブ

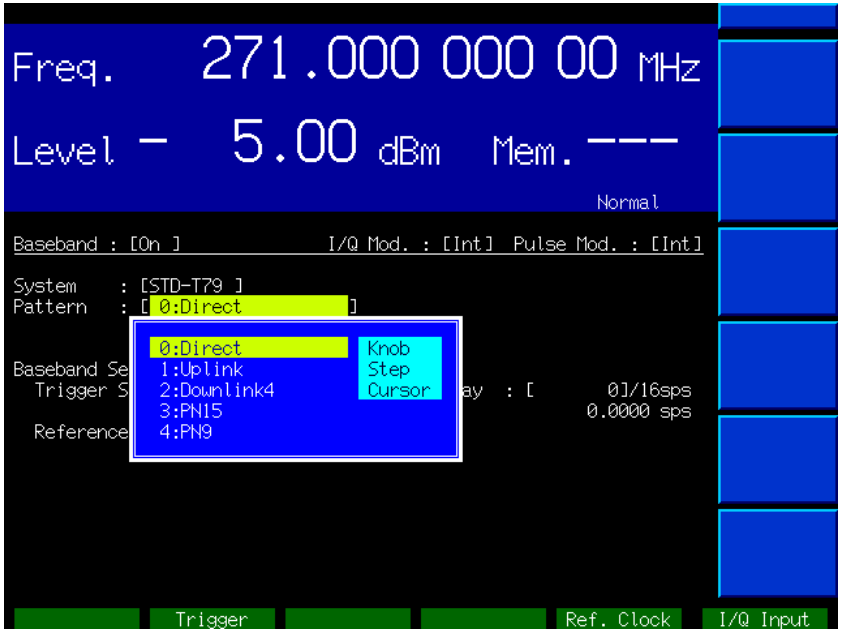


– I/Qマッピングデータを MU368030A の Waveform data Memory にストレージ

MX368037C　ARIB STD-T79 π/4DQPSK信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368037C ARIB STD-T79 π/4DQPSK信号発生ソフトウェアをインストールすることにより、ARIB STD-T79規格の下り/上りのπ/4DQPSKテスト用信号(TCH)を出力可能
- コンポーネンツから基地局および移動機の開発/生産/保守工程において、コンポーネンツ用信号源, 受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現



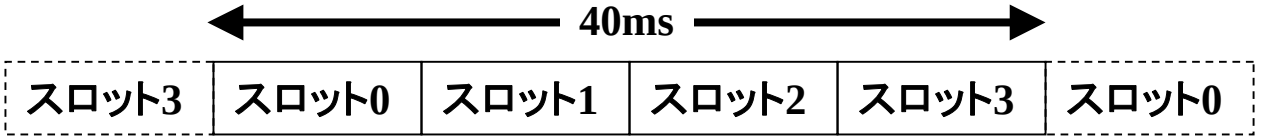


テスト用信号フォーマットのサポート

- **ARIB STD-T79 1.1版 に基づいたフレームフォーマットであるため、基地局/移動機テスト仕様の受信テスト(BER)が可能**
- **ARIB STD-T79 の複雑なパラメータを設定することなく、大容量内蔵メモリに保存されたシグナルパターンを選択するだけ!　　簡単操作**
- **シグナルパターンを　　高速チェンジ < 1 sec**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 16倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memory にストレージ

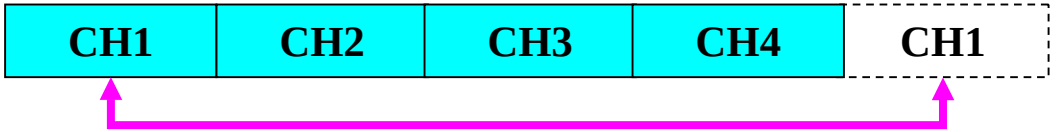
シグナルパターン　フレーム構成

- トラヒックチャネル (TCH)

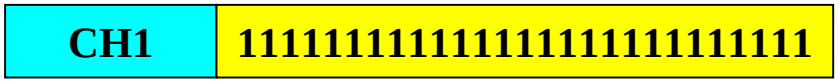


パターン

» 下り4スロット



» 下り1スロット



» 上り1スロット



» 移動局間直接通信

» 専用チャネル中継通信

- スーパーフレーム対応不可

シグナルパターン　スロット構成

- 下りトラヒックチャネル (TCH)
  - » 320ビット, 10ms



シグナルパターン　スロット構成

- R　ガード時間
- P　プリアンブル　10
- SW　同期ワード
  - スロット0:　S1(87A4B)
  - スロット1:　S2(9D236)
  - スロット2:　S3(81D75)
  - スロット3:　S4(A94EA)
- CI　キャリア情報
  - 11　通信キャリア
- CC　カラーコード(干渉対策コード)　オール“0”
- SACCH 低速ACCH　オール“0”
- B/I　ビジー/アイドルビット
  - 11111111　当該通信用物理チャネルは使用中

シグナルパターン　スロット構成

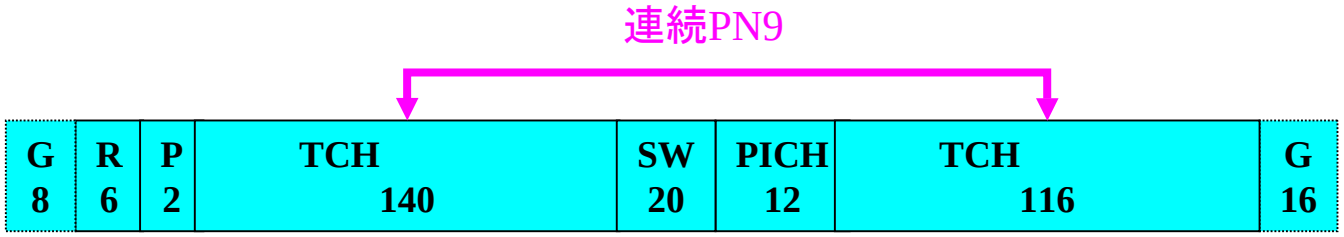
- **上りトラヒックチャネル (TCH)**
  - 320ビット, 10ms



  - R　ガード時間
  - P　プリアンブル　10
  - SW　同期ワード
    - スロット0:　S1’(785B4)
  - I　アイドルビット　00
  - CC　カラーコード(干渉対策コード)　オール“0”
  - SACCH 低速ACCH　オール“0”
  - G　ガード時間

シグナルパターン　スロット構成
(移動局間直接通信, 専用チャネル中継通信)

- トラヒックチャネル (TCH)
  - » 320ビット, 10ms



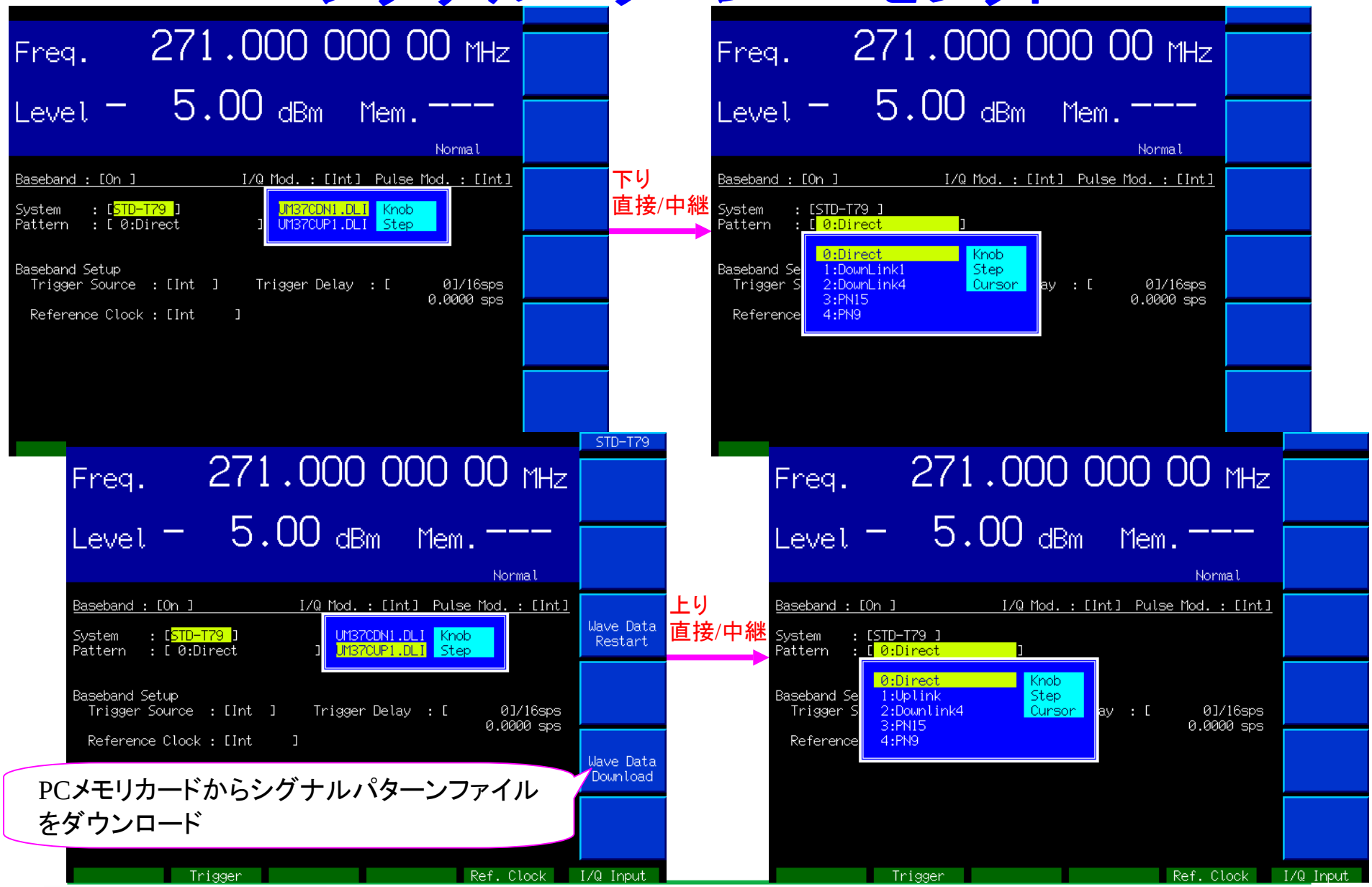
スロット構成
(移動局間直接通信, 専用チャネル中継通信)

- G　ガード時間
- R　バースト過渡応答用ガード時間
- P　プリアンブル　10
- SW　同期ワード

  移動局間直接通信
  - 音声通信:　S10(4D9DE)
  - 非音声通信:　S11(8279E)

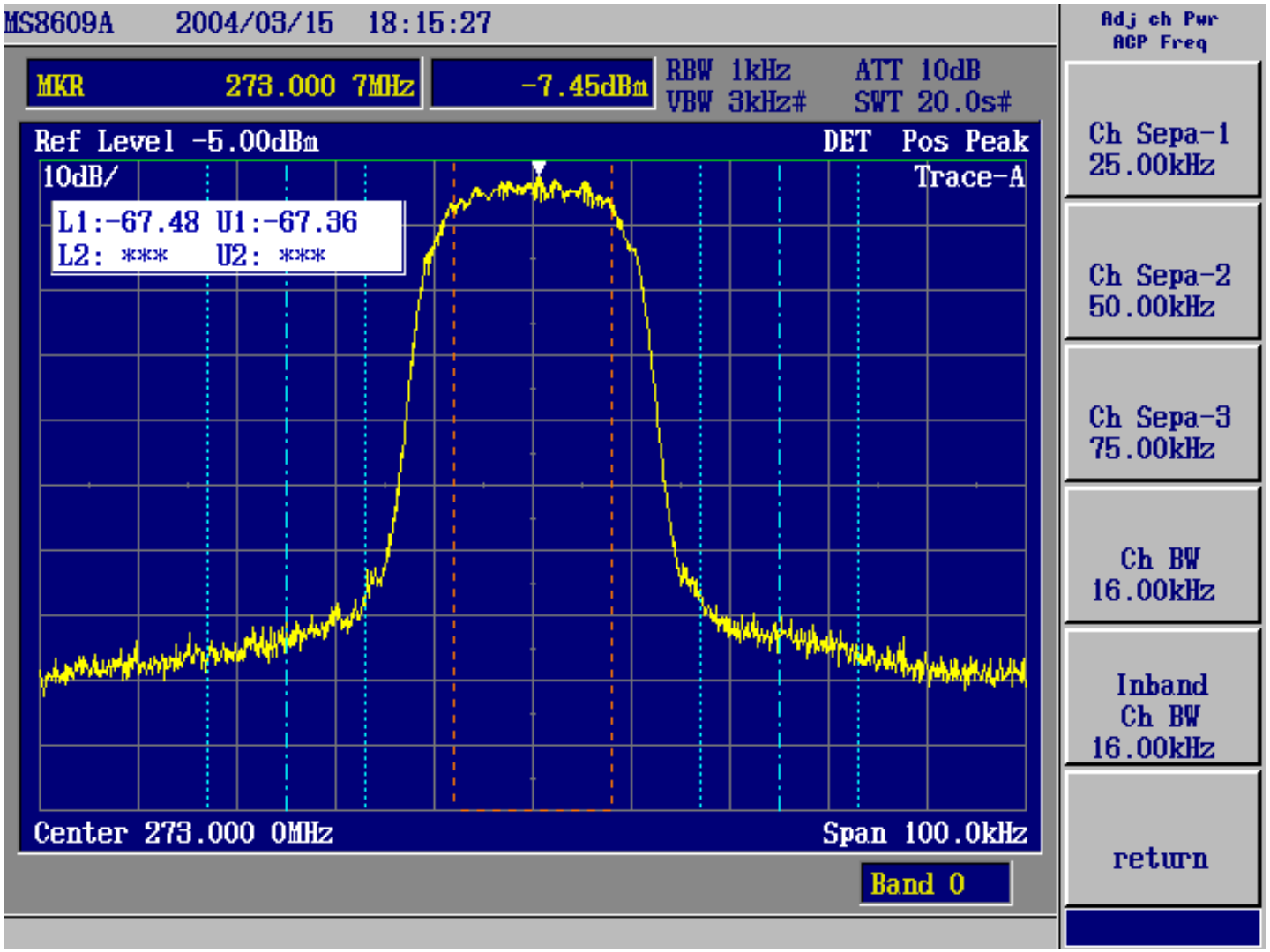
  専用チャネル中継通信
  - 音声通信(中継局→移動局):　S7(E712C)
  - 非音声通信(中継局→移動局):　S8(FBC1F)
  - 音声通信(移動局→中継局):　S5(31BAF)
  - 非音声通信(移動局→中継局):　S3(81D75)
- PICH　パラメータ情報チャネル　オール“0”

シグナルパターン　セレクト



PCメモリカードからシグナルパターンファイルをダウンロード

隣接チャネル漏洩電力比
≤ -5 dBm, 連続変調, ALC off



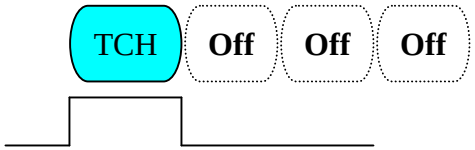
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - 基地局受信テスト時使用
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 16×シンボルレート (16× 16 ksps = 256 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



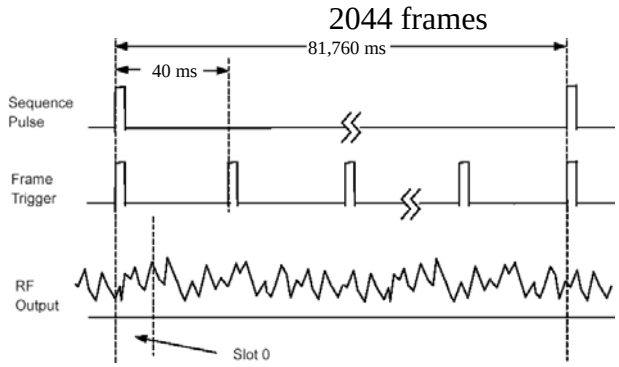
補助信号 Output

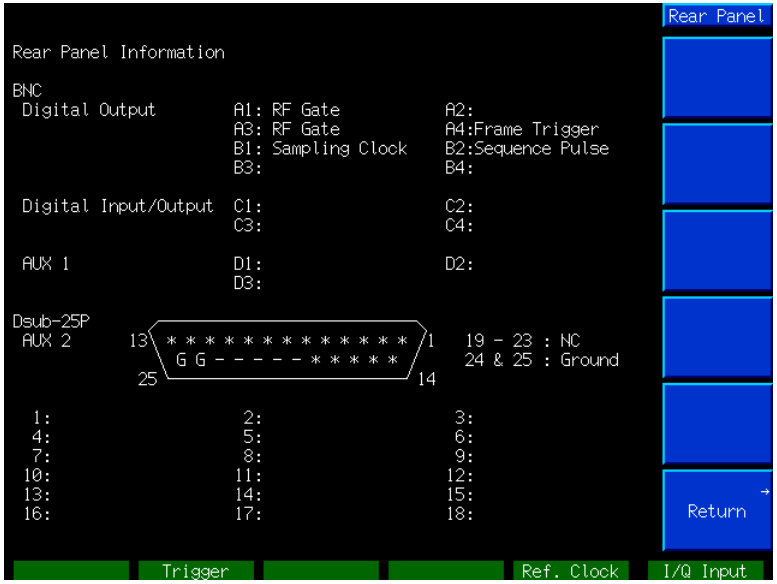
» リアパネル
- RF Gate
  - 上り (バースト)



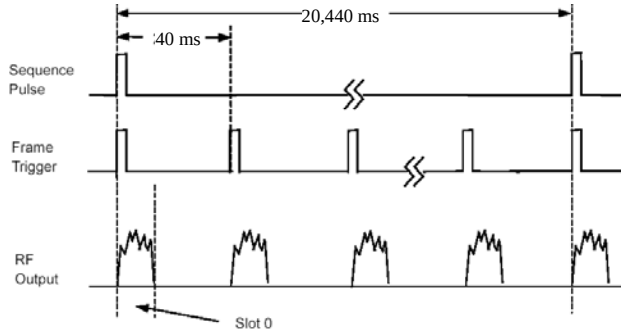
内部パルス変調器制御信号

- Sampling Clock
  - ベースバンドリファレンスクロック
    - 16×シンボルレート
      (16× 16 ksps = 256 kHz)
- Frame Trigger, Sequence Pulse
  - 下り



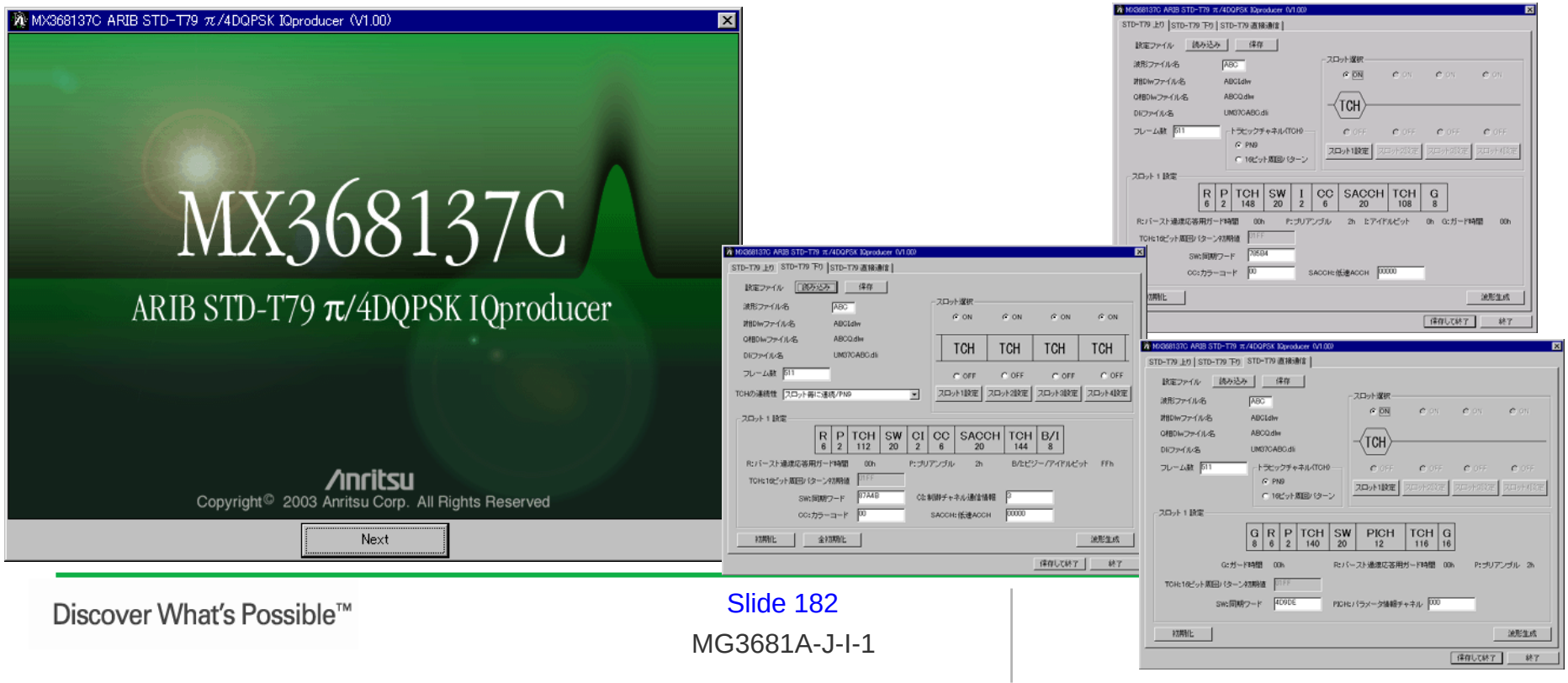


- 上り
  511 frames



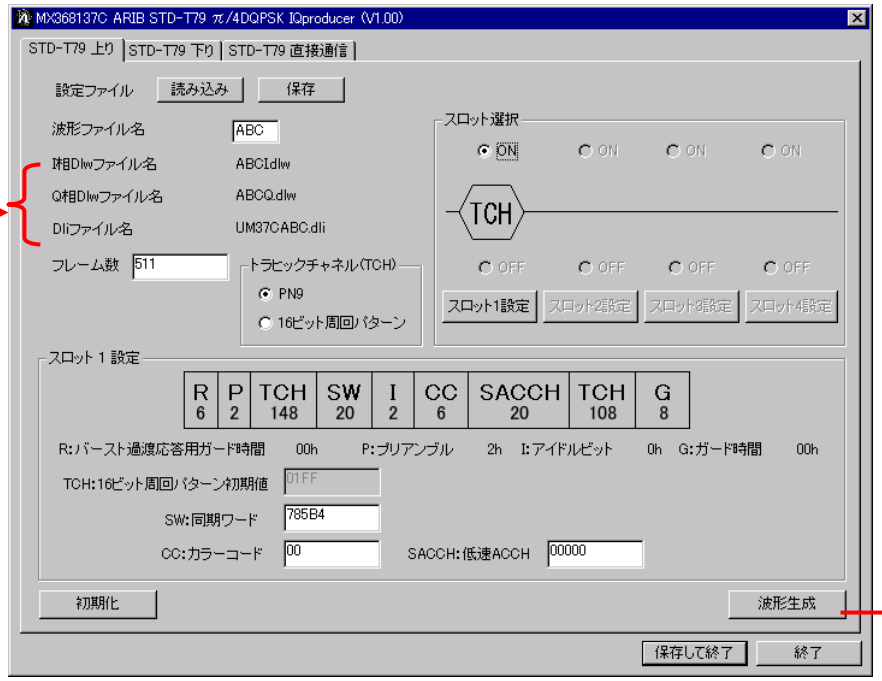
MX368137C　ARIB STD-T79 π/4DQPSK IQproducer™

- MG3681Aにインストールされた**MX368037C**の機能を高めるための**Windows**アプリケーションソフトウェア
- MG3681Aに内蔵した**MU368030A**ユニバーサル変調ユニットが発生するシグナルパターンのIQマッピングデータファイルを生成
- コンポーネンツから基地局および移動機の開発工程において、多様なパワーアンプの評価や復調テストを実現するための機能をサポート



多様なフレーム/スロットフォーマットのエディット

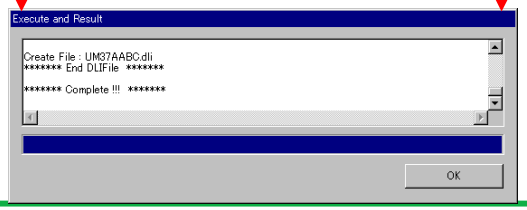
- スロット毎に、パラメータをエディット可





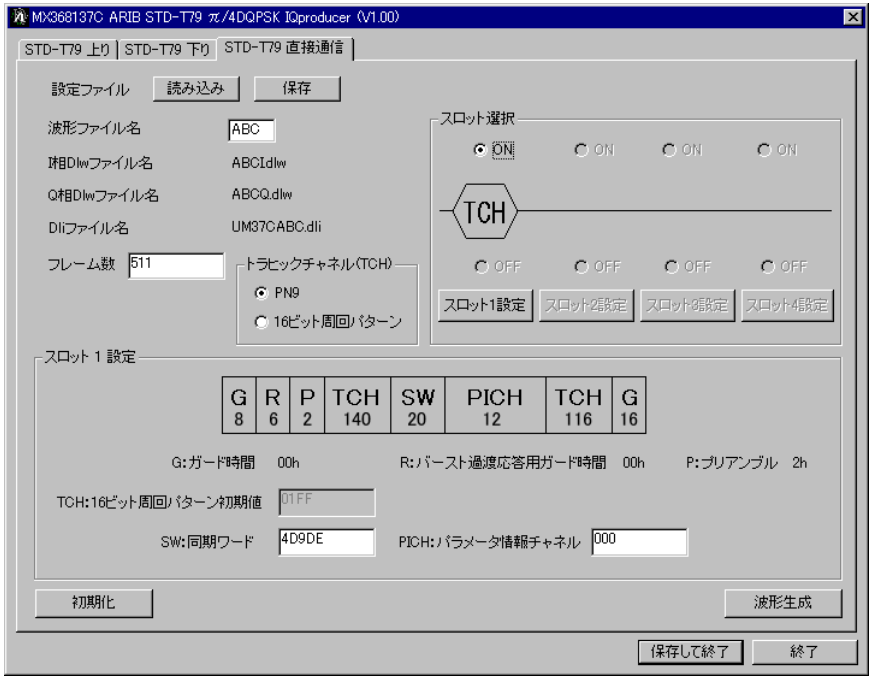
3ファイルを生成

- Iデータ
- Qデータ
- ダウンロード用定義ファイル



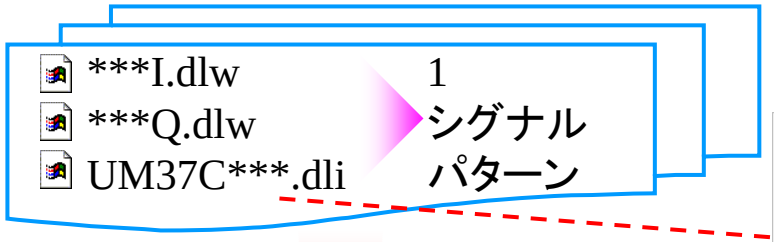
多様なフレーム/スロットフォーマットのエディット

- 移動局間直接通信
- 通信用物理チャネル(TCH)もエディット可

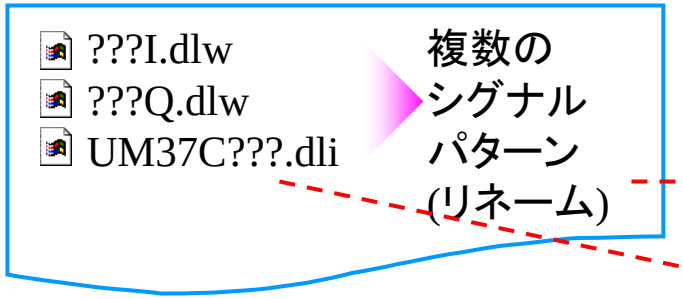


シグナルパターンコンバイナ

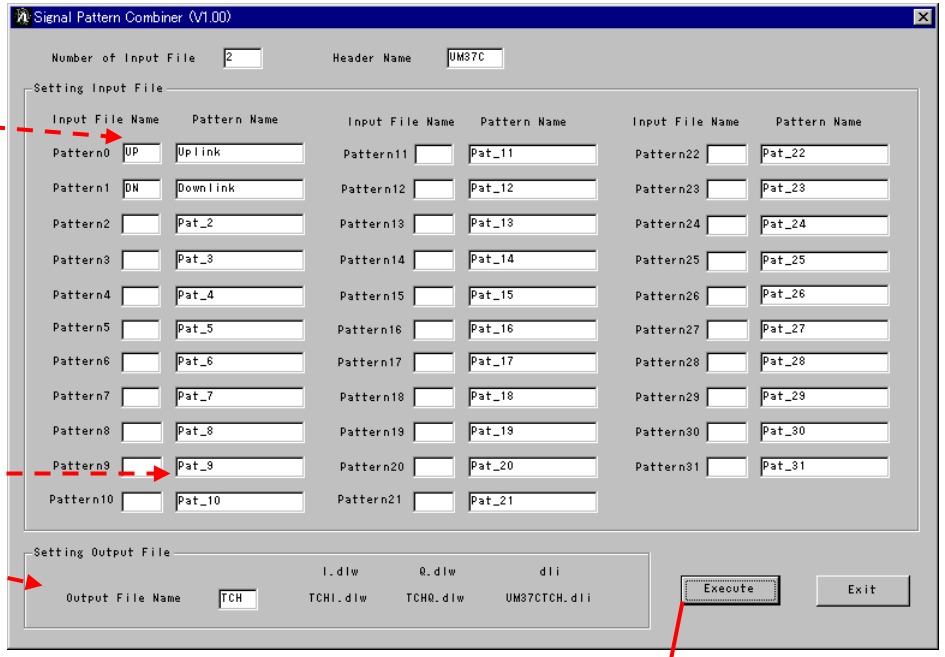
生成されたシグナルパターンファイル

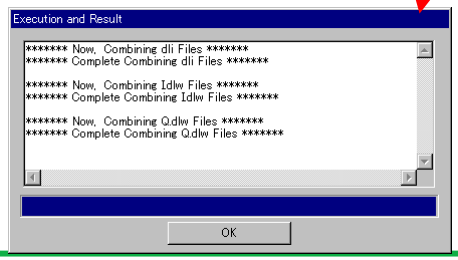


結合されたシグナルパターンファイル



- シグナルパターンの高速チェンジを実現



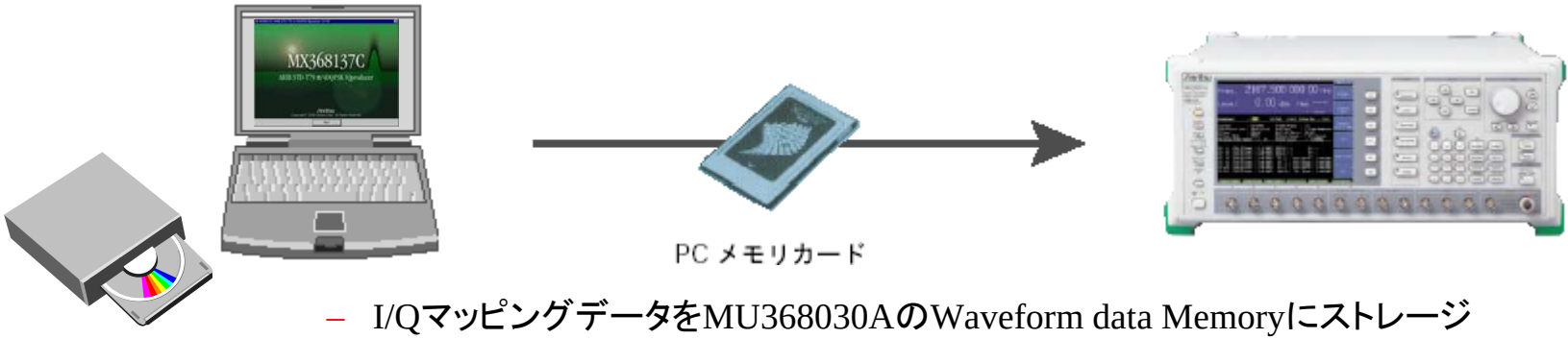


動作環境

パーソナルコンピュータ

- OS: Windows 2000, XP 推奨
- CPU: ≧ 300MHz
- メモリ: ≧ 128MB 推奨
- HDD: ≦ 512MB 占有
- ディスプレイ: ≧ 800×600ピクセル
- 周辺機器:

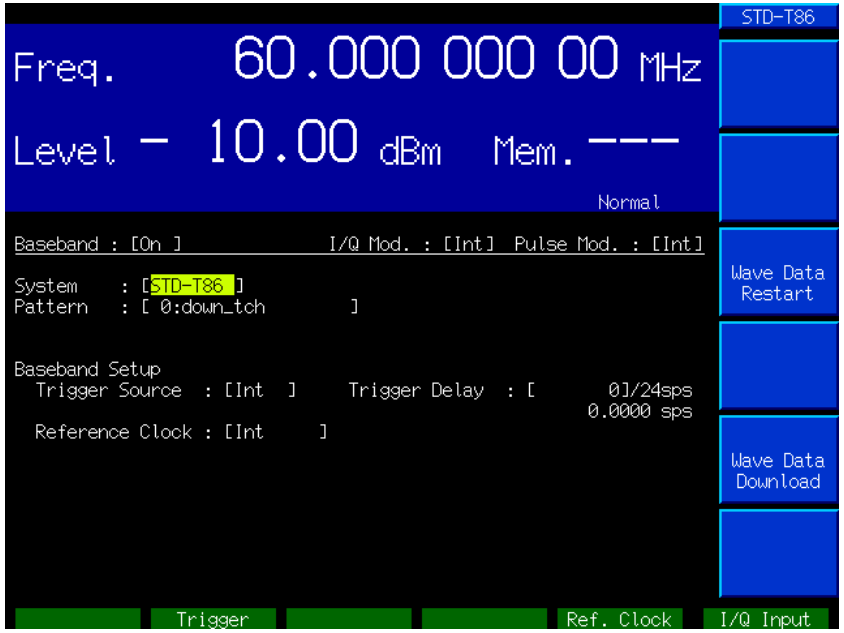
CD-R読込
PCメモリカード(コンパクトフラッシュ+PCカードアダプタ)へセーブ

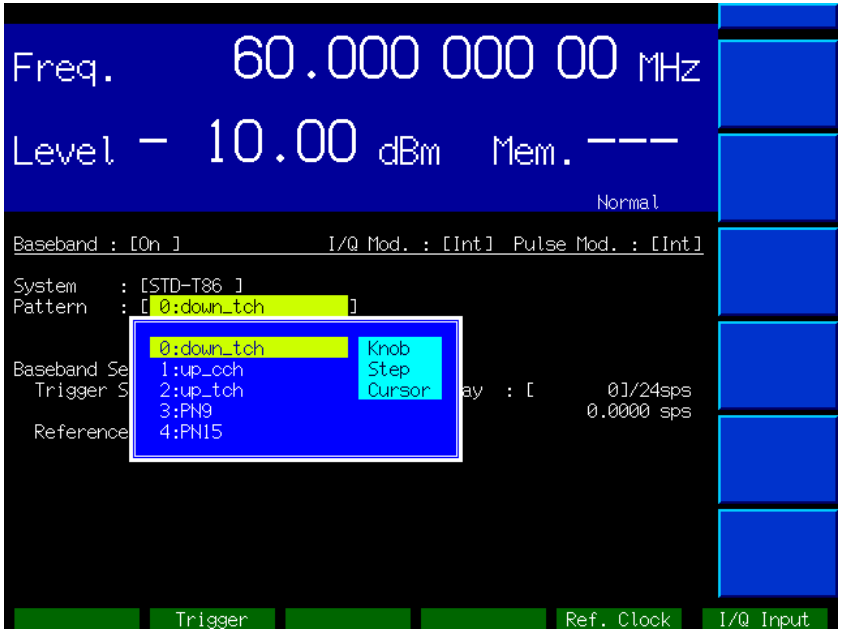


– I/Qマッピングデータを MU368030A の Waveform data Memory にストレージ

MX368037D ARIB STD-T86 16QAM信号発生ソフトウェア

- MU368030A ユニバーサル変調ユニットに、MX368037D ARIB STD-T86 16QAM信号発生ソフトウェアをインストールすることにより、ARIB STD-T86規格の下り/上りの16QAMテスト用信号(CCH,TCH)を出力可能
- コンポーネンツから親局, 中継局および子局の開発/生産/保守工程において、コンポーネンツおよび中継局用信号源、受信機テスト用希望信号源および干渉信号源として、様々なアプリケーションをサポートするための機能を実現



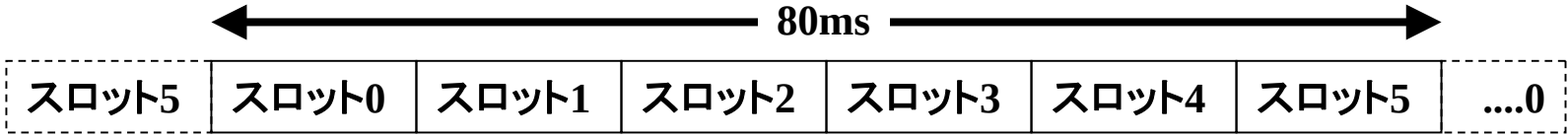


テスト用信号フォーマットのサポート

- **ARIB STD-T86 1.0版に基づいたフレームフォーマットであるため、親局/子局テスト仕様の受信機テスト(BER)が可能**
- **ARIB STD-T86 の複雑なパラメータを設定することなく、大容量内蔵メモリに保存されたシグナルパターンを選択するだけ!　　簡単操作**
- **シグナルパターンを　　高速チェンジ < 1 sec**
- **PCメモリカードから内部メモリに保存されたシグナルパターンファイルの更新により、迅速なサポートを実現**
  - PCメモリカード(コンパクトフラッシュ)にて、IQシグナルパターンファイルをMG3681Aにダウンロード
    - 24倍オーバーサンプリングのI/Qマッピングデータを Waveform data Memory にストレージ

シグナルパターン　フレーム構成

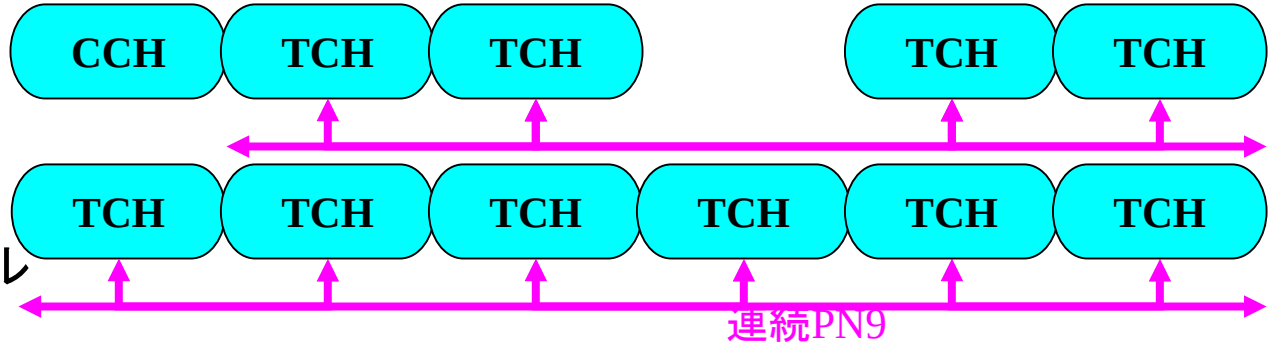
- 下り/上り物理チャネル



パターン

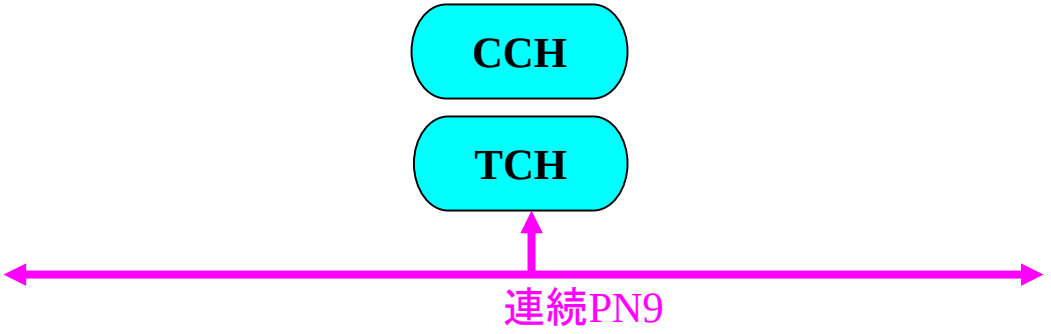
» 下り CCH/TCH

» 下り TCHオール



» 上りCCH

» 上りTCH



- スーパーフレーム対応不可

シグナルパターン　スロット構成

- 下り/上りコントロールチャネル (CCH)
  - 150シンボル(600ビット), 80/6(13.333)ms

R	AP	P	AP	SW	C	CAC	P	CAC	G
4	6	1	58	10	1	58	1	6	5

  - R　　バースト過渡応答用ランプ時間
  - AP　　AGCプリアンブル
    - 20A800080A　繰返し
  - SW　　同期ワード
    - 下り:S1(000A0A00A0)
    - 上り:S2(000A0AA00A)
  - C　　チャネル種別
    - 1010　　CCH
  - CAC　制御信号 (BCCH, PCH, SCCH)
    - PRBS
  - P　　パイロットシンボル
    - 1010
  - G　　ガード時間

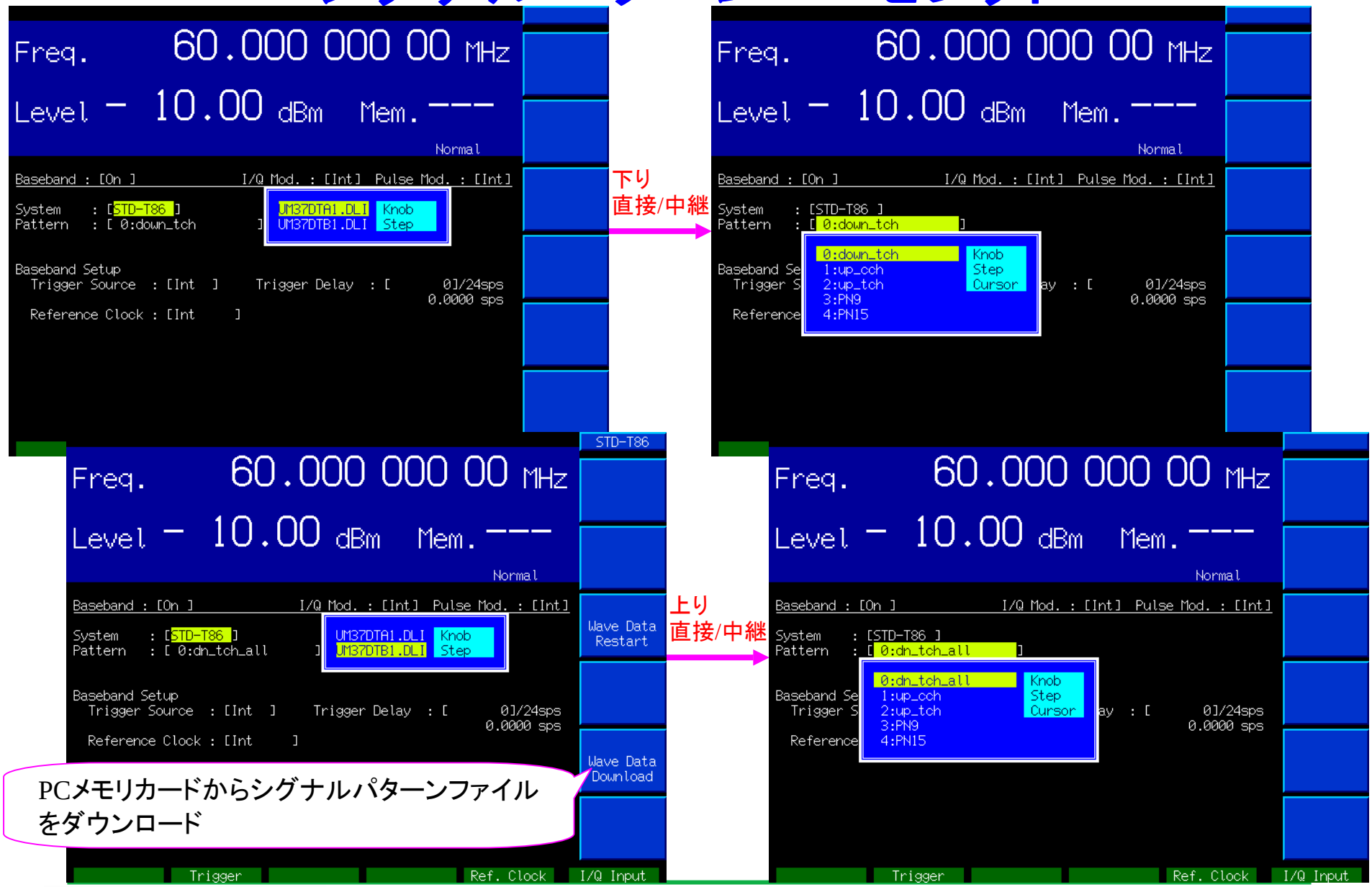
シグナルパターン　スロット構成

- **下り/上りトラヒックチャネル (TCH)**
  - 150シンボル(600ビット), 80/6(13.333)ms



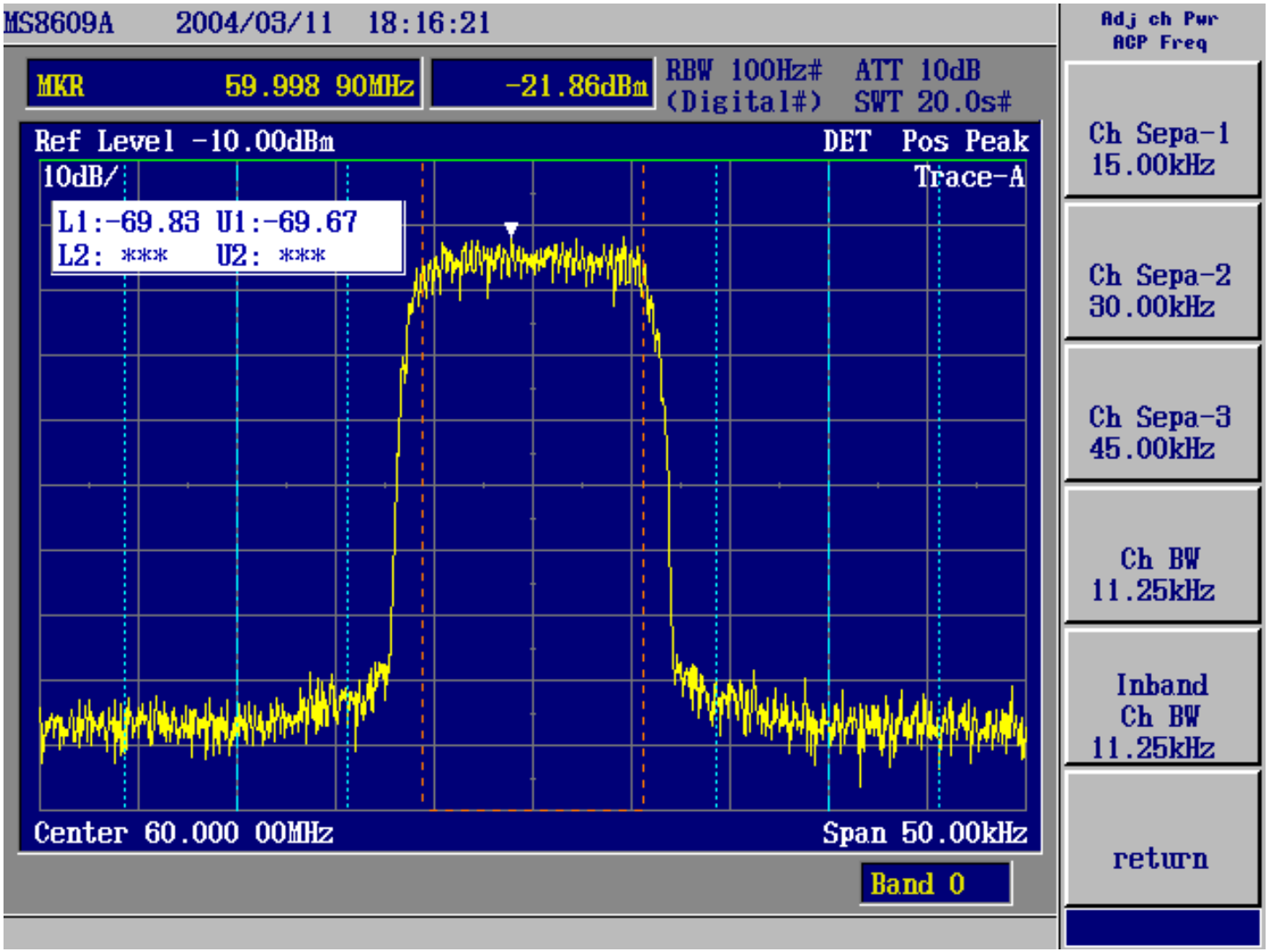
  - R　バースト過渡応答用ランプ時間
  - SW　同期ワード
    - 下り:S3(00A000AAAA)
    - 上り:S4(00A000000A)
  - C　チャネル種別
    - 1000　TCH(B)
  - P　パイロットシンボル
    - 1010
  - G　ガード時間

シグナルパターン　セレクト

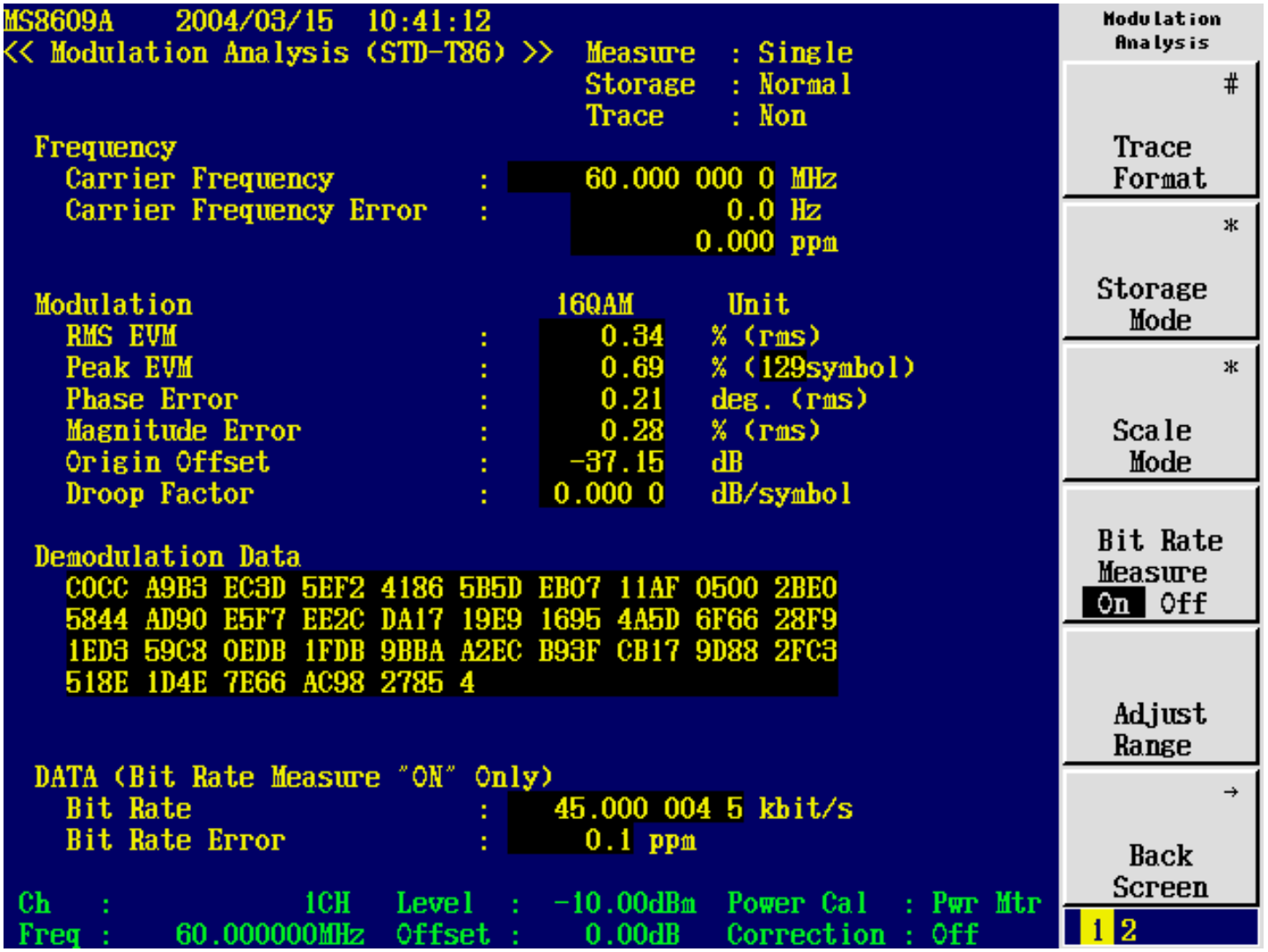


PCメモリカードからシグナルパターンファイルをダウンロード

隣接チャネル漏洩電力比
≤ -10 dBm, 連続変調, ALC off



変調精度
≦-10 dBm, 連続変調, ALC off



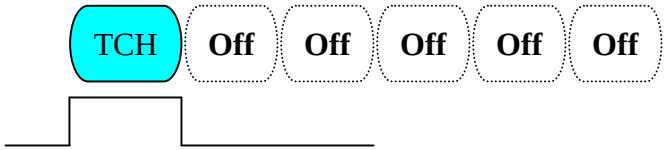
補助信号 Input

- フロントパネル
  - Trigger
    - 外部フレームクロックの同期
    - フレームトリガ, スタートトリガを選択可
      - 親局受信テスト時使用
  - Ref. Clock
    - 外部ベースバンドリファレンスクロックの同期
    - 24×シンボルレート (24× 11.25 ksps = 270 kHz)
      - スタートトリガ選択時使用
        リアパネルの外部基準クロック入力(10/13MHz)でもOK



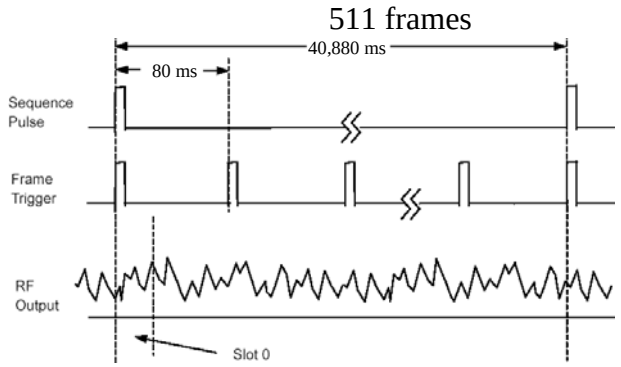
補助信号 Output

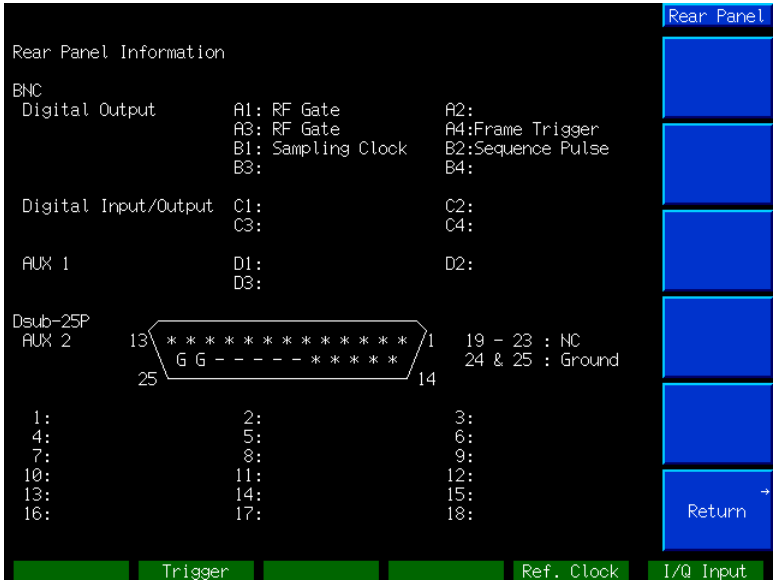
» リアパネル
- RF Gate
  - 上り (バースト)



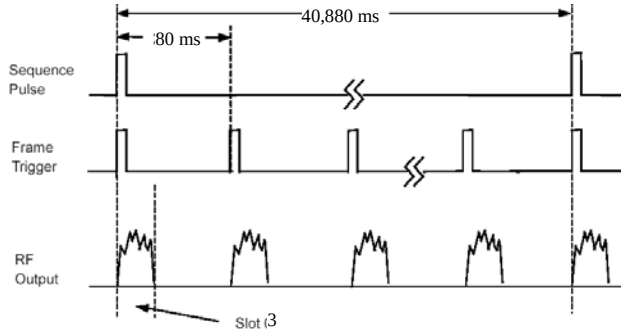
内部パルス変調器制御信号

- Sampling Clock
  - ベースバンドリファレンスクロック
    - 24×シンボルレート
      (24× 11.25 ksps = 270 kHz)
- Frame Trigger, Sequence Pulse
  - 下り



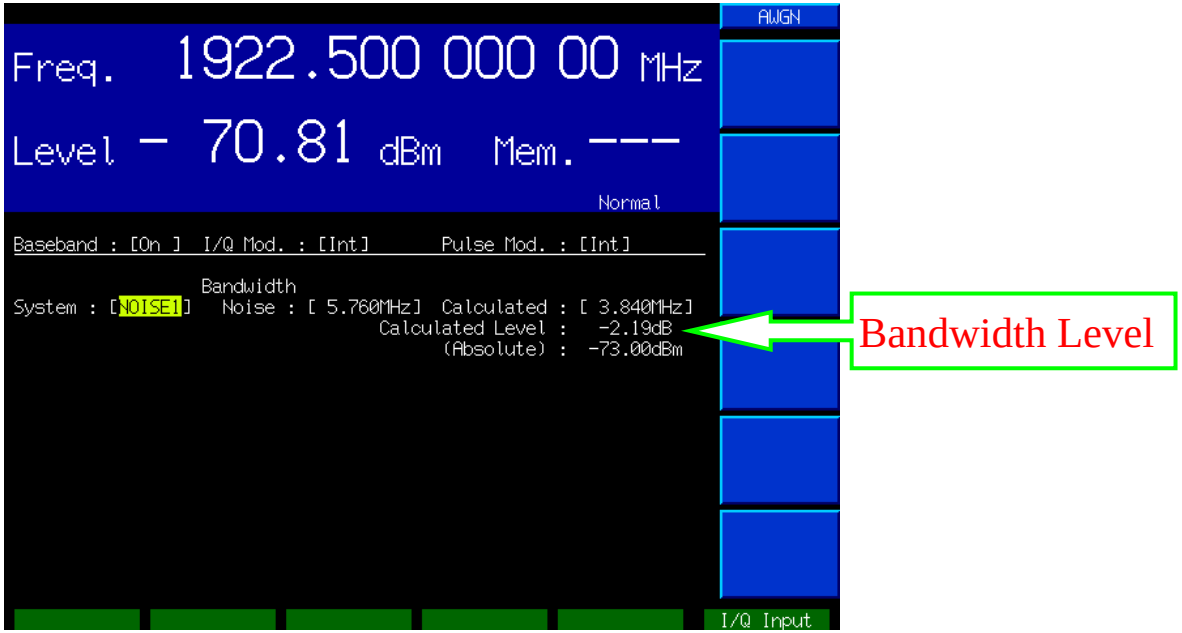


  - 上り



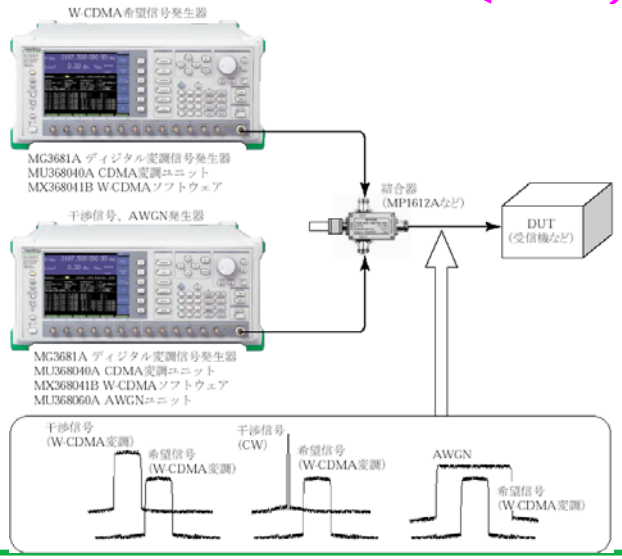
MU368060A AWGN

- MG3681A ディジタル変調信号発生器に、MU368060A AWGNユニットをインストールすることにより、3GPP(FDD/TDD)や3GPP2(CDMA2000)規格のAWGNをリアルタイム出力可能
- 基地局(BS)および移動機(UE)の開発/生産工程において、受信機テスト用AWGNソースとしての機能を実現



AWGNのテストサポート

- **3GPP(FDD)**
  - » MX368041B W-CDMAソフトウェアをインストールしたMU368040A CDMA変調ユニットを一緒に実装すると...
    - 1台で実現
      - – 希望信号源(W-CDMA変調)
      - – 干渉信号源(W-CDMA変調, CW)
      - – AWGNソース
    - ⮌ チェンジ < 10 sec
- **3GPP2(CDMA2000)**
  - » MX368033A CDMA2000 1xEV-DO信号発生ソフトウェアをインストールしたMU368030A ユニバーサル変調ユニットを一緒に実装すると...
    - 1台で実現
      - – 希望信号源(CDMA2000 1xEV-DO変調)
      - – 干渉信号源(CDMA2000変調, CW)
      - – AWGNソース
    - ⮌ チェンジ < 10 sec



Ioc 帯域幅レベル

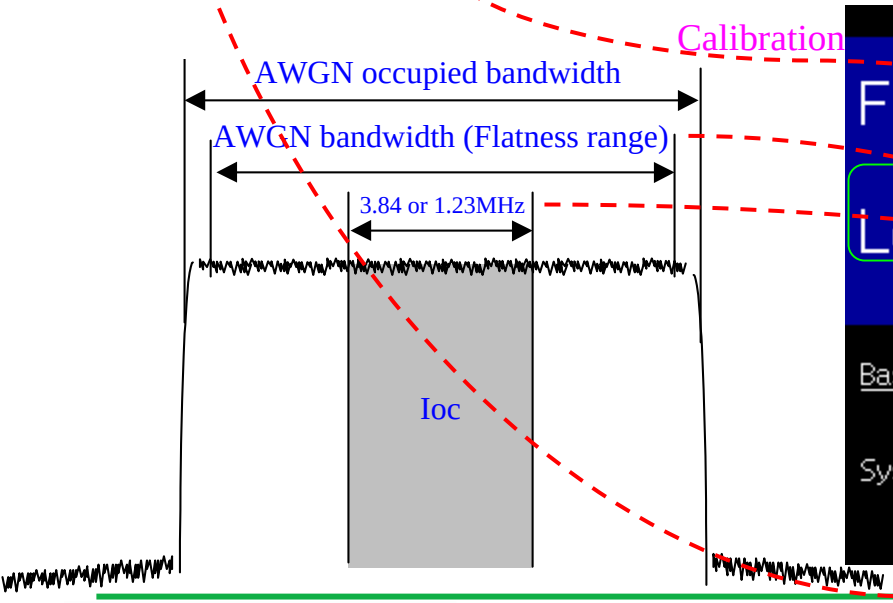
Ioc [dBm] = 3.84MHz(3GPP)または1.23MHz(3GPP2)帯域幅のAWGNレベル

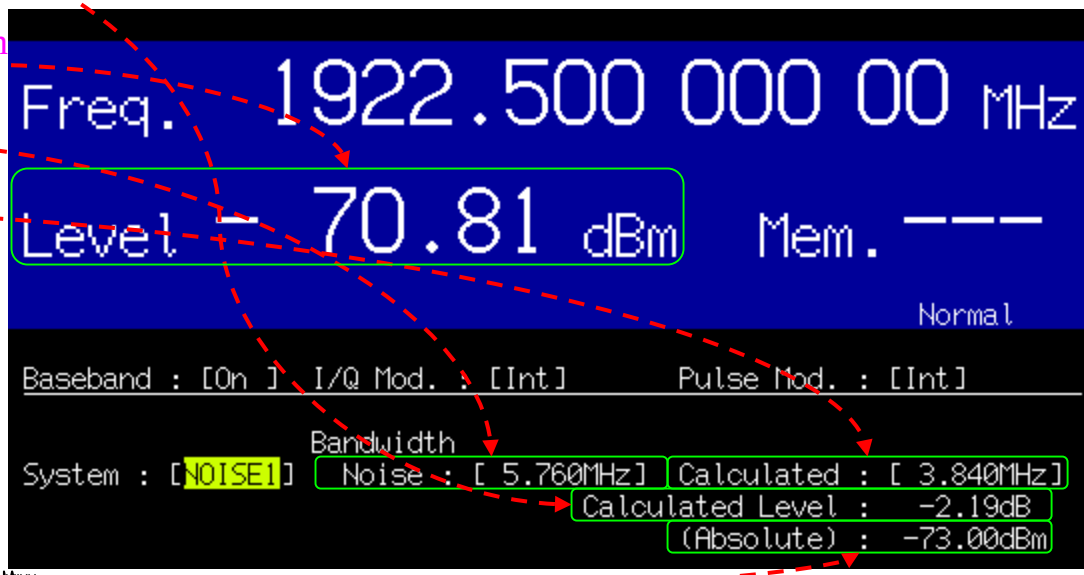
- **高確度で求めるために**
  - » スペクトラムアナライザにて
    - – トータルレベル(Pt)[dBm]を測定
    - – 3.84MHzまたは1.23MHz帯域幅レベル(Pb)[dBm]を測定
  - » パワーメータにて
    - – トータルレベル(Pm)[dBm]を測定
  - » Ioc = Pm + (Pb - Pt)

周波数ごとに求める

スペクトラムアナライザ不要 (確度 ≤ ±0.6 dB)

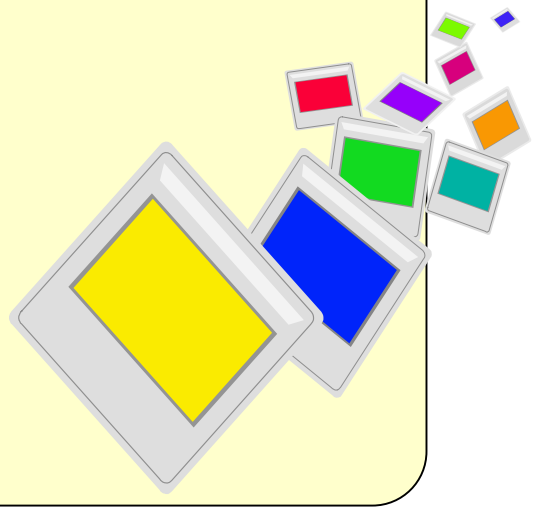
Calibration





アプリケーション

- 製品概要
- 特徴
- アプリケーション
- オプション



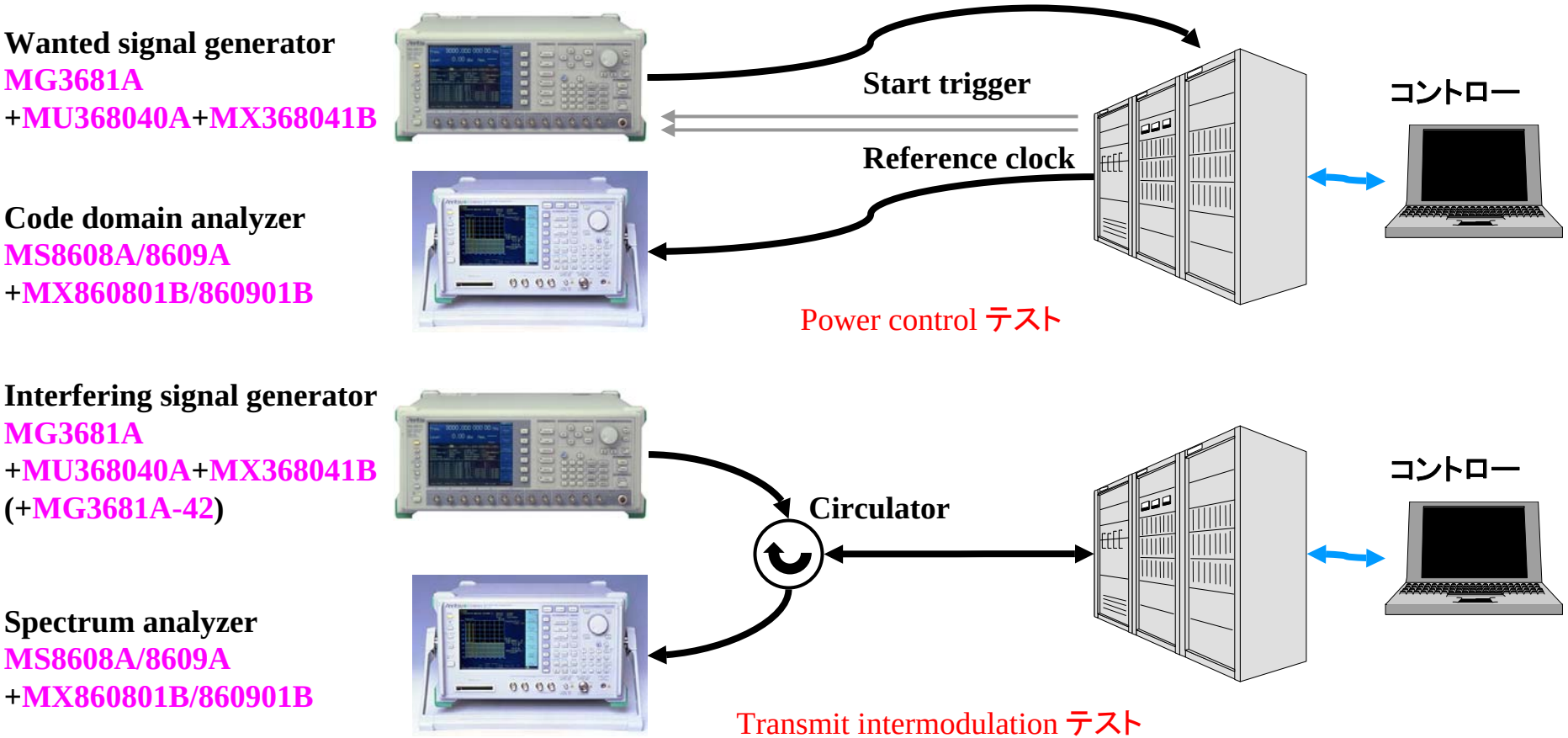
- **3GPP**
  - » W-CDMA 3GPP(FDD) 201
  - » GSM/EDGE 242
- **3GPP2**
  - » CDMA2000 1xEV-DO 244
  - » CDMA2000 1X 267
- **ARIB**
  - » PHS 282
  - » PDC 291
  - » STD-39 302
  - » STD-T61 310
  - » STD-T79, STD-T87 318
  - » STD-T86 326
- **TIA**
  - » NADC 334

3GPP TS 25.141 (Release 5)
6 Transmitter
7 Receiver
8 Performance requirement

W-CDMA 3GPP(FDD) BSテスト

Section	Test	Wanted signal generator	Interfering signal generator	CW generator	AWGN generator	他
6.4 6.4.2 6.4.3	Output power dynamics Power control steps Power control dynamic range	MG3681A +MU368040A +MX368041B				Code domain analyzer
6.6	Transmit intermodulation		MG3681A +MU368040A +MX368041B (+MG3681A-42)			Spectrum analyzer Circulator
7.2	Reference sensitivity level	MG3681A +MU368040A +MX368041B				
7.3	Dynamic range				+MU368060A	
7.4	Adjacent Channel Selectivity (ACS)		MG3681A +MU368040A +MX368041B			MP1201C BERT
7.5	Blocking characteristics		MG3681A +MU368040A +MX368041B (+MU368010A) (+MX368012A)	MG3692A 20GHz or MG3642A 2.08GHz		MA1612A 3GHz Combiner
7.6	Intermodulation characteristics					
7.8	Verification of the internal BER calculation					
8.2	Demodulation in static propagation conditions				+MU368060A	
8.3	Demodulation of DCH in multipath fading conditions				MG3681A +MU368060A	Fading simulator
8.4	Demodulation of DCH in moving propagation conditions					
8.5	Demodulation of DCH in birth/death propagation conditions					
8.6	Verification of the internal BLER calculation					
8.8 8.8.1 8.8.2 8.8.3 8.8.4	RACH performance RACH preamble detection in static propagation conditions RACH preamble detection in multipath fading case 3 Demodulation of RACH message in static propagation conditions Demodulation of RACH message in multipath fading case 3				(MG3681A) +MU368060A	(Fading simulator)
8.9 8.9.3 8.9.4	CPCH performance Demodulation of RACH message in static propagation conditions Demodulation of RACH message in multipath fading case 3					
8.10	Site Selection Diversity Transmission (SSDT) Mode				+MU368060A	

Transmitter テストの接続例



– コントローラ
  - FTM Factory Test Mode コントロールにて、Inner loop パワーコントロール可能状態に起動
  - FTM Factory Test Mode コントロールにて、送信状態に起動

Receiver テストの接続例

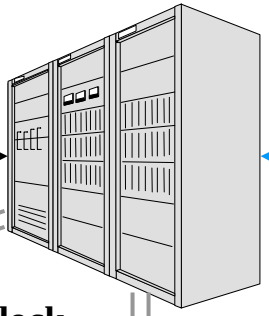
Interfering signal generator
CW generator
(AWGN generator)
MG3681A
+MU368040A+MX368041B
(+MU368010A+MX368012A)
(+MU368060A)

Wanted signal generator
(+ AWGN generator)
MG3681A
+MU368040A+MX368041B
(+MU368060A)

CW generator
(MG3692A)









Combiner
(MA1612A)

コントロー

Start trigger

Reference clock

Demoduladed
(DTCH) data

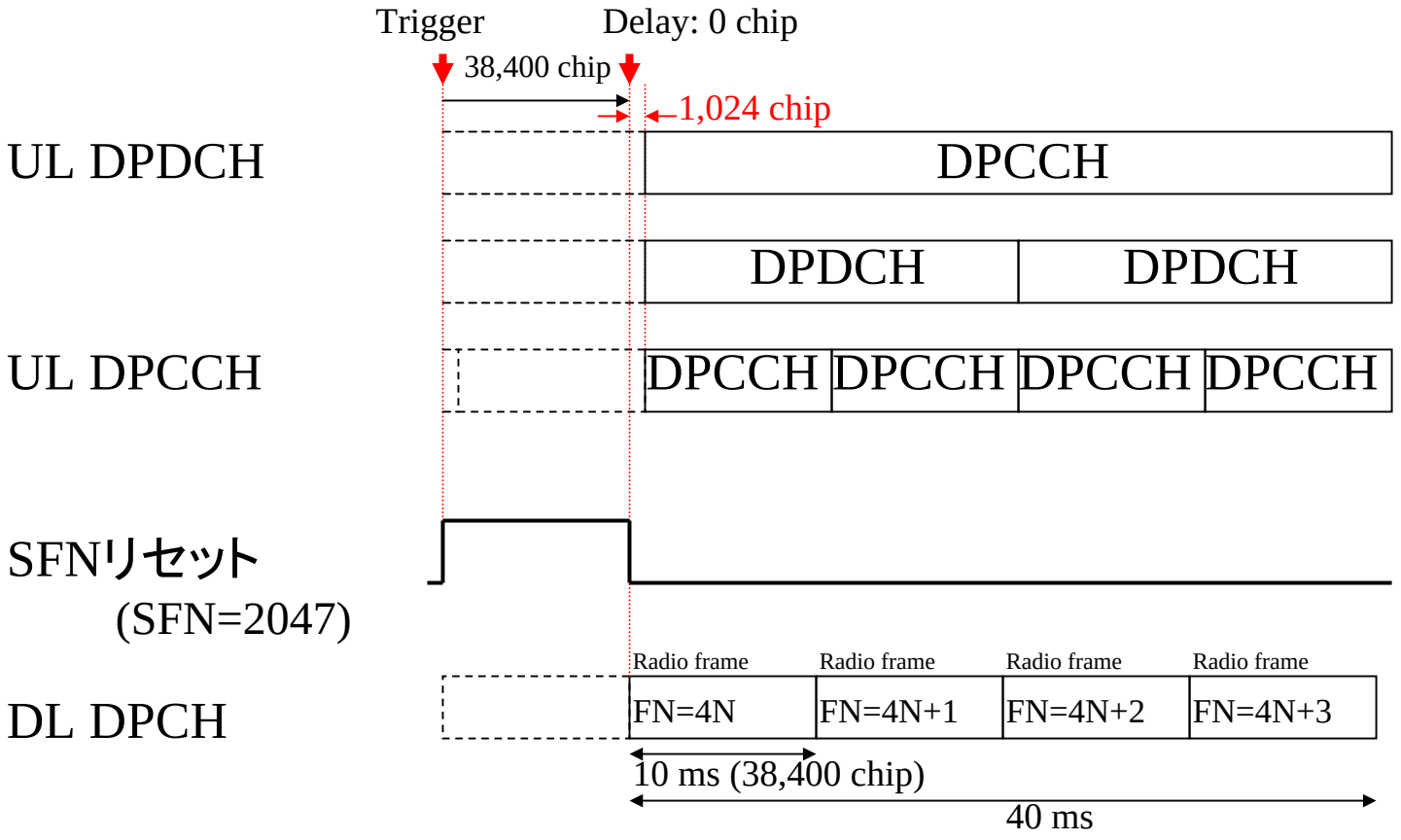
Clock

BERT
(MP1201C)

- Start trigger
  - フロントパネル [Clock/Trig] Input
    - 40 ms × n clock
      e.g. Downlink BCHのSFNリセットタイミング(2044 frame ×10 ms), BFNタイミング(4096 frame ×10 ms)
- Reference clock
  1つだけ適用
  - フロントパネル [Ref. Clock] Input
    - 3.84 MHz, 2× 3.84 MHz (7.68 MHz), 4× 3.84 MHz (15.36 MHz)
  - リアパネル [10MHz/13MHz Ref] Input
    - 10 MHz, 13 MHz
- コントローラ
  - FTM Factory Test Mode コントロールにて、UL RMCを受信可能状態に起動
  - 復調したトランスポートブロック(DTCH)毎のCRCをチェックしBLERを計算

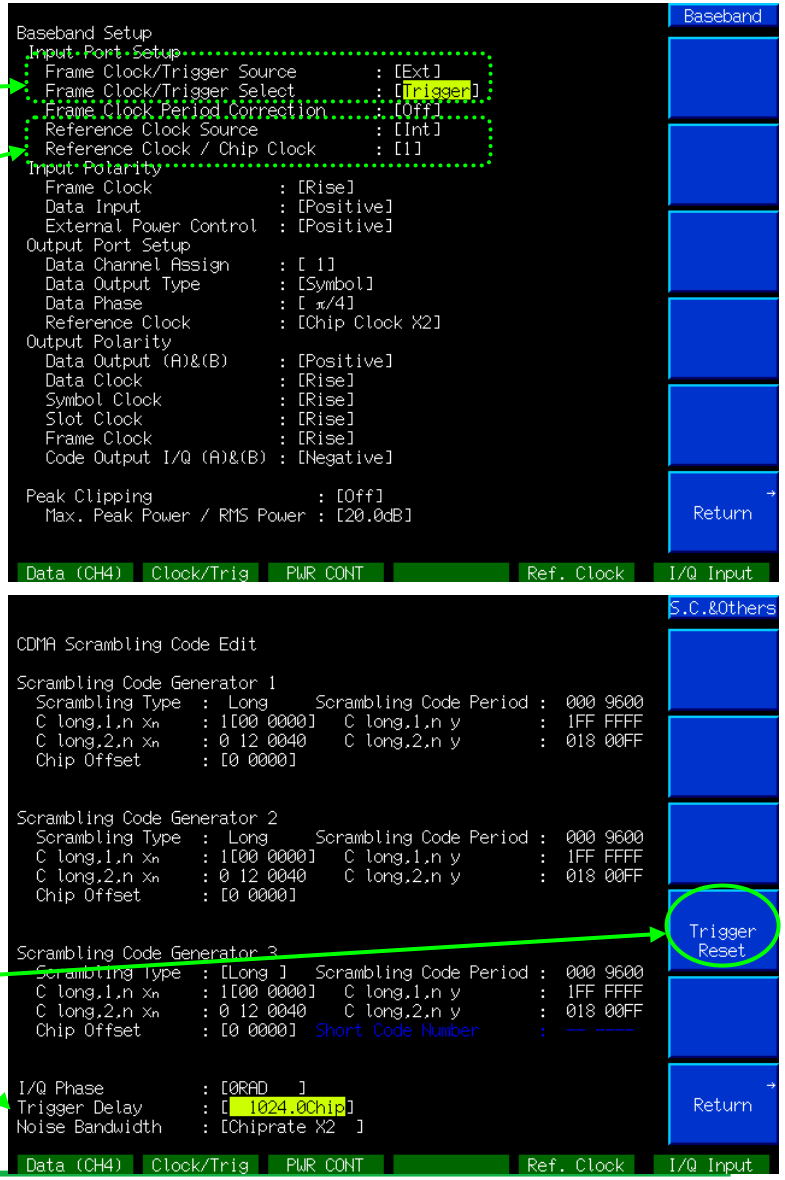
タイミングの同期　　設定例

- **Start trigger ディレイ**
  - » BSがUL RMCを受信できるタイミングを設定



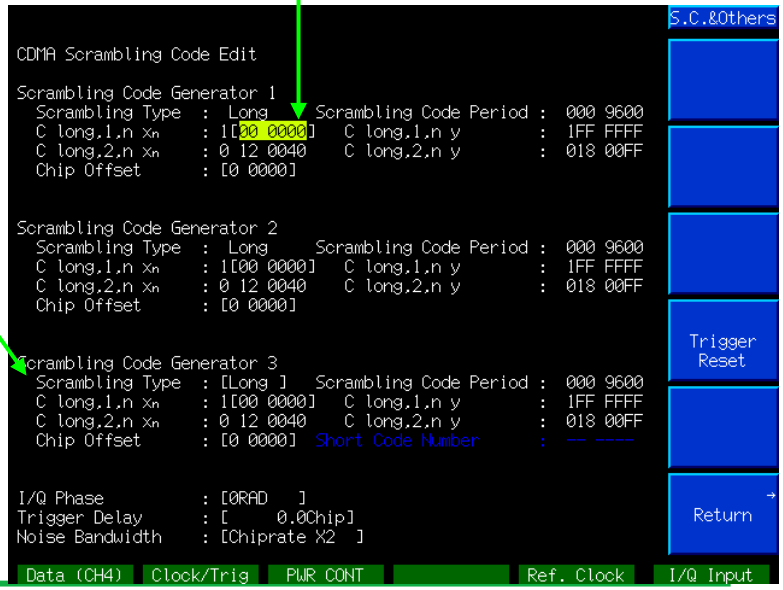
タイミングの同期　設定例

- **外部Start trigger 指定**
  - » Triggerを一度のみ捕捉/同期
- **Reference clock:**
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock Source : [Ext]
    - – Reference Clock / Chip Clock:
      - [1]　3.84 MHzのとき
      - [2] 2× 3.84 MHzのとき
      - [4] 4× 3.84 MHzのとき
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock Source : [Int]
- **Start trigger ディレイ**
  - » -38,353.5 ~ +65,536 chip
    1/2 chip 分解能
- **Trigger 再捕捉/同期**



Scrambling codeの同期　設定例

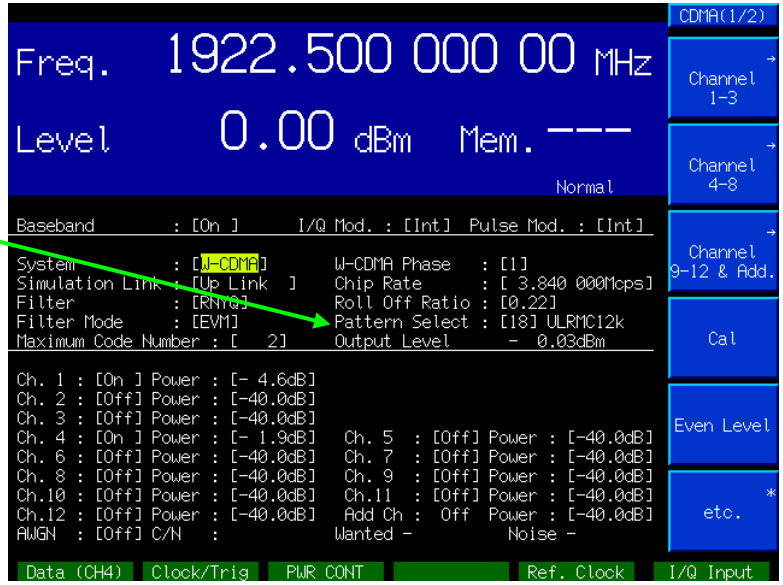
- **Long scrambling code**
  - » 38,400 chip (10 ms) 長
    - – 25ビット長の2つ(x_n, y)のバイナリmシーケンスから生成
  - » 拡散処理でHPSK変調を適用
    - – HPSK: QPSK変調とπ/2BPSK変調をチップタイミング毎に交互に繰り返す
      - 180°フェーズシフトせず、クレストファクタを低減
- **BSが受信できる $x_n(23)$ ~ $x_n(0)$をHexで設定**
  - » $C_{long,2,n}$: $C_{long,1,n}$ を 16,777,232 chip シフト
- **Short scrambling code**
  - » 干渉キャンセラの適用時に、BSの受信処理を軽減
  - » 256 chip 長

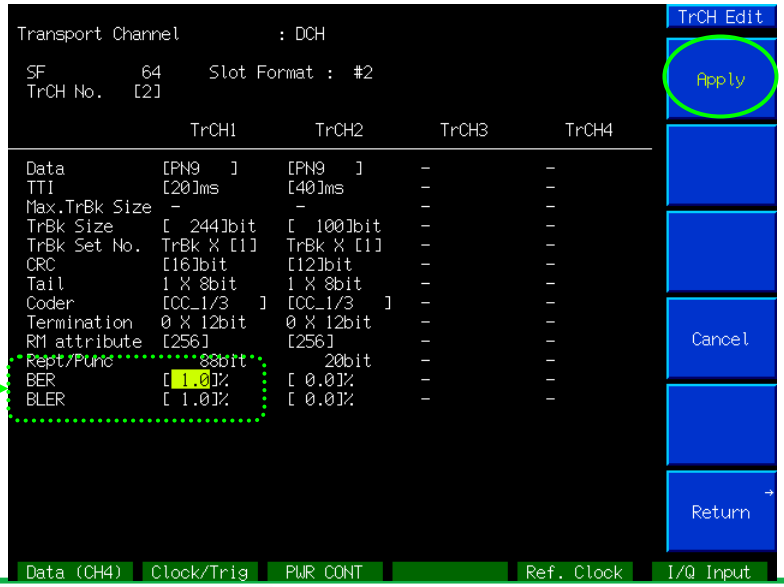


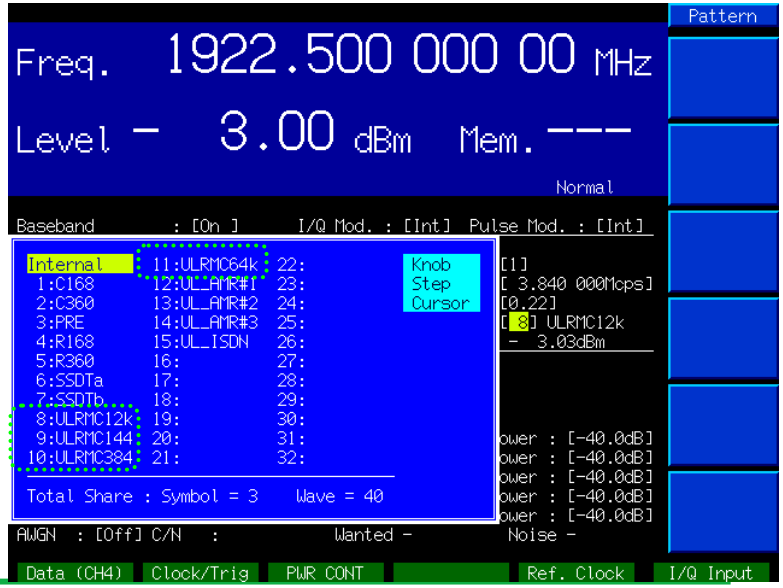
Wanted signal generator　設定例

- **UL RMC 12.2 kbps**
- **UL RMC 64 kbps**
- **UL RMC 144 kbps**
- **UL RMC 384 kbps**

- **DTCHにエラー1%を発生**
  - » Verification of the internal BER/BLER calculation テスト







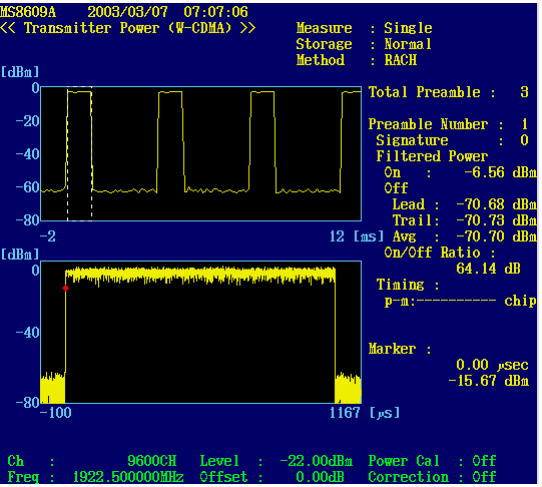
Wanted signal generator　設定例

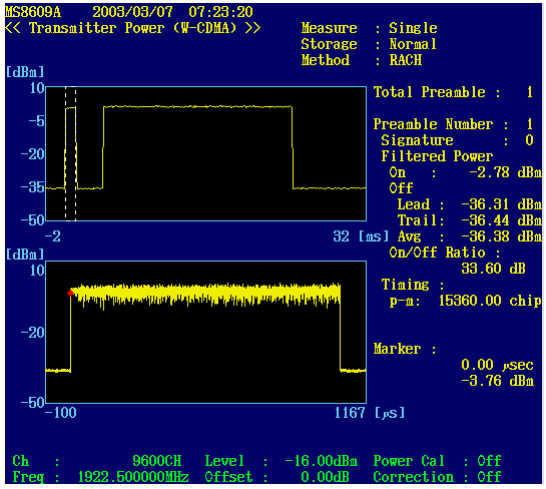
- **UL RMC RACH**
  - » Preamble

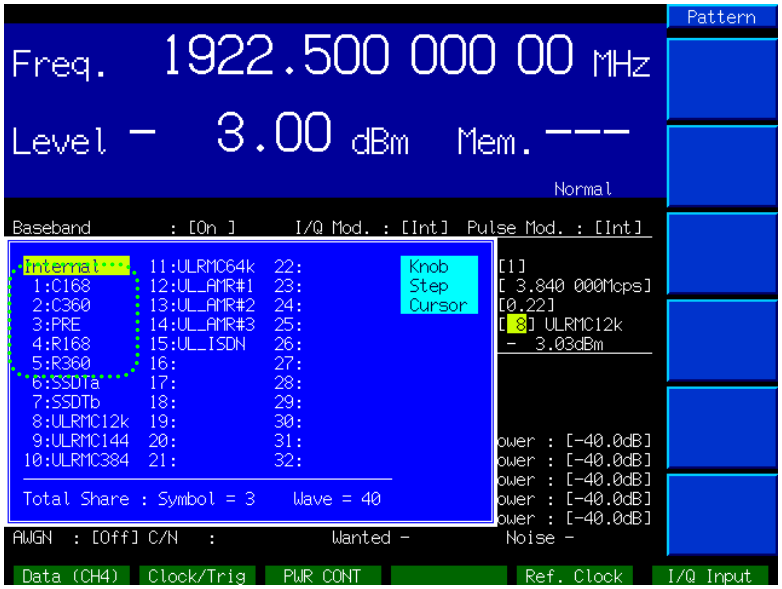


  - » Message
    - – TB size: 168 bits, 360 bits

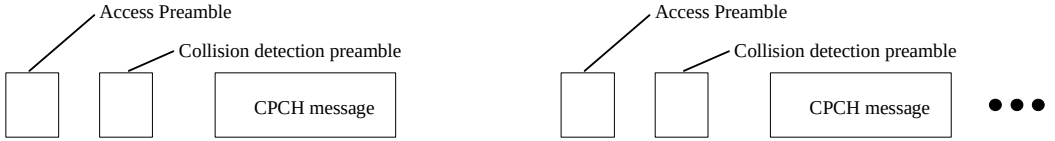






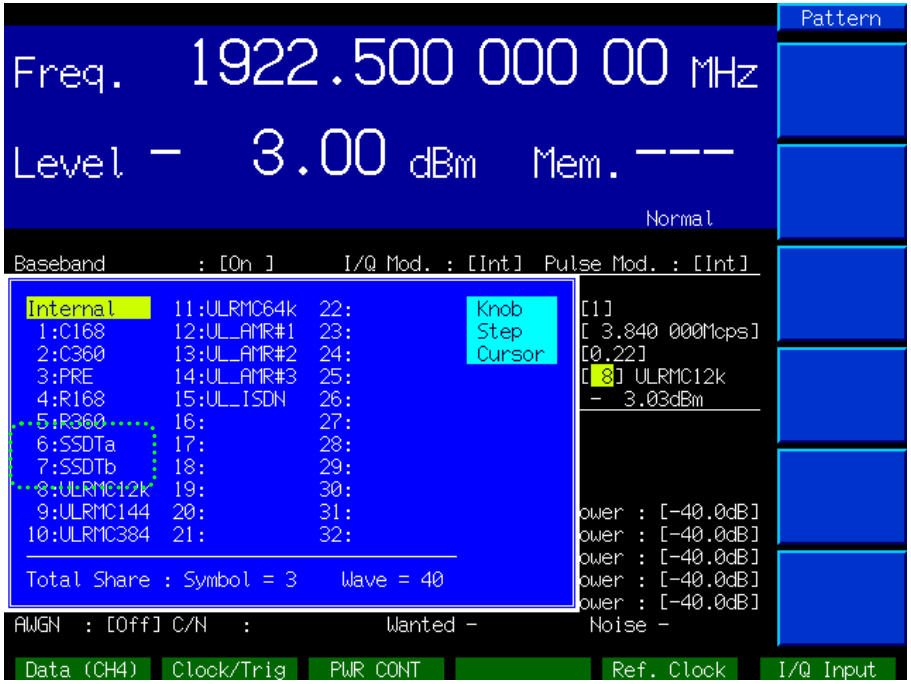


- **UL RMC CPCH**
  - – TB size: 168 bits, 360 bits



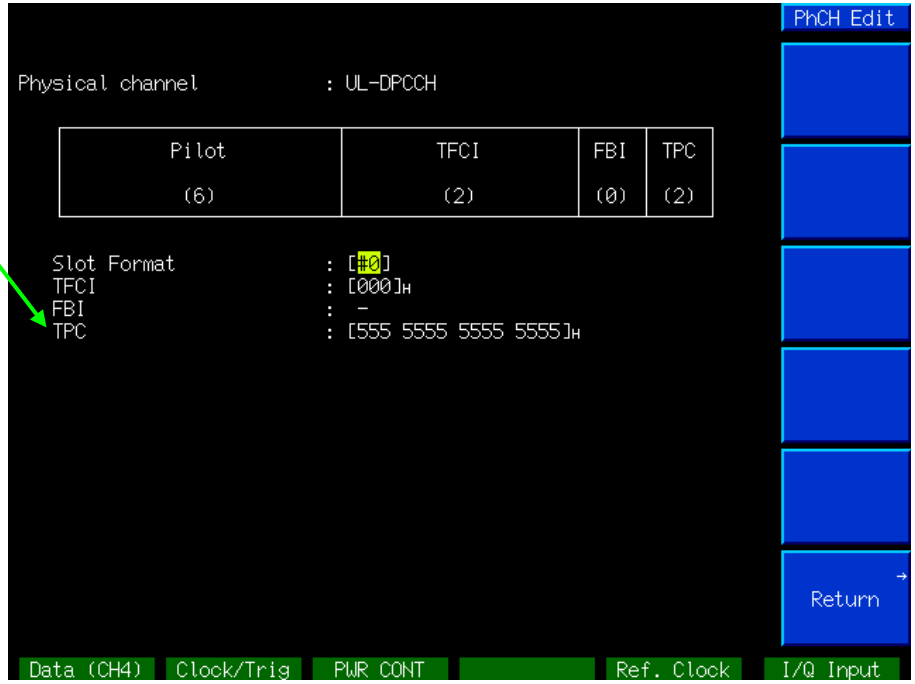
Wanted signal generator　設定例

- **UL RMC 12.2 kbps**
  - » SSDT テスト
    - – Cell ID transmitted by UE: A, B



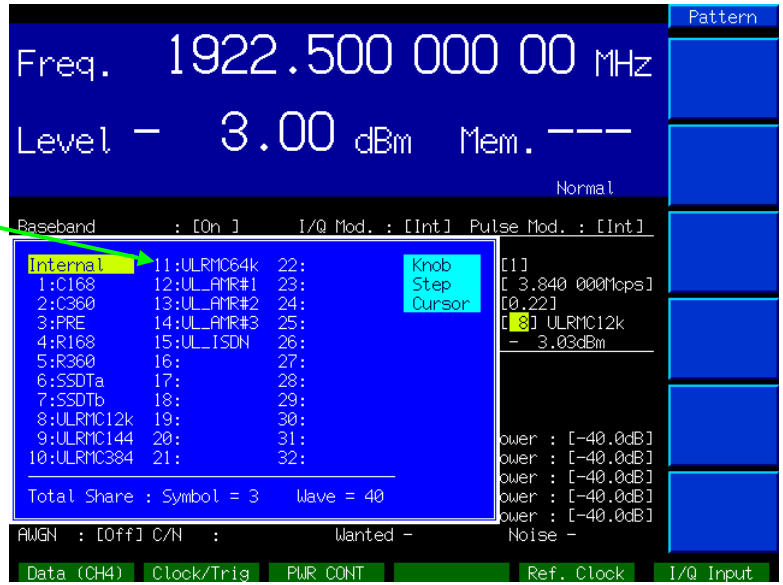
Wanted signal generator　設定例

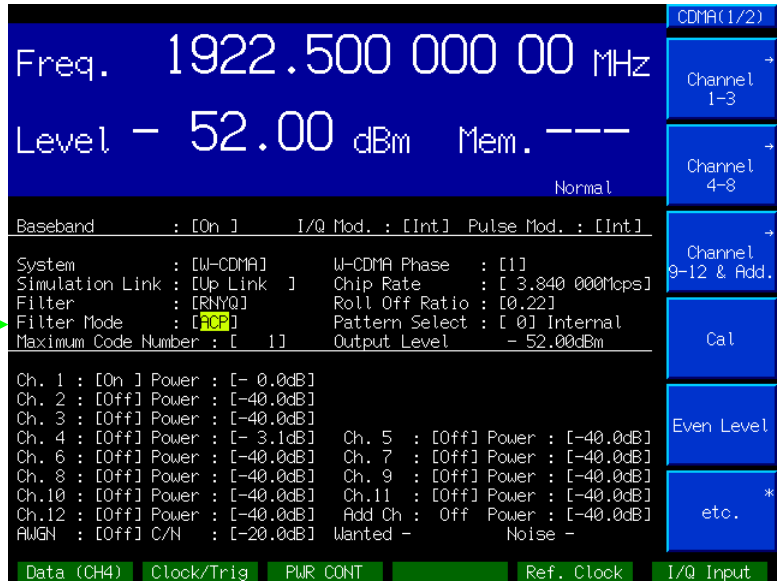
- **Inner loop power control用 TPC commandを設定**
  - » 60 TPC command (60スロット) サイクル
    - – Power control steps テスト
      - Transmitter power control step tolerance
        - [555 5555 5555 5555] $_{H}$
          0101 0101 ... 0101
      - Transmitter aggregated power control step range
        - [003 FF00 3FF0 03FF] $_{H}$
          0000 0000 0011 1111 1111
          0000 ... 1111
    - – Power control dynamic range テスト
      - [000 0000 3FFF FFFF] $_{H}$
        0000 ... 0011 ... 1111
        ($0^{30bits}1^{30bits}$)



Interfering signal generator　設定例

- **W-CDMA**
  - » UL RMC 64 kbps
  - » Wanted signalと異なるスクランブリングコードに設定
    - – [00 0010]
      - Wanted signal: [00 0000]の場合
  - » ACP優先フィルタ

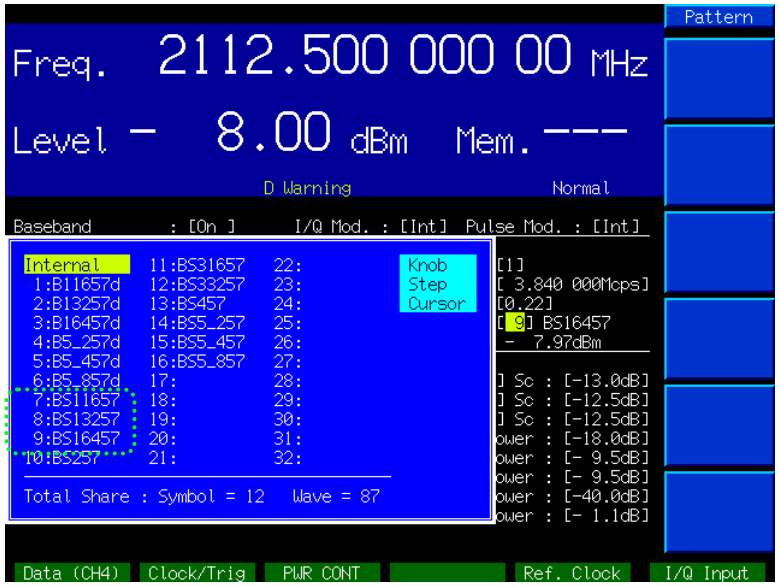




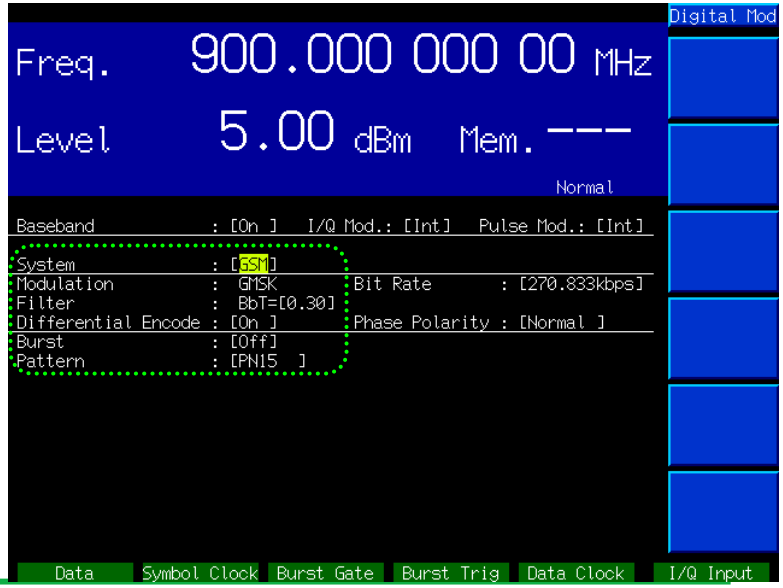


Interfering signal generator　設定例

- **Test Model 1**
  - » Transmit intermodulation テスト
  - » ACP優先フィルタ



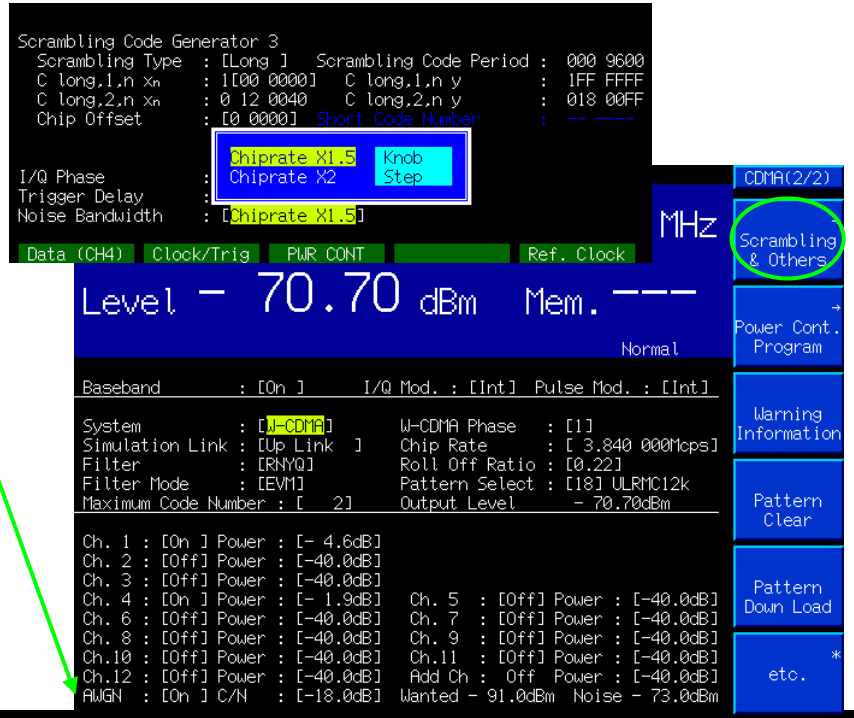
- **GMSK変調**
  - » Blocking characteristics, Intermodulation characteristics テスト

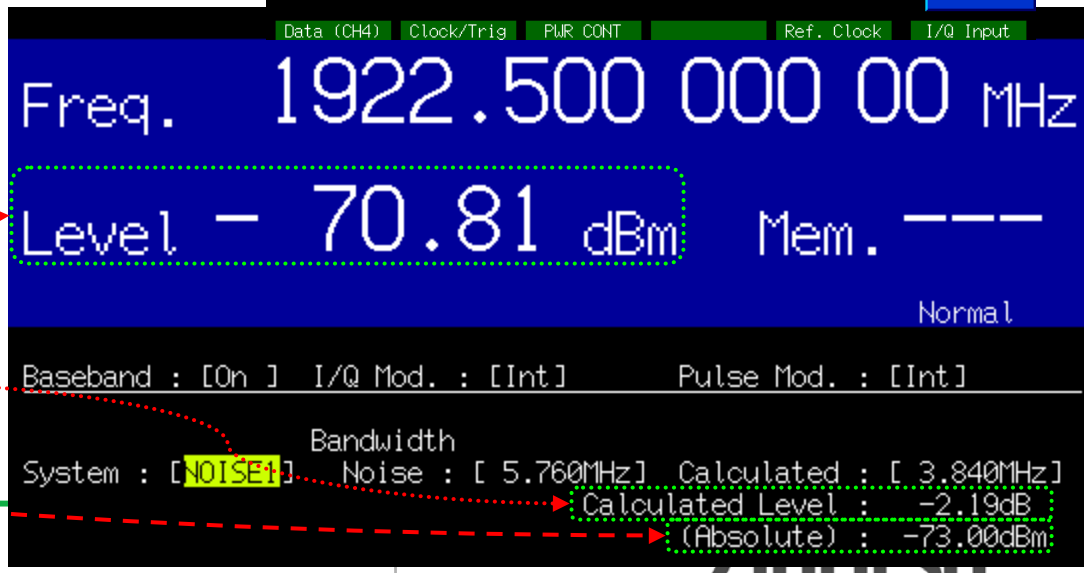


AWGN generator　設定例

- **AWGNミキシング**
  - » C/N = Wanted signal/AWGN
    - – Dynamic range テスト
      - C/N: [-16.8dB]
        Wanted -89.8dBm Noise -73.0dBm
    - – Demodulation in static propagation conditions テスト
      - C/N: [-19.5dB]
        Wanted -103.5dBm Noise -84.0dBm
        (R_b:12.2 kbps, E_b/N_o: 5.5 dB)
        = $10\log_{10}(R_b/3.84\times10^6)+E_b/N_o$

        12.2 kbps: -24.98
        64 kbps: -17.78
        144 kbps: -14.26
        384 kbps: -10





- **AWGNソース**
  - » Ioc =
    トータルレベル
    + 帯域幅換算レベル

W-CDMA 3GPP(FDD) UEテスト

3GPP TS 25.101 (Release 5)
- 6 Transmitter
- 7 Receiver

* TS 34.121 (Release 5)
- * 5 Transmitter
- * 6 Receiver

Section	Test	Wanted signal generator	Interfering signal generator	CW generator	AWGN generator	他
6.4 6.4.2 6.4.3	Output power dynamics Inner loop power control in the uplink Minimum output power	MG3681A +MU368040A +MX368041B				(Slot) Pwr meter Circulator
7.3	Reference sensitivity level					MP1201C BERT MA1612A 3GHz Combiner
7.4 7.4.1 7.4.2	Maximum input level DPCH HS-PDSCH for 16QAM					
7.5	Adjacent Channel Selectivity (ACS)		MG3681A +MU368040A +MX368041B			
7.6	Blocking characteristics		MG3681A +MU368040A +MX368041B +(MU368010A) +(MX368012A)	MG3692A 20GHz or MG3633A 2.7GHz		
7.7	Spurious response					
7.8	Intermodulation characteristics		MG3681A +MU368040A +MX368041B			

W-CDMA 3GPP(FDD) UEテスト

3GPP TS 25.101 (Release 5)
8 Performance requirement
9 Performance requirement (HSDPA)

* TS 34.121 (Release 5)
* 7 Performance requirements

Section	Test	Wanted signal generator	Interfering signal generator	CW generator	AWGN generator	他
8.2 8.2.3	Demodulation in static propagation conditions Demodulation in Dedicated Channel (DCH)	MG3681A +MU368040A +MX368041B			MG3681A +MU368060A	
8.3	Demodulation of DCH in multi-path fading propagation conditions					MA1612A 3GHz Combiner Fading simulator
8.4	Demodulation of DCH in moving propagation conditions					
8.5	Demodulation of DCH in birth-death propagation conditions					
8.6 8.6.1	Demodulation of DCH in downlink Transmit diversity modes Demodulation of DCH in open-loop transmit diversity modes	MG3681A x2 +MU368040A +MX368041B				
8.9	Downlink compressed mode	MG3681A +MU368040A +MX368041B				(Fading simulator)
8.10	Blind transport format detection					
8.12	Demodulation of Paging Channel					
9.2 9.2.1	Demodulation of HS-DSCH (FRC) Single Link performance					MA1612A 3GHz Combiner
9.3	Reporting of Channel Quality Indicator (CQI)					(Fading simulator)

Transmitter テストの接続例

Wanted signal generator
MG3681A
+MU368040A+MX368041B



Circulator



コントロー

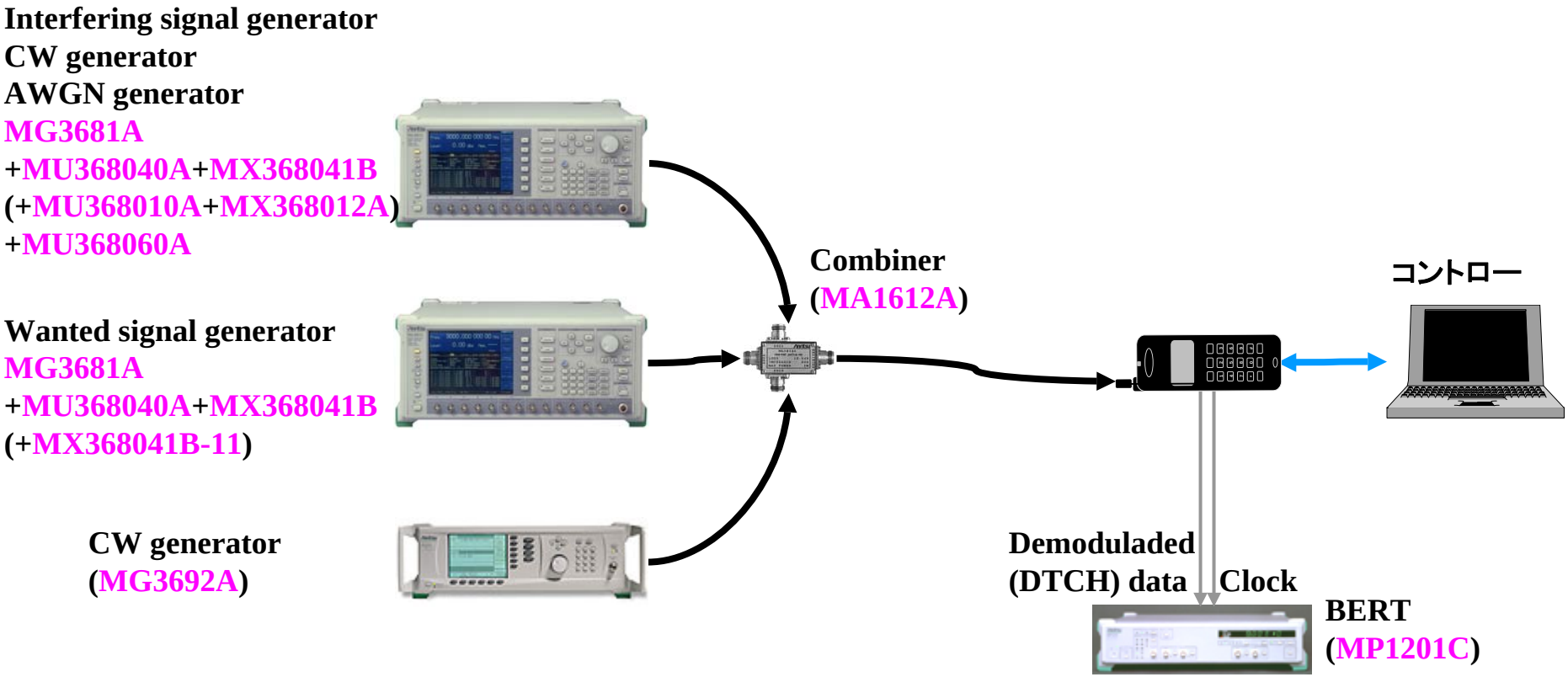


(Slot) Power meter
MS8608A/8609A
+MX860801B/860901B



– コントローラ
  • FTM Factory Test Mode コントロールにて、Inner loop パワーコントロール可能状態に起動

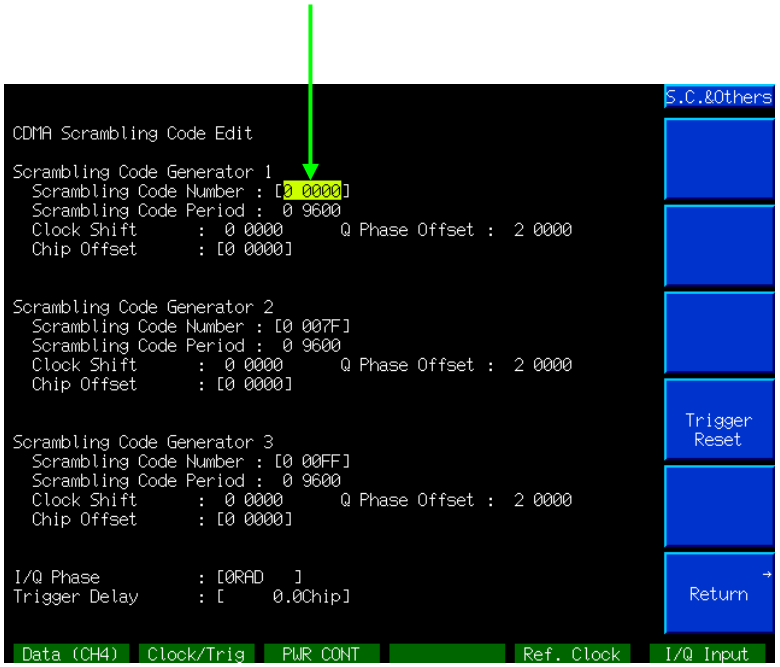
Receiver テストの接続例



– コントローラ
  - FTM Factory Test Mode コントロールにて、DL RMCを受信可能状態に起動
  - 復調したトランスポートブロック(DTCH)毎のCRCをチェックしBLERを計算

Scrambling codeの同期　設定例

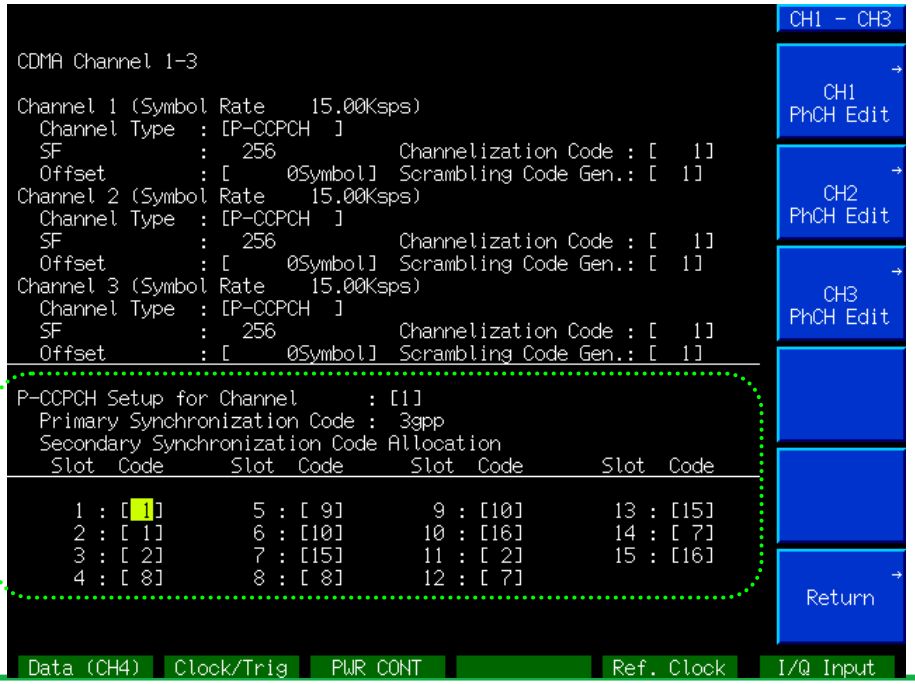
- **Long scrambling code**
  - 18ビット長のGoldシーケンスから生成
  - » 拡散処理でQPSK変調を適用
- **UEが受信できる Scrambling code をHexで設定**
  - » 0 ~ 3FFFF (2^{18}-1)
    - Primary scrambling code: $16 \times (8 \times j + k)$ = 0 ~ 01FF0
    - Secondary scrambling code: $16 \times (8 \times j + k) + (1\sim15)$
      - 512 codes (i= 0 ~ 511)
        - 64 Scrambling code group j= 0 ~ 63
        - 8 Primary scrambling code k= 0 ~ 7



Synchronisation codeの同期　設定例

SCHの拡散変調に適用されるコード

- **Scrambling code group (j) を変更した場合**
  3GPP TS 25.213 5.2.3.2
  Table 4: Allocation of SSCs for secondary SCH
  を参照し設定
  - » S-SCHの SSC Secondary Synchronisation Code の配置とペアのため



参考: 3GPP TS 25.213 (Release 5) Table 4

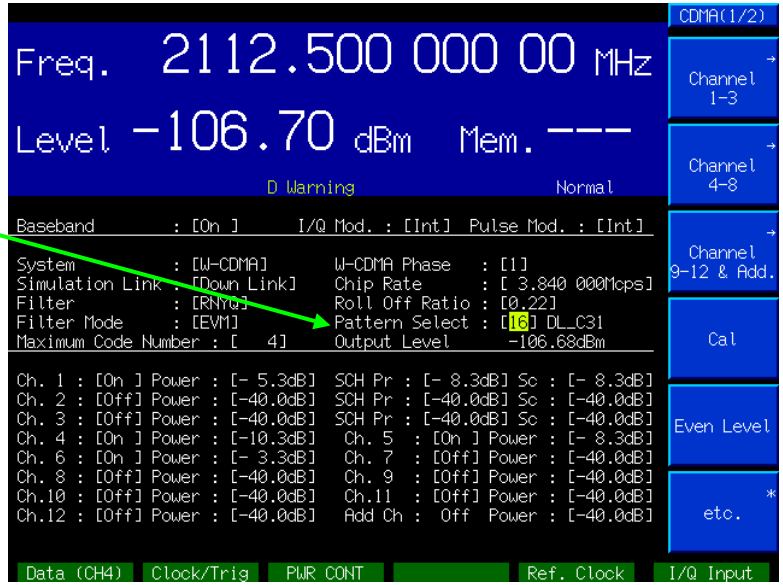
Group 0: デフォルト設定

Scrambling Code Group	slot number														
	#0	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11	#12	#13	#14
Group 0	1	1	2	8	9	10	15	8	10	16	2	7	15	7	16
Group 1	1	1	5	16	7	3	14	16	3	10	5	12	14	12	10
Group 2	1	2	1	15	5	5	12	16	6	11	2	16	11	15	12
Group 3	1	2	3	1	8	6	5	2	5	8	4	4	6	3	7
Group 4	1	2	16	6	6	11	15	5	12	1	15	12	16	11	2
Group 5	1	3	4	7	4	1	5	5	3	6	2	8	7	6	8
Group 6	1	4	11	3	4	10	9	2	11	2	10	12	12	9	3
Group 7	1	5	6	6	14	9	10	2	13	9	2	5	14	1	13
Group 8	1	6	10	10	4	11	7	13	16	11	13	6	4	1	16
Group 9	1	6	13	2	14	2	6	5	5	13	10	9	1	14	10
Group 10	1	7	8	5	7	2	4	3	8	3	2	6	6	4	5
Group 11	1	7	10	9	16	7	9	15	1	8	16	8	15	2	2
Group 12	1	8	12	9	9	4	13	16	5	1	13	5	12	4	8
Group 13	1	8	14	10	14	1	15	15	8	5	11	4	10	5	4
Group 14	1	9	2	15	15	16	10	7	8	1	10	8	2	16	9
Group 15	1	9	15	6	16	2	13	14	10	11	7	4	5	12	3
Group 16	1	10	9	11	15	7	6	4	16	5	2	12	13	3	14
Group 17	1	11	14	4	13	2	9	10	12	16	8	5	3	15	6
Group 18	1	12	12	13	14	7	2	8	14	2	1	13	11	8	11
Group 19	1	12	15	5	4	14	3	16	7	8	6	2	10	11	13
Group 20	1	15	4	3	7	6	10	13	12	5	14	16	8	2	11
Group 21	1	16	3	12	11	9	13	5	8	2	14	7	4	10	15
Group 22	2	2	5	10	16	11	3	10	11	8	5	13	3	13	8
Group 23	2	2	12	3	15	5	8	3	5	14	12	9	8	9	14
Group 24	2	3	6	16	12	16	3	13	13	6	7	9	2	12	7
Group 25	2	3	8	2	9	15	14	3	14	9	5	5	15	8	12
Group 26	2	4	7	9	5	4	9	11	2	14	5	14	11	16	16
Group 27	2	4	13	12	12	7	15	10	5	2	15	5	13	7	4
Group 28	2	5	9	9	3	12	8	14	15	12	14	5	3	2	15
Group 29	2	5	11	7	2	11	9	4	16	7	16	9	14	14	4
Group 30	2	6	2	13	3	3	12	9	7	16	6	9	16	13	12
Group 31	2	6	9	7	7	16	13	3	12	2	13	12	9	16	6

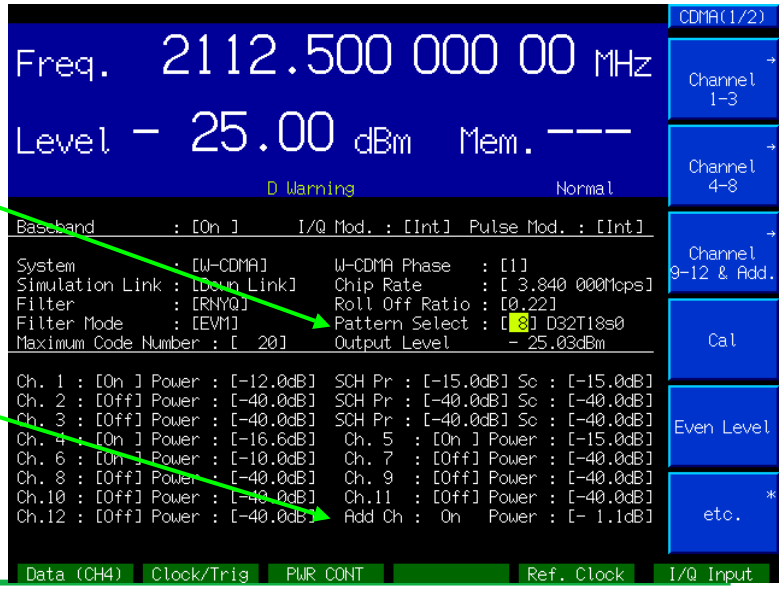
Scrambling Code Group	slot number														
	#0	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11	#12	#13	#14
Group 32	2	7	12	15	2	12	4	10	13	15	13	4	5	5	10
Group 33	2	7	14	16	5	9	2	9	16	11	11	5	7	4	14
Group 34	2	8	5	12	5	2	14	14	8	15	3	9	12	15	9
Group 35	2	9	13	4	2	13	8	11	6	4	6	8	15	15	11
Group 36	2	10	3	2	13	16	8	10	8	13	11	11	16	3	5
Group 37	2	11	15	3	11	6	14	10	15	10	6	7	7	14	3
Group 38	2	16	4	5	16	14	7	11	4	11	14	9	9	7	5
Group 39	3	3	4	6	11	12	13	6	12	14	4	5	13	5	14
Group 40	3	3	6	5	16	9	15	5	9	10	6	4	15	4	10
Group 41	3	4	5	14	4	6	12	13	5	13	6	11	11	12	14
Group 42	3	4	9	16	10	4	16	15	3	5	10	5	15	6	6
Group 43	3	4	16	10	5	10	4	9	9	16	15	6	3	5	15
Group 44	3	5	12	11	14	5	11	13	3	6	14	6	13	4	4
Group 45	3	6	4	10	6	5	9	15	4	15	5	16	16	9	10
Group 46	3	7	8	8	16	11	12	4	15	11	4	7	16	3	15
Group 47	3	7	16	11	4	15	3	15	11	12	12	4	7	8	16
Group 48	3	8	7	15	4	8	15	12	3	16	4	16	12	11	11
Group 49	3	8	15	4	16	4	8	7	7	15	12	11	3	16	12
Group 50	3	10	10	15	16	5	4	6	16	4	3	15	9	6	9
Group 51	3	13	11	5	4	12	4	11	6	6	5	3	14	13	12
Group 52	3	14	7	9	14	10	13	8	7	8	10	4	4	13	9
Group 53	5	5	8	14	16	13	6	14	13	7	8	15	6	15	7
Group 54	5	6	11	7	10	8	5	8	7	12	12	10	6	9	11
Group 55	5	6	13	8	13	5	7	7	6	16	14	15	8	16	15
Group 56	5	7	9	10	7	11	6	12	9	12	11	8	8	6	10
Group 57	5	9	6	8	10	9	8	12	5	11	10	11	12	7	7
Group 58	5	10	10	12	8	11	9	7	8	9	5	12	6	7	6
Group 59	5	10	12	6	5	12	8	9	7	6	7	8	11	11	9
Group 60	5	13	15	15	14	8	6	7	16	8	7	13	14	5	16
Group 61	9	10	13	10	11	15	15	9	16	12	14	13	16	14	11
Group 62	9	11	12	15	12	9	13	13	11	14	10	16	15	14	16
Group 63	9	12	10	15	13	14	9	14	15	11	11	13	12	16	10

Wanted signal generator　設定例

- **DL RMC 12.2 kbps**
  - » Receiver テスト



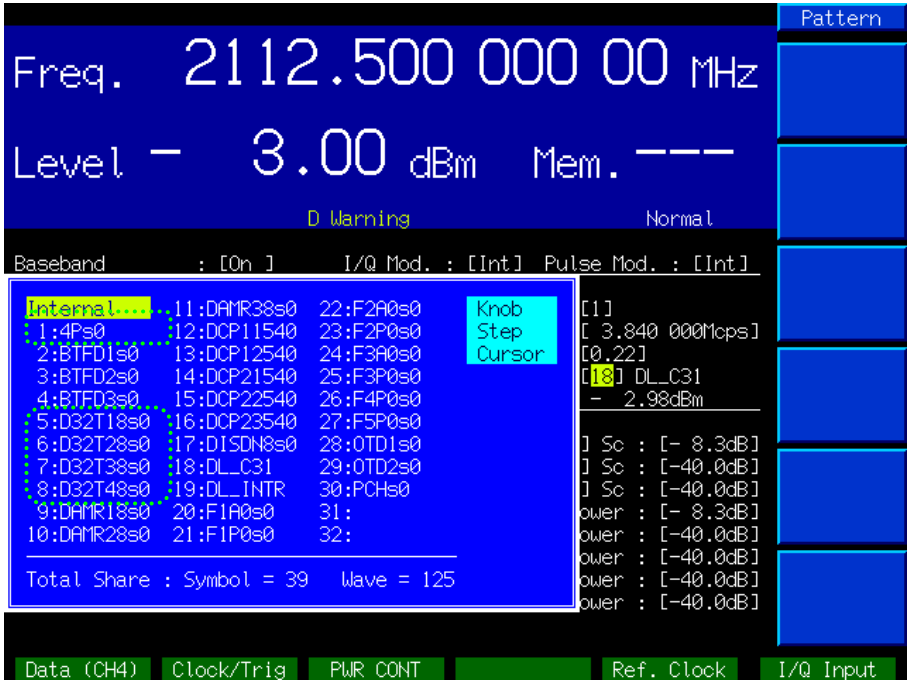
- **DL RMC 12.2 kbps**
  - » Maximum input level (DPCH), Performance requirement テスト
    - – OCNS多重



Wanted signal generator　設定例

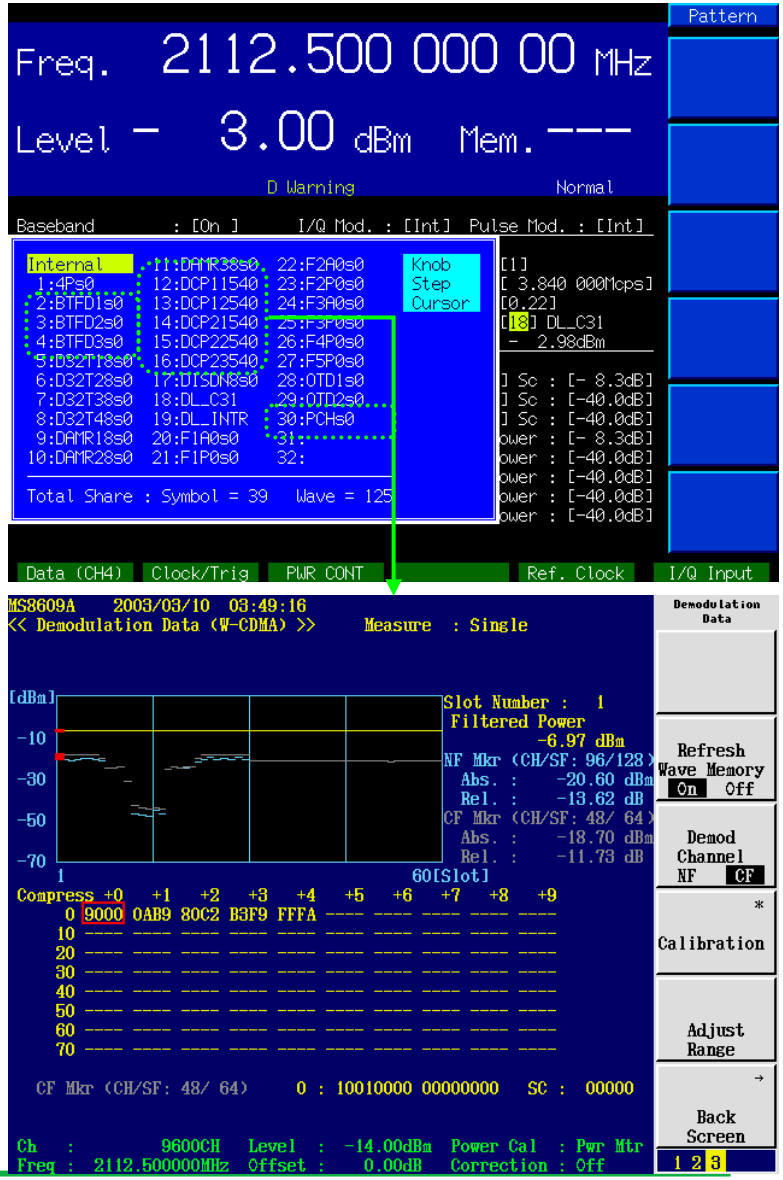
- **DL RMC 12.2 kbps**
- **DL RMC 64 kbps**
- **DL RMC 144 kbps**
- **DL RMC 384 kbps**
  - » Performance requirement テスト

- **DL RMC 12.2 kbps DPCCH with 4 pilot bits as phase reference**
  - » Demodulation of DCH in multi-path fading propagation conditions (Case 7) Test 21~25 テスト



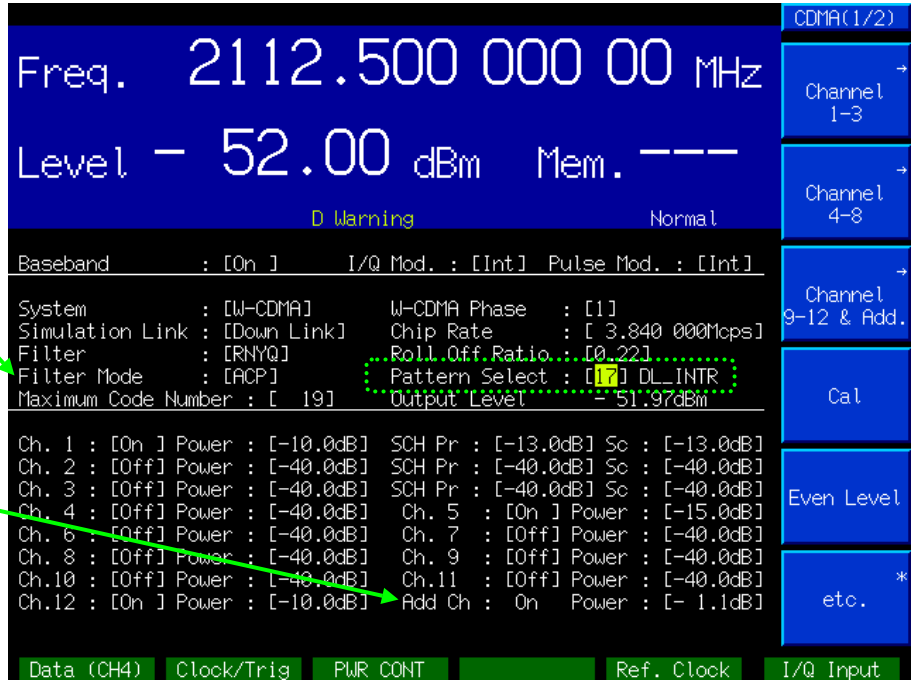
Wanted signal generator　設定例

- **DL compressed mode**
  - » Downlink compressed mode テスト
    - – Test 1,2: Reference pattern 1 Set 1
      - • DL SF/2 (Spreading factor reduction)
    - – Test 3,4: Reference pattern 1 Set 2
      - • DL Puncturing
    - – Reference pattern 2 Set 1
    - – Reference pattern 2 Set 2
      - • DL SF/2 (Spreading factor reduction)
    - – Reference pattern 2 Set 3
      - • DL Puncturing
- **DL RMC BTFD**
  - » Blind transport format detection テスト
    - – Test 1,4: 12.2 kbps (Rate 1)
    - – Test 2,5: 7.95 kbps (Rate 2)
    - – Test 3,6: 1.95 kbps (Rate 3)
- **DL PCH**
  - » Demodulation of Paging Channel テスト



Interfering signal generator　設定例

- **ACP優先フィルタ**
  - » OCNS多重

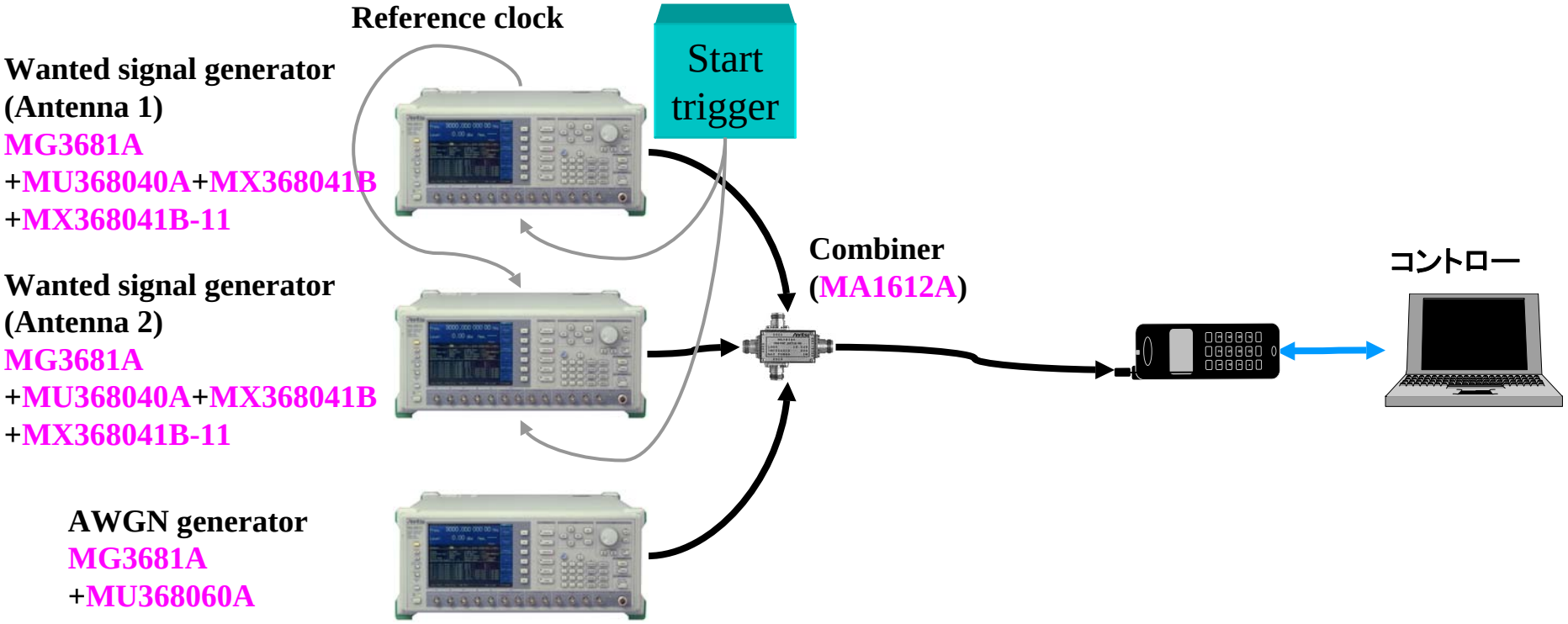


AWGN generator　設定例

- **AWGNソース**
  - » Ioc=トータルレベル+帯域幅換算レベル



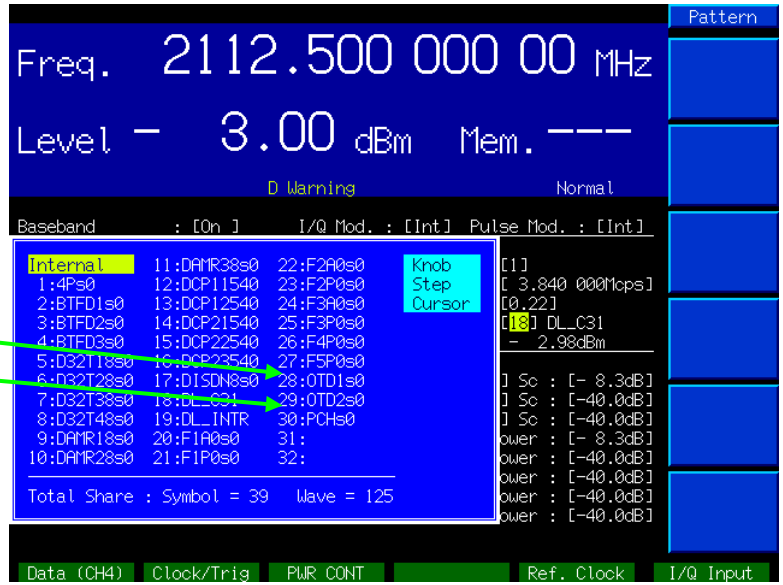
Open-loop TX Diversity mode テストの接続例

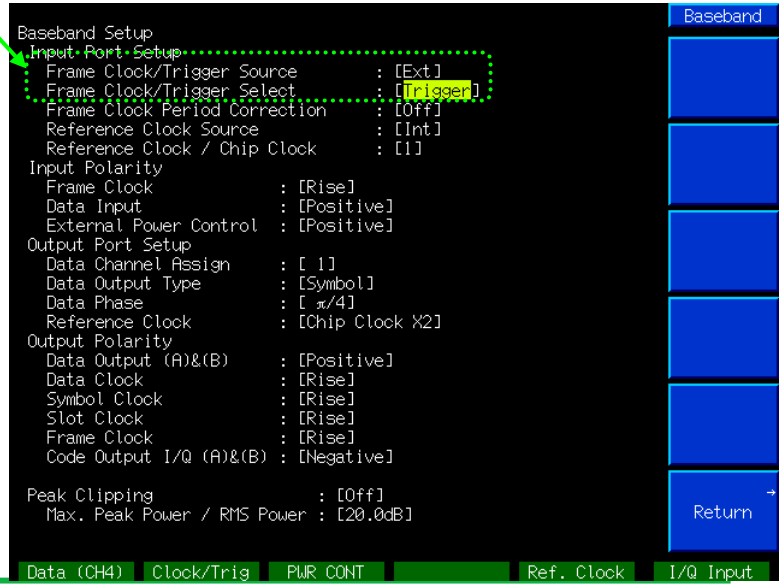


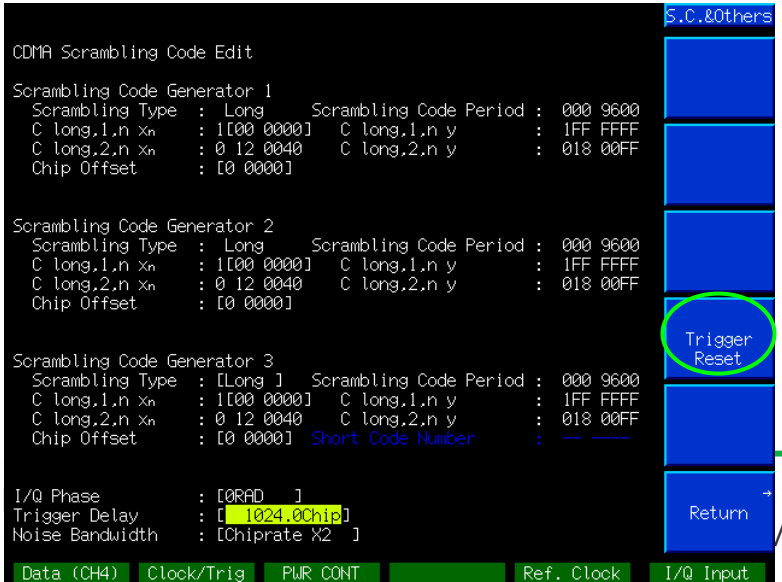
- Start trigger
  - フロントパネル [Clock/Trig] Input
- Reference clock
  - リアパネル [10MHz Buff] Output
  - リアパネル [10MHz/13MHz Ref] Input
- コントローラ
  - FTM Factory Test Mode コントロールにて、DL RMCを受信可能状態に起動
  - 復調したトランスポートブロック(DTCH)毎のCRCをチェックしBLERを計算

Wanted signal generator　設定例

- **DL RMC 12.2 kbps**
  - » Demodulation of DCH in open-loop Transmit diversity mode テスト
    - – Antenna 1
    - – Antenna 2
- **外部Start trigger 指定**
  - » Triggerを一度のみ捕捉/同期
- **Trigger 再捕捉/同期**

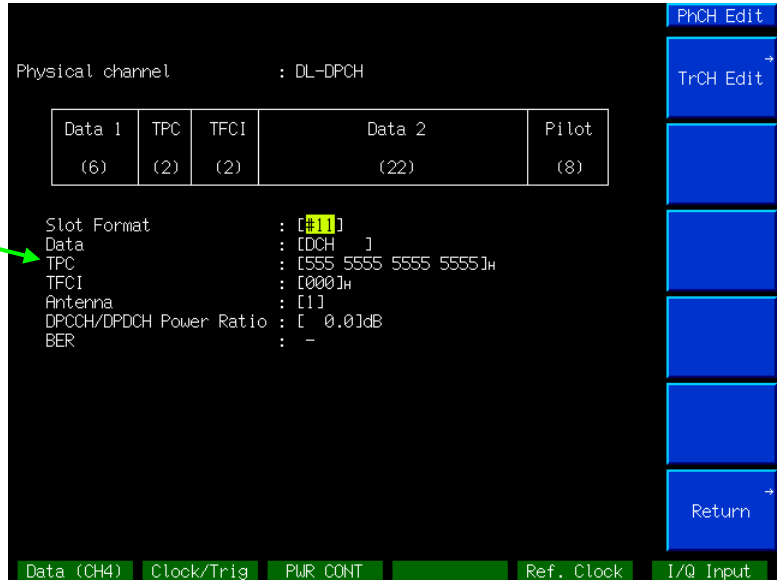






Wanted signal generator　設定例

- **Inner loop power control用**
  TPC commandを設定
  - » 60 TPC command (60スロット)
    サイクル
    - Step A (1 dB step {0})
      - [82A BE82 ABE8 2ABE] $_{H}$
        1000 0010 1010 1011 1110 ...
    - Step B (1 dB step {0,0,0,0,+1})
      - [FFF FFFF FFFF FFFF] $_{H}$
        1111 1111 1111 ...
    - Step C (1 dB step {0,0,0,0,-1})
      - [000 0000 0000 0000] $_{H}$
        0000 0000 0000 ...
    - Step D (1 dB step {+1})
      - [FFF FFFF FFFF FFFF] $_{H}$
        1111 1111 1111 ...
    - Step E (1 dB step {-1})
      - [000 0000 0000 0000] $_{H}$
        0000 0000 0000 ...
    - Step F (1 dB step {+1})
      - [FFF FFFF FFFF FFFF] $_{H}$
        1111 1111 1111 ...



  - Step G (2 dB step {-1})
    - [000 0000 0000 0000] $_{H}$
      0000 0000 0000 ...
  - Step F (2 dB step {+1})
    - [FFF FFFF FFFF FFFF] $_{H}$
      1111 1111 1111 ...

  - Minimum output power テスト
    - [000 0000 0000 0000] $_{H}$
      0000 0000 0000 ...

HSDPA 復調テストの接続例

Wanted signal generator
MG3681A
+MU368040A+MX368041B
+MX368041B-11

シグナルアナライ
(MS8600/MS2680)



RF

RX module (Demodulator)

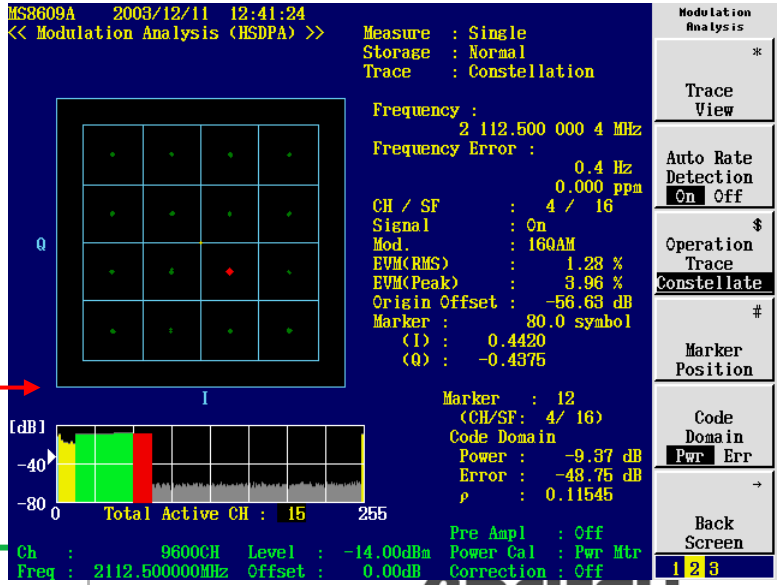
I/Q



– EVMテスト
  • HS-PDSCH, DPCH, ...

Table C.8: Downlink physical channels for HSDPA receiver testing for Single Link performance.

Physical Channel	Parameter	Value	Note
P-CPICH	P-CPICH_Ec/Ior	-10dB	
P-CCPCH	P-CCPCH_Ec/Ior	-12dB	Mean power level is shared with SCH.
SCH	SCH_Ec/Ior	-12dB	Mean power level is shared with P-CCPCH – SCH includes P- and S-SCH, with power split between both. P-SCH code is S_dl,0 as per TS25.213 S-SCH pattern is scrambling code group 0
PICH	PICH_Ec/Ior	-15dB	
DPCH	DPCH_Ec/Ior	Test-specific	12.2 kbps DL reference measurement channel as defined in Annex A.3.1
HS-SCCH_1	HS-SCCH_Ec/Ior	Test-specific	Specifies fraction of Node-B radiated power transmitted when TTI is active (i.e. due to minimum inter-TTI interval).
HS-SCCH_2	HS-SCCH_Ec/Ior	DTX'd	No signalling scheduled, or power radiated, on this HS-SCCH, but signalled to the UE as present.
HS-SCCH_3	HS-SCCH_Ec/Ior	DTX'd	As HS-SCCH_2.
HS-SCCH_4	HS-SCCH_Ec/Ior	DTX'd	As HS-SCCH_2.
HS-PDSCH	HS-PDSCH_Ec/Ior	Test-specific	.
OCNS		Necessary power so that total transmit power spectral density of Node B (Ior) adds to one	OCNS interference consists of 6 dedicated data channels as specified in table C.12.



HSDPA Baseband テストの接続例

Wanted signal generator
MG3681A
+MG3681A-11
+MU368040A+MX368041B
+MX368041B-11



I/Q

A/D

Baseband module

コントロー



» Inf. Bit
  – PN15
    • サブフレーム単位で初期値にリセット
      – 全サブフレームとも同一データ

– Decodingテスト
  • Inf. Bit チェック
– BLERテスト
  • CRC チェック

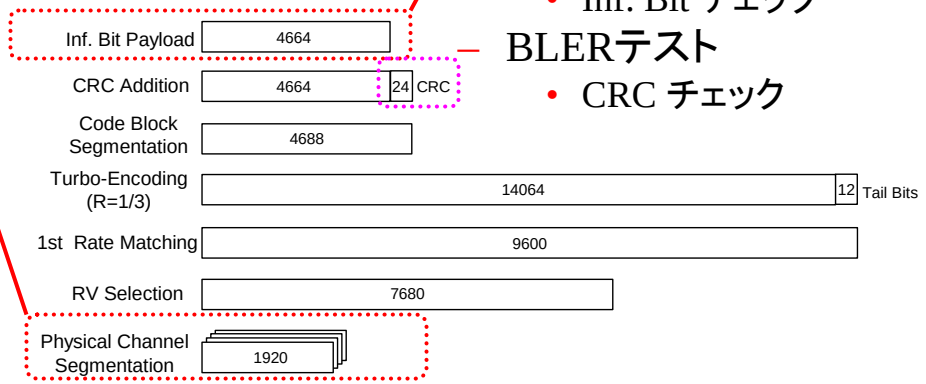
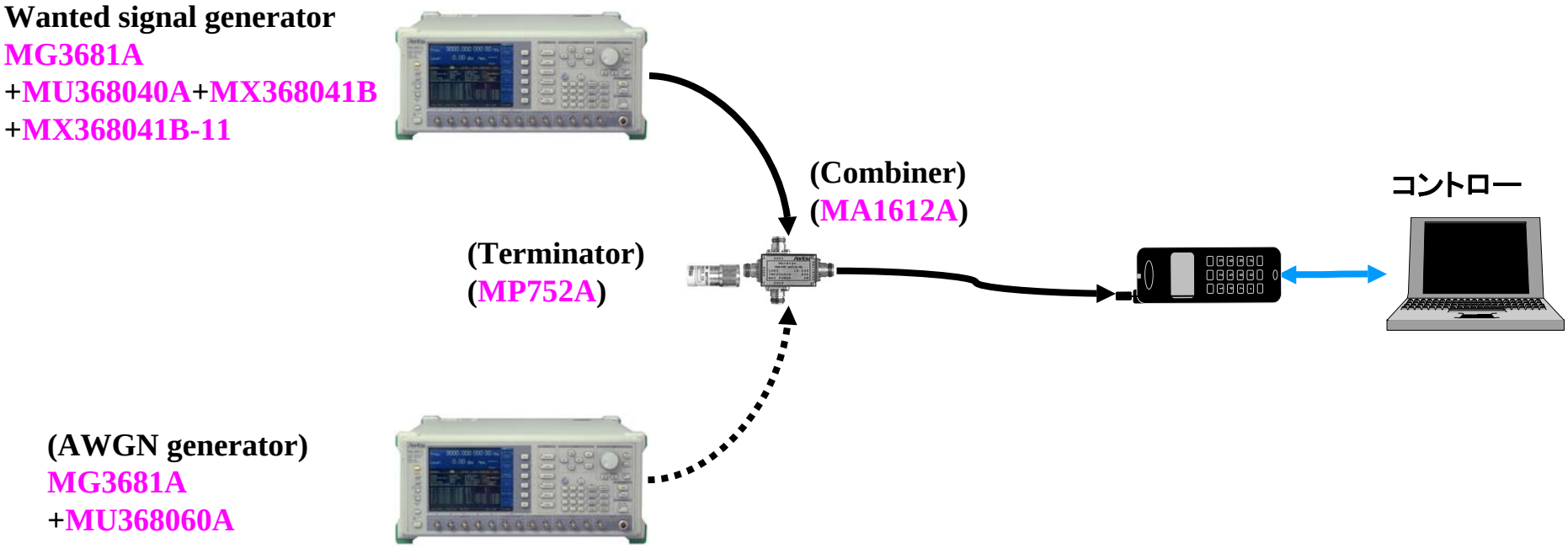


Figure A.17: Coding rate for Fixed reference Channel H-Set 3 (16QAM)

HSDPA CQI テストの接続例

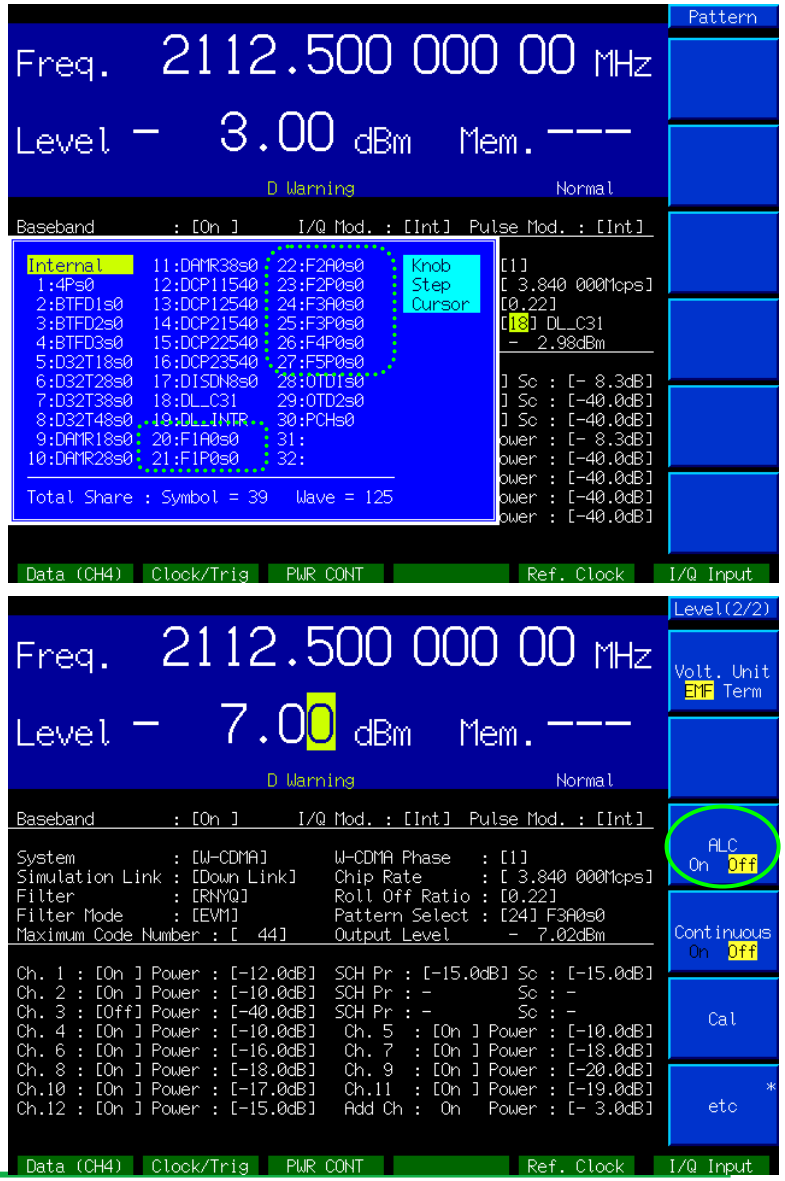


- コントローラ
  - FTM Factory Test Mode コントロールにて、DL FRCを受信可能状態に起動
  - UL HS-DPCCH上のCQI Channel Quality Indicatorをモニタリングし DL HS-PDSCHのBLERを計算

Wanted signal generator　設定例

- **DL FRC**
  - » H-Set 1
    - – 16QAM
    - – QPSK
  - » H-Set 2
    - – 16QAM
    - – QPSK
  - » H-Set 3
    - – 16QAM
    - – QPSK
  - » H-Set 4
    - – QPSK
  - » H-Set 5
    - – QPSK

- **ALC Off**

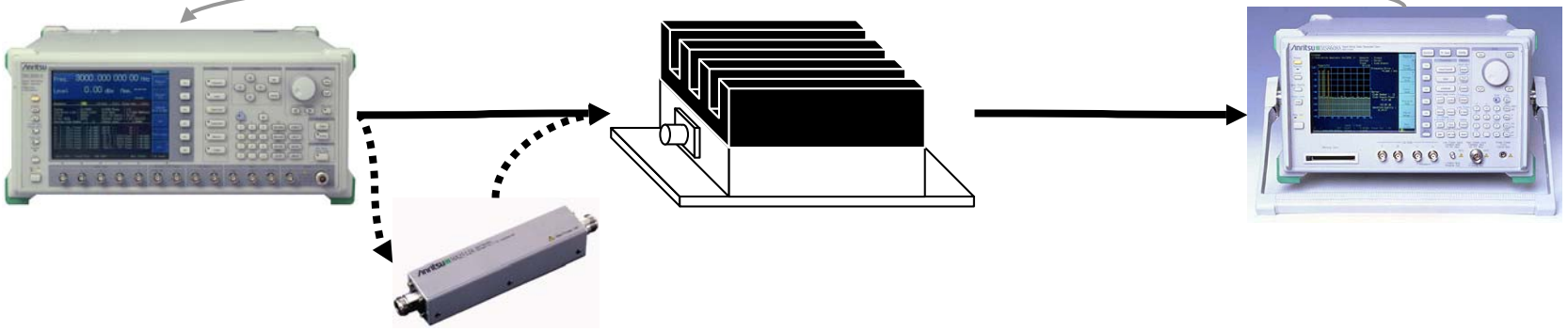


RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368040A+MX368041B

シグナルアナライ
(MS8600/MS2680)

Reference clock



スプリアス除去フィル
(MA2512A)

- 信号源のスプリアス信号が評価の障害となる場合、フィルタを接続すると、不要な信号を減衰できる

MG3681Aのスプリアス信号
- 660 MHz (IFリーケージ)
- +660 MHzオフセット　(Localリーケージ)
- 2×周波数/3×周波数　(2nd/3rd高調波)

Downlink signal　設定例

BSトランスミッタ テスト

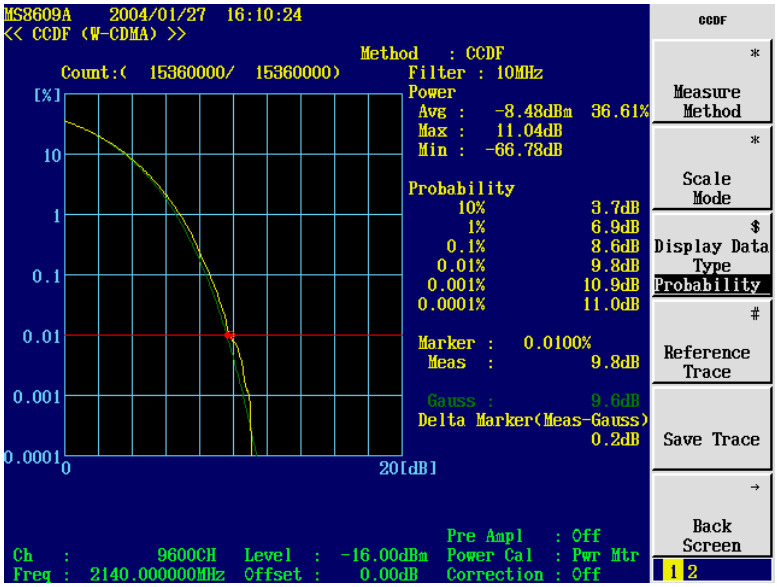
- **Test Model 1**
  - » シングルキャリア
  - » マルチキャリア(2キャリア)
- **Test Model 2**
- **Test Model 3**
- **Test Model 4**
- **Test Model 5**
  - » シングルキャリア
  - » マルチキャリア(2キャリア)

- **ACP優先フィルタ**
  - » Spectrum emission mask
  - » ACLR
  - » Spectrum emissions

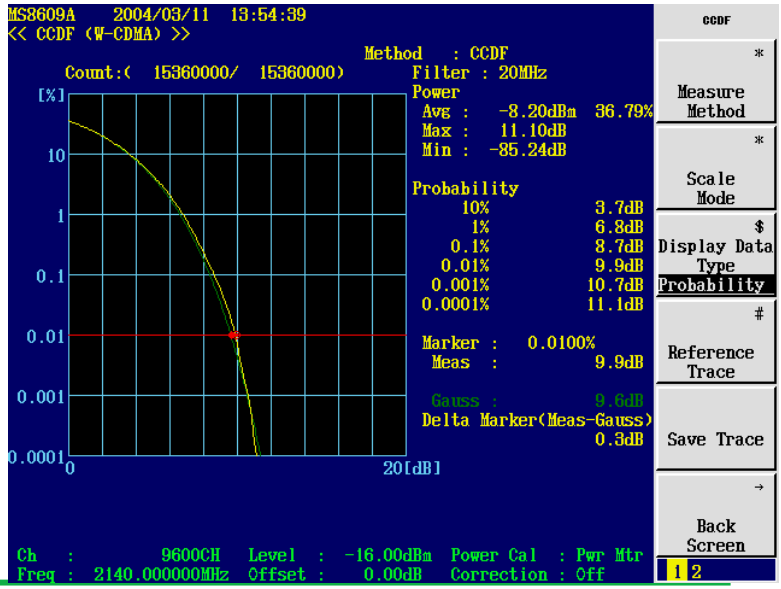


CCDF

- **Test Model 1**
  - » 64 DPCH
    - – シングルキャリア

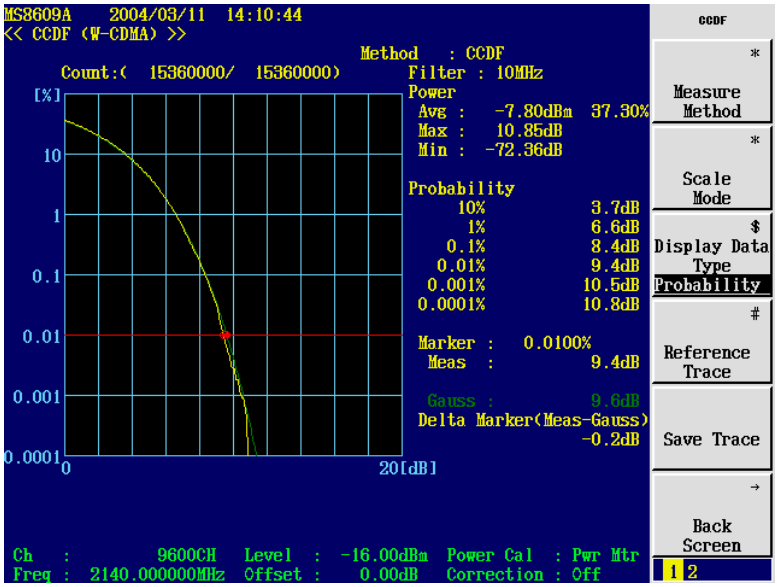


- – 2キャリア

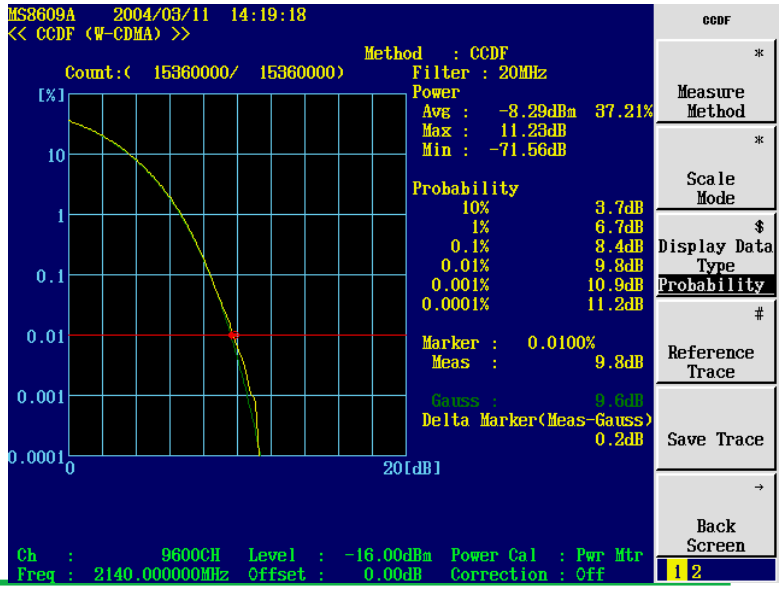


CCDF

- **Test Model 5**
  - » 30 DPCH + 8 HS-PDSCH
    - – シングルキャリア



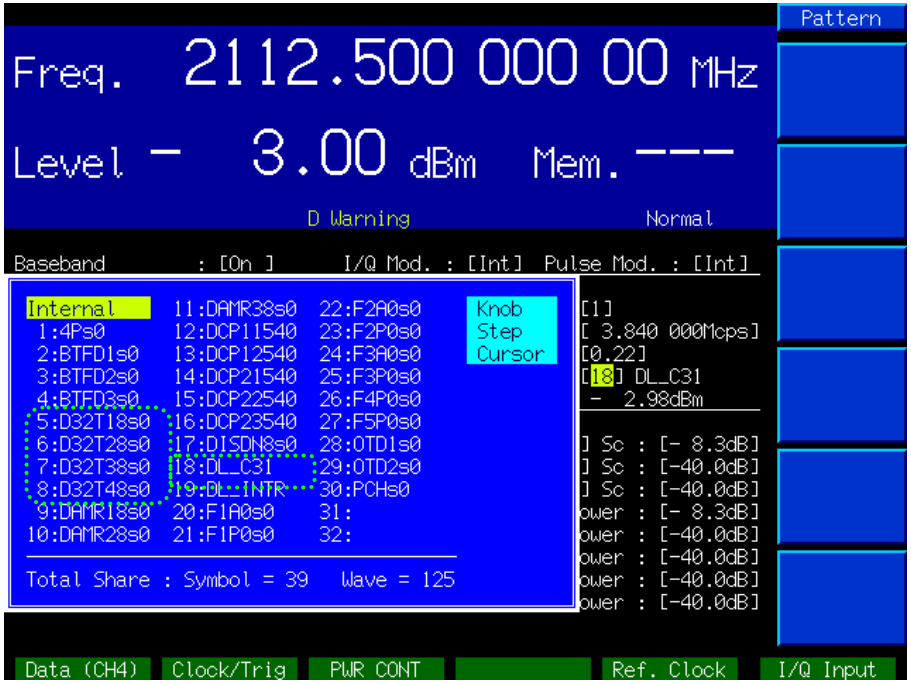
  - – 2キャリア



Downlink signal　　設定例

UEレシーバ テスト

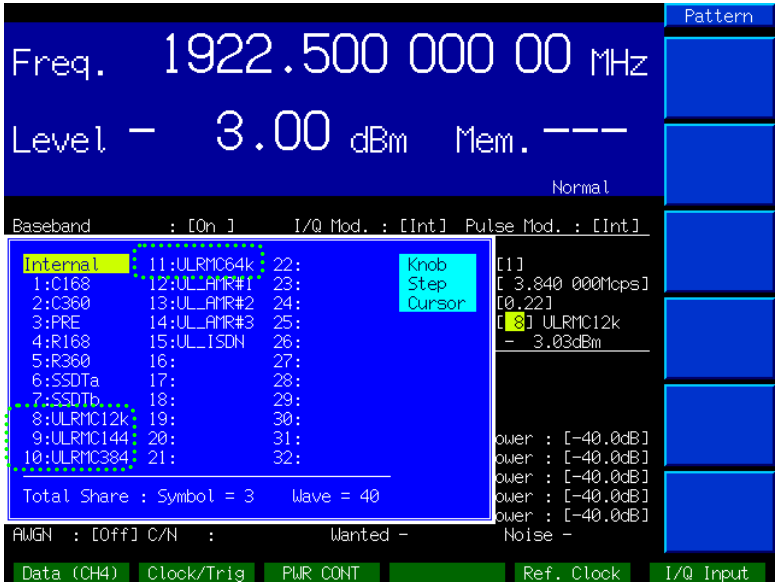
- **DL RMC 12.2 kbps**
  - » RXテスト用
  - » Performanceテスト用
- **DL RMC 64 kbps**
- **DL RMC 144 kbps**
- **DL RMC 384 kbps**



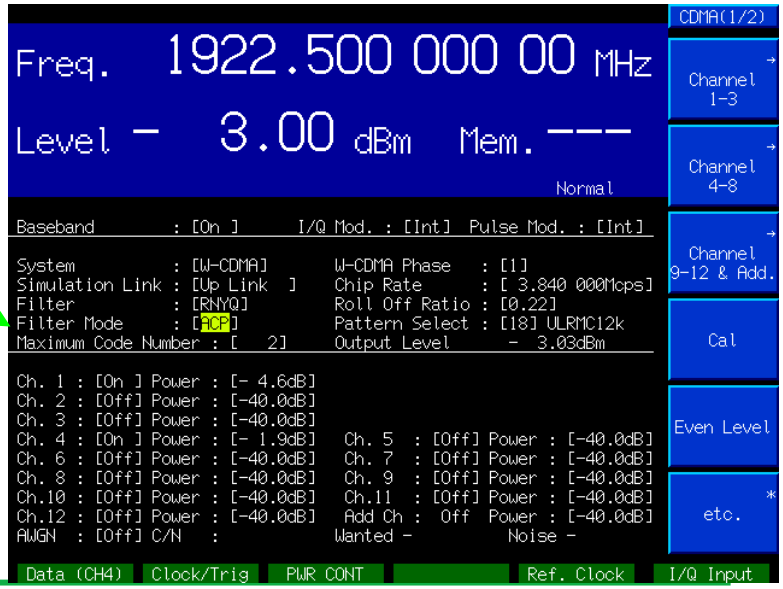
Uplink signal　設定例

UEトランスミッタ テスト
BSレシーバ テスト

- **UL RMC 12.2 kbps**
- **UL RMC 64 kbps**
- **UL RMC 144 kbps**
- **UL RMC 384 kbps**



- **ACP優先フィルタ**
  トランスミッタテスト
  - » Spectrum emission mask
  - » ACLR
  - » Spectrum emissions

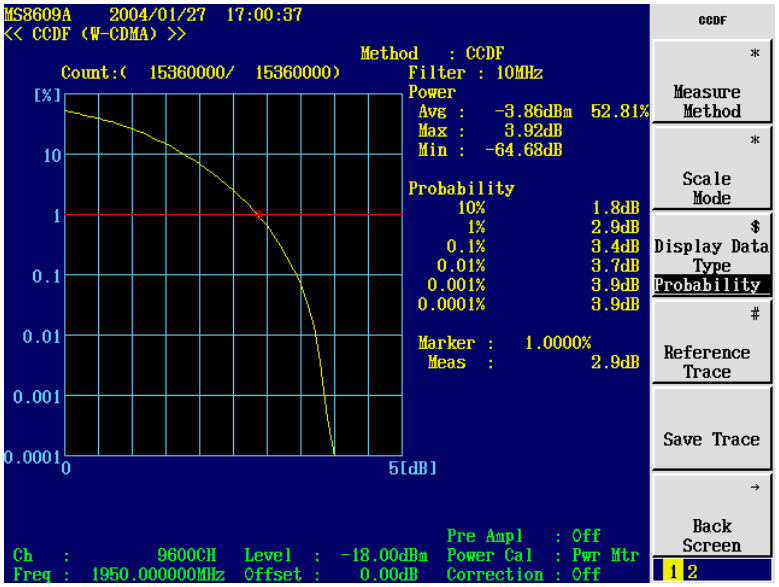


CCDF

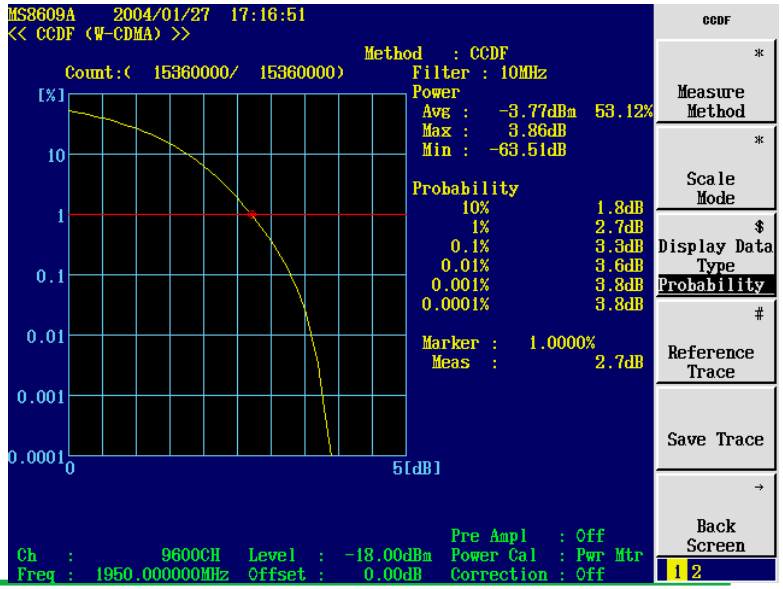
- **UL RMC**
  - » 12.2 kbps

Table A.1: Reference measuremet channels for UL DCH

Parameter		DCH for DTCH / DCH for DCCH					Unit
DPDCH	Information bit rate	12,2/2,4	64/2,4	144/2,4	384/2,4	2048/2,4	kbps
	Physical channel	60/15	240/15	480/15	960/15	960/15	kbps
	Spreading factor	64	16	8	4	4	
	Repetition rate	22/22	19/19	8/9	-18/-17	-7/-7	%
	Interleaving	20	40	40	40	80	ms
	Number of DPDCHs	1	1	1	1	6	
DPCCH	Dedicated pilot	6					bit/slot
	Power control	2					bit/slot
	TFCI	2					bit/slot
	FBI	0 / 2					bit/slot
	Spreading factor	256					
Power ratio of DPCCH/DPDCH		-2,69	-5,46	-9,54	-9,54	-9,54	dB
Amplitude ratio of DPCCH/DPDCH		0,7333	0,5333	0,3333	0,3333	03333	
Note:	Combination of TFCI bit of 0 bit/slot and FBI bit of 2 bit /slot is applied in test of Site Selection Diversity Transmission specified in 8.10.						

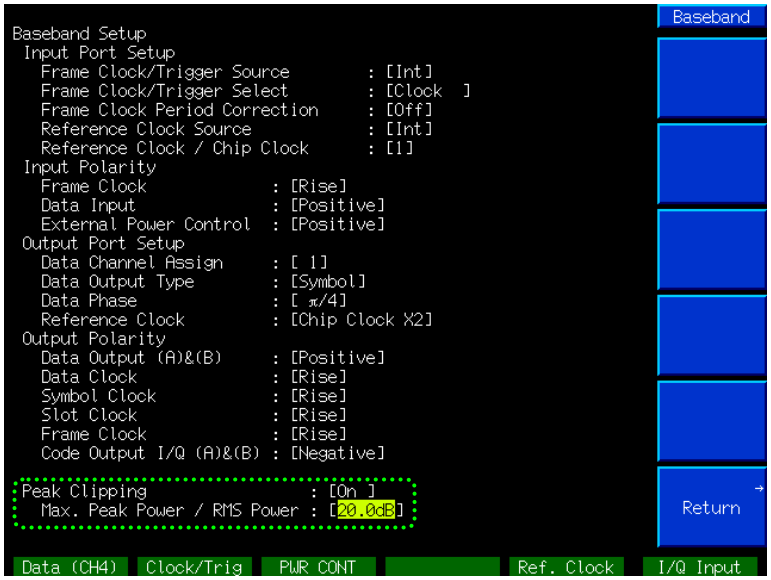


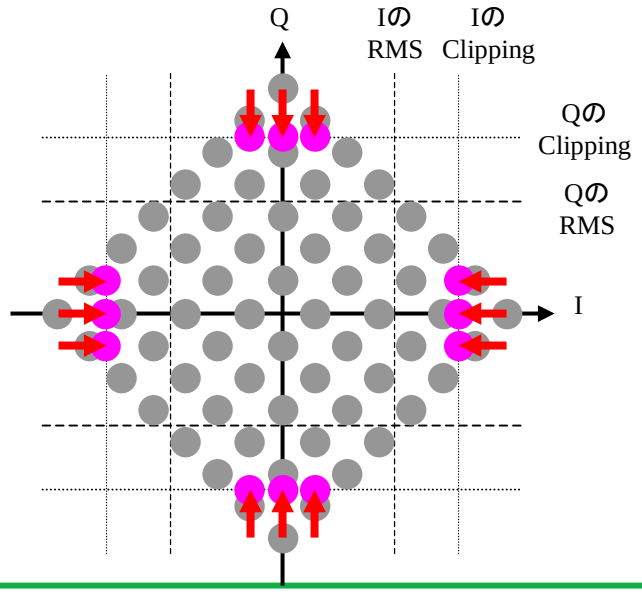
» 384 kbps



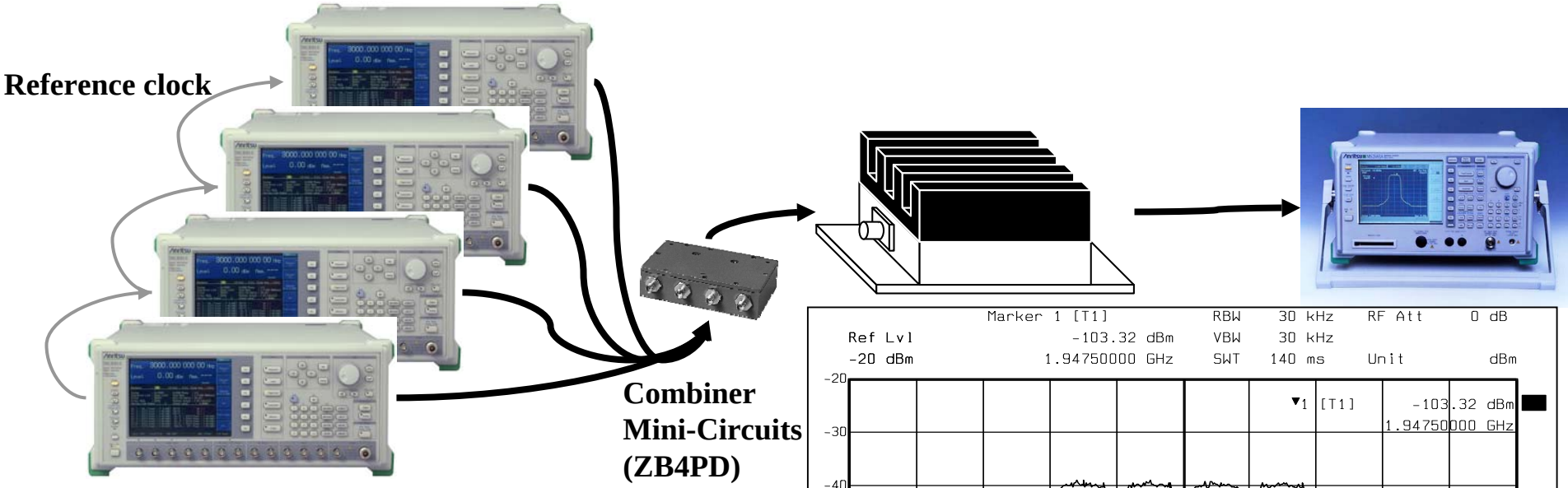
変調信号のPeak Clipping 設定例

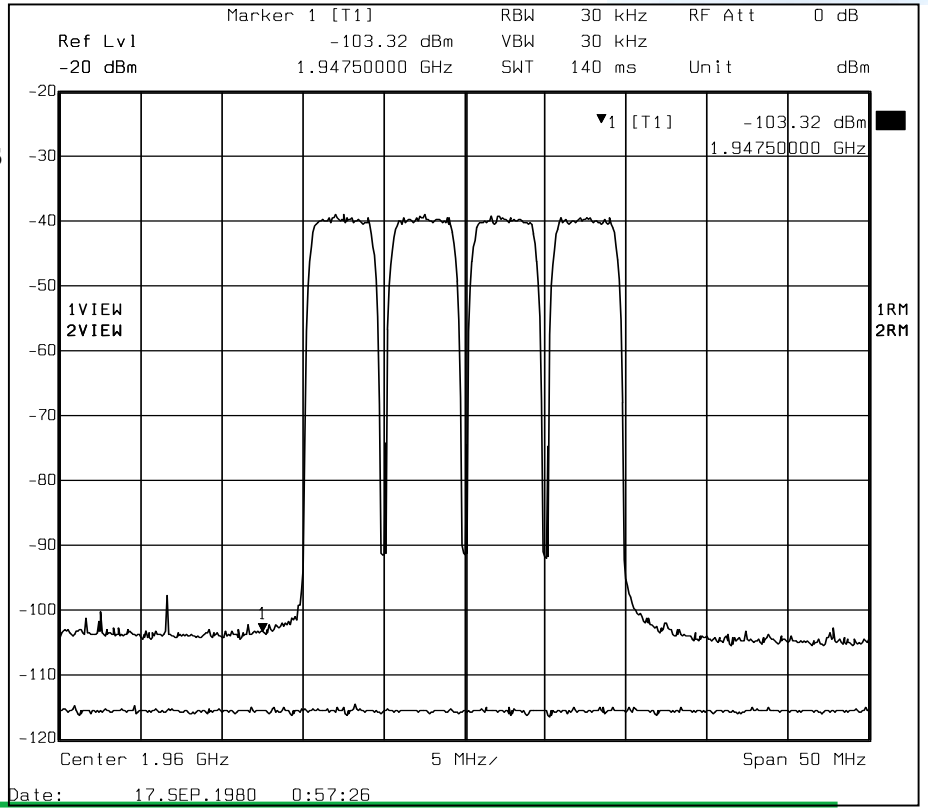
- クレストファクタ(CCDF)の評価に有益
  - » FIRフィルタリング前のI/Q振幅のピークレベルを制限
    - – IまたはQのRMSレベル
      +
      0 ~ 20 dB, 0.1 dB分解能
      - 出力信号(FIRフィルタリング後)のCCDFをシグナルアナライザ(MS8608A/09A)にて測定し、制限レベルを調整する
    - – クリッピングによる歪みが発生しないため、出力信号のACLRが悪化せず
      - 過度なクリッピングのとき、波形品質が悪化
  - » Scalar clipping
    - – IまたはQ振幅レベルを制限する処理





マルチキャリア信号源





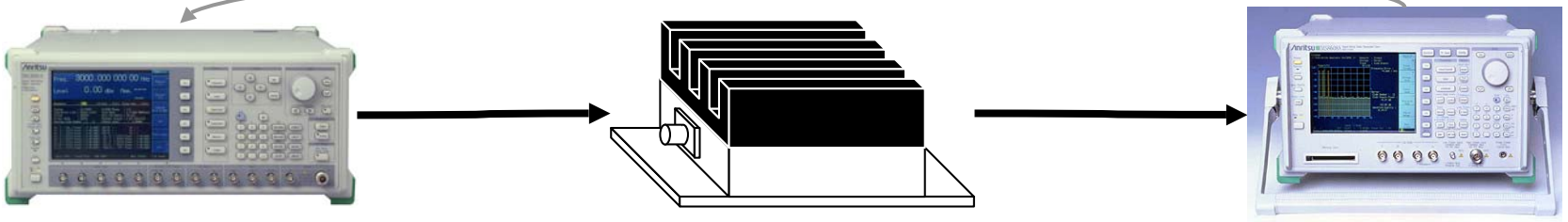
- **Test model 1 (64 DPCH)**
  - » Scrambling code
    - – 00,10,20,30 [HEX]
  - » Typical ACLR [dB/3.84MHz]
    Lower/Upper
    - – 5MHz offset: -62.6/-62.4
    - – 10MHz offset: -63.3/-64.4
    - – 15MHz offset: -63.2/-64.4

GSM/EDGE
RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368010A+MX368012A
or
+MU368030A+MX368031A

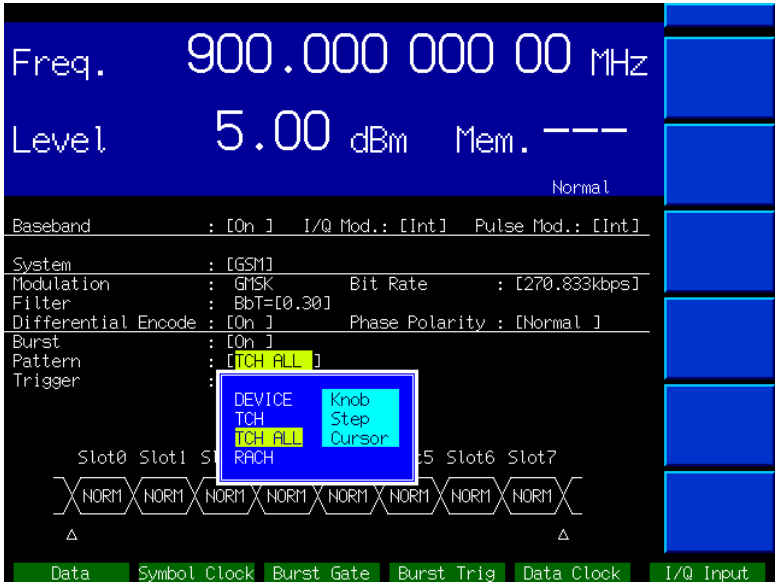
シグナルアナライ
(MS8600/MS2680)

Reference clock

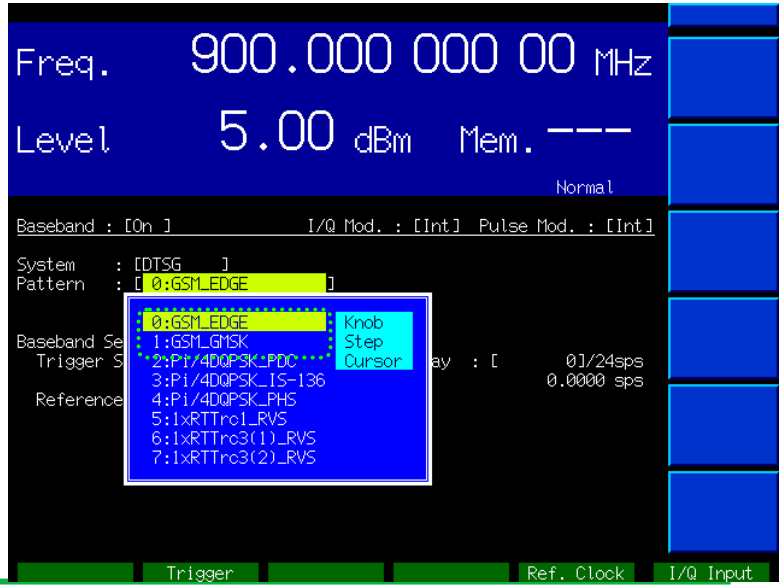


Downlink/Uplink signal　設定例

- **MX368012A**
  - » GMSK変調
    - – データ+GP Guard period (8.25 symbol) Burstフォーマット
    - – TCH用 Normal burstフォーマット
    - – RACH用 Access burstフォーマット
    - – 連続変調フォーマット



- **MX368031A**
  - » 8PSK変調
    - – 連続変調フォーマット
  - » GMSK変調
    - – 連続変調フォーマット



CDMA2000 1xEV-DO 3GPP2
ANアクセスネットワークテスト

3GPP2 C.S0032 -0 v2.0
3.1.1 Receiver Minimum Standards
3.1.1 Transmitter Minimum Standards

Section	Test	Wanted signal generator	Interfering signal generator	CW generator	AWGN generator	他
3.1.1.3.1	Data Channel Demodulation Performance (Case 1: without closed loop power control)	MG3681A +MU368030A +MX368033A			+MU368060A +MU368040A	
3.1.1.4.1	Receiver Sensitivity					
3.1.1.4.2	Receiver Dynamic Range				+MU368060A +MU368040A	
3.1.1.4.3	Single Tone Desensitization		MG3681A or 3GHz	MG3642A 2.08GHz		MA1612A 3GHz Combiner
3.1.1.4.4	Intermodulation Spurious Response Attenuation		MG3681A			
3.1.1.4.5	Adjacent Channel Selectivity		MG3681A +MU368030A +MX368031A			
3.1.1.4.6	Receiver Blocking Characteristics		MG3681A or 3GHz	MG3692A 20GHz or MG3642A 2.08GHz		
3.1.1.6	Received Signal Quality Indicator (RSQI)				+MU368060A +MU368040A	
3.1.2.4.3	Inter-Sector Transmitter Intermodulation		MG3681A +MU368030A +MX368031A (+MG3681A-42)			Spectrum analyzer Circulator

Inter-Sector Transmitter Intermodulation テストの接続例

Interfering signal generator
MG3681A
+MU368030A+MX368031A
(+MG3681A-42)

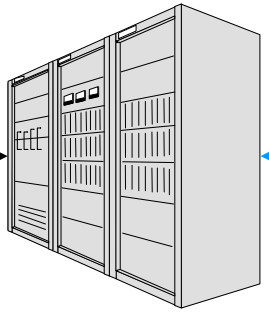


Spectrum analyzer
MS8608A/8609A
+MX860804A/860904A



Circulator





コントローラ



- コントローラ
  - FTM Factory Test Mode コントロールにて、送信状態に起動

Receiver テストの接続例

Interfering signal generator
CW generator
(AWGN generator)
MG3681A
+MU368030A+MX368031A
(+MU368060A)

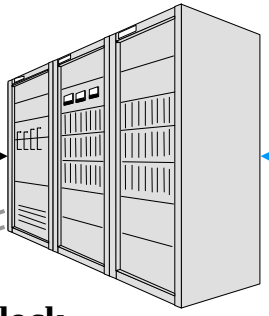
Wanted signal generator
(+ AWGN generator)
MG3681A
+MU368030A+MX368033A
(+MU368060A+MU368040A)

CW generator
(MG3692A)



Combiner
(MA1612A)





Start trigger

Reference clock

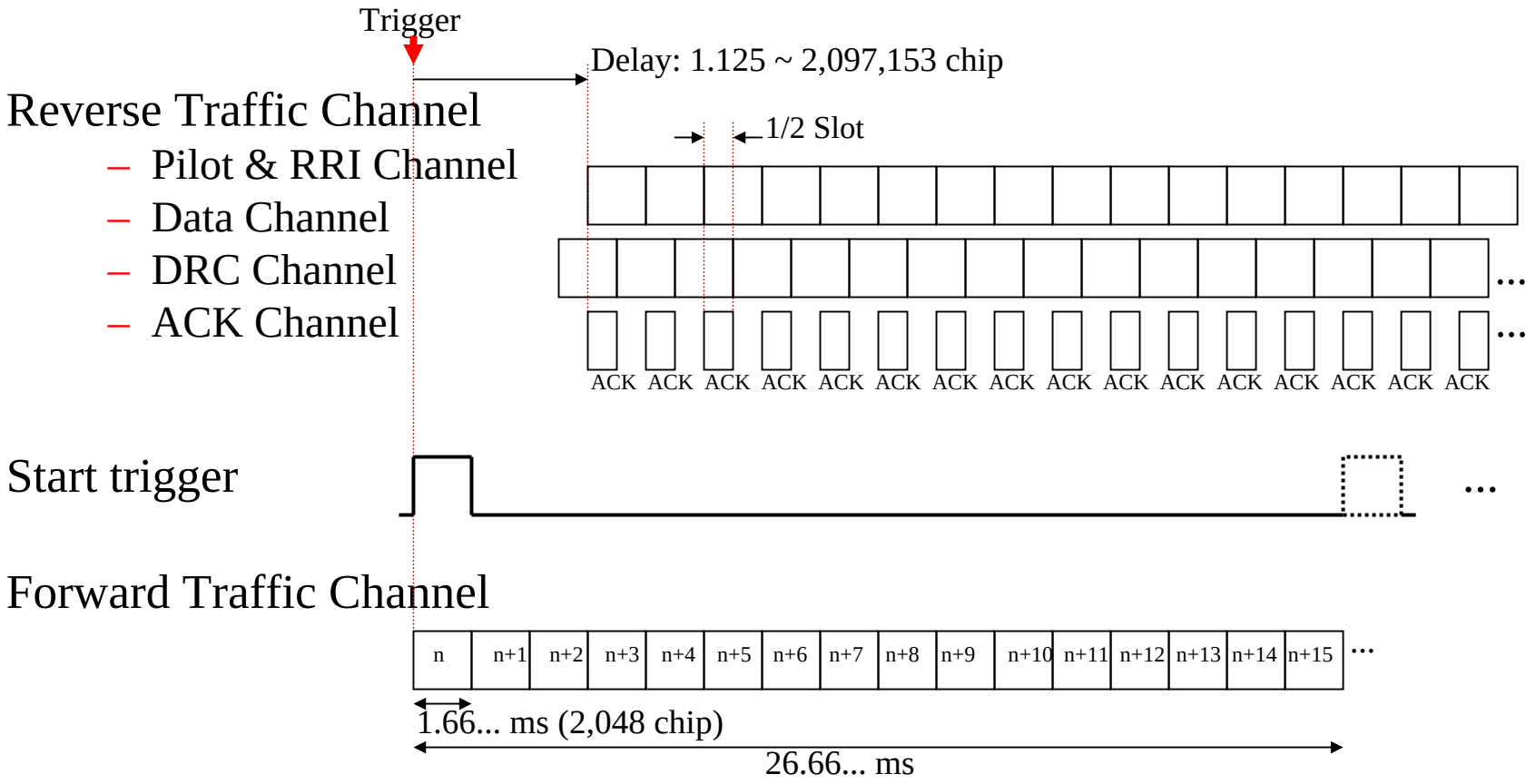
コントローラ
PER計算



- Start trigger
  - フロントパネル [Trigger] Input
    1つだけ適用
    - 26.66... ms clock (Short sequence rollover)
    - 426.66... ms clock (Control Channel Cycle)
    - 2 sec clock (Even second time mark)
- Reference clock
  1つだけ適用
  - フロントパネル [Ref. Clock] Input
    - 8× 1.2288 MHz (9.8304 MHz)
  - リアパネル [10MHz/13MHz Ref] Input
    - 10 MHz, 13 MHz
- コントローラ
  - FTM Factory Test Mode コントロールにて、Reverseトラフィックチャネルを受信可能状態に起動
  - 復調したトラフィックチャネルパケット毎のCRCをチェックしPERを計算

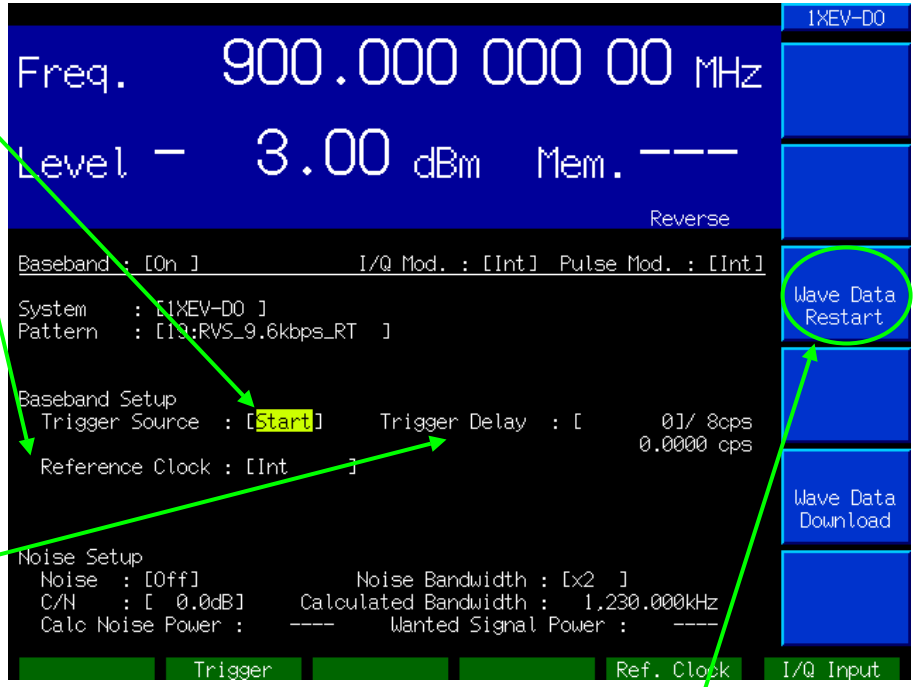
タイミングの同期　　設定例

- **Start trigger ディレイ**
  - » ANがReverseトラフィックチャネルを受信できるタイミングを設定



タイミングの同期　　設定例

- **外部Start trigger 指定**
  - » Triggerを一度のみ捕捉/同期
- **Reference clock:**
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 8× 1.2288 MHz (9.8304 MHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]



- **Start trigger ディレイ**
  - » 0 ~ 16,777,215 /8 chip
    1/8 chip 分解能
  - » Triggerからのディレイ
    + 9/8 chip
    - – 1.125 ~ 2,097,153 chip

- **Trigger 再捕捉/同期**

Long Code Maskの同期

- **Reverse Traffic Channel Long Code Mask**
  - » 42ビット MI_{RTCMAC}

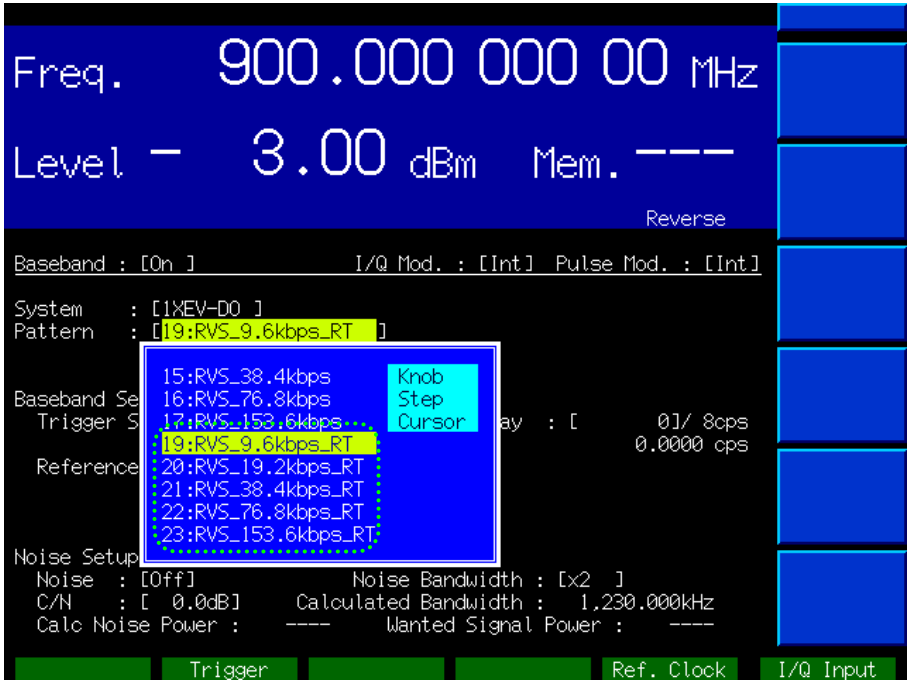
BIT	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
MI_{RTCMAC}	1	1	1	1	1	1	1	1	1	1	Permuted (ATI_{LCM})																															

  - » 42ビット MQ_{RTCMAC}
    - – MI_{RTCMAC}から得られる
      - $MQ_{RTCMAC}[k] = MI^{RTCMAC}[k-1]$, for k = 1,…,41
      - $MQ_{RTCMAC}[0] = MI_{RTCMAC}[0] \oplus MI_{RTCMAC}[1] \oplus MI_{RTCMAC}[2] \oplus MI_{RTCMAC}[4] \oplus MI_{RTCMAC}[5] \oplus MI_{RTCMAC}[6] \oplus MI_{RTCMAC}[9] \oplus MI_{RTCMAC}[15] \oplus MI_{RTCMAC}[16] \oplus MI_{RTCMAC}[17] \oplus MI_{RTCMAC}[18] \oplus MI_{RTCMAC}[20] \oplus MI_{RTCMAC}[21] \oplus MI_{RTCMAC}[24] \oplus MI_{RTCMAC}[25] \oplus MI_{RTCMAC}[26] \oplus MI_{RTCMAC}[30] \oplus MI_{RTCMAC}[32] \oplus MI_{RTCMAC}[34] \oplus MI_{RTCMAC}[41]$
    - – ⊕: XOR

- **ANをセット**
  - » MI_{RTCMAC} 3FF00000000
  - » MQ_{RTCMAC} 3FE00000001

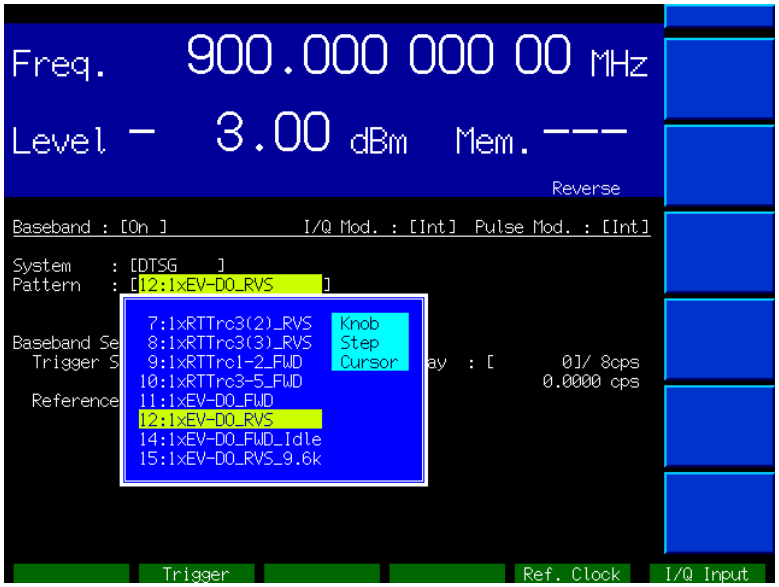
Wanted signal generator　設定例

- **Reverse Traffic Channel**
  Data Rate
  - » 9.6 kbps
  - » 19.2 kbps
  - » 38.4 kbps
  - » 76.8 kbps
  - » 153.6 kbps

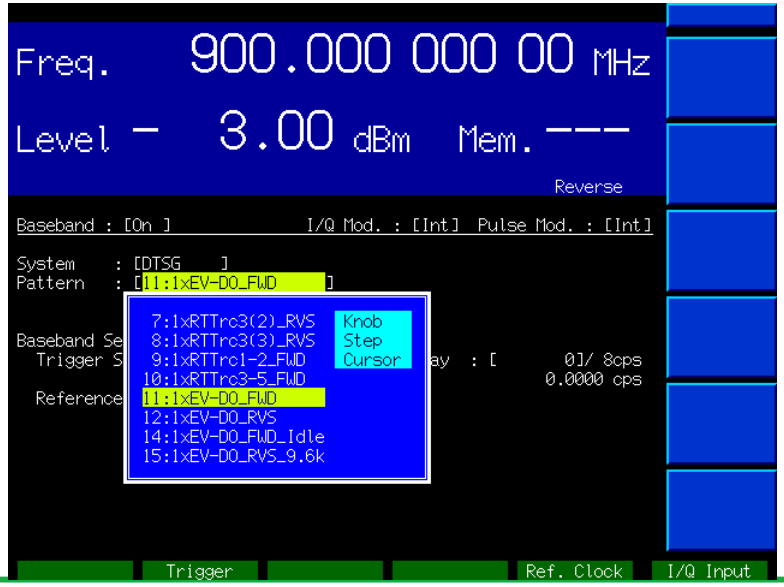


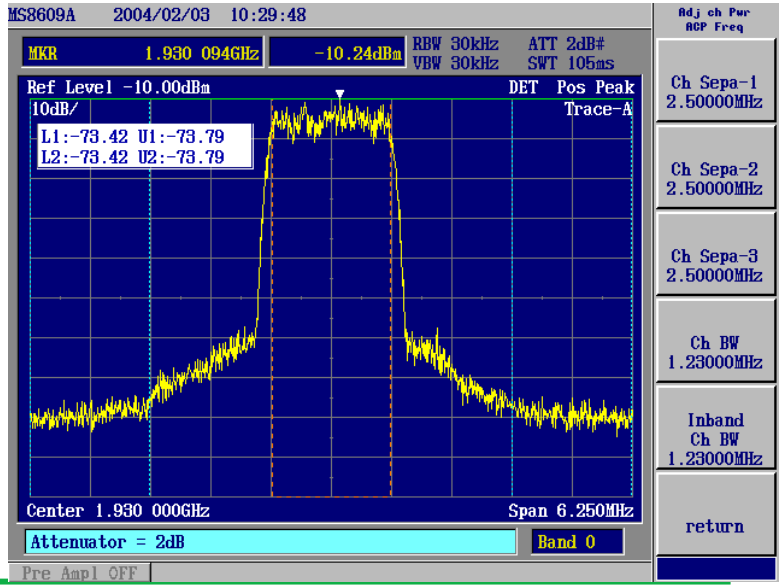
Interfering signal generator 設定例

- **HRPD signal**
  - CDMA2000 1xEV-DO Reverse Traffic Channel
    - » Adjacent Channel Selectivity テスト



- **Sector 2 (Interferer)**
  - » Inter-Sector Transmitter Intermodulation テスト

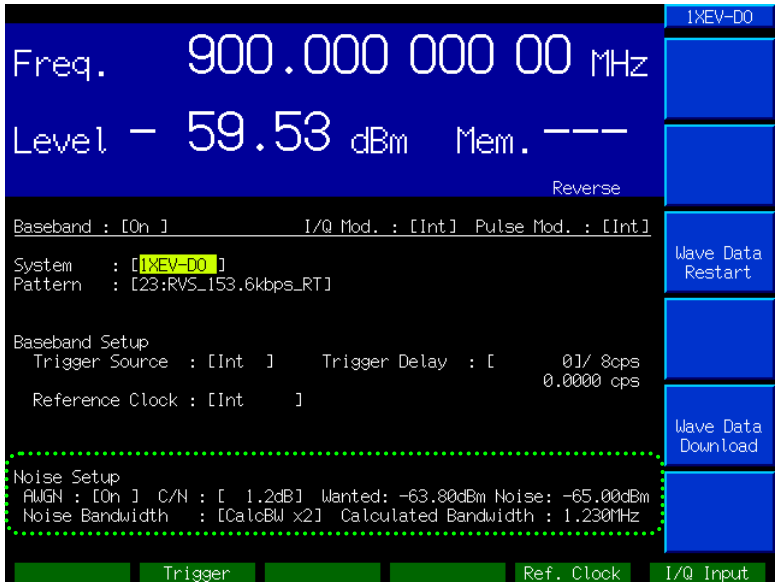




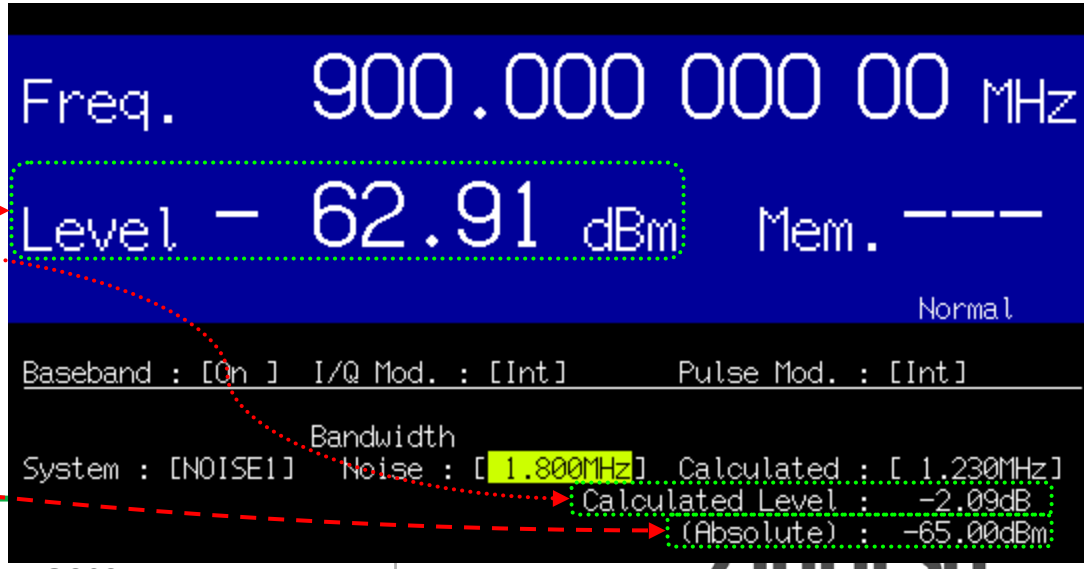
AWGN generator　設定例

- **AWGNミキシング**
  - » C/N = Wanted signal/AWGN
    - – Dynamic range テスト
      - C/N: [1.2dB]
        Wanted -63.8dBm Noise -65.0dBm
    - – RSQI テスト
      - C/N: [1.0dB]
        Wanted -83.0dBm Noise -84.0dBm
        (Data rate:153.6 kbps,
        Data E_b/N_t: 8 dB,
        DataChannelGain: 18.5 dB)

$$\hat{I}_{or} \quad \underline{E_b} \quad \underline{\text{Data rate}} \quad \underline{1+\text{ChannelGain}}$$
$$I_{oc} = N_t \times 1.23\times10^6 \times \quad \text{ChannelGain}$$



- **AWGNソース**
  - » Ioc =
    トータルレベル
    + 帯域幅換算レベル



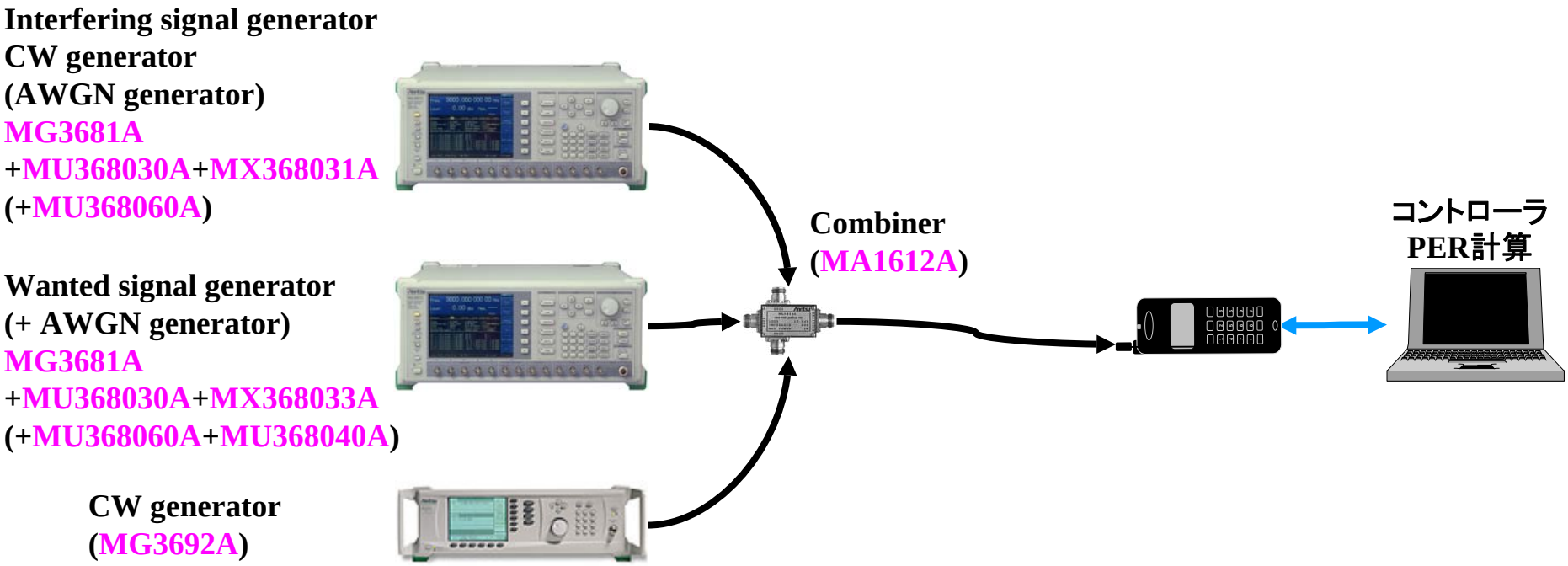
CDMA2000 1xEV-DO 3GPP2 ATアクセスターミナル テスト

3GPP2 C.S0033 -0 v2.0

3.1.1 Receiver Minimum Standards

Section	Test	Wanted signal generator	Interfering signal generator	CW generator	AWGN generator	他
3.1.1.2.1	Demodulation of Forward Traffic Channel in AWGN	MG3681A +MU368030A +MX368033A			+MU368060A +MU368040A	
3.1.1.2.2	Demodulation of Forward Traffic Channel in Multipath Fading Channel				MG3681A +MU368060A	Channel simulator, Combiner
3.1.1.3.1	Receiver Sensitivity and Dynamic Range					
3.1.1.3.2	Single Tone Desensitization		MG3681A or 3GHz	MG3642A 2.08GHz		MA1612A 3GHz Combiner
3.1.1.3.3	Intermodulation Spurious Response Attenuation		MG3681A			
3.1.1.3.4	Adjacent Channel Selectivity		MG3681A +MU368030A +MX368031A			
3.1.1.4.5	Receiver Blocking Characteristics		MG3681A or 3GHz	MG3692A 20GHz or MG3642A 2.08GHz		

Receiver テストの接続例

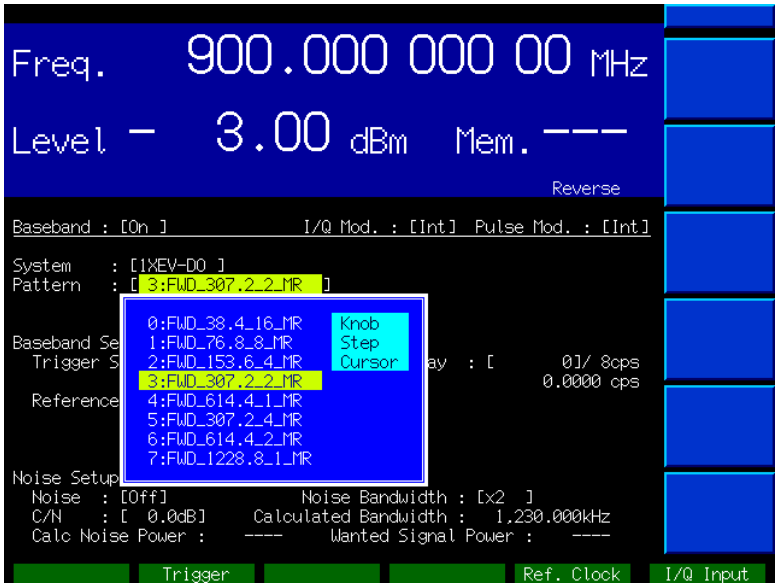


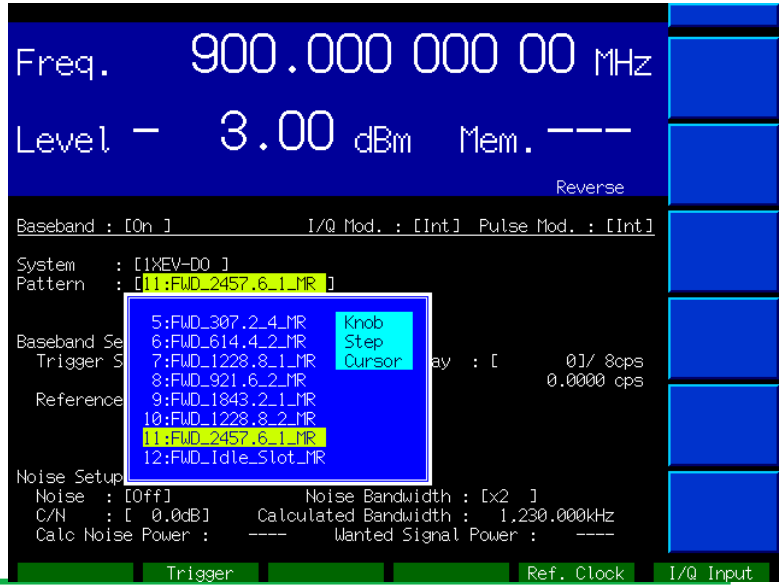
– コントローラ
  - FTM Factory Test Mode コントロールにて、Forwardトラフィックチャネルを受信可能状態に起動
  - 復調したトラフィックチャネルパケット毎のCRCをチェックしPERを計算

Wanted signal generator　設定例

- **Forward Traffic Channel**

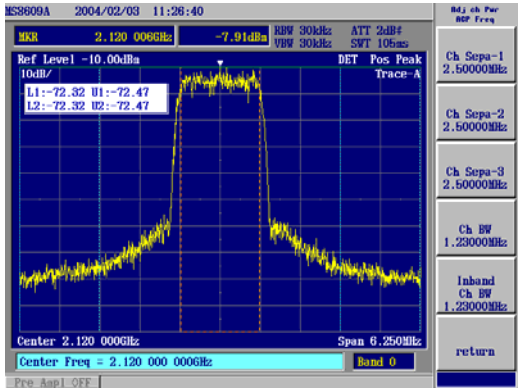
Data Rate	Slots per Physical Layer Packet
» 38.4 kbps	16
» 76.8 kbps	8
» 153.6 kbps	4
» 307.2 kbps	2
» 614.4 kbps	1
» 307.2 kbps	4
» 614.4 kbps	2
» 1,228.8 kbps	1
» 921.6 kbps	2
» 1,843.2 kbps	1
» 1,228.8 kbps	2
» 2,457.6 kbps	1

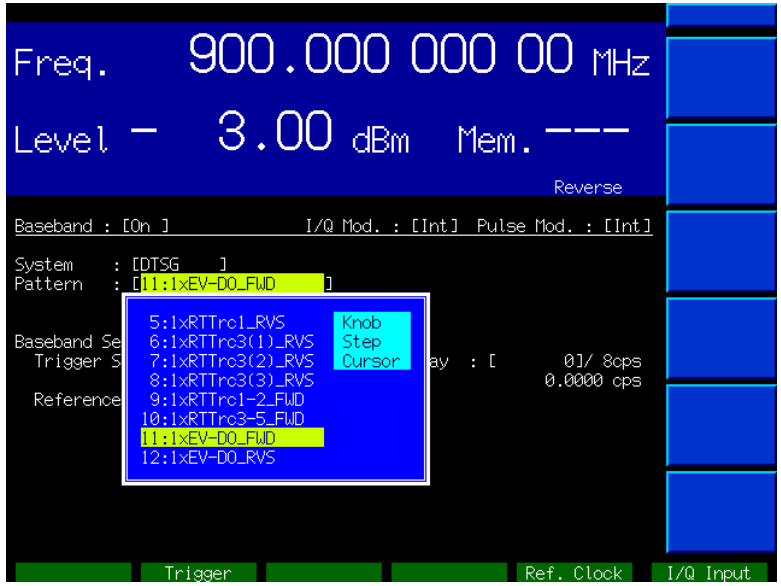




Interfering signal generator　設定例

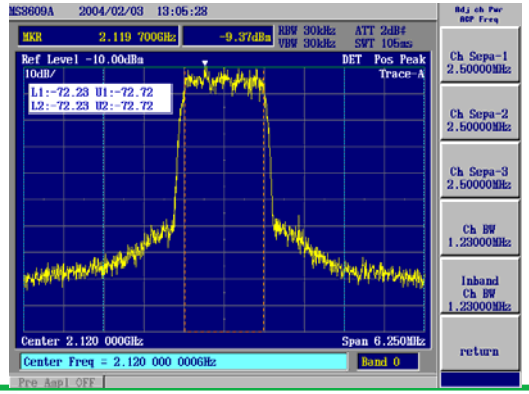
- **HRPD signal**
  - CDMA2000 1xEV-DO
    Forward Traffic Channel

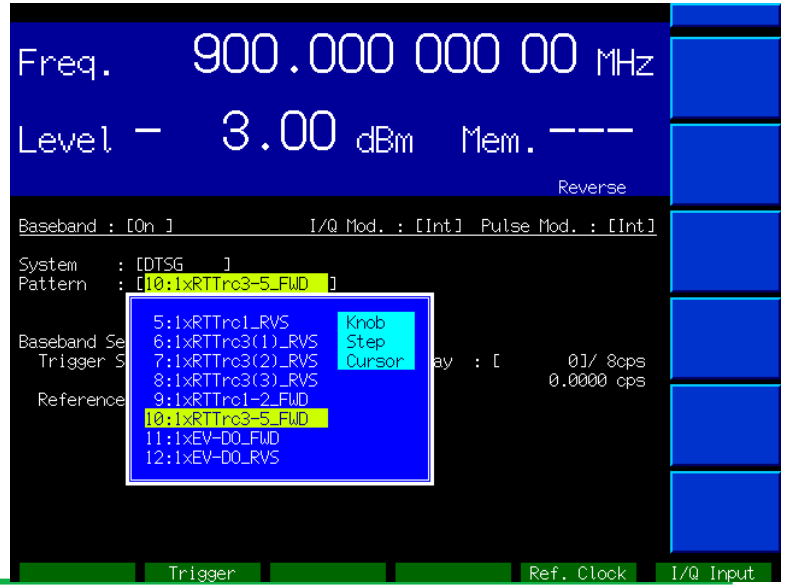




or

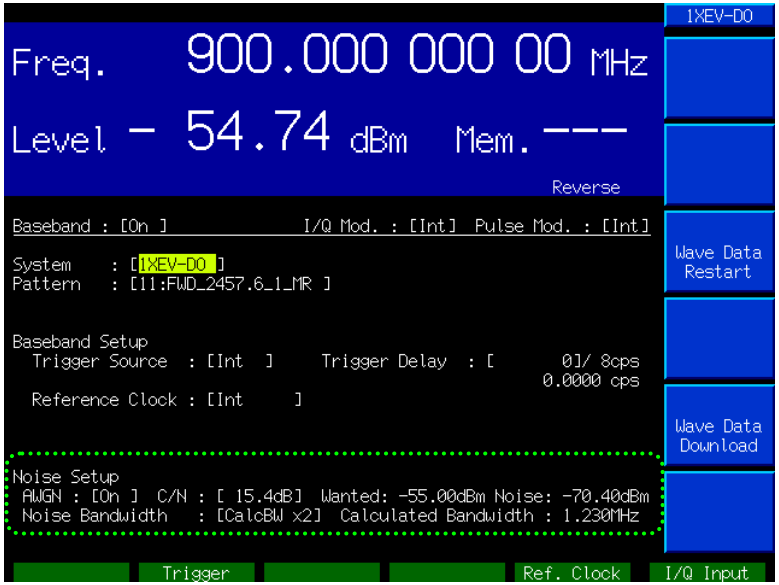
- **CDMA signal**
  - CDMA2000 1X
    Forward Traffic Channel



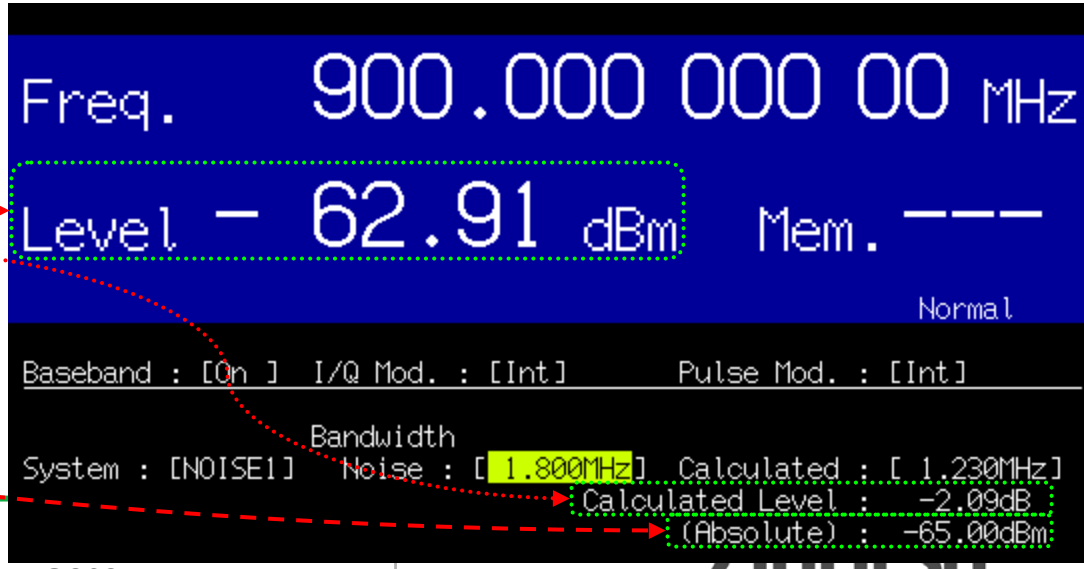


AWGN generator　設定例

- **AWGNミキシング**
  - » C/N = Wanted signal/AWGN
    - – Demodulation of FTC in AWGN テスト
      - C/N: Îor/Ioc



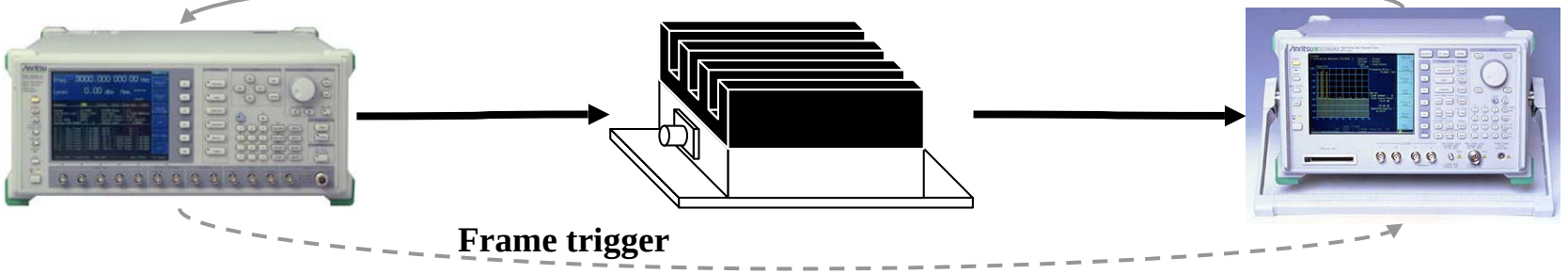
- **AWGNソース**
  - » Ioc =
    - トータルレベル
    - + 帯域幅換算レベル



RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368033A
or MX368031A

シグナルアナライザ
(MS8600/MS2680)



- Frame trigger
  - MS8608A/8609AにてReverseシグナルを変調解析する場合に必要
    - DataChannelGainが高いと、Pilot Channelを捕捉できないため
  - リアパネル A4[Frame Trigger] or B2[Sequence Pulse] Output
    - MS8608A/8609A リアパネル [Trigger] Input へ
    - 26.66... ms clock

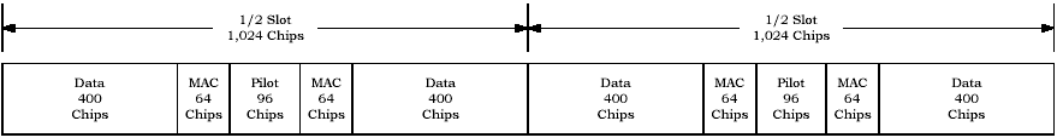
Rate (kbps)	DataChannelGain (dB)
9.6	3.75
19.2	6.75
38.4	9.75
76.8	13.25
153.6	18.50

Field	Value (Decimal)
DRCLength	0 (1 slot)
DRCChannelGain	6 (3 dB)
ACKChannelGain	6 (3 dB)

Forward signal 設定例

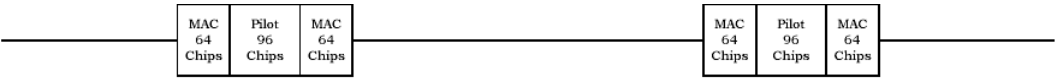
ANトランスミッタ テスト
ATレシーバ テスト

- **MX368033A**
  - » Active Slot: 8,4,3,2,1キャリア
    - – 2,457.6 kbps, 16QAM



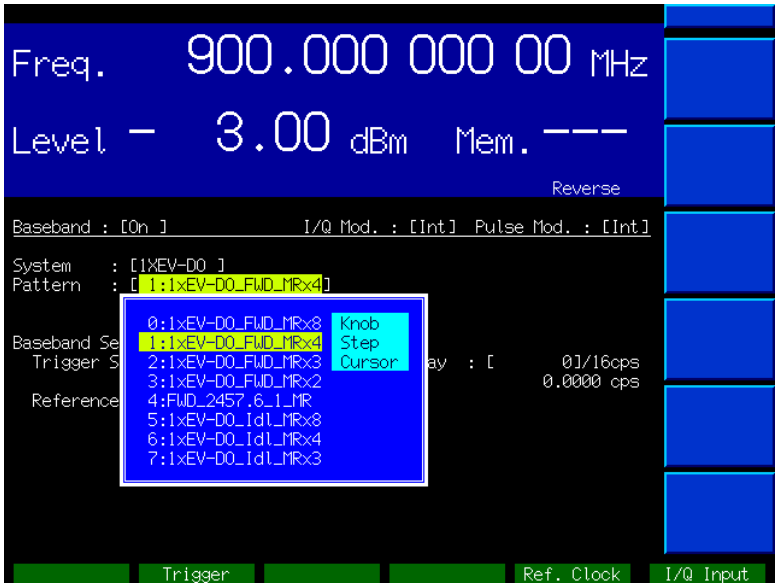
Active Slot

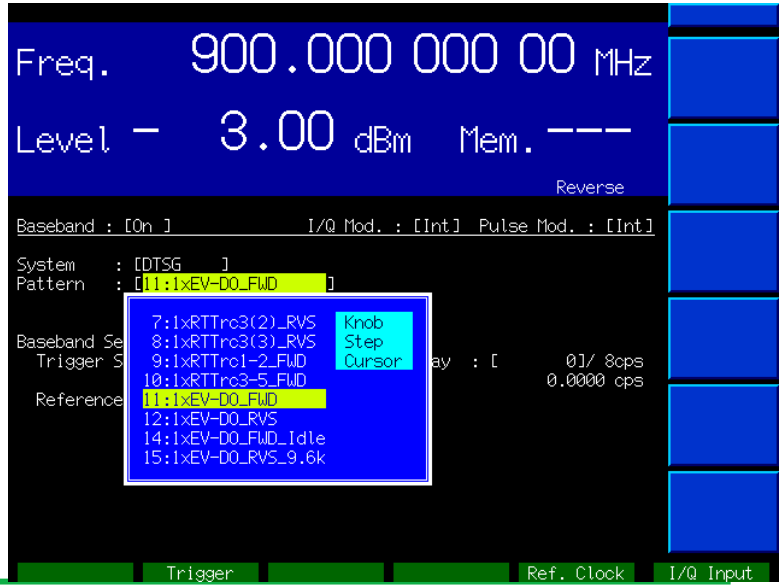
  - » Idle Slot: 8,4,3,2,1キャリア
    - – バースト信号



Idle Slot

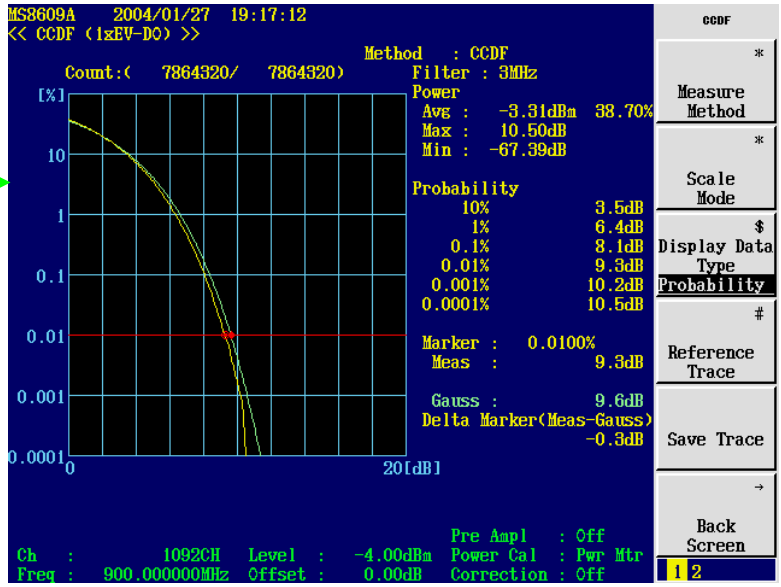
- **MX368031A**
  - » Active Slot: シングルキャリア
    - – 2,457.6 kbps, 16QAM
  - » Idle Slot: シングルキャリア
    - – バースト信号

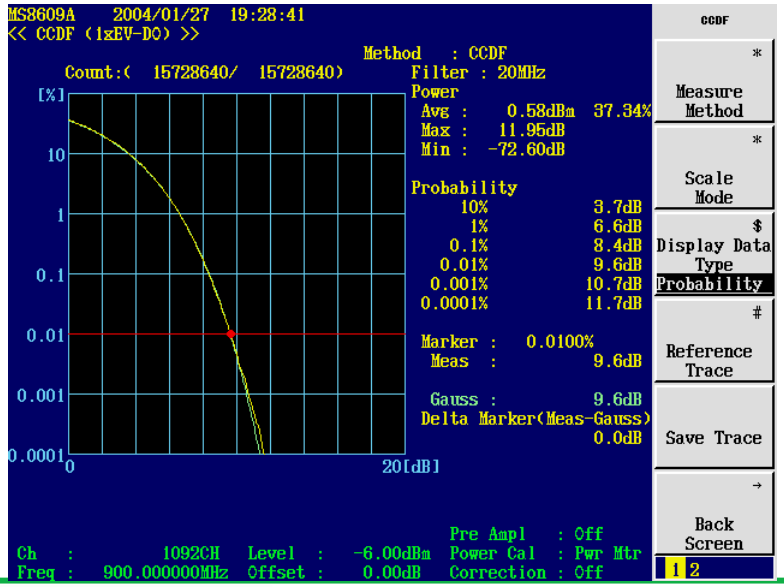


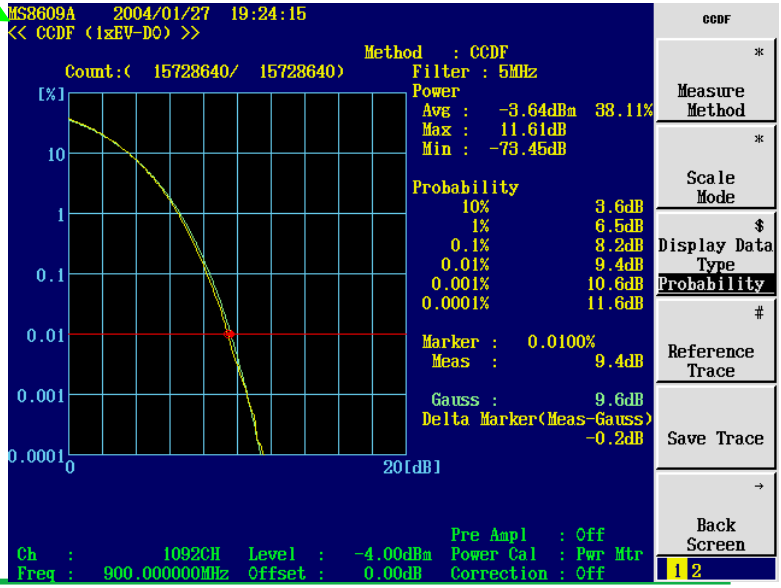


CCDF

- **Active slot**
  - » シングルキャリア
  - » 2キャリア
  - » 8キャリア

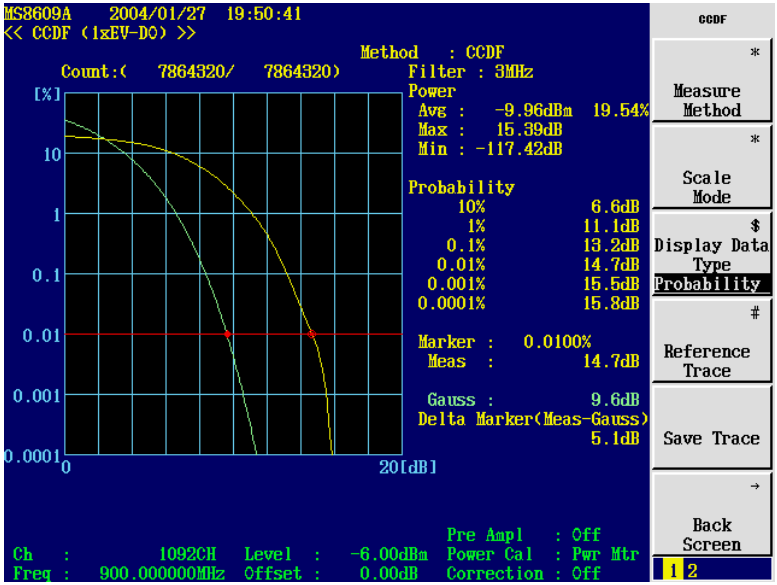






CCDF

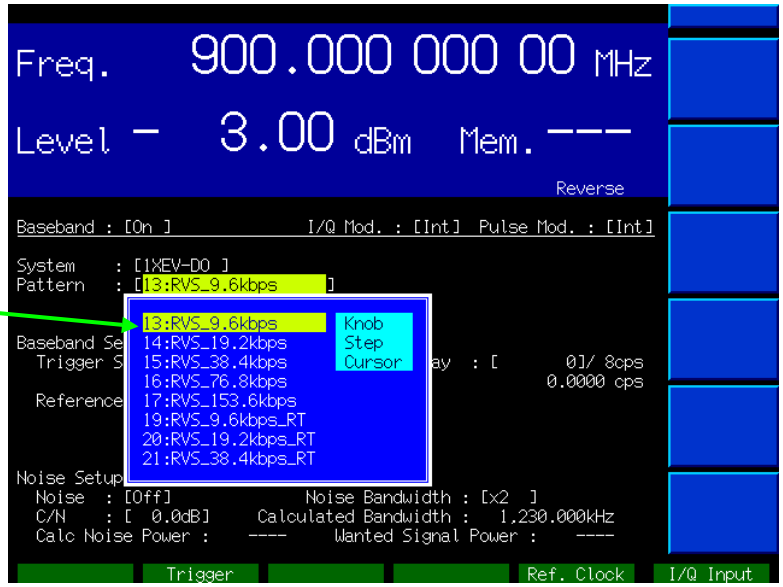
- **Idle slot**
  - » シングルキャリア
    - – 全平均パワー ≈
      Pilot/MACチャネル平均パワー
      - 6.6 dB

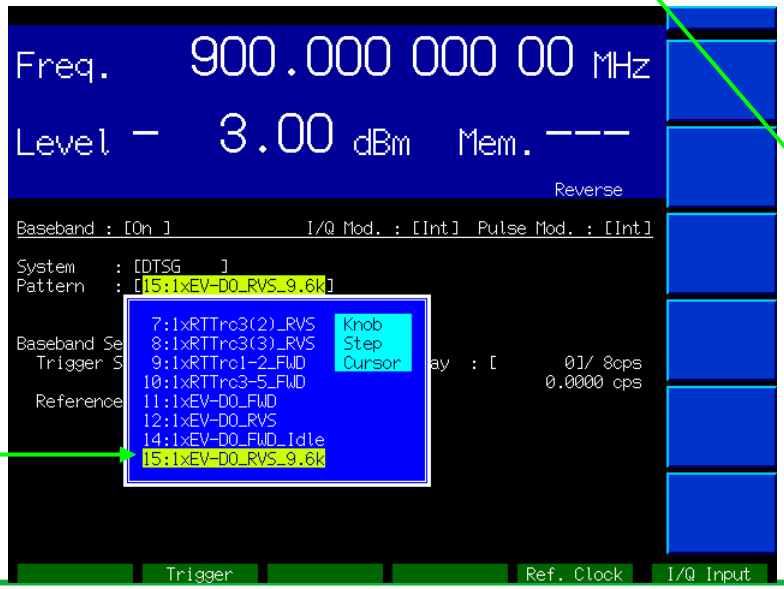


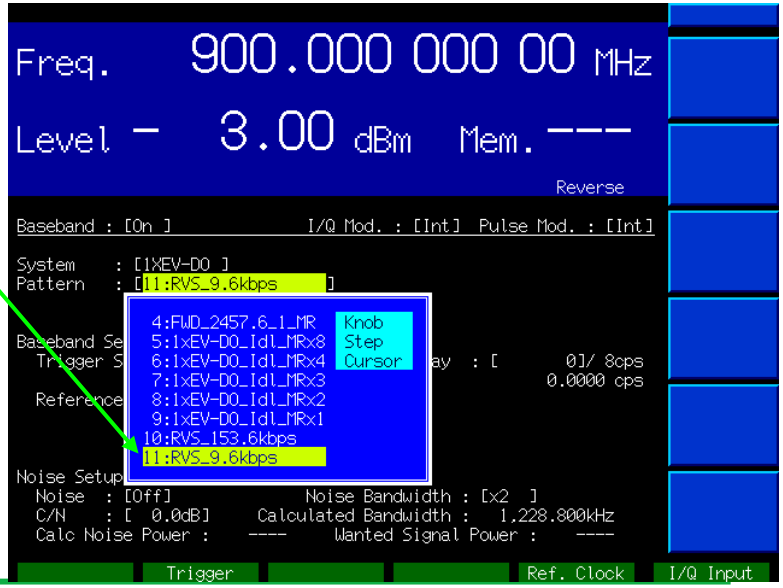
Reverse signal　設定例

ATトランスミッタ テスト
ANレシーバ テスト

- **MX368033A**
  - » 9.6 kbps
  - » 153.6 kbps
- **MX368031A**
  - » 9.6 kbps
  - » 153.6 kbps

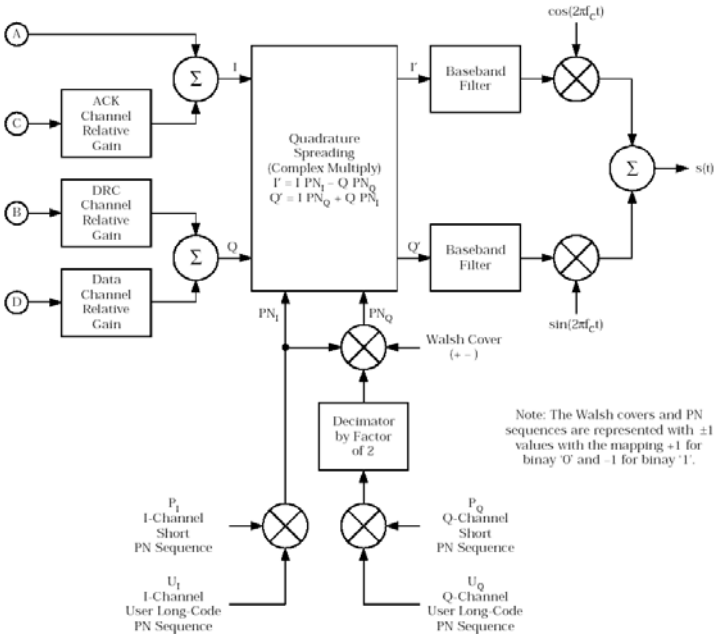






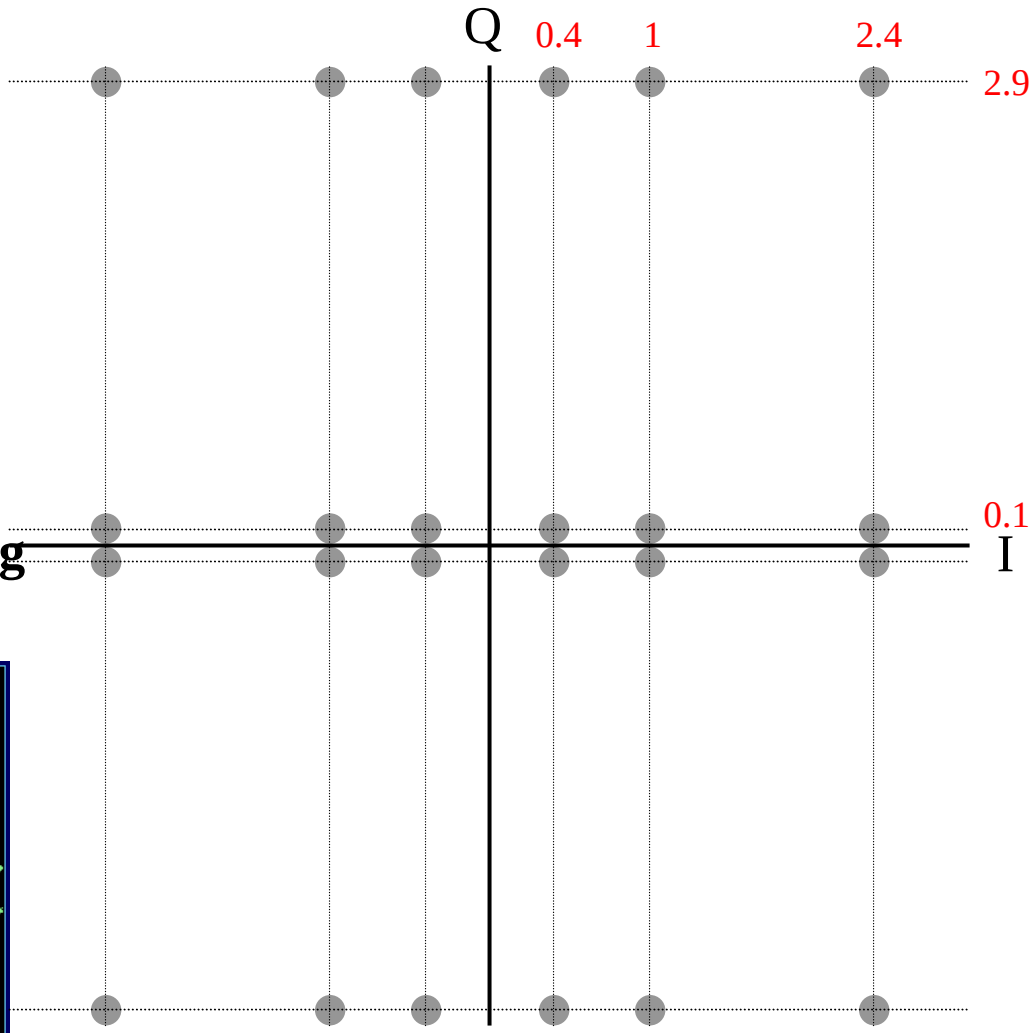
Reverse signal (9.6 / 153.6 kbps) の考察

- **I**
  - » Pilot Channel 0 dB
  - » ACK Channel 3 dB
- **Q**
  - » DRC Channel 3 dB
  - » Data Channel 3.75 dB (9.6 kbps)
    6.75 dB (19.2 kbps)
    9.75 dB (38.4 kbps)
    13.25 dB(76.8 kbps)
    18.5 dB (153.6 kbps)

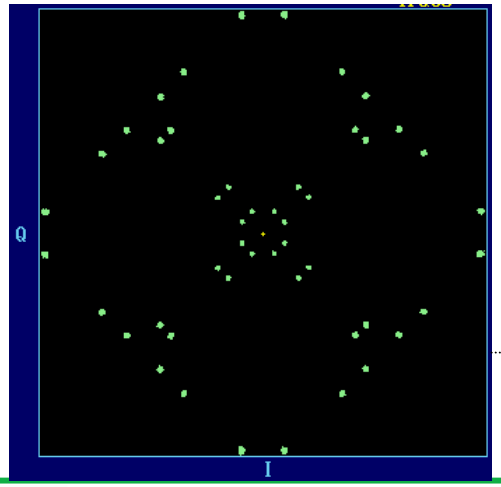


9.6 kbps Constellation

- **I**
  - » Pilot Channel 1
  - » ACK Channel ≈1.4
    - – Half-slot transmission
- **Q**
  - » DRC Channel ≈ 1.4
  - » Data Channel ≈ 1.5

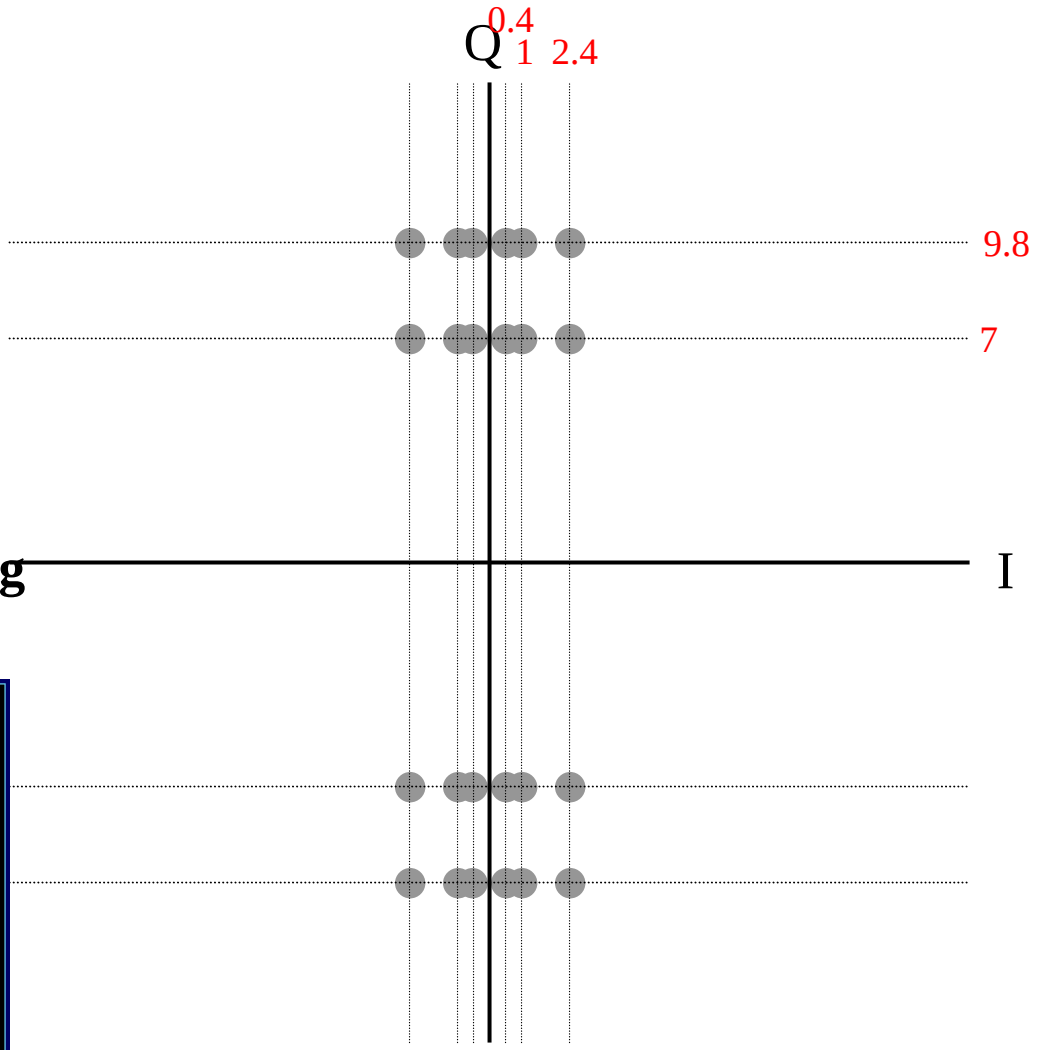


IQをプロットした右図が、Spreadingにて45°傾き、90°回転する

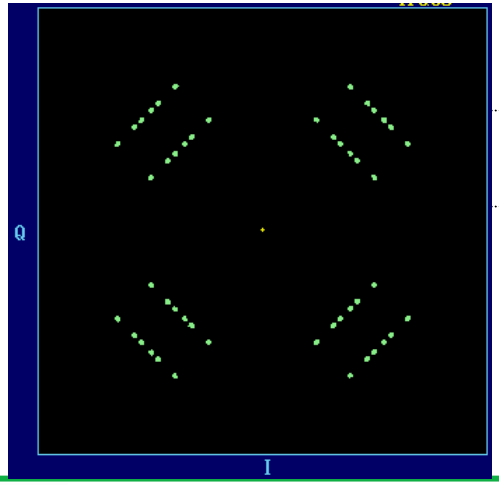


153.6 kbps Constellation

- **I**
  - » Pilot Channel 1
  - » ACK Channel ≈1.4
    - – Half-slot transmission
- **Q**
  - » DRC Channel ≈ 1.4
  - » Data Channel ≈ 8.4



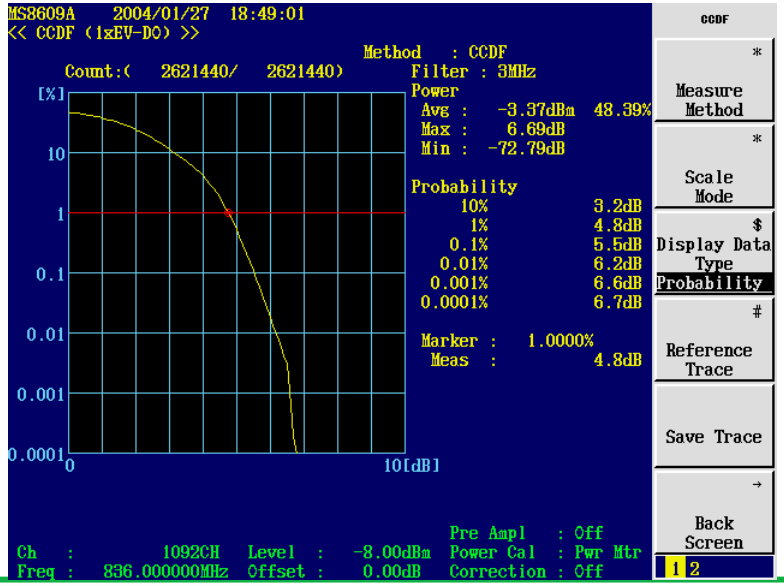
IQをプロットした右図が、Spreading にて45°傾き、90°回転する



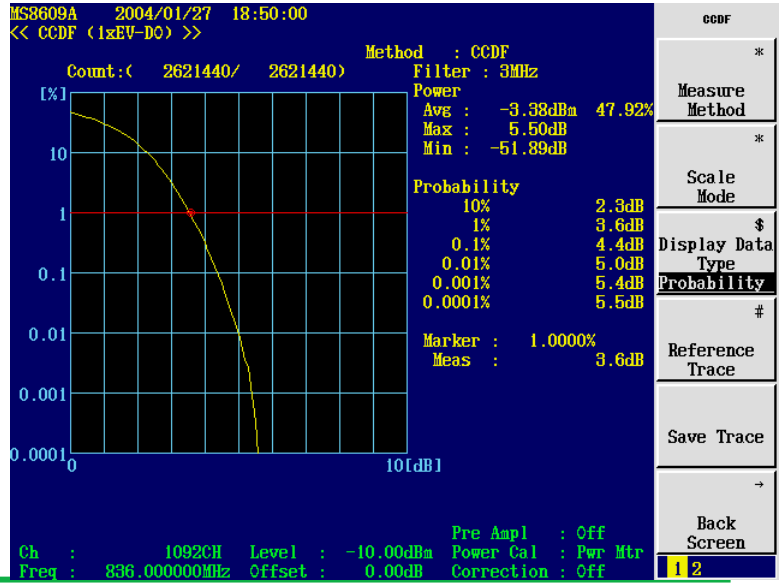
CCDF

- Constellationの結果から、9.6 kbps側が、ピークが発生しやすい
- 3GPP2では、ρテストは9.6 kbpsで、Spuriousテストは153.6 kbpsであると規定されているが、ピークが発生しやすい9.6 kbpsも十分考慮しておく必要がある

9.6 kbps



153.6 kbps



CDMA2000 1X 3GPP2 BSテスト

3GPP2 C.S0010 -B v1
3 Receiver Minimum Standards
4 Transmitter Minimum Standards

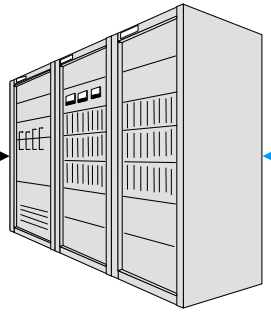
Section	Test	Wanted signal generator	Interfering signal generator	CW generator	AWGN generator	他
3.4 3.4.1	Reverse Traffic Channel Demodulation Performance Performance in AWGN	MG3681A +MU368030A +MX368031A			MG3681A +MU368060A	MA1612A 3GHz Combiner
3.5.1	Receiver Sensitivity					
3.5.2	Receiver Dynamic Range				MG3681A +MU368060A	MA1612A 3GHz Combiner
3.5.3	Single Tone Desensitization		MG3681A or 3GHz	MG3642A 2.08GHz		
3.5.4	Intermodulation Spurious Response Attenuation		MG3681A			
3.5.5	Adjacent Channel Selectivity		MG3681A +MU368030A +MX368031A			
3.5.6	Receiver Blocking		MG3681A or 3GHz	MG3692A 20GHz or MG3642A 2.08GHz		
3.7	Received Signal Quality Indicator (RSQI)				MG3681A +MU368060A	
4.4.3	Inter-Base Station Transmitter Intermodulation		MG3681A +MU368030A +MX368031A (+MG3681A-42)			Spectrum analyzer Circulator

Inter-Base Station Transmitter Intermodulation テストの接続例

Interfering signal generator
MG3681A
+MU368030A+MX368031A
(+MG3681A-42)



Circulator



コントローラ

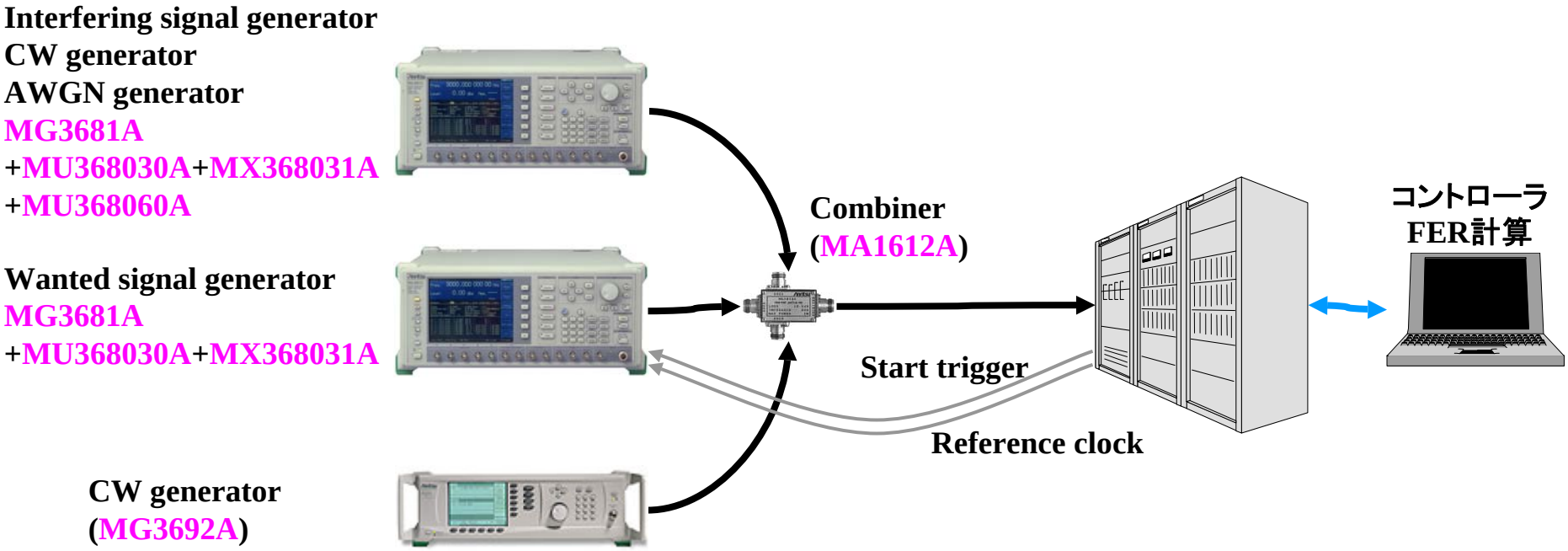


Spectrum analyzer
MS8608A/8609A
+MX860803A/860903A



- コントローラ
  - FTM Factory Test Mode コントロールにて、送信状態に起動

Receiver テストの接続例



- Start trigger
  - フロントパネル [Trigger] Input
    1つだけ適用
    - 20 ms frame clock
    - 80 ms clock (Alignment of frame clock and zero PN offset 26.67 ms clock)
    - 2 sec clock (Even second time mark)
- Reference clock
  1つだけ適用
  - フロントパネル [Ref. Clock] Input
    - 8× 1.2288 MHz (9.8304 MHz)
  - リアパネル [10MHz/13MHz Ref] Input
    - 10 MHz, 13 MHz
- コントローラ
  - FTM Factory Test Mode コントロールにて、Reverseトラフィックチャネルを受信可能状態に起動
  - 復調したトラフィックチャネルフレーム毎のCRCをチェックしFERを計算

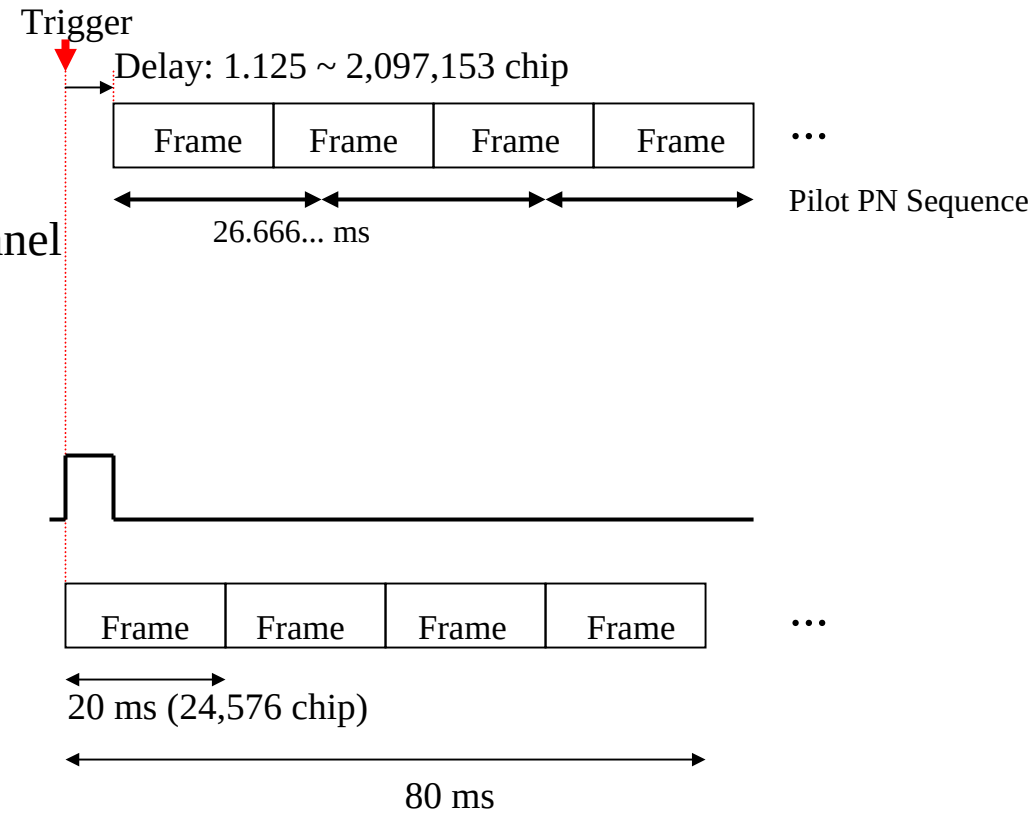
タイミングの同期　　設定例

- **Start trigger ディレイ**
  - » MSがReverseトラフィックチャネルを受信できるタイミングを設定

Reverse Traffic Channel
- Pilot Channel
- Dedicated Control Channel
- Fundamental Channel
- Supplemental Channel

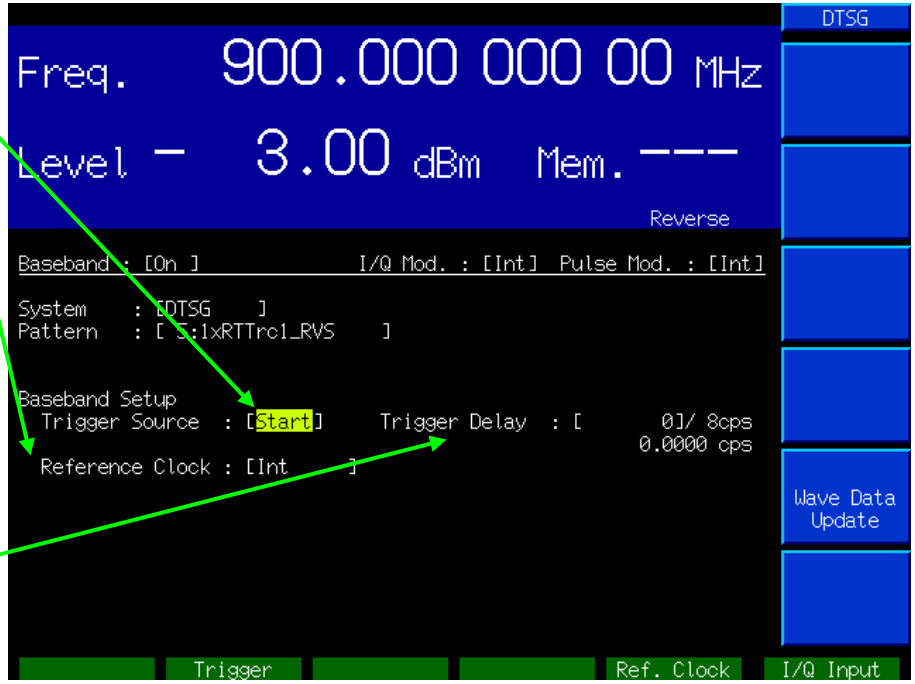
Start trigger

Forward Traffic Channel



タイミングの同期　　設定例

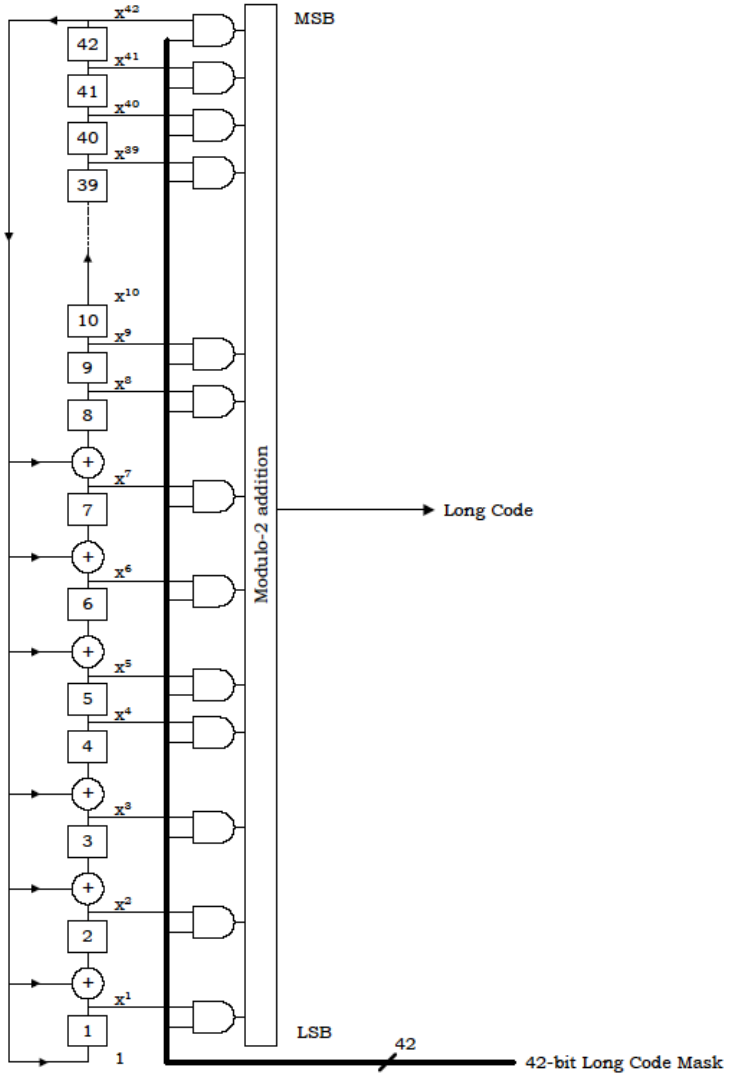
- **外部Start trigger 指定**
  - » Triggerを一度のみ捕捉/同期
- **Reference clock:**
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 8× 1.2288 MHz (9.8304 MHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]



- **Start trigger ディレイ**
  - » 0 ~ 16,777,215 /8 chip
    1/8 chip 分解能
  - » Triggerからのディレイ
    + 9/8 chip
    - – 1.125 ~ 2,097,153 chip

Long Code Maskの同期

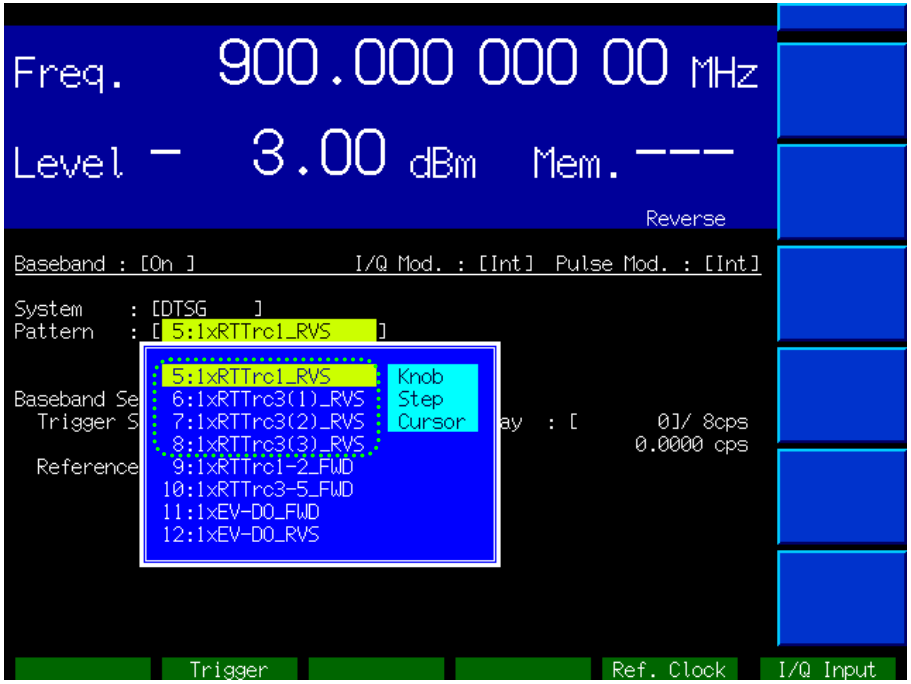
- **Reverse Traffic Channel Long Code Mask**
  - » 42ビット PNシーケンス
- **BSをセット**
  - » 00000000000



Wanted signal generator　設定例

- **Reverse Traffic Channel**

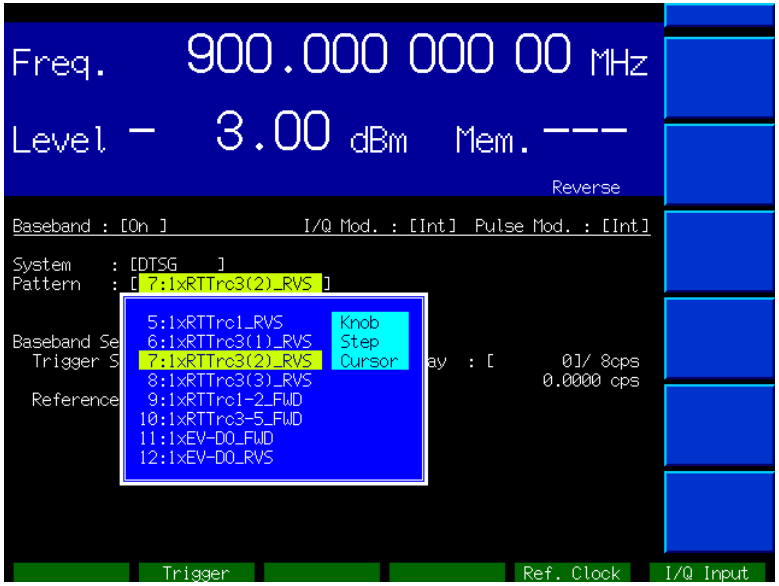
Test Mode	Forward Traffic Channel Radio Configuration	Reverse Traffic Channel Radio Configuration
1	1	1
2	2	2
3	3	3
4	4	3
5	5	4
6	6	5
7	7	5
8	8	6
9	9	6

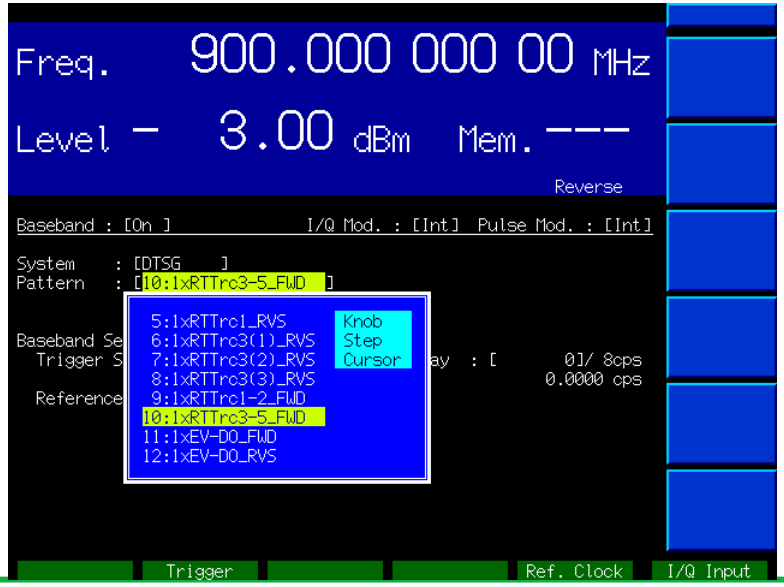


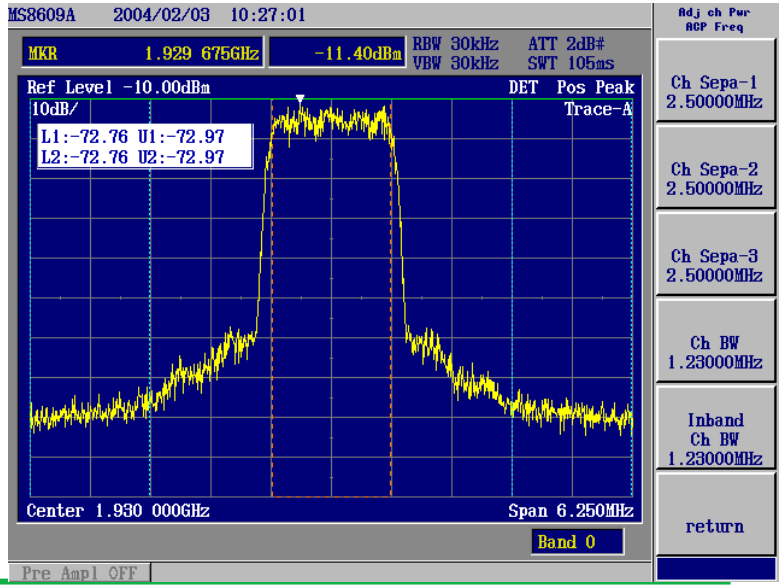
Interfering signal generator　設定例

- **RC 3 signal**
  - » Adjacent Channel Selectivity テスト

- **External Base Station**
  - » Inter-Sector Transmitter Intermodulation テスト

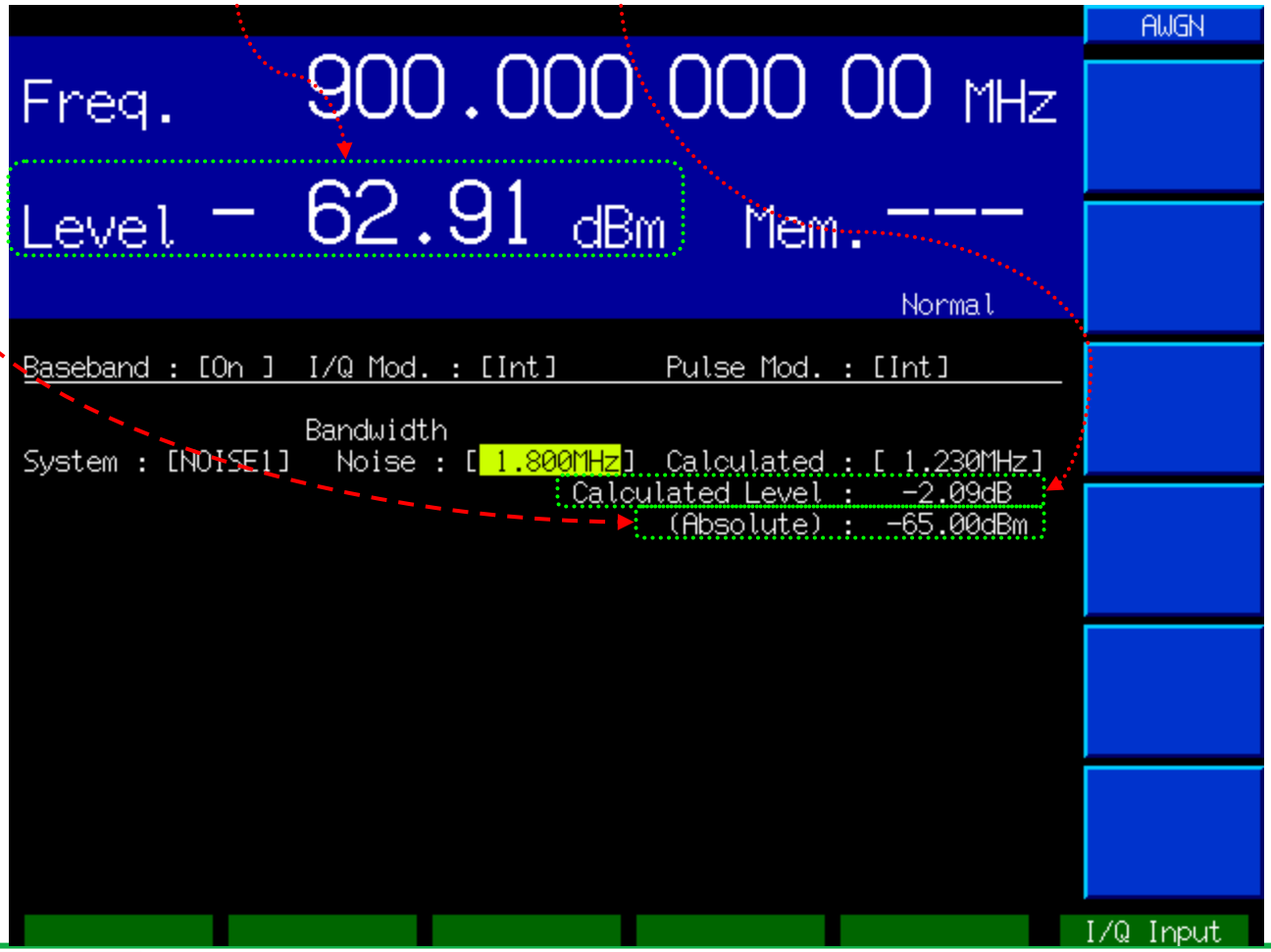






AWGN generator　設定例

- **AWGNソース**
  - » Ioc=トータルレベル+帯域幅換算レベル

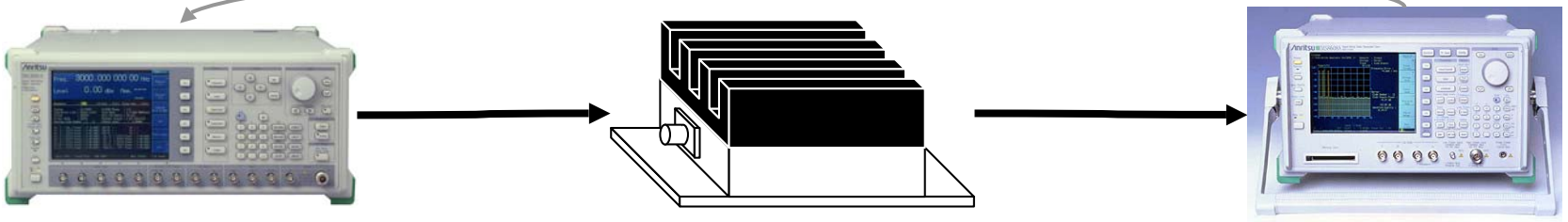


RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368031A
or
+MU368040A+MX368042A

シグナルアナライザ
(MS8600/MS2680)

Reference clock



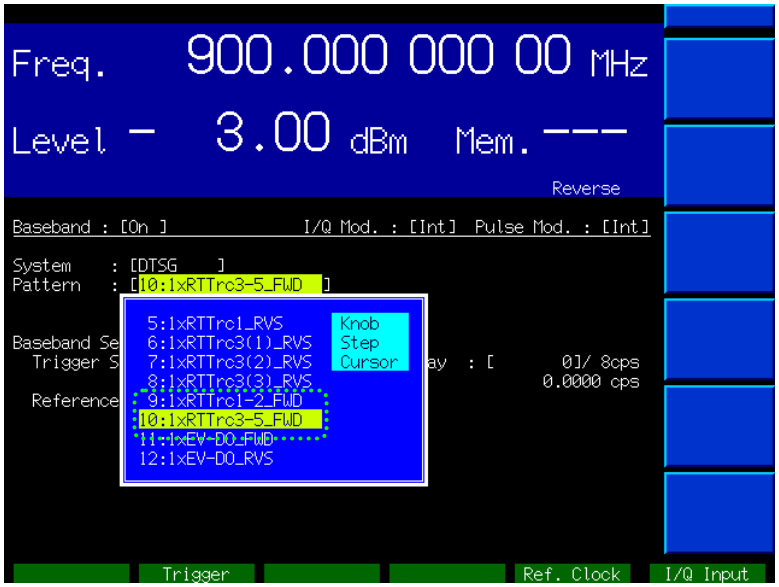
Forward signal 設定例

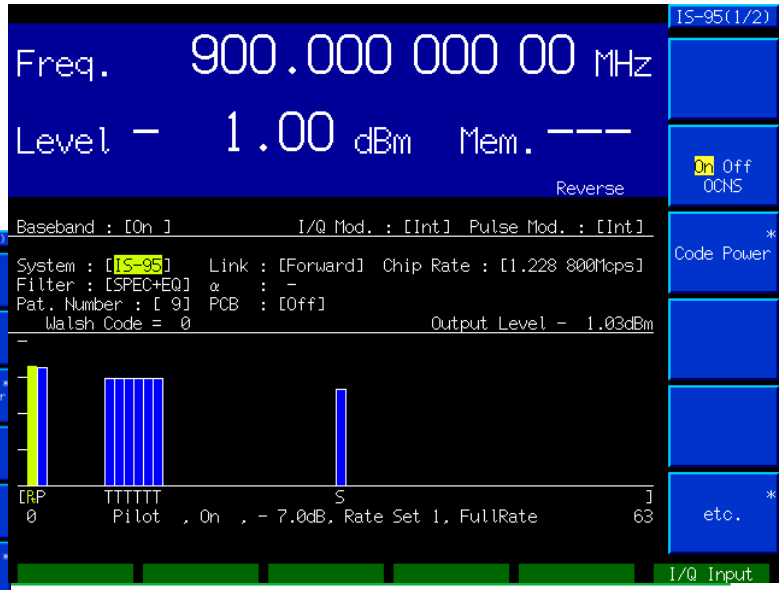
BSトランスミッタ テスト
MSレシーバ テスト

- **MX368031A**
  - » RC 1/2
  - » RC 3/4/5

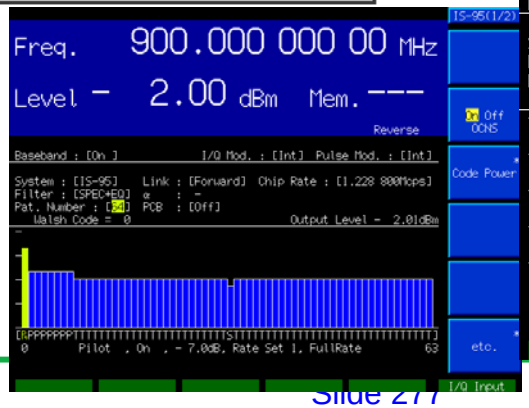
Table 6.5.2-3. Base Station Test Model, General

Channel Type	Relative Power
Pilot	0.2 of total power (linear)
Sync+Paging+Traffic	Remainder (0.8) of total power (linear)
Sync	3 dB less than one Fundamental Traffic Channel; always 1/8 rate
Paging	3 dB greater than one Fundamental Traffic Channel; full rate only
Traffic	Equal power in each Fundamental Traffic Channel; full rate only



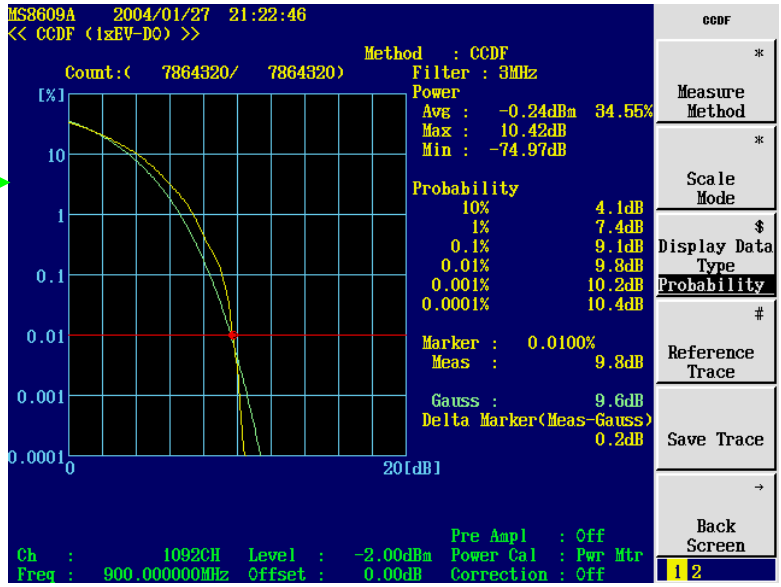


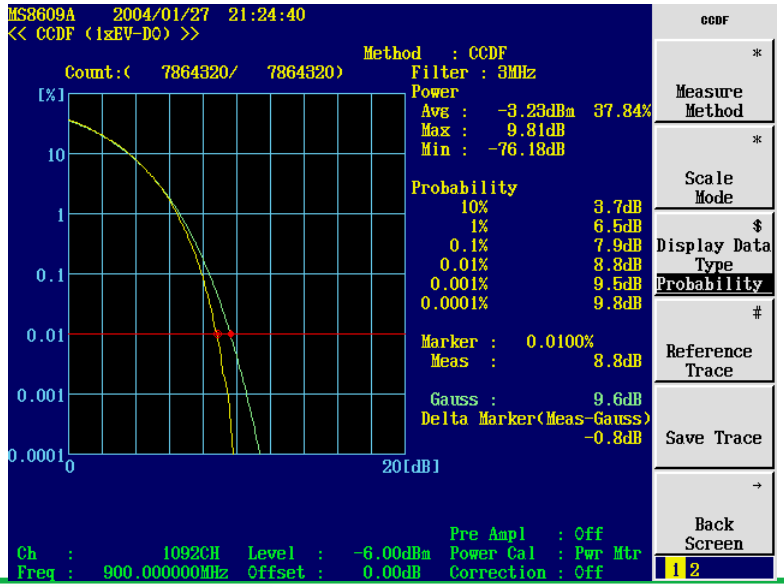
- **MX368042A**
  - » RC 1
  - » RC 2

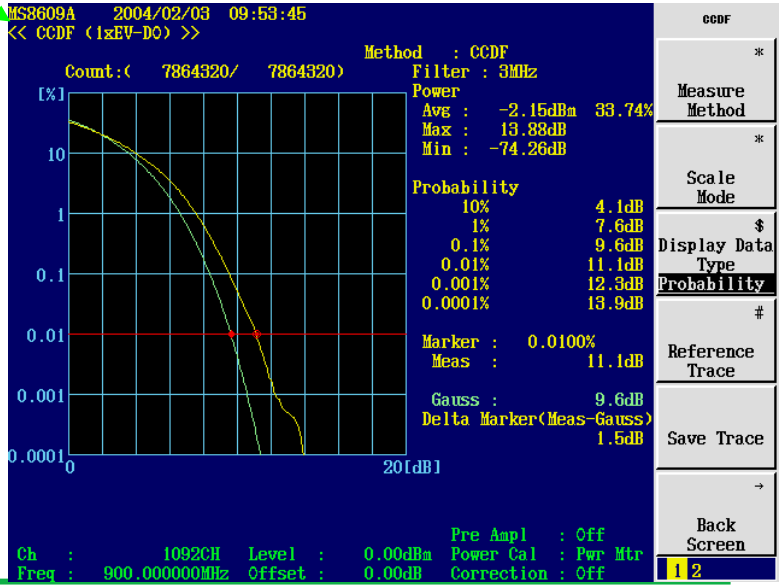


CCDF

- **RC 1/2**
  - » 9チャネル
  - » 64チャネル
- **RC 3/4/5**





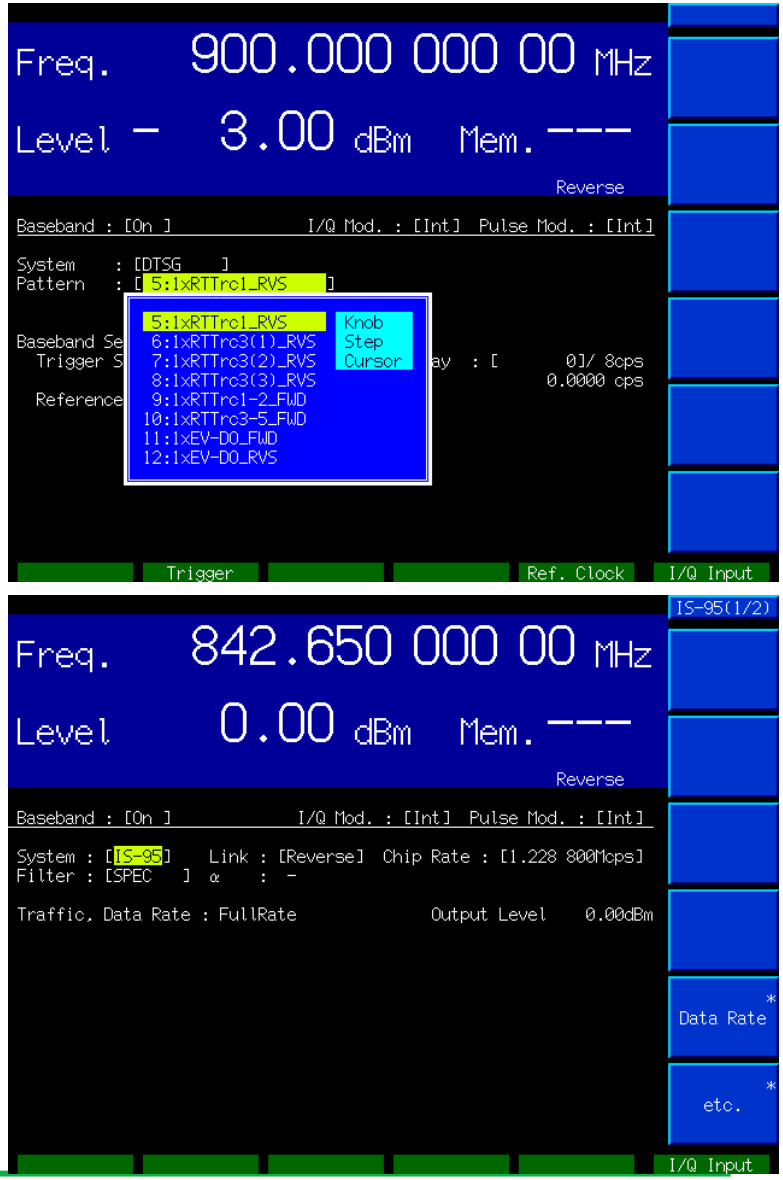


Reverse signal　設定例

MSトランスミッタ テスト
BSレシーバ テスト

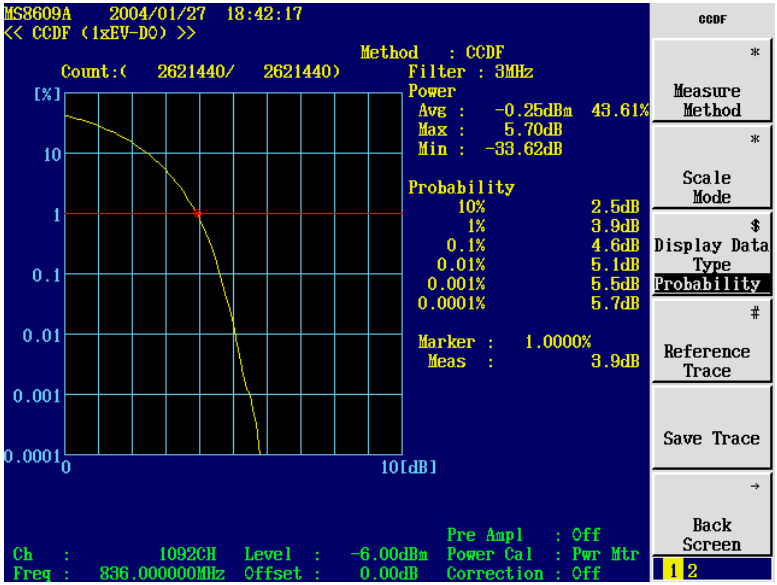
- **MX368031A**
  - » RC 1
  - » RC 3
    - – FCH + PICH
    - – FCH + SCH + PICH
    - – DCCH + PICH

- **MX368042A**
  - » RC 1



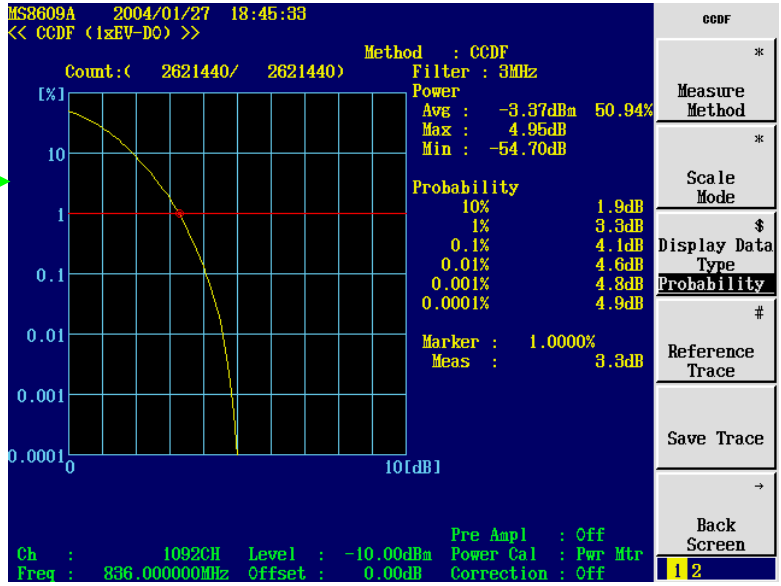
CCDF

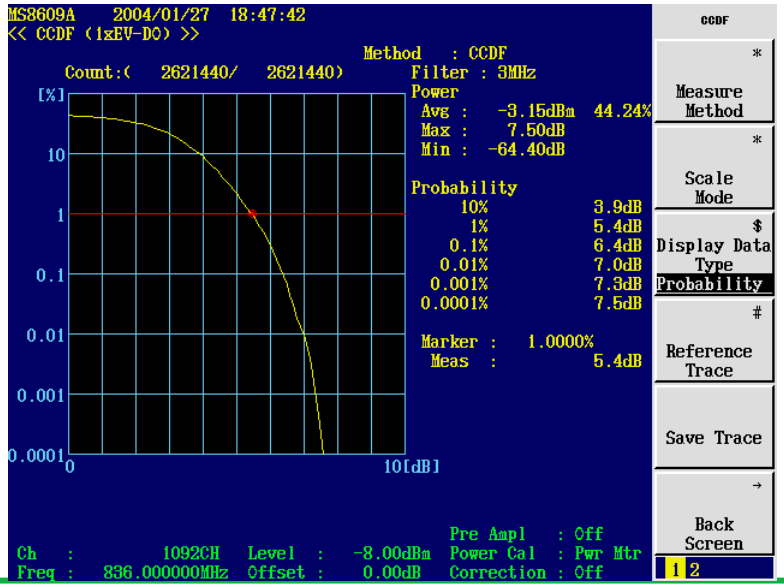
- **RC 1/2**

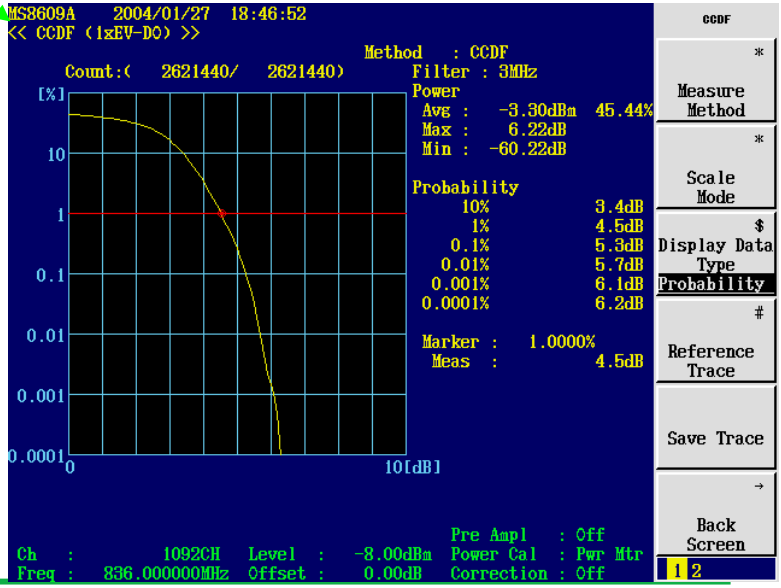

MS8609A 2004/01/27 18:42:17
<< CCDF (1xEV-DO) >>
Method : CCDF
Count:(2621440/ 2621440) Filter : 3MHz
Power
Avg : -0.25dBm 43.61%
Max : 5.70dB
Min : -33.62dB
Probability
10% 2.5dB
1% 3.9dB
0.1% 4.6dB
0.01% 5.1dB
0.001% 5.5dB
0.0001% 5.7dB
Marker : 1.0000%
Meas : 3.9dB
[%]
10
1
0.1
0.01
0.001
0.0001
0
10[dB]
Ch : 1092CH Level : -6.00dBm
Freq : 836.000000MHz Offset : 0.00dB
Pre Ampl : Off
Power Cal : Pwr Mtr
Correction : Off
CCDF
Measure Method
Scale Mode
Display Data Type
Probability
Reference Trace
Save Trace
Back Screen
1 2

CCDF

- **RC 3**
  - » FCH + PICH
  - » FCH + SCH + PICH
  - » DCCH + PICH





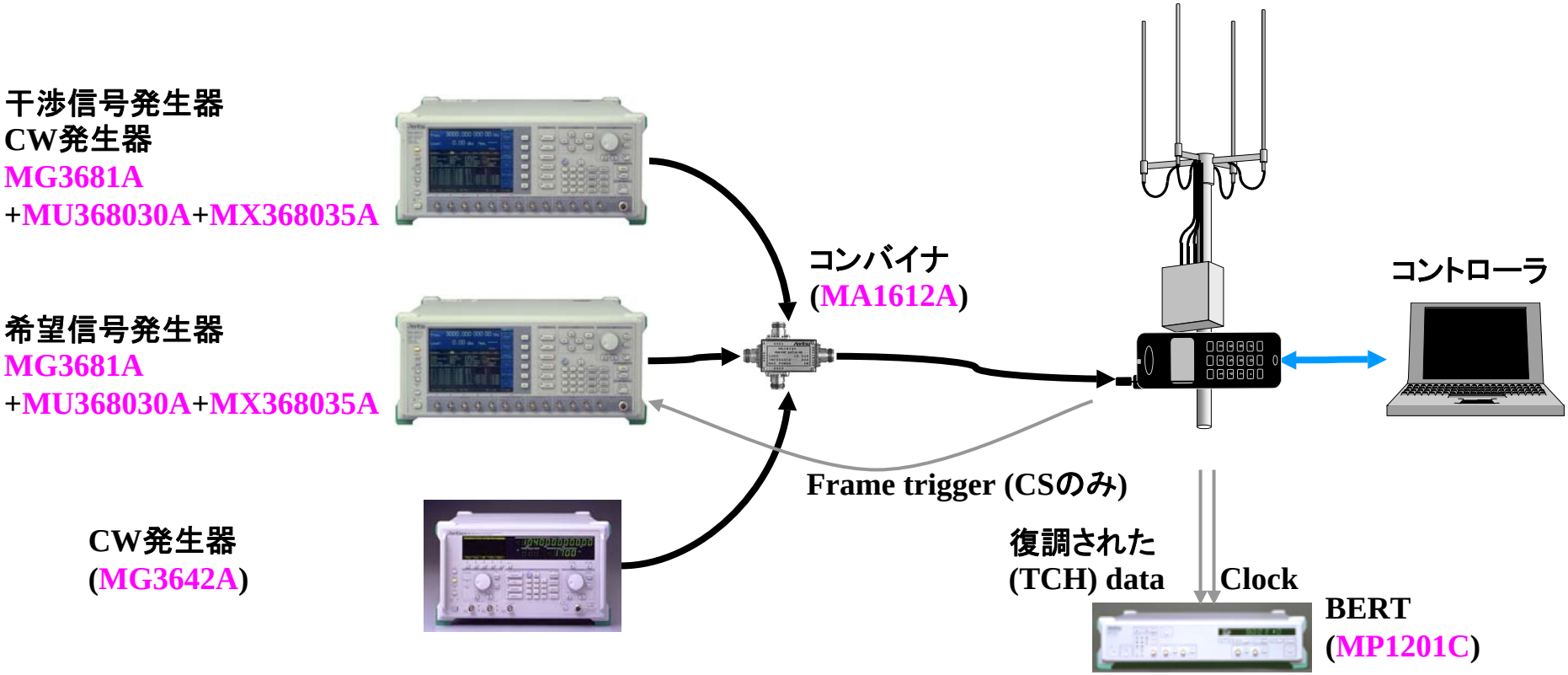


PHS RCR STD-28 CS/PSテスト

RCR STD-28 V4.0
3.4.3 7.2 Receiver Test

規格	測定法	テスト	希望信号 発生器	干渉信号 発生器	CW 発生器	BERT	他
3.4.3.2	7.2.1	受信感度	MG3681A +MU368030A +MX368035A			MP1201C	
3.4.3.4	7.2.2	隣接チャネル選択度		MG3681A +MU368030A +MX368035A			MA1612A 3GHz
3.4.3.5	7.2.3	相互変調特性		MG3681A	MG3642A		
3.4.3.6	7.2.4	スプリアス感度		MG3681A or 3GHz	MG3642A 2.08GHz		
3.4.3.9	7.2.8 7.2.8.3	受信レベル検出精度 受信レベルの値を表示					
3.4.3.10	7.2.9	ビット誤り率フロア特性				MP1201C	

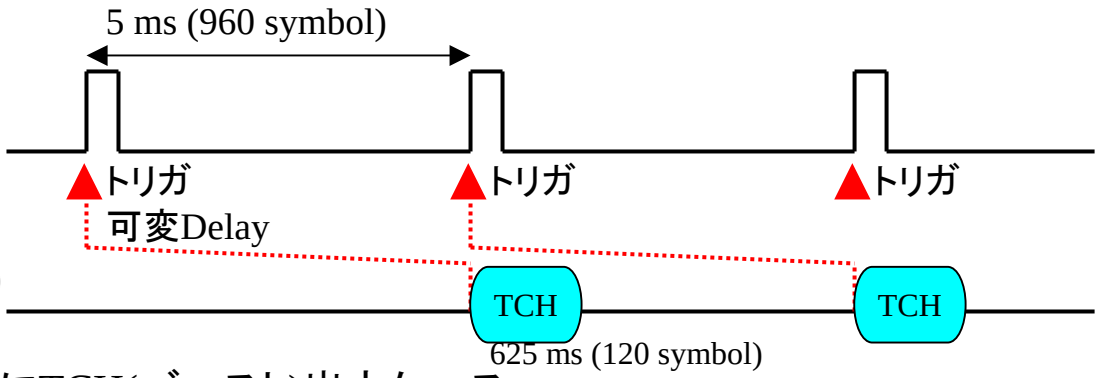
レシーバテスト　接続例



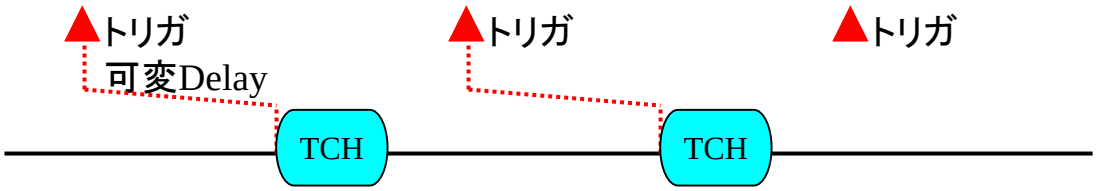
- Frame trigger
  - フロントパネル [Trigger] Input
    - 5 ms clock
- コントローラ
  - FTM Factory Test Mode コントロールにて、TCHを受信可能状態に起動

CSレシーバ　タイミングの同期　設定例

- **Frame trigger ディレイ**
  - » CSが上りTCHを受信できるタイミングを設定
    - – Frame trigger 入力
    - – 上りTCH(バースト) 出力



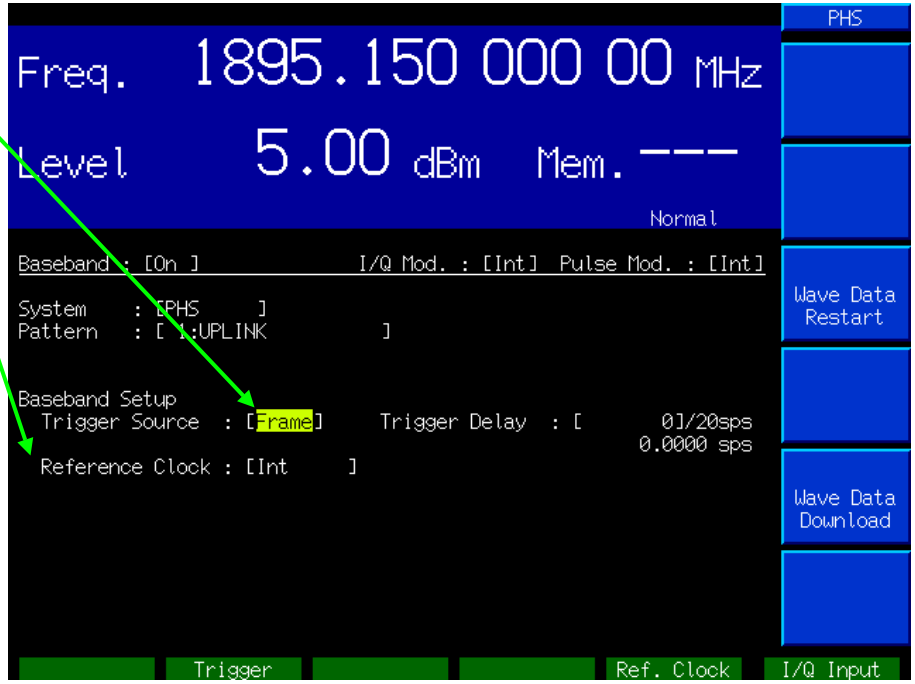
- トリガから5 ms後にTCH(バースト)出力ケース
  - – MG3670シリーズ “Trigger Select: Uplink”



- トリガから2.5 ms後にTCH(バースト)出力ケース
  - – MG3670シリーズ “Trigger Select: Downlink”

CSレシーバ　タイミングの同期　設定例

- **外部Frame trigger 指定**
  - » 5 ms clockのTriggerを捕捉/同期
- **Reference clock:**
  同期誤差 ±1/20 symbol以内のジッタを解消したい場合に適用
  - – MG3670シリーズ ±1/16 symbol以内のジッタ
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 20× 192 kHz (3,840 kHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]

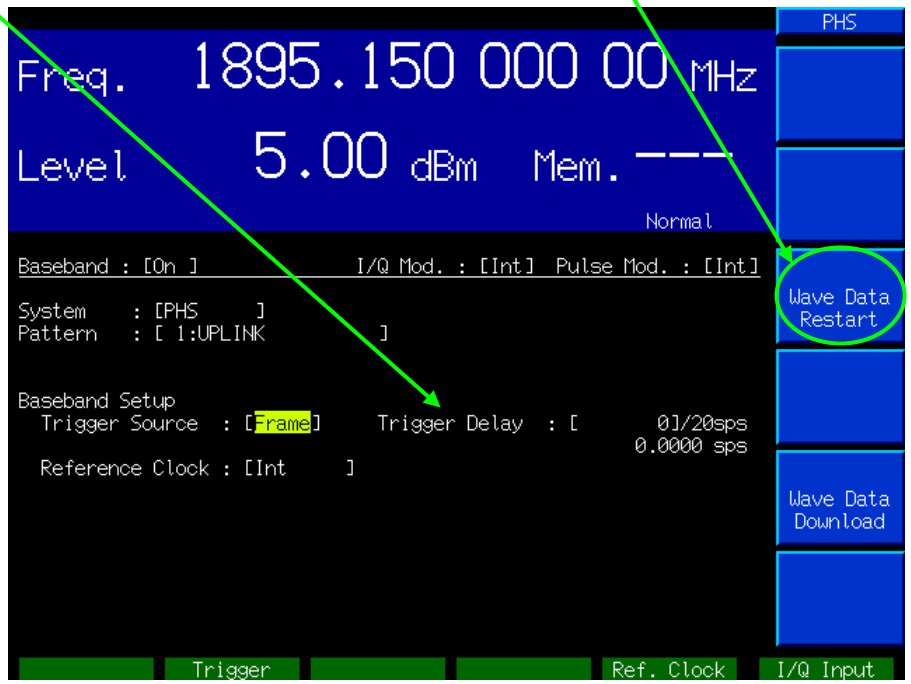


CSレシーバ　タイミングの同期　設定例

- **Frame trigger ディレイ**
  - » 0 ~ +16,777,215 /20 symbol
    1/20 symbol 分解能
  - » Triggerからのディレイ
    + 2.55 symbol
    – 2.55 ~ 838,863.3 symbol

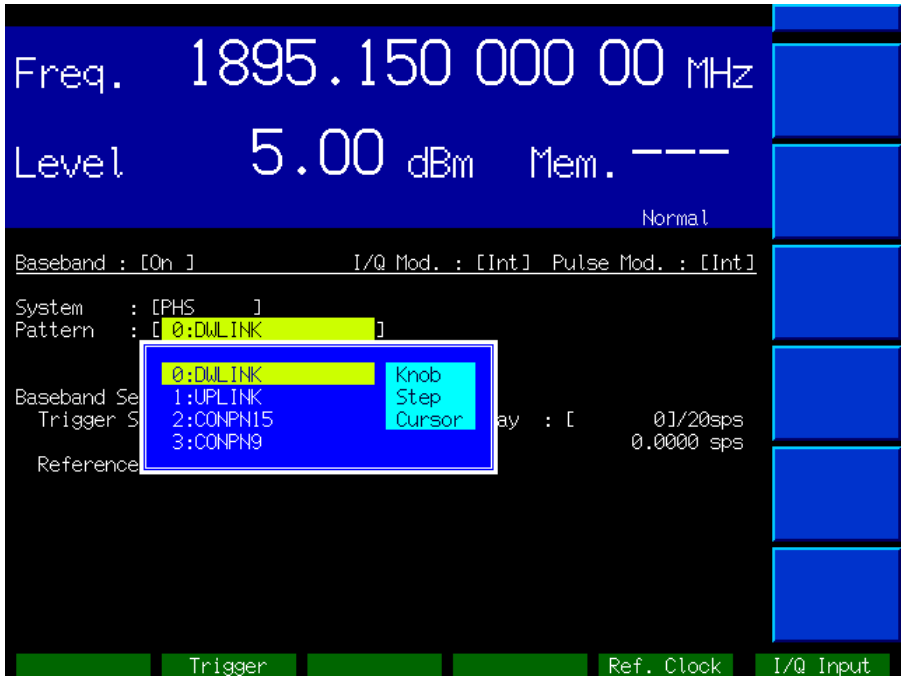
  e.g.
  - » Triggerから5 ms後にTCH (バースト)出力ケース
    - 19,149 /20 symbol
    – MG3670シリーズ “Trigger Select: Uplink” と同等
      - 19,171 /20 symbol
        – + 0.614 + 0.5 symbol
  - » Triggerから2.5 ms後にTCH (バースト)出力ケース
    - 9,549 /20 symbol
    – MG3670シリーズ “Trigger Select: Downlink” と同等
      - 9,571 /20 symbol
        – + 0.614 + 0.5 symbol

- **Trigger 再捕捉/同期**



希望/干渉 信号発生器　　設定例

- 希望信号発生器
  - » CSテスト
    - – Uplink
  - » PSテスト
    - – Downlink
- 干渉信号発生器
  - – CONPN15

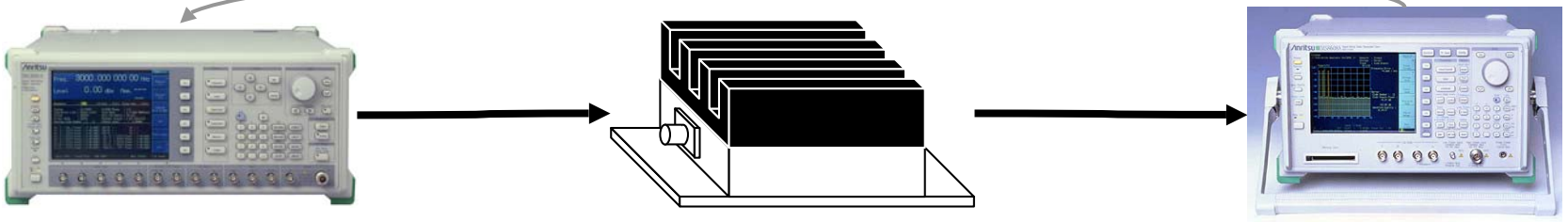


RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368035A
or
+MU368030A+MX368031A

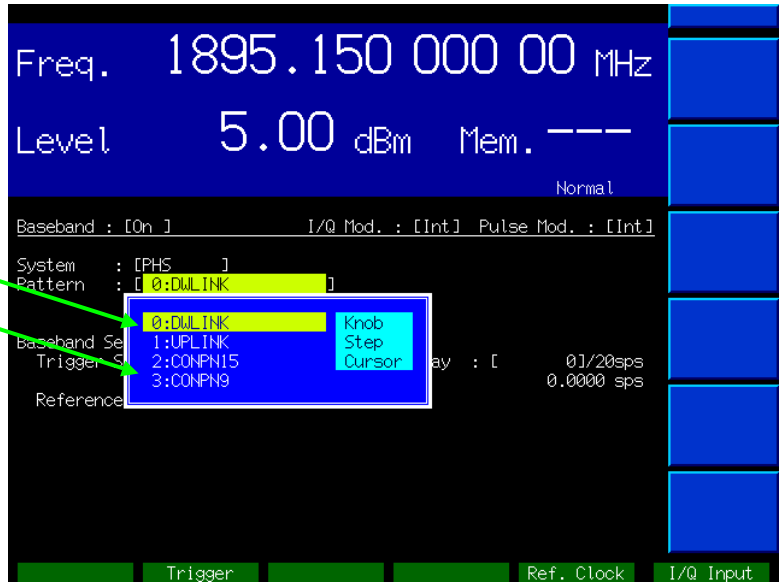
シグナルアナライザ
(MS8600/MS2680)

Reference clock

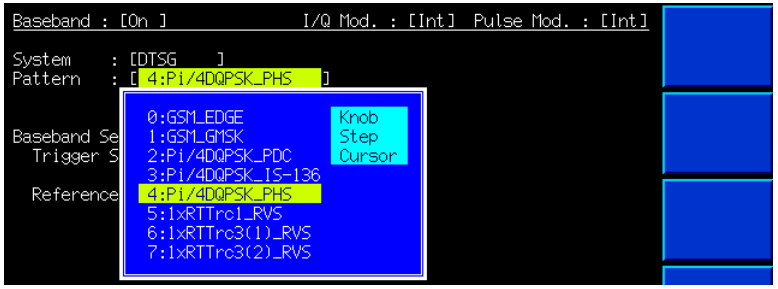


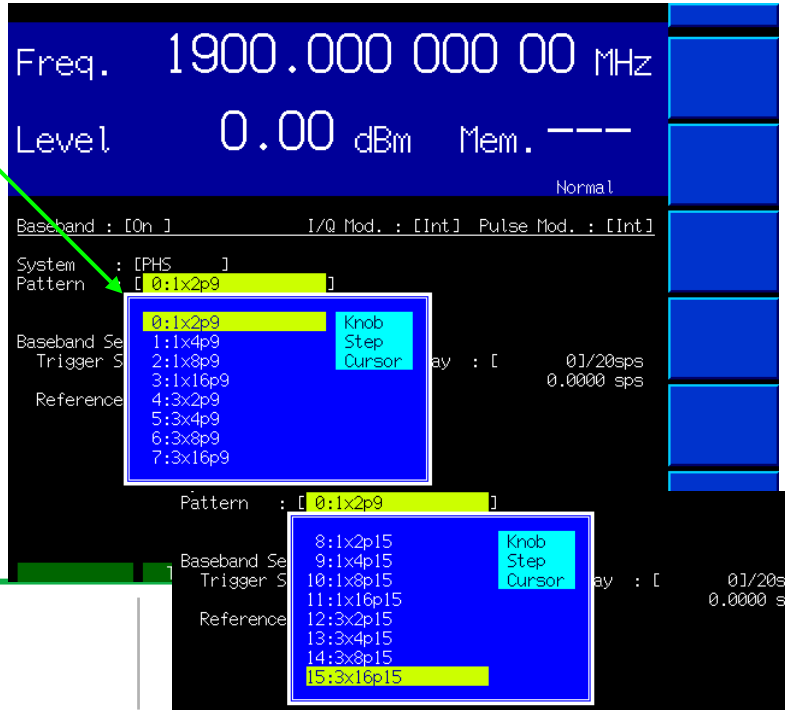
Signal　設定例

- **MX368035A**
  - » π/4DQPSK変調
    - – TCH(バースト)フォーマット
    - – 連続変調フォーマット
  - » 16QAM変調
  - » 8PSK変調
  - » QPSK変調
  - » BPSK変調
    - – 連続変調フォーマット



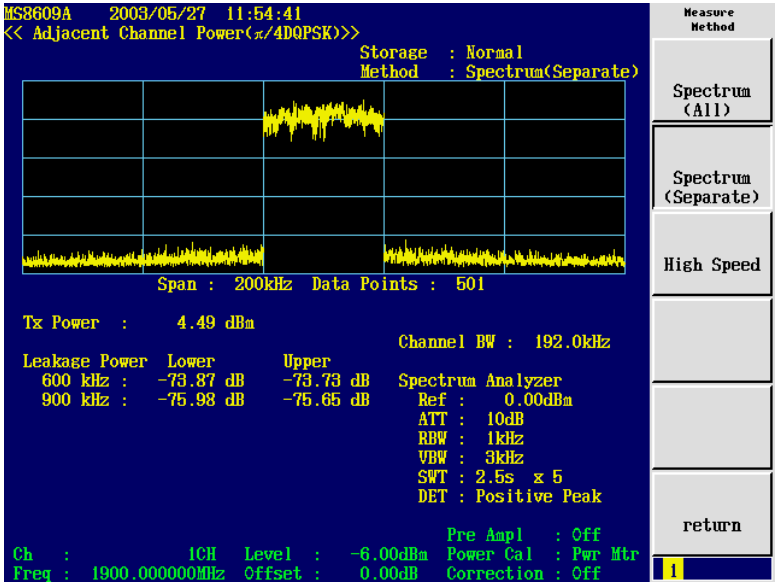
- **MX368031A**
  - » π/4DQPSK変調
    - – 連続変調フォーマット



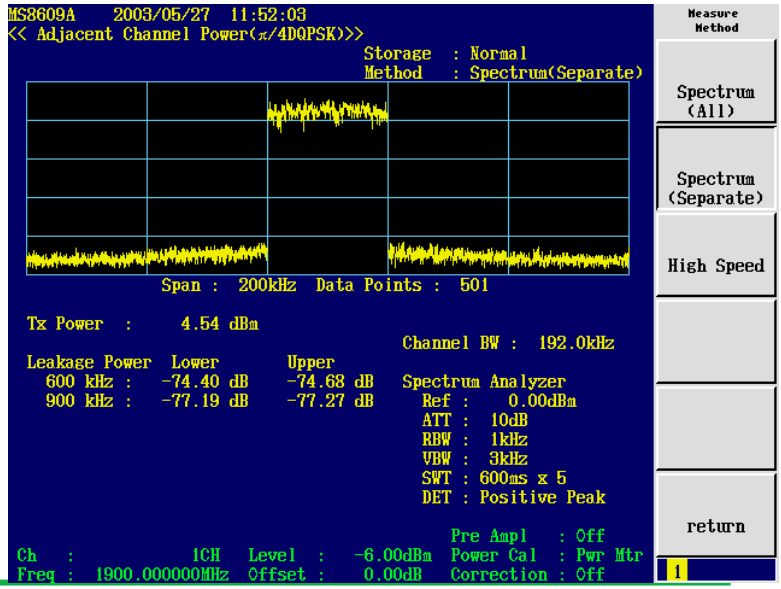


隣接チャネル漏洩電力比の対比

- **バースト (TCH)フォーマット**
  - » 600 kHz: +0.5 ~ +1 dB
  - » 900 kHz: +1 ~ +2 dB



- **連続変調フォーマット**

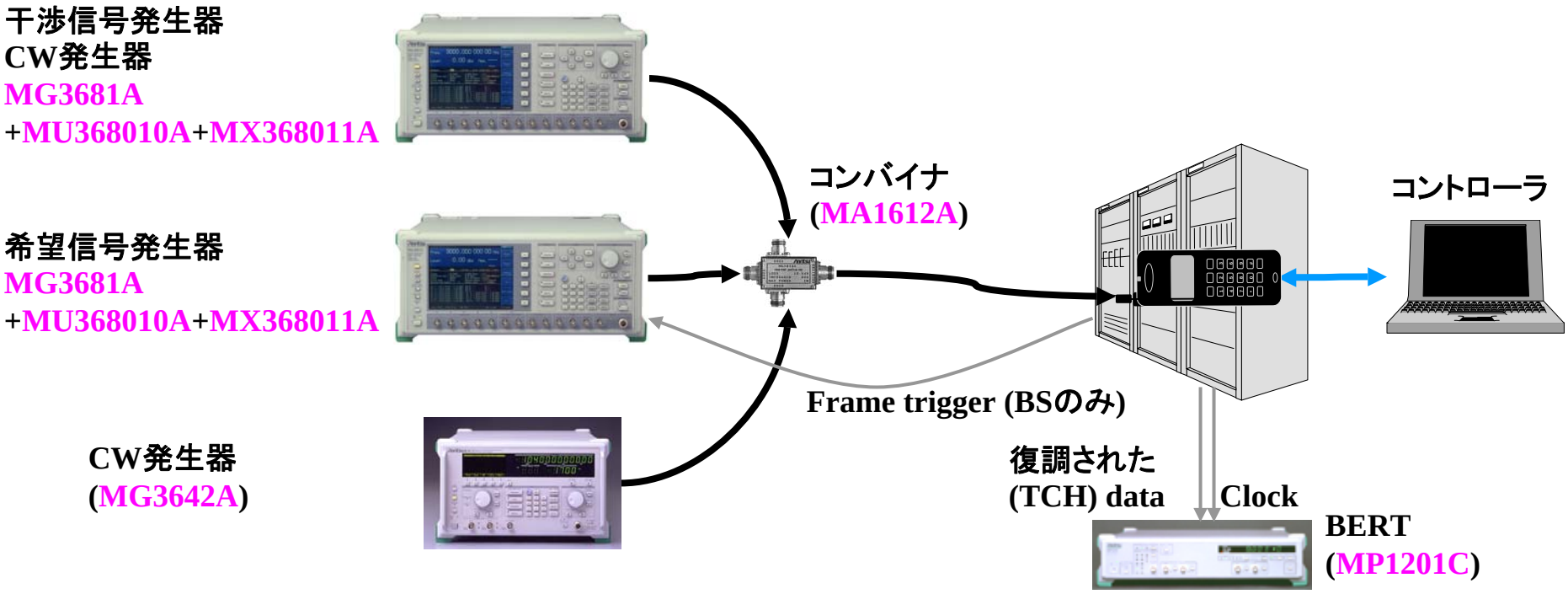


PDC RCR STD-27 BS/MSテスト

RCR STD-27K
3.4.3 6.2 Receiver Test

規格	測定法	テスト	希望信号発生器	干渉信号発生器	CW発生器	BERT	他
3.4.3.2	6.2.1	受信感度	MG3681A +MU368010A +MX368011A			MP1201C	
3.4.3.4	6.2.2	隣接チャネル選択度		MG3681A +MU368010A +MX368011A			MA1612A 3GHz
3.4.3.5	6.2.3	相互変調特性		MG3681A	MG3642A		
3.4.3.6	6.2.4	スプリアス感度		MG3681A or 3GHz	MG3642A 2.08GHz		
3.4.3.8	6.2.6	干渉レベル(所要 CIR)		MG3681A +MU368010A +MX368011A			
3.4.3.10	6.2.8	受信レベル検出					
3.4.3.11	6.2.9	回線品質検出精度				MP1201C	

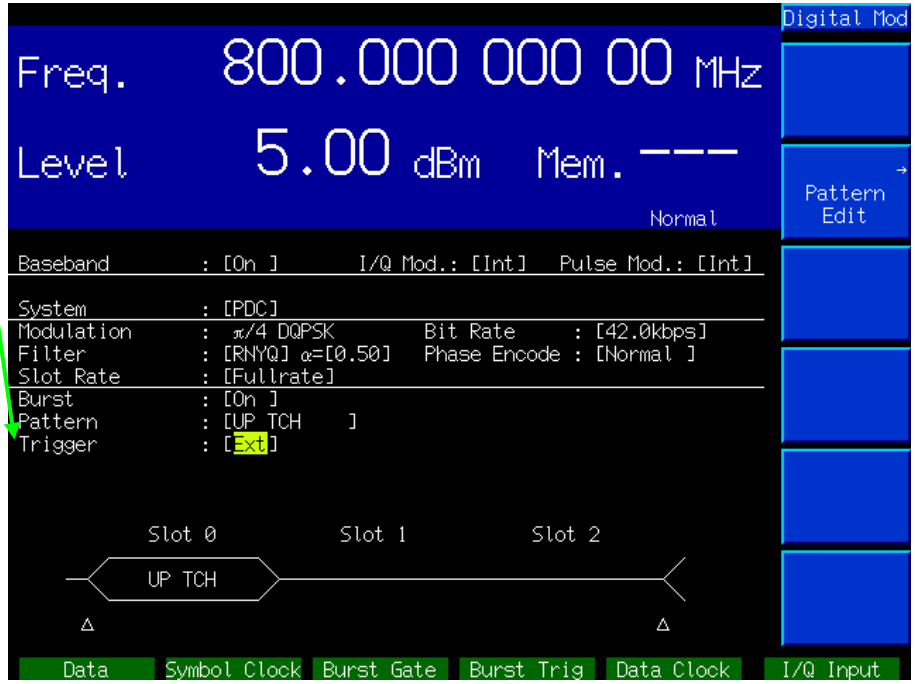
レシーバテスト　接続例



- Frame trigger
  - フロントパネル [Burst Trig] Input
    - 20 ms clock (フルレート), 40 ms clock (ハーフレート)
- コントローラ
  - FTM Factory Test Mode コントロールにて、TCHを受信可能状態に起動

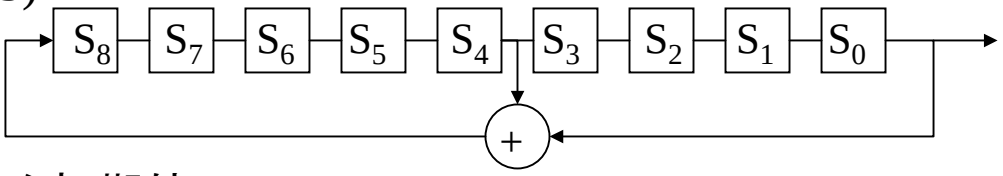
BSレシーバ　タイミングの同期　設定例

- **外部Frame trigger 指定**
  - » 20 ms clock (フルレート)/ 40 ms clock (ハーフレート)のTriggerを捕捉/同期
- **[10MHz/13MHz Ref] Input:**
  同期誤差 ±1/16 symbol以内のジッタを解消したい場合に適用
  - – MG3670シリーズ ±1/16 symbol以内のジッタ

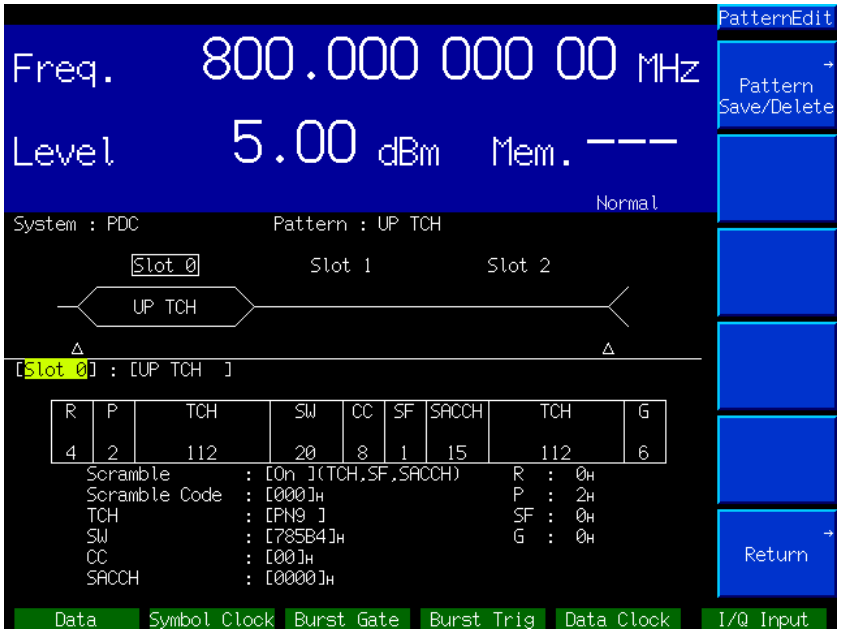


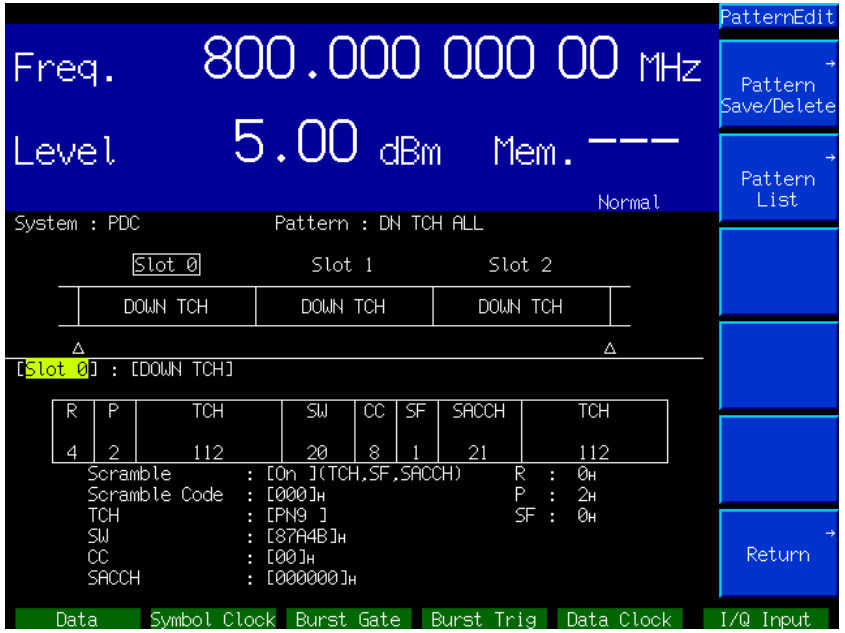
スクランブルパターンの同期　設定例

- スクランブルパターン
  - » PN(9,5)



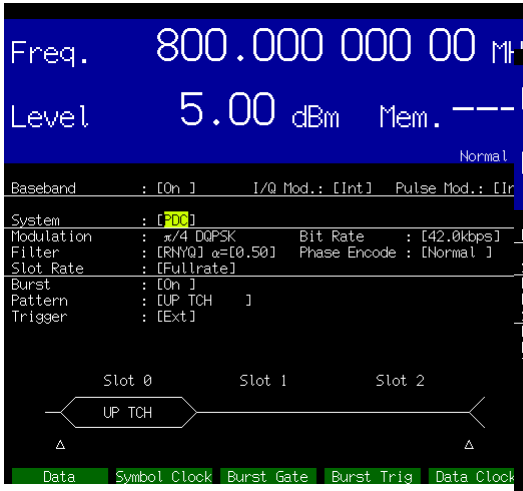
  - » レジスタ初期値(S_8 ~ S_0) = CC

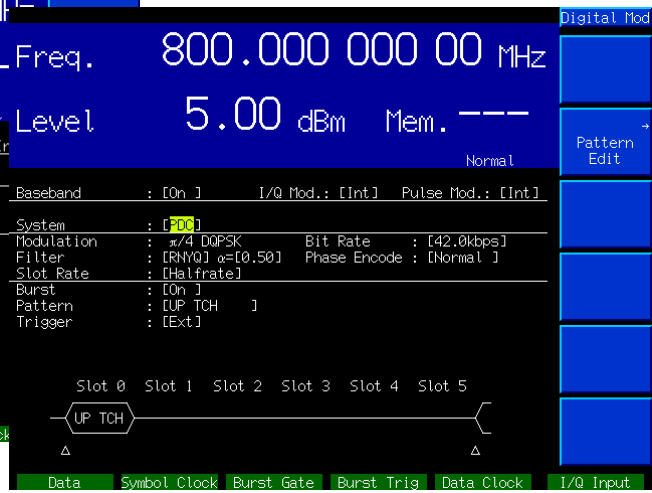




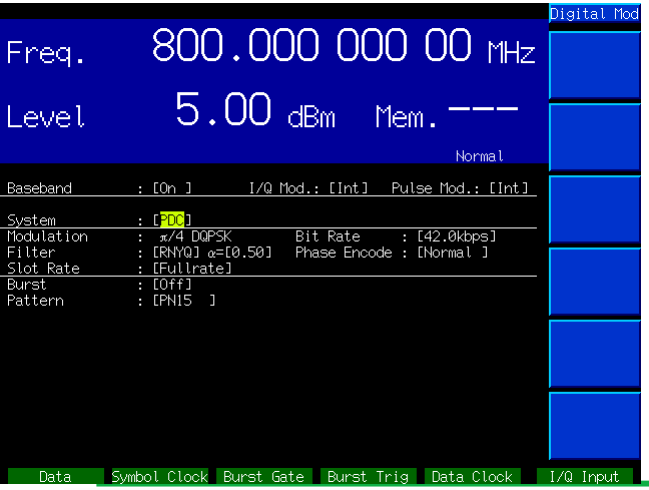
希望/干渉 信号発生器　　設定例

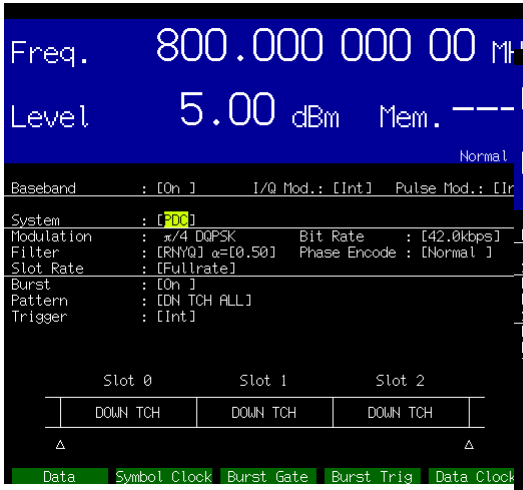
- 希望信号発生器
  - » BSテスト
    - – UP TCH
  - » MSテスト
    - – DN TCH ALL

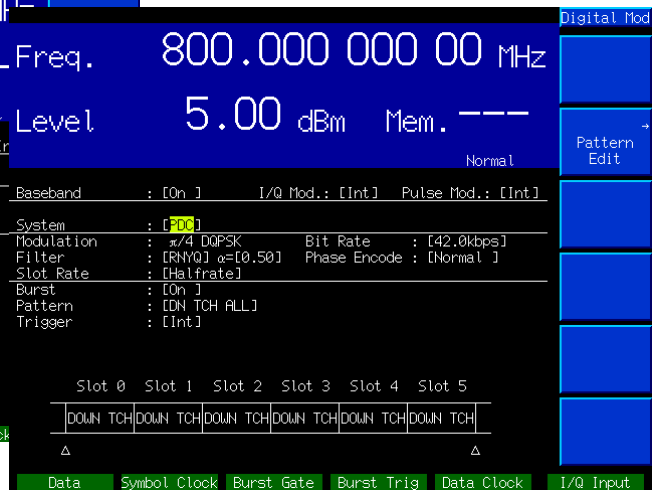




- 干渉信号発生器

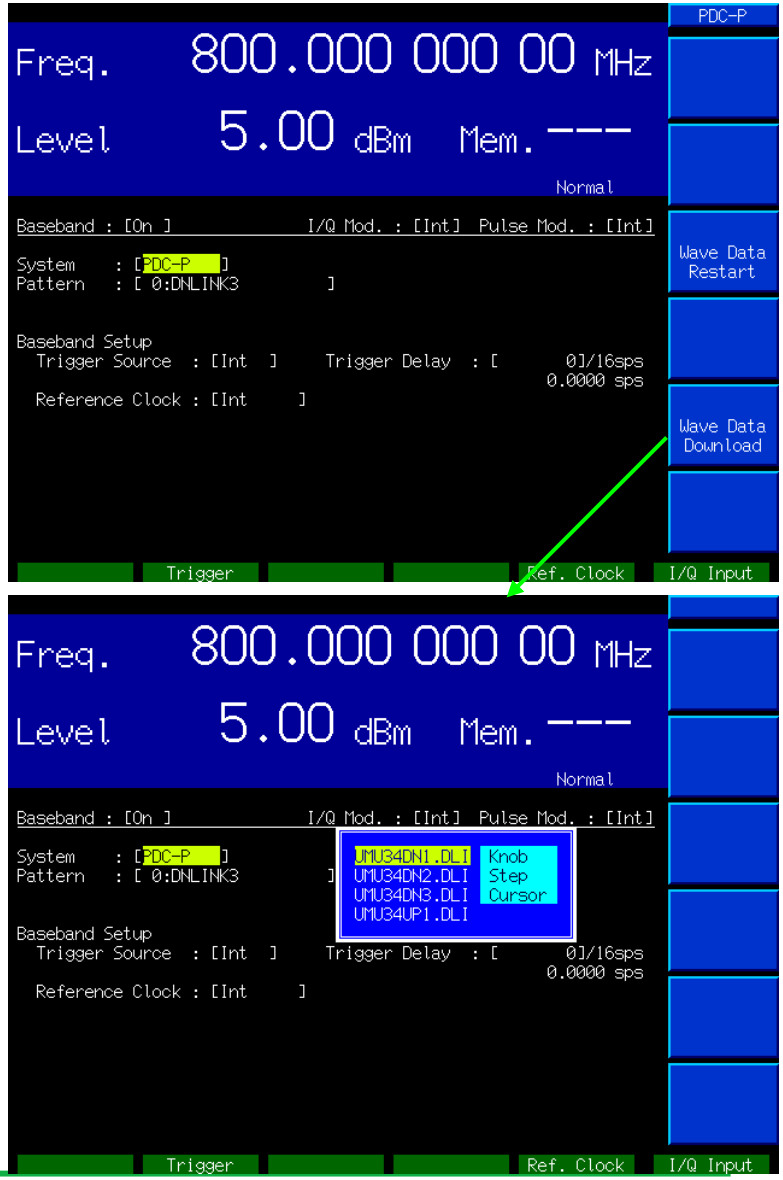






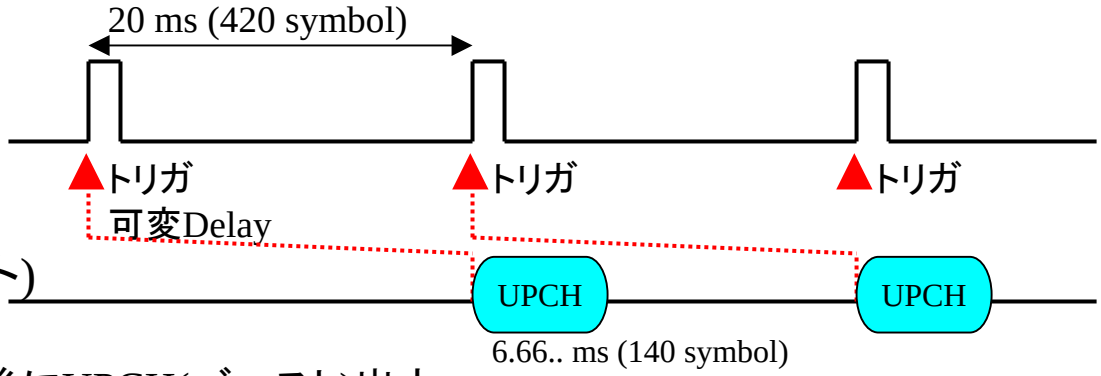
パケット通信　レシーバテスト　設定例

- **希望信号発生器**
  MG3681A
  + MU368030A + MX368034A
  - » BSテスト
    - 上りUPCH
      - – UP1
  - » MSテスト
    - 下りUPCH
      - – DN1
      - – DN2
      - – DN3



BSレシーバ　タイミングの同期　設定例

- **Frame trigger ディレイ**
  - » BSが上りUPCHを受信できるタイミングを設定
    - – Frame trigger 入力
    - – 上りUPCH(バースト) 出力
      - トリガから20 ms後にUPCH(バースト)出力

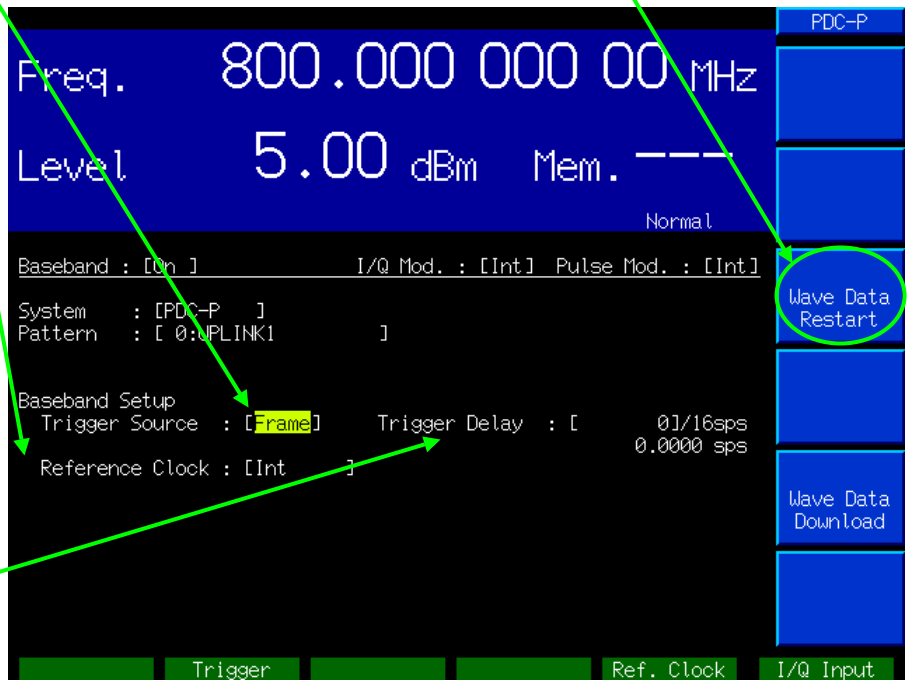


BSレシーバ　タイミングの同期　設定例

- **外部Frame trigger 指定**
  - » 20 ms clockのTriggerを捕捉/同期
- **Reference clock:**
  同期誤差 ±1/16 symbol以内のジッタを解消したい場合に適用
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 16× 21 kHz (336 kHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]

- **Frame trigger ディレイ**
  - » 0 ~ +16,777,215 /16 symbol　1/16 symbol 分解能
  - » Triggerからのディレイ
    + 3.7 symbol
    - – 3.7 ~ 1,048,579.6 symbol

- **Trigger 再捕捉/同期**



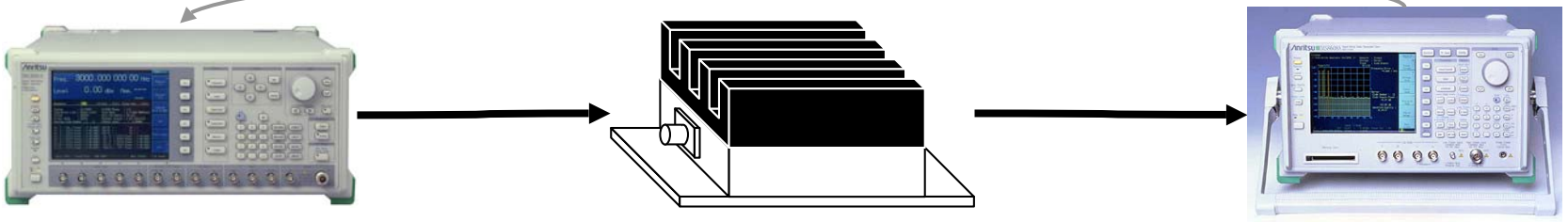
e.g.
- » Triggerから20 ms後にUPCH(バースト)出力ケース
  - 6,661 /16 symbol

RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368010A+MX368011A
or
+MU368030A+MX368031A

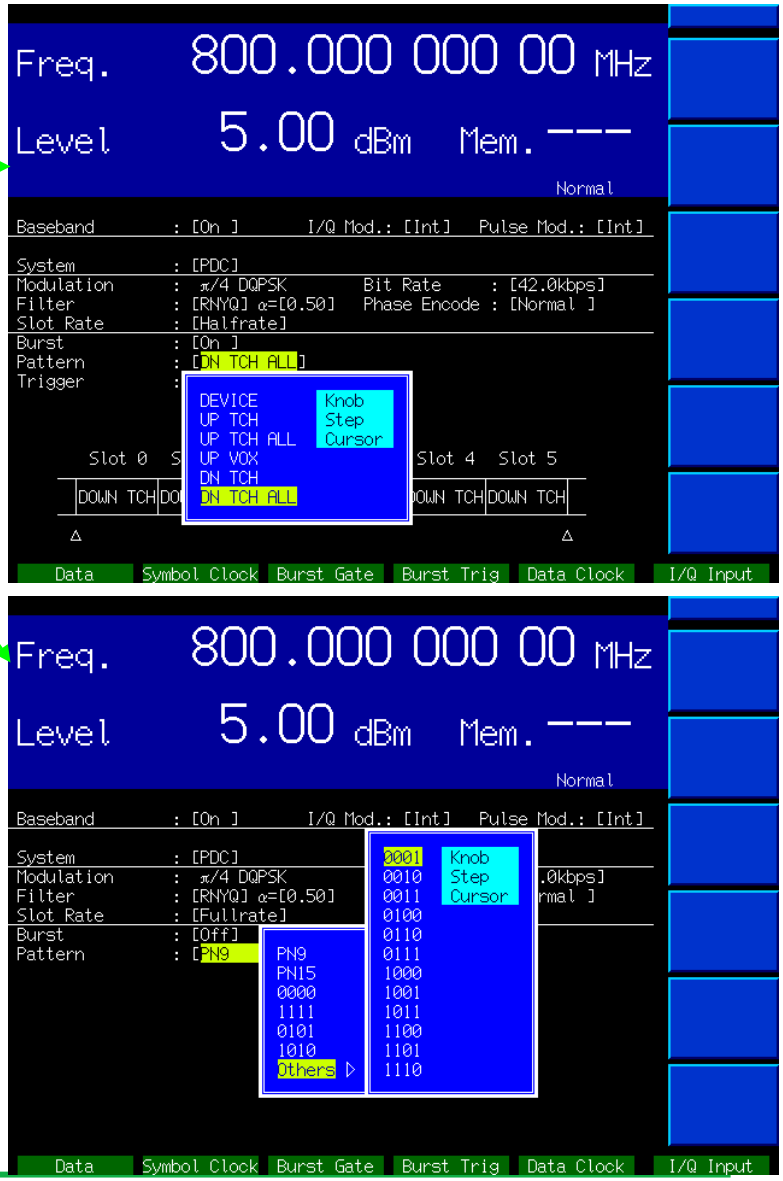
シグナルアナライザ
(MS8600/MS2680)

Reference clock

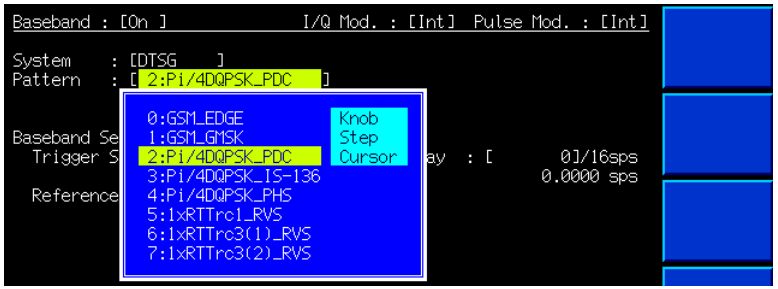


Signal　設定例

- **MX368011A**
  - » バーストフォーマット
  - » 連続変調フォーマット

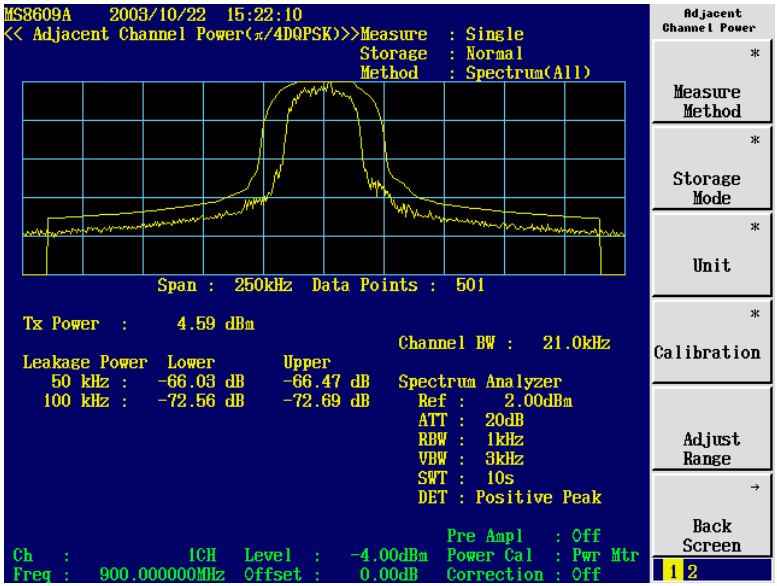


- **MX368031A**
  - » 連続変調フォーマット

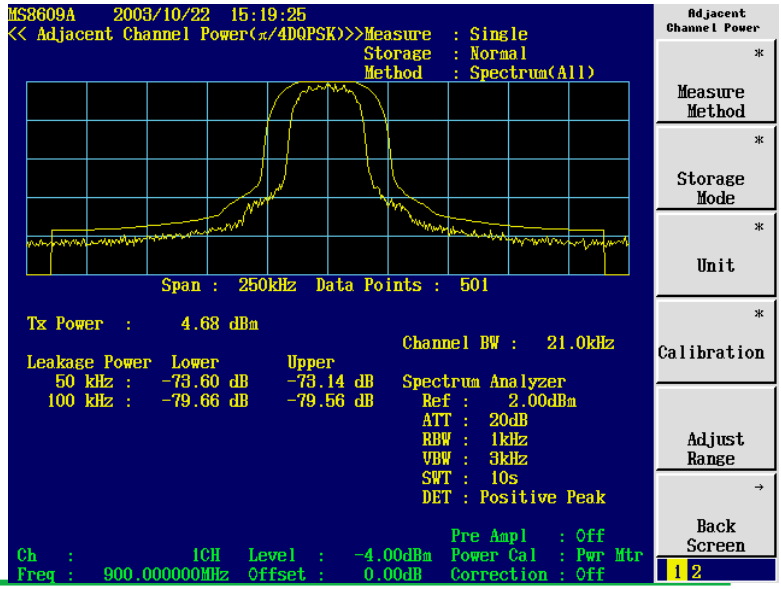


隣接チャネル漏洩電力比の対比

- バースト(TCH)フォーマット
  - » 50 kHz: +7 dB
  - » 100 kHz: +7 dB



- 連続変調フォーマット



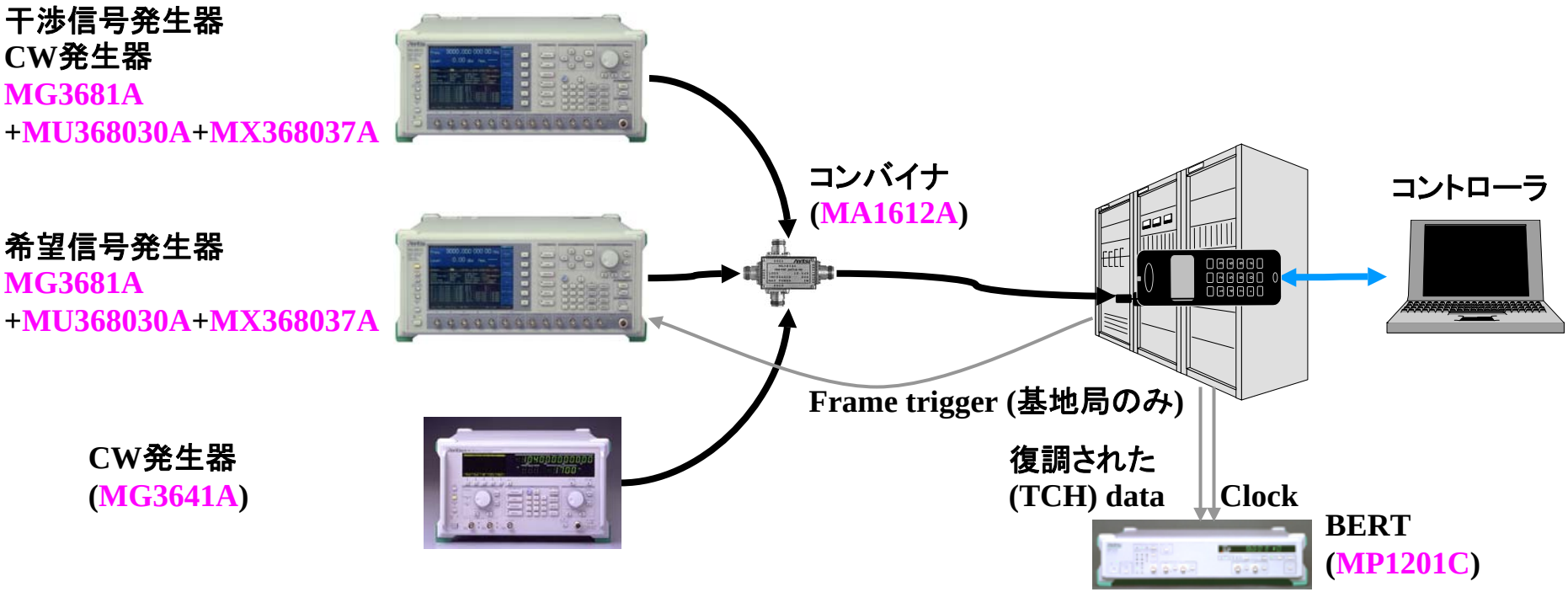
RCR STD-39　基地局/移動機テスト

RCR STD-39 4.0 版 π/4DQPSK

3.4.2　6.2　レシーバテスト

規格	測定法	テスト	希望信号発生器	干渉信号発生器	CW発生器	BERT	他
3.4.2(2)	6.2.1	受信感度	MG3681A +MU368030A +MX368037A			MP1201C	
3.4.2(3)	6.2.2	スプリアス感度		MG3681A or 3GHz	MG3641A 1.04GHz		MA1612A 3GHz
3.4.2(4)	6.2.3	隣接チャネル選択度		MG3681A +MU368030A +MX368037A			
3.4.2(5)	6.2.4	相互変調特性		MG3681A	MG3641A		

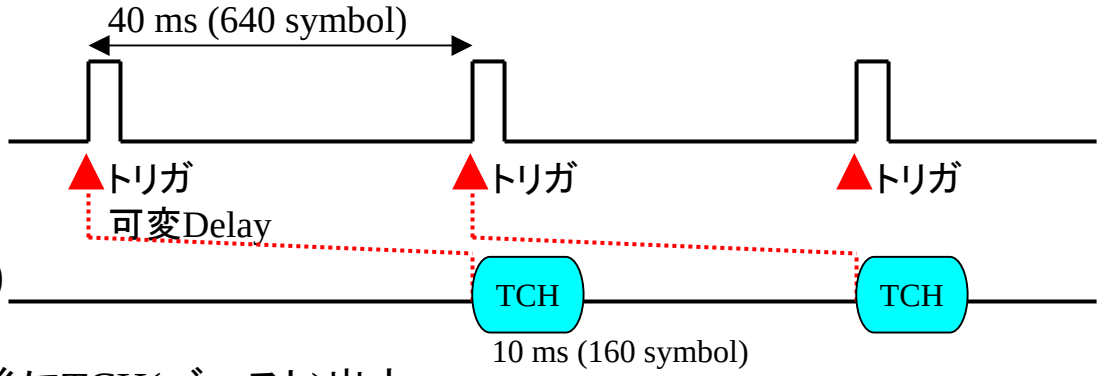
レシーバテスト　接続例



- Frame trigger
  - フロントパネル [Burst Trig] Input
    - 40 ms clock
- コントローラ
  - FTM Factory Test Mode コントロールにて、TCHを受信可能状態に起動

基地局レシーバ　タイミングの同期　設定例

- **Frame trigger ディレイ**
  - » 基地局が上りTCHを受信できるタイミングを設定
    - – Frame trigger 入力
    - – 上りTCH(バースト) 出力
      - トリガから40 ms後にTCH(バースト)出力

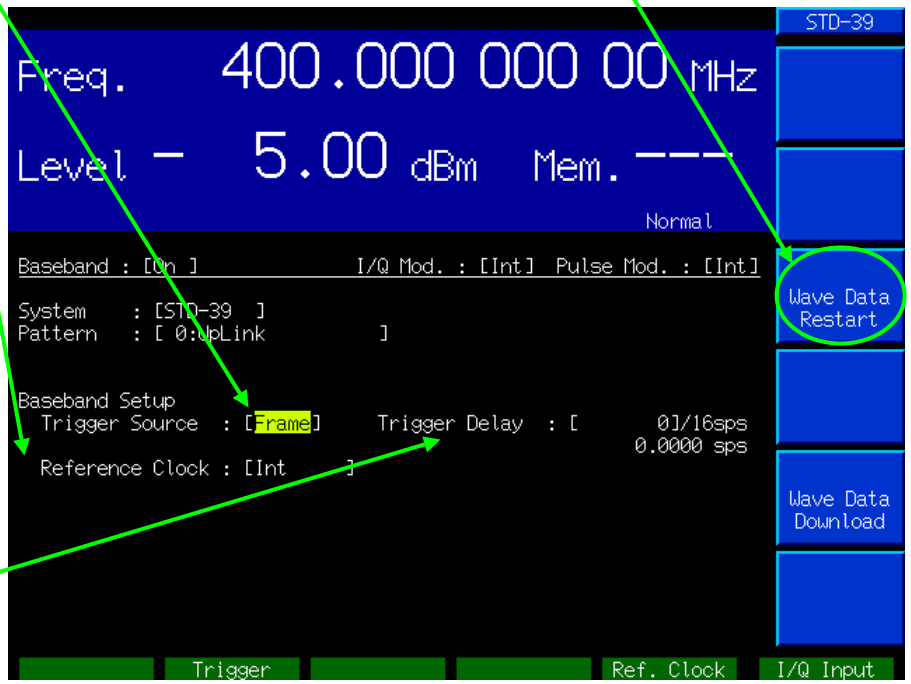


基地局レシーバ　タイミングの同期　設定例

- **外部Frame trigger 指定**
  - » 40 ms clockのTriggerを捕捉/同期
- **Reference clock:**
  同期誤差 ±1/16 symbol以内のジッタを解消したい場合に適用
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 16× 16 kHz (256 kHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]

- **Frame trigger ディレイ**
  - » 0 ~ +16,777,215 /16 symbol　1/16 symbol 分解能
  - » Triggerからのディレイ
    + 3.2 symbol
    - – 3.2 ~ 1,048,579.1 symbol

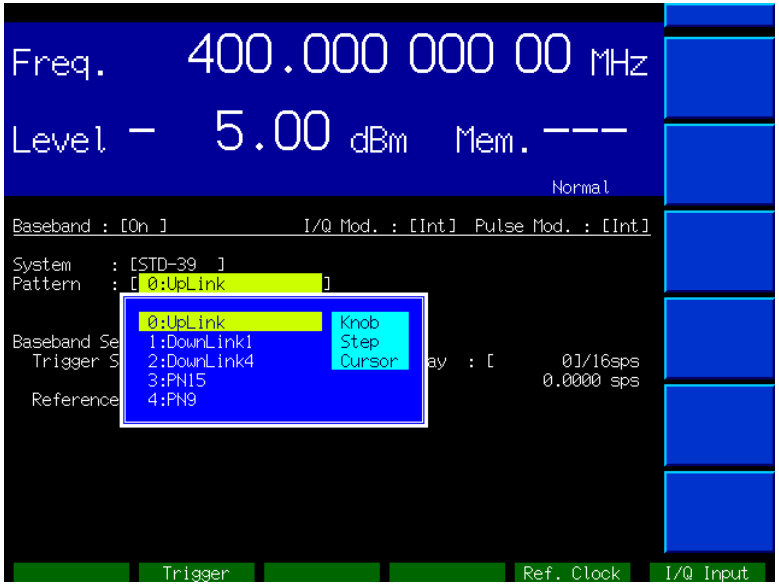
- **Trigger 再捕捉/同期**

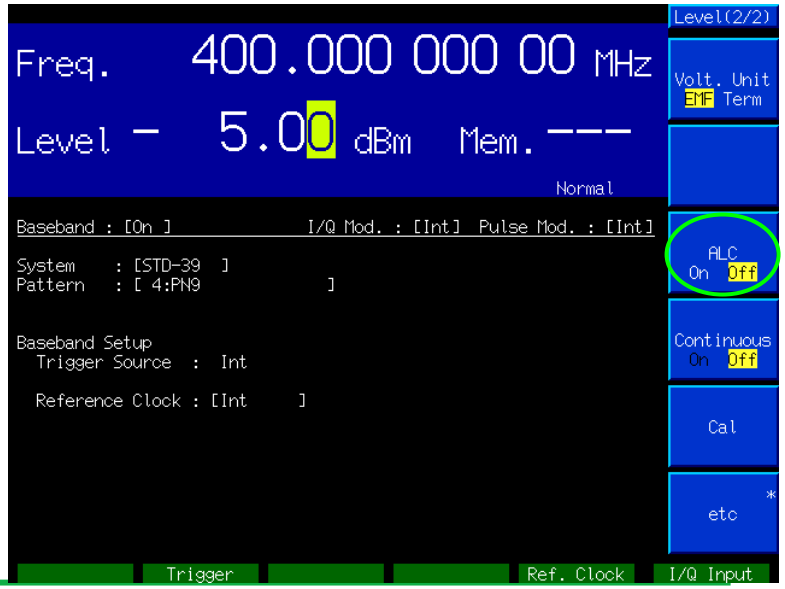


e.g.
- » Triggerから40 ms後にTCH (バースト)出力ケース
  - 10,189 /16 symbol

希望/干渉 信号発生器　　設定例

- 希望信号発生器
  - » 基地局テスト
    - – Uplink
  - » 移動機テスト
    - – Downlink
- 干渉信号発生器
  - – PN15





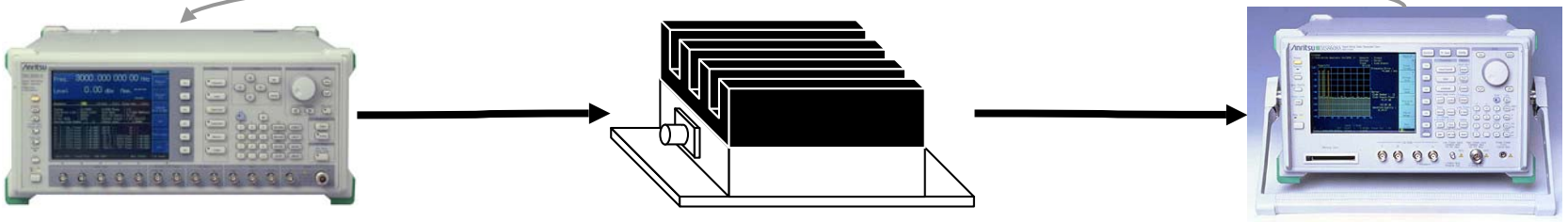
- **ALC Off**

RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368037A

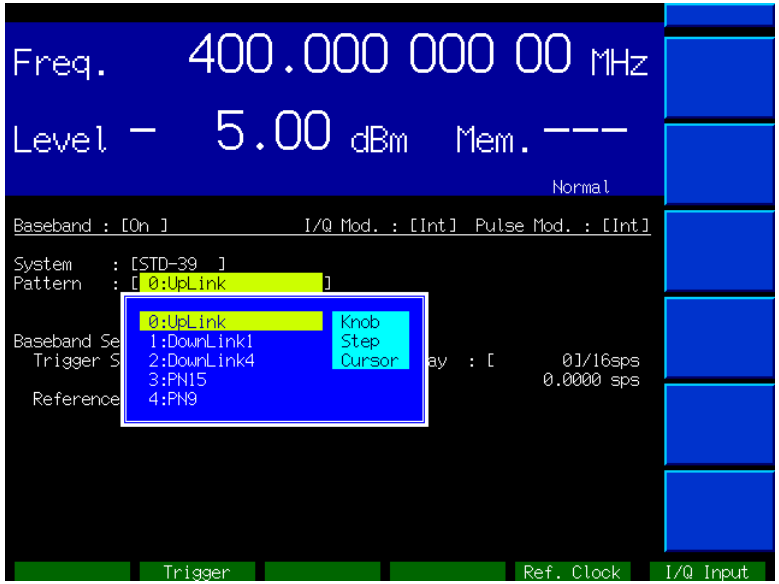
シグナルアナライザ
(MS8600/MS2680)

Reference clock

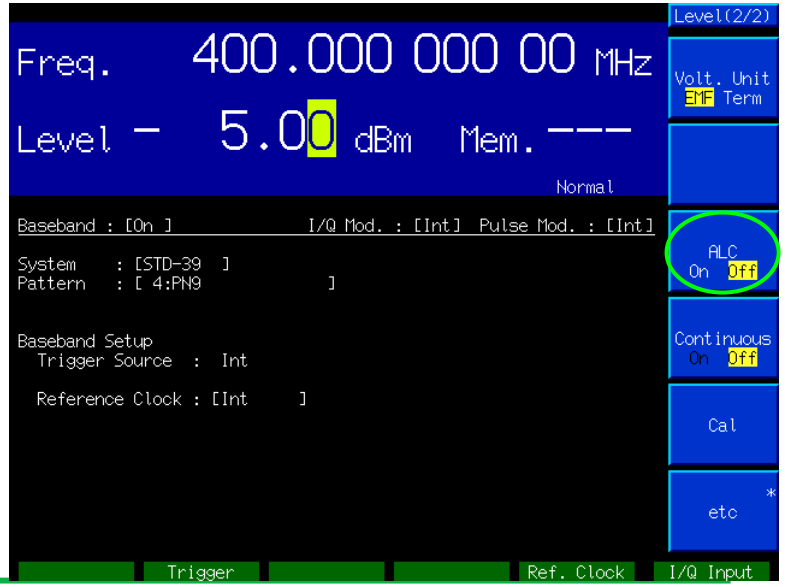


Signal　　設定例

- TCH(バースト)フォーマット
- 連続変調フォーマット

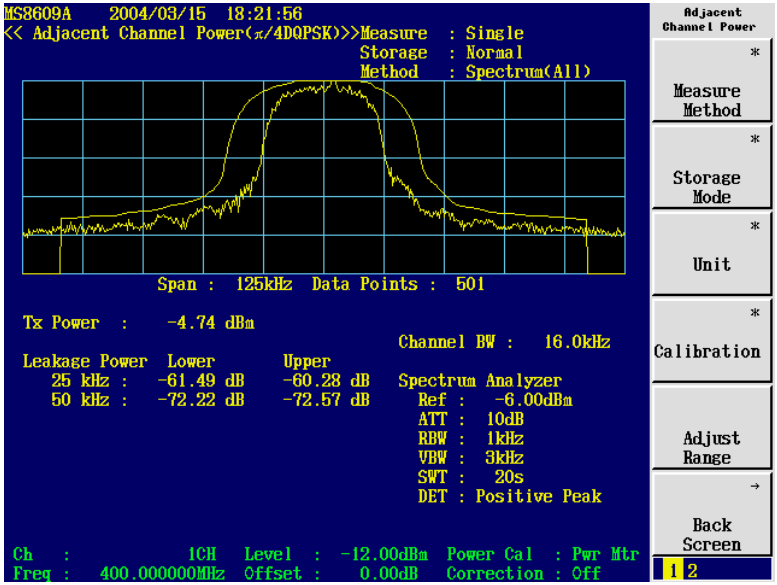


- ALC Off

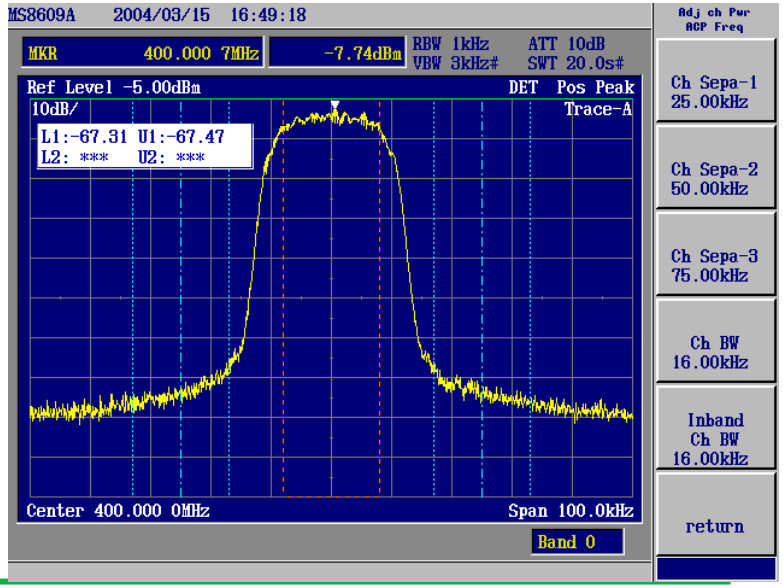


隣接チャネル漏洩電力比の対比

- **TCH(バースト)フォーマット**
  - » 25 kHz: +6 ~ +7 dB



- **連続変調フォーマット**

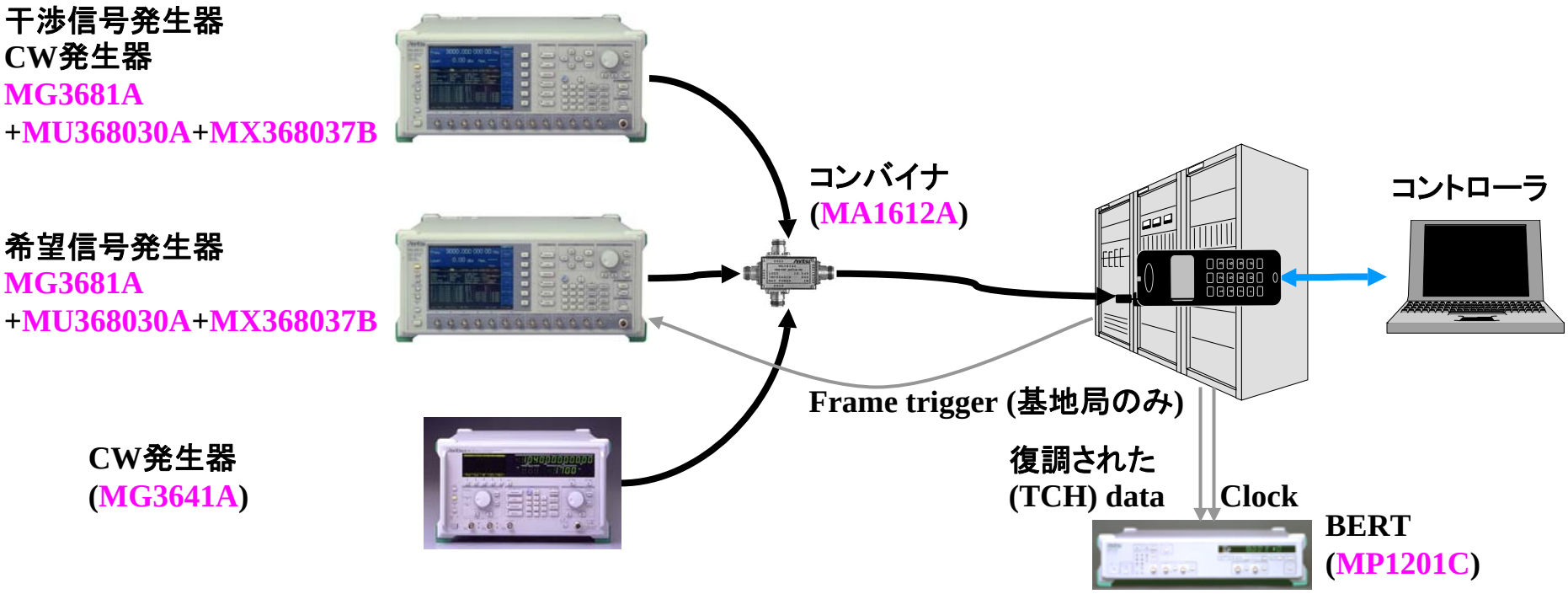


ARIB STD-T61基地局/移動機テスト

ARIB STD-T61　　1.1 版
3.4.2　　6.2　　レシーバテスト

規格	測定法	テスト	希望信号 発生器	干渉信号 発生器	CW 発生器	BERT	他
3.4.2(2)	6.2.1	受信感度	MG3681A +MU368030A +MX368037B			MP1201C	
3.4.2(3)	6.2.2	スプリアス感度		MG3681A or 3GHz	MG3641A 1.04GHz		MA1612A 3GHz
3.4.2(4)	6.2.3	隣接チャネル選択度		MG3681A +MU368030A +MX368037B			
3.4.2(5)	6.2.4	相互変調特性		MG3681A	MG3641A		

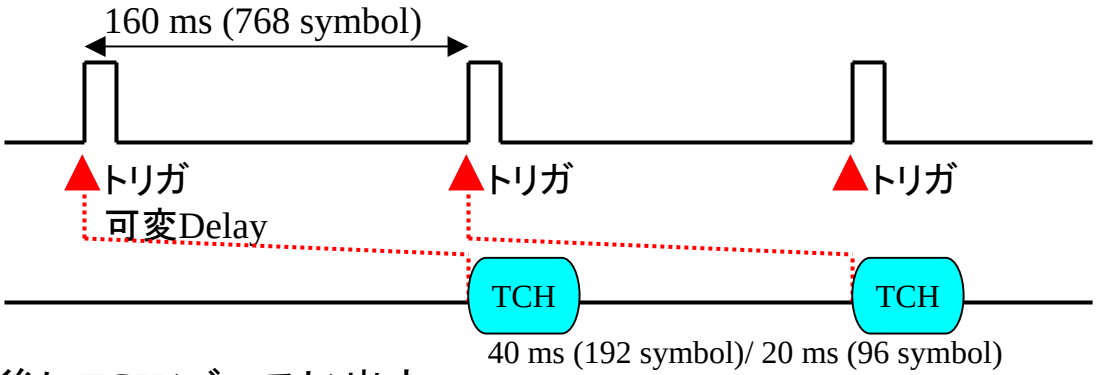
レシーバテスト　接続例



- Frame trigger
  - フロントパネル [Burst Trig] Input
    - 160 ms clock
- コントローラ
  - FTM Factory Test Mode コントロールにて、TCHを受信可能状態に起動

基地局レシーバ　タイミングの同期　設定例

- **Frame trigger ディレイ**
  - » 基地局が上りTCHを受信できるタイミングを設定
    - – Frame trigger 入力
    - – 上りTCH(バースト) 出力
      - トリガから160 ms後にTCH(バースト)出力

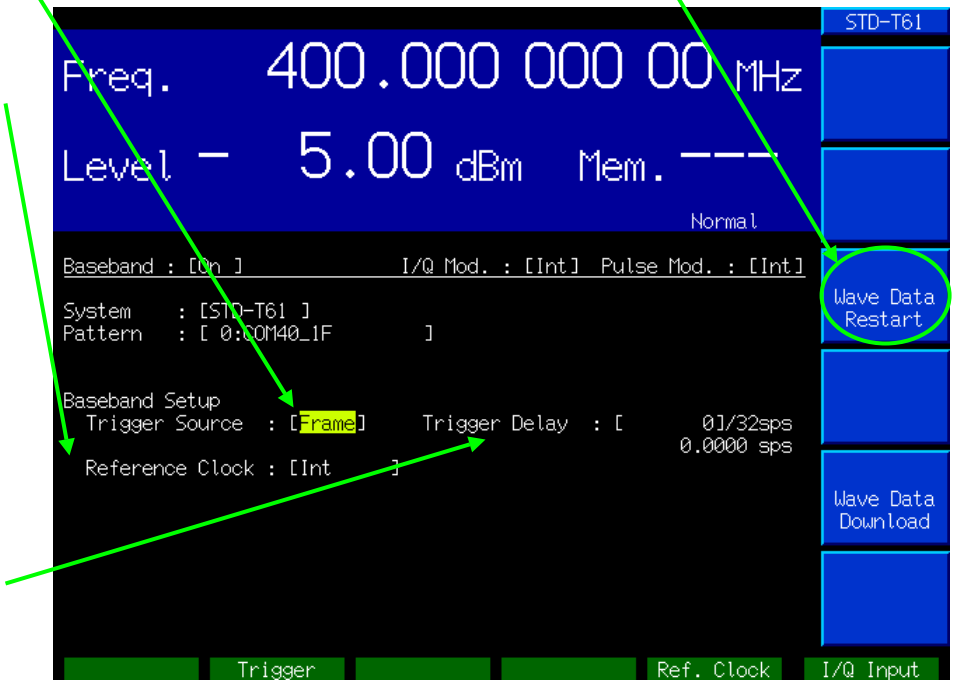


基地局レシーバ　タイミングの同期　設定例

- **外部Frame trigger 指定**
  - » 160 ms clockのTriggerを捕捉/同期
- **Reference clock:**
  同期誤差 ±1/32 symbol以内のジッタを解消したい場合に適用
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 32× 4.8 kHz (153.6 kHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]

- **Frame trigger ディレイ**
  - » 0 ~ +16,777,215 /32 symbol
    1/32 symbol 分解能
  - » Triggerからのディレイ
    + 1.06 symbol
    - – 1.06 ~ 524,289 symbol

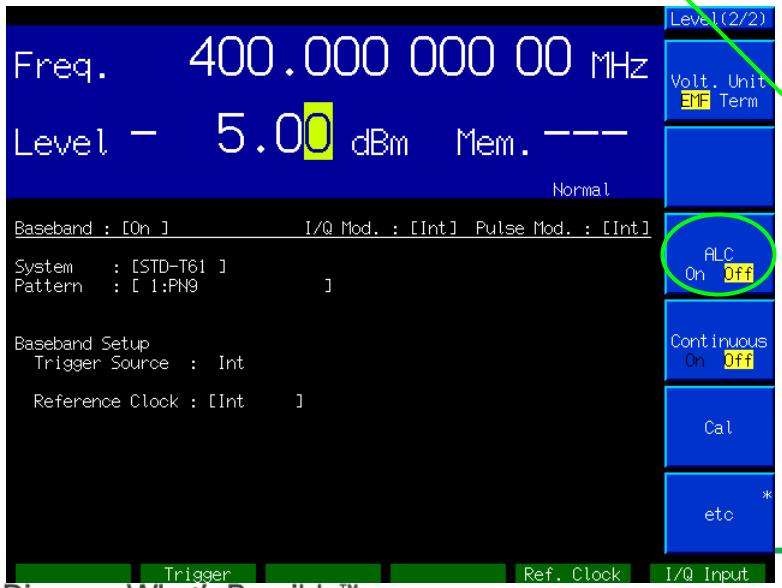
- **Trigger 再捕捉/同期**

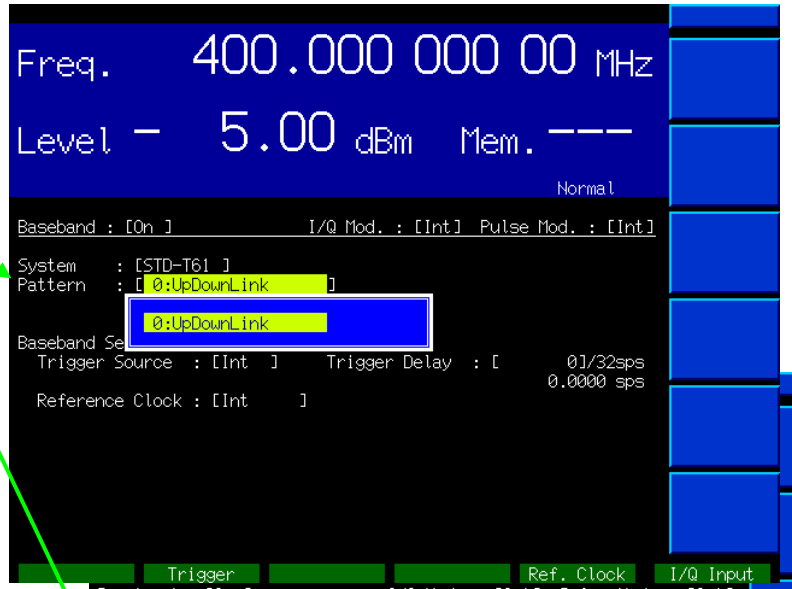


e.g.
- » Triggerから160 ms後にTCH(バースト)出力ケース
  - 24,542 /32 symbol

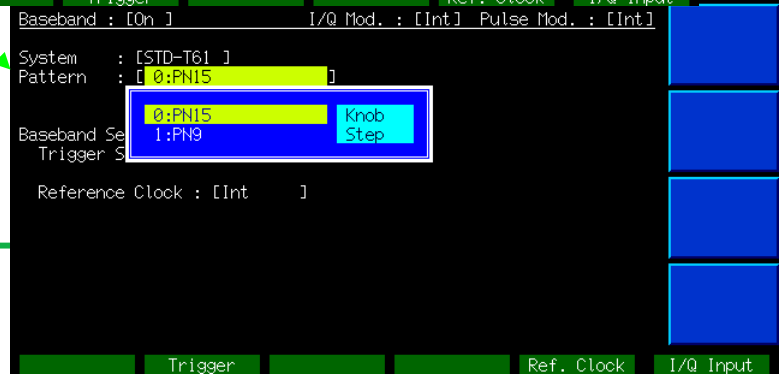
希望/干渉 信号発生器　　設定例

- 希望信号発生器
  - » TCHフレーム
  - » TCH1基本フレーム(バースト)
  - » TCH2サブフレーム(バースト)
- 干渉信号発生器
  - – PN15
    - **ALC Off**







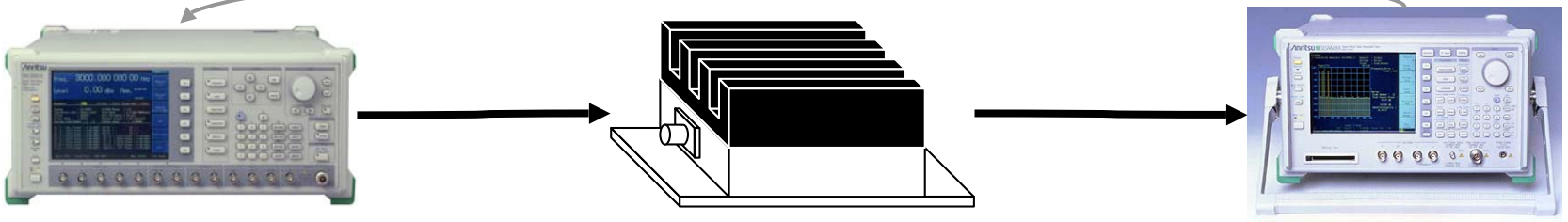


RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368037B

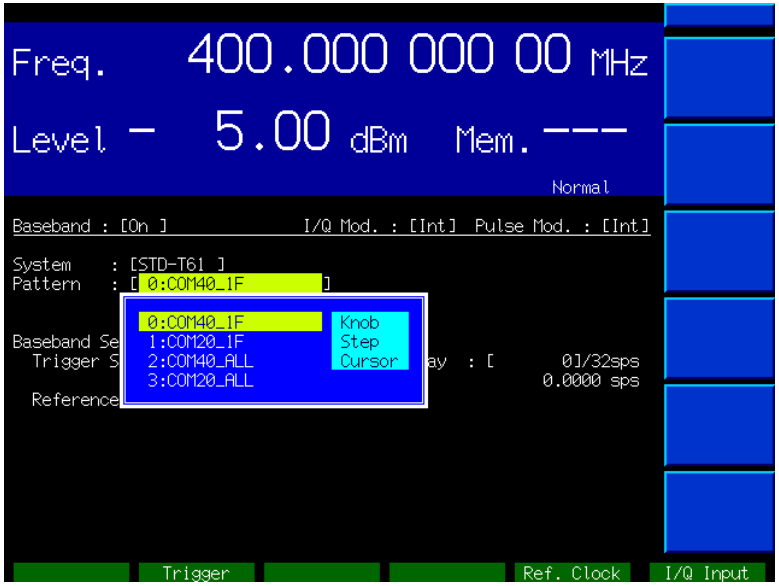
シグナルアナライザ
(MS8600/MS2680)

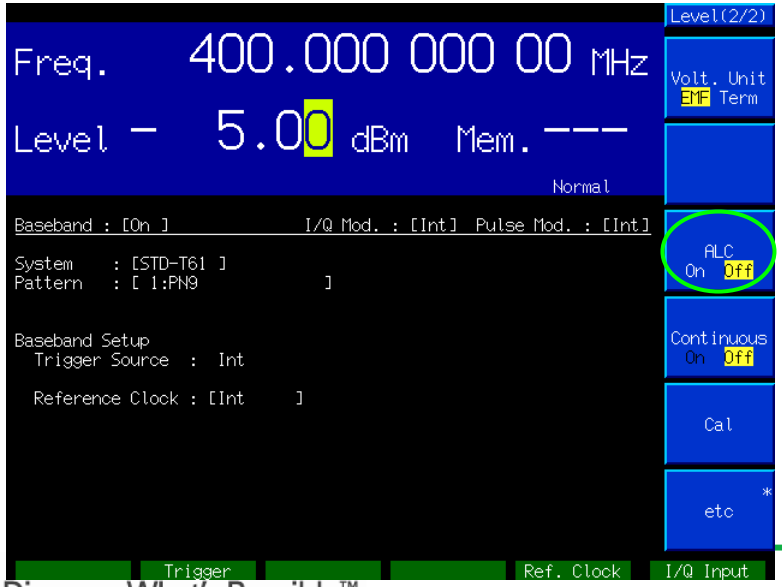
Reference clock

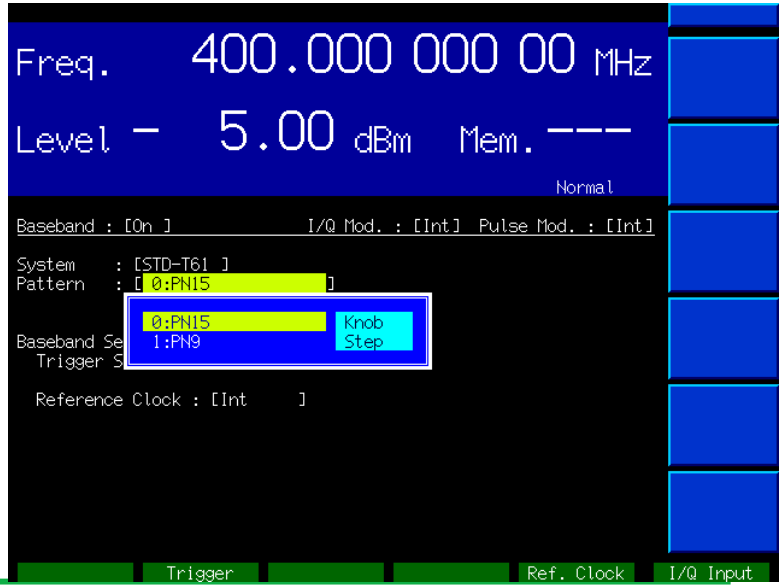


Signal　設定例

- TCH(バースト)フォーマット
- 連続変調フォーマット
  - ALC off

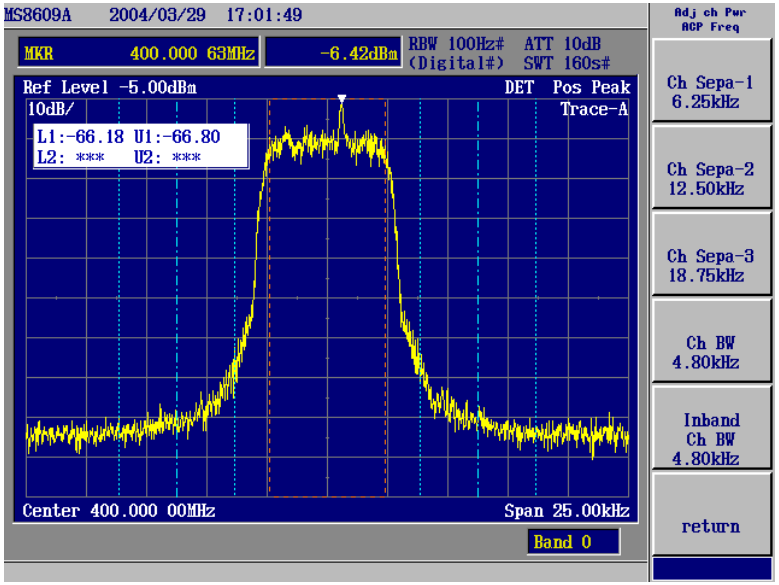




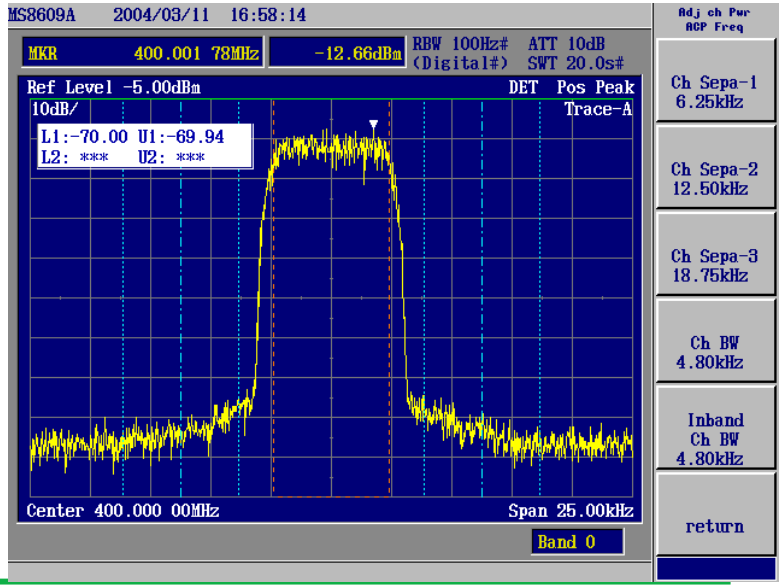


隣接チャネル漏洩電力比の対比

- **TCH(バースト)フォーマット**
  - » 6.25 kHz: +3 ~ +4 dB



- **連続変調フォーマット**



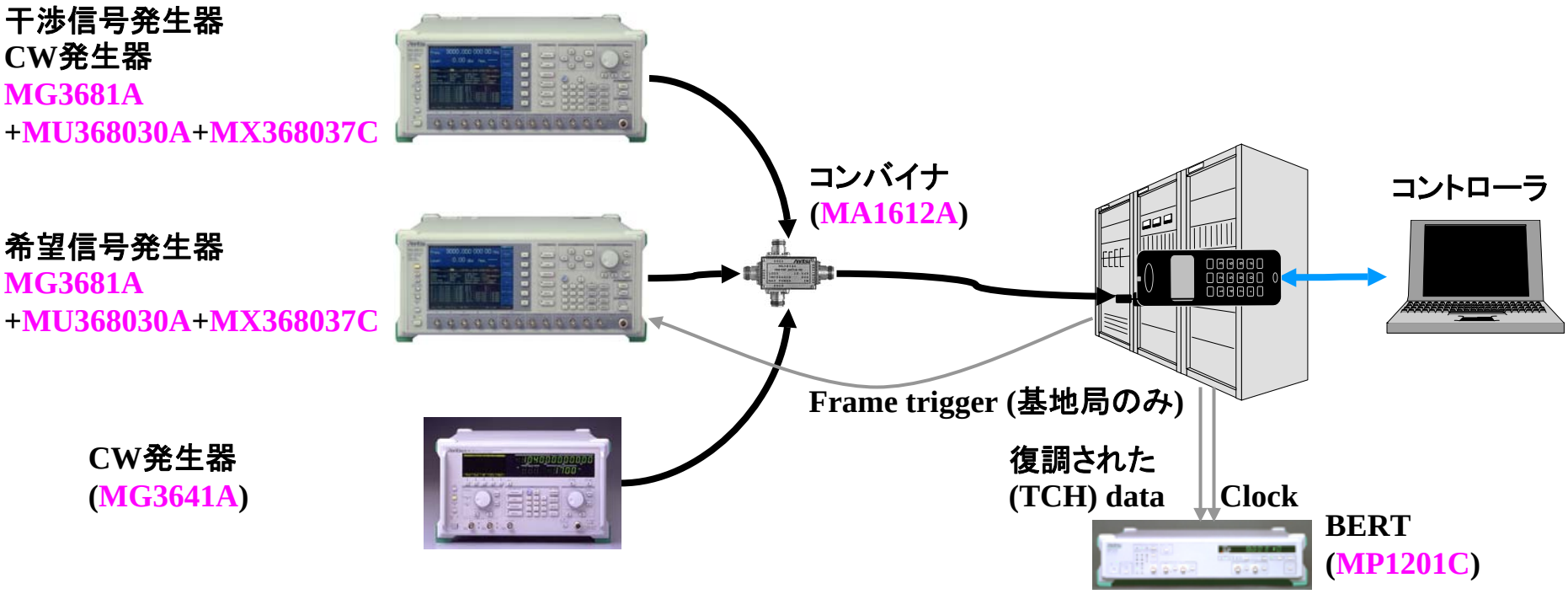
ARIB STD-T79, STD-T87 基地局/移動機テスト

ARIB STD-T79　　1.1 版　　STD-T87　　1.0 版

3.4.2　　6.2　　レシーバテスト

規格	測定法	テスト	希望信号 発生器	干渉信号 発生器	CW 発生器	BERT	他
3.4.2(2)	6.2.1	受信感度	MG3681A +MU368030A +MX368037C			MP1201C	
3.4.2(3)	6.2.2	スプリアス感度		MG3681A or 3GHz	MG3641A 1.04GHz		MA1612A 3GHz
3.4.2(4)	6.2.3	隣接チャネル選択度		MG3681A +MU368030A +MX368037C			
3.4.2(5)	6.2.4	相互変調特性		MG3681A	MG3641A		

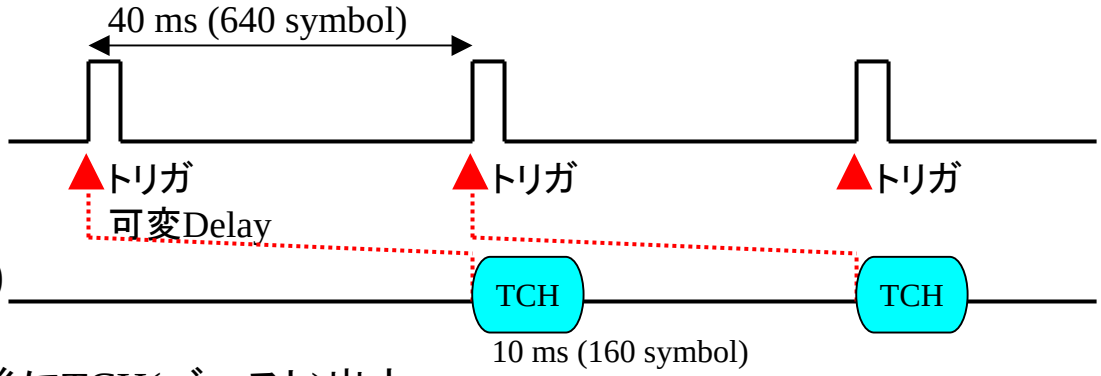
レシーバテスト　接続例



- Frame trigger
  - フロントパネル [Burst Trig] Input
    - 40 ms clock
- コントローラ
  - FTM Factory Test Mode コントロールにて、TCHを受信可能状態に起動

基地局レシーバ　タイミングの同期　設定例

- **Frame trigger ディレイ**
  - » 基地局が上りTCHを受信できるタイミングを設定
    - – Frame trigger 入力
    - – 上りTCH(バースト) 出力
      - トリガから40 ms後にTCH(バースト)出力

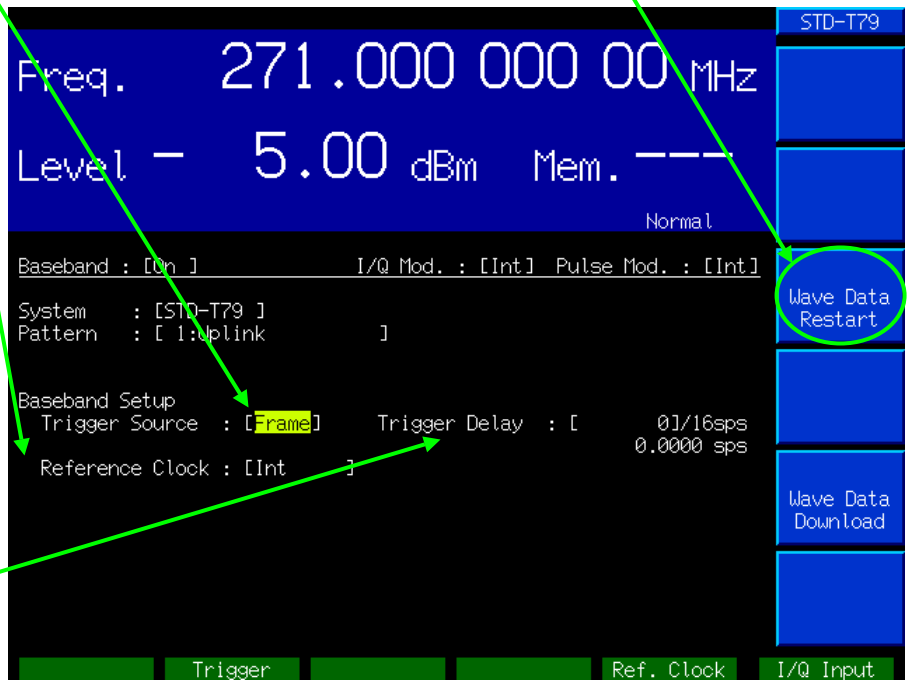


基地局レシーバ　タイミングの同期　設定例

- **外部Frame trigger 指定**
  - » 40 ms clockのTriggerを捕捉/同期
- **Reference clock:**
  同期誤差 ±1/16 symbol以内のジッタを解消したい場合に適用
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 16× 16 kHz (256 kHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]

- **Frame trigger ディレイ**
  - » 0 ~ +16,777,215 /16 symbol
    1/16 symbol 分解能
  - » Triggerからのディレイ
    + 3.2 symbol
    - – 3.2 ~ 1,048,579.1 symbol

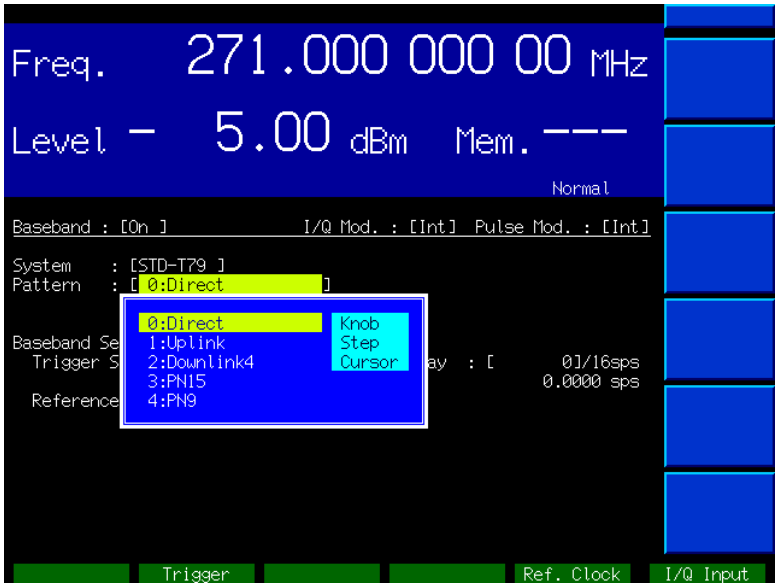
- **Trigger 再捕捉/同期**



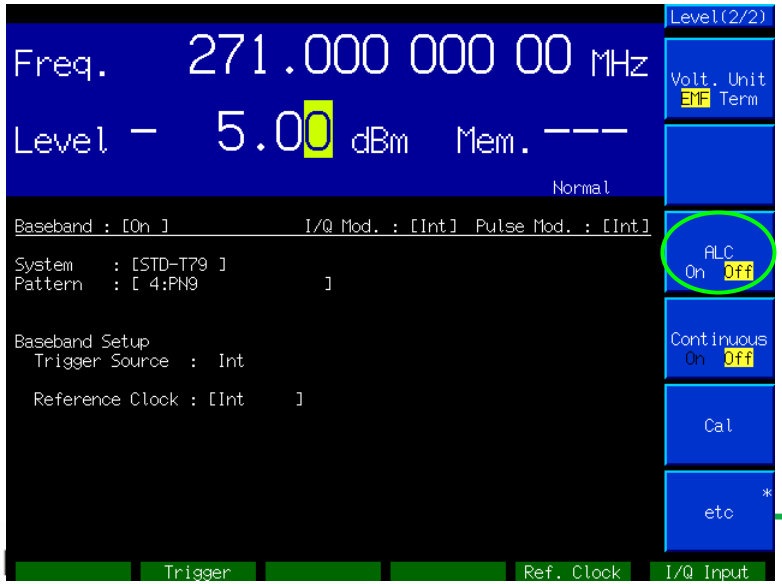
e.g.
- » Triggerから40 ms後にTCH(バースト)出力ケース
  - 10,189 /16 symbol

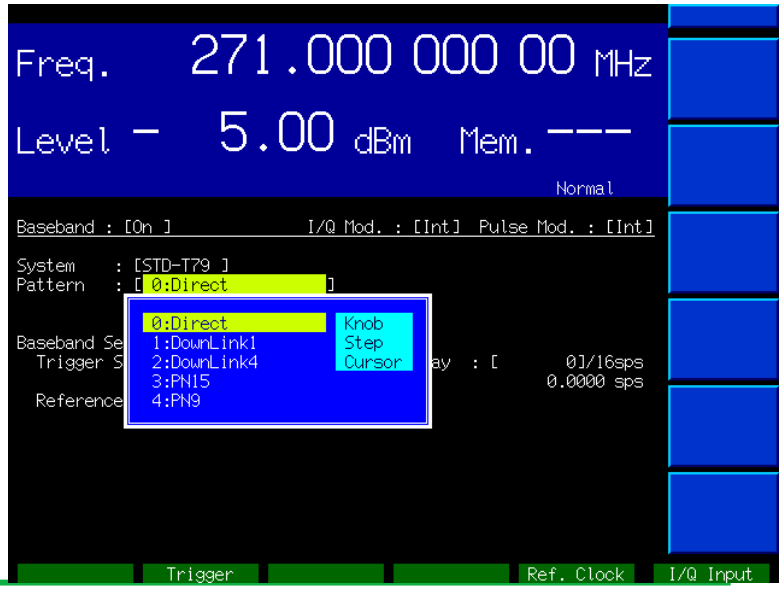
希望/干渉 信号発生器　　設定例

- 希望信号発生器
  - » 基地局テスト
    - – Uplink
  - » 移動機テスト
    - – Downlink
- 干渉信号発生器
  - – PN15



- ALC off



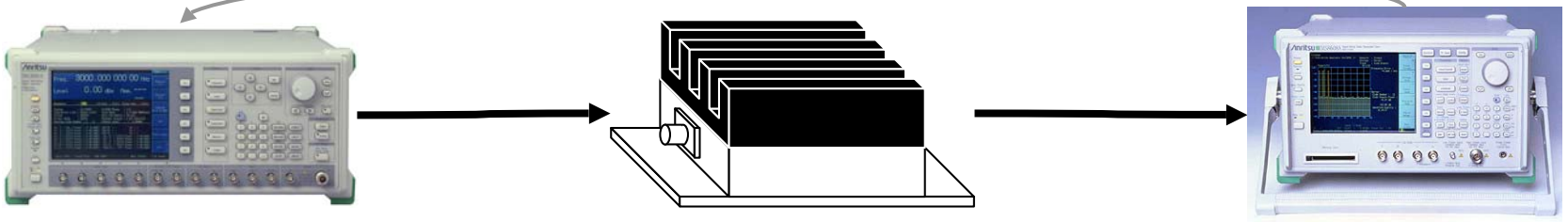


RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368037C

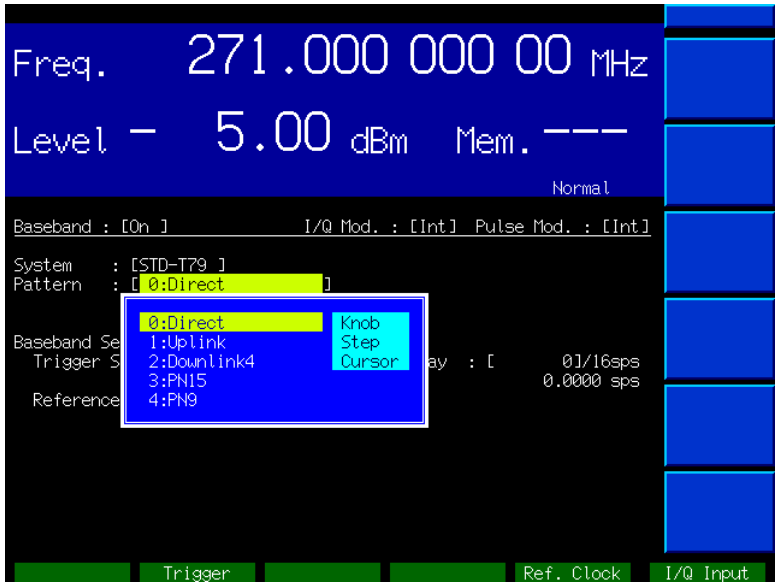
シグナルアナライザ
(MS8600/MS2680)

Reference clock



Signal　　設定例

- TCH(バースト)フォーマット
- 連続変調フォーマット

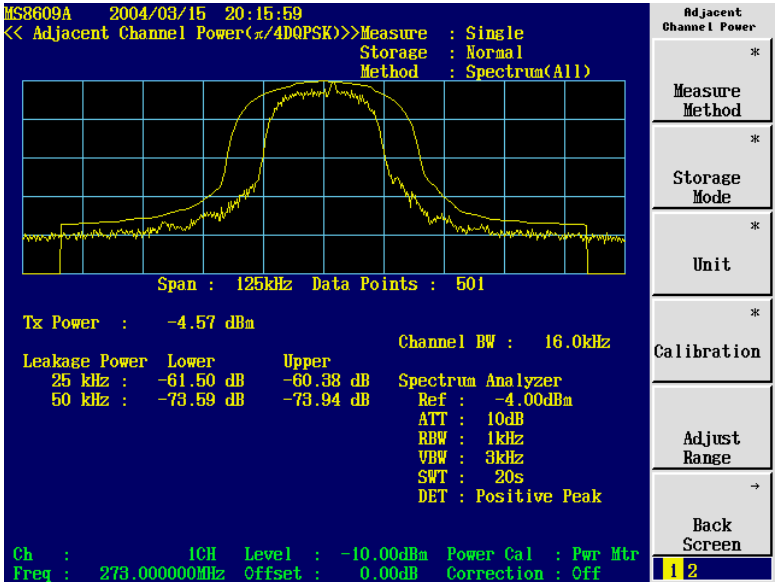


- ALC off

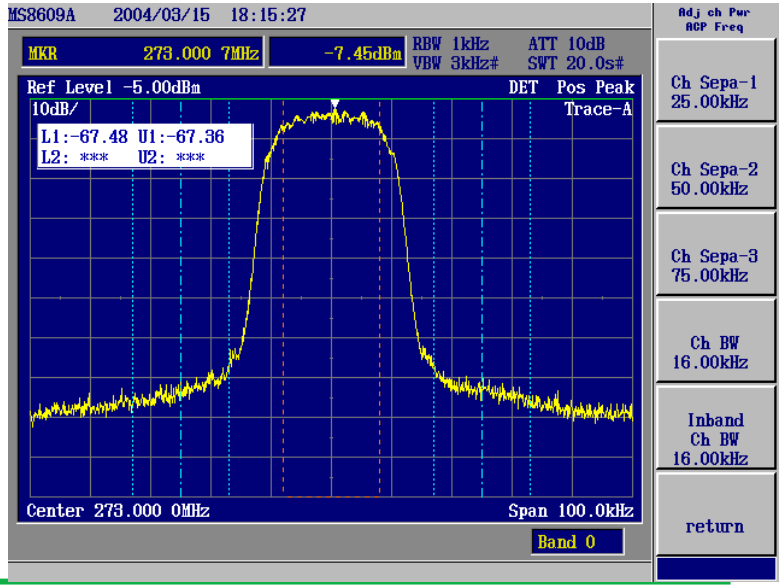


隣接チャネル漏洩電力比の対比

- **TCH(バースト)フォーマット**
  - » 25 kHz: +6 ~ +7 dB



- **連続変調フォーマット**

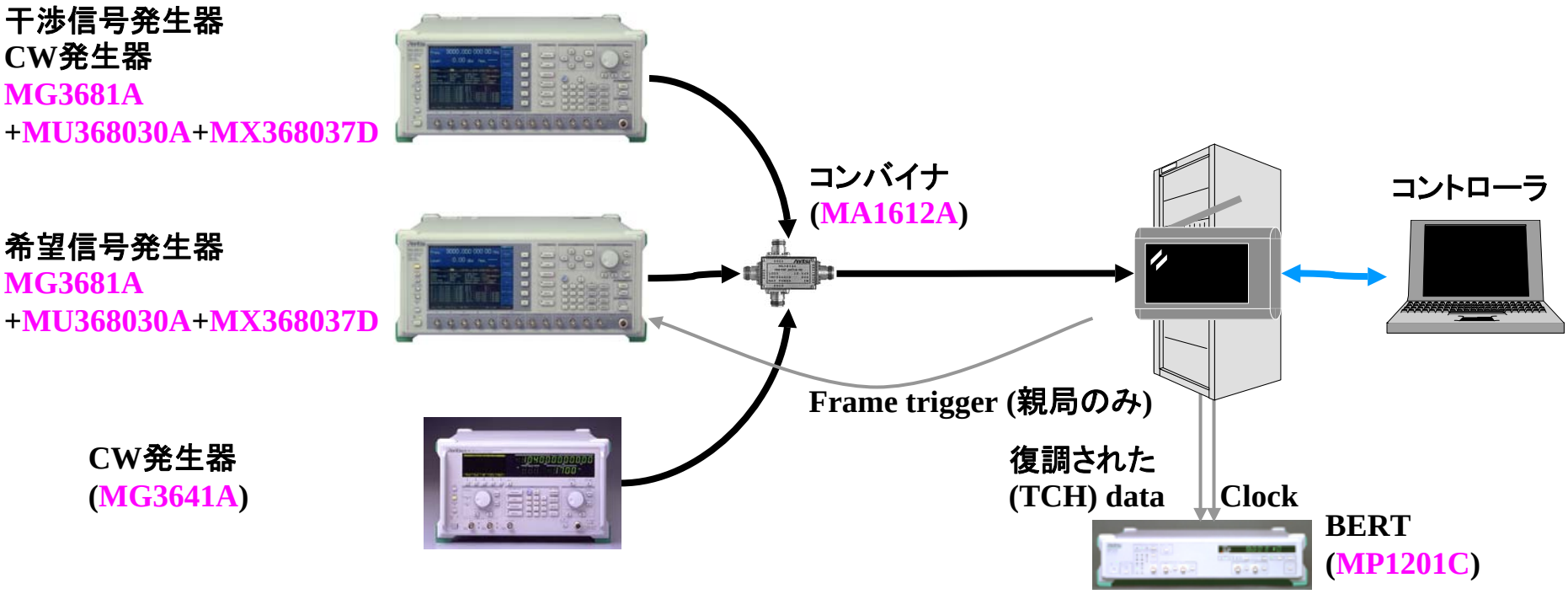


ARIB STD-T86親局/子局テスト

ARIB STD-T86　　1.0 版
3.4.2　　6.2　　レシーバテスト

規格	測定法	テスト	希望信号 発生器	干渉信号 発生器	CW 発生器	BERT	他
3.4.2(1)	6.2(1)	受信感度	MG3681A +MU368030A +MX368037D			MP1201C	
3.4.2(2)	6.2(2)	スプリアス感度		MG3681A or 3GHz	MG3641A 1.04GHz		MA1612A 3GHz
3.4.2(3)	6.2(3)	隣接チャネル選択度		MG3681A +MU368030A +MX368037D			
3.4.2(4)	6.2(4)	相互変調特性		MG3681A	MG3641A		

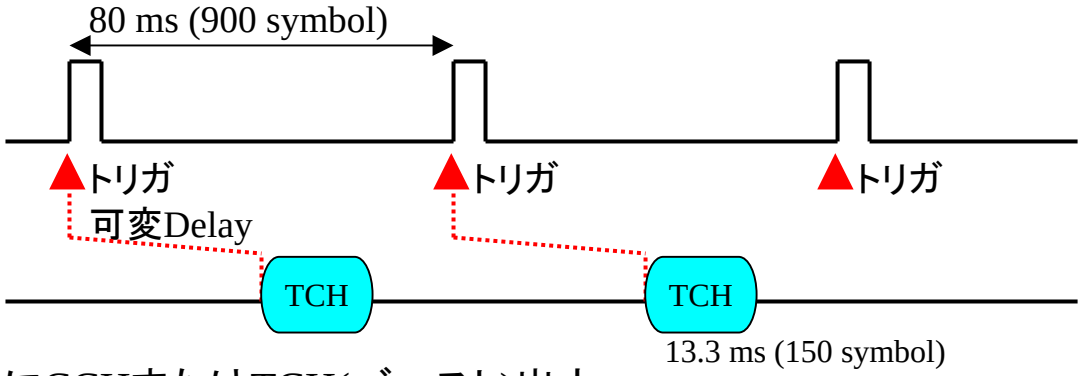
レシーバテスト　接続例



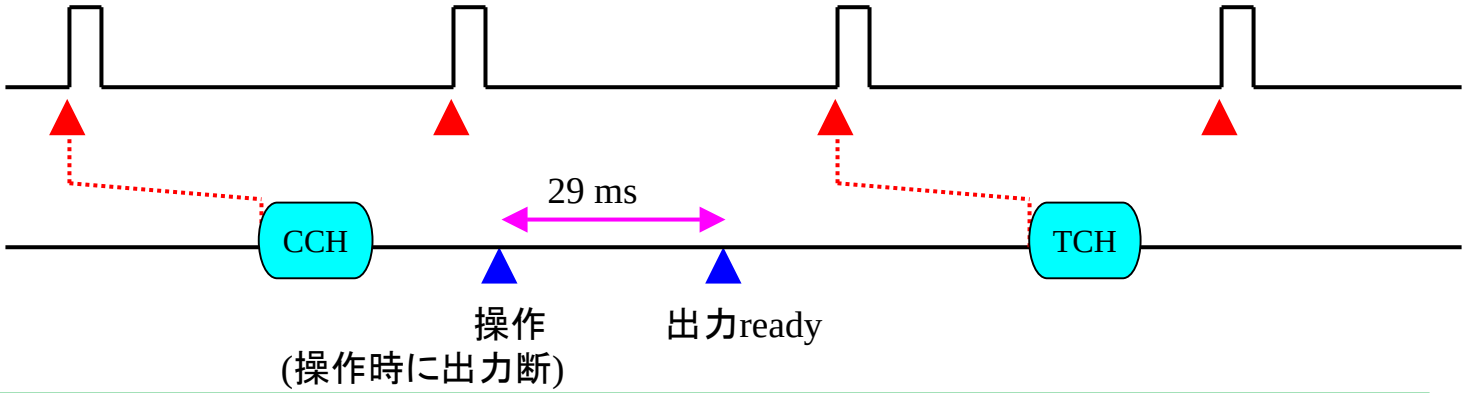
- Frame trigger
  - フロントパネル [Burst Trig] Input
    - 80 ms clock
- コントローラ
  - FTM Factory Test Mode コントロールにて、TCHを受信可能状態に起動

親局レシーバ　タイミングの同期　　設定例

- **Frame trigger ディレイ**
  - » 親局が上りCCH,TCHを受信できるタイミングを設定
    - – Frame trigger 入力
    - – 上りTCH(バースト) 出力
      - トリガから40 ms後にCCHまたはTCH(バースト)出力



  - » 上りCCHパターン→TCHパターン 切替

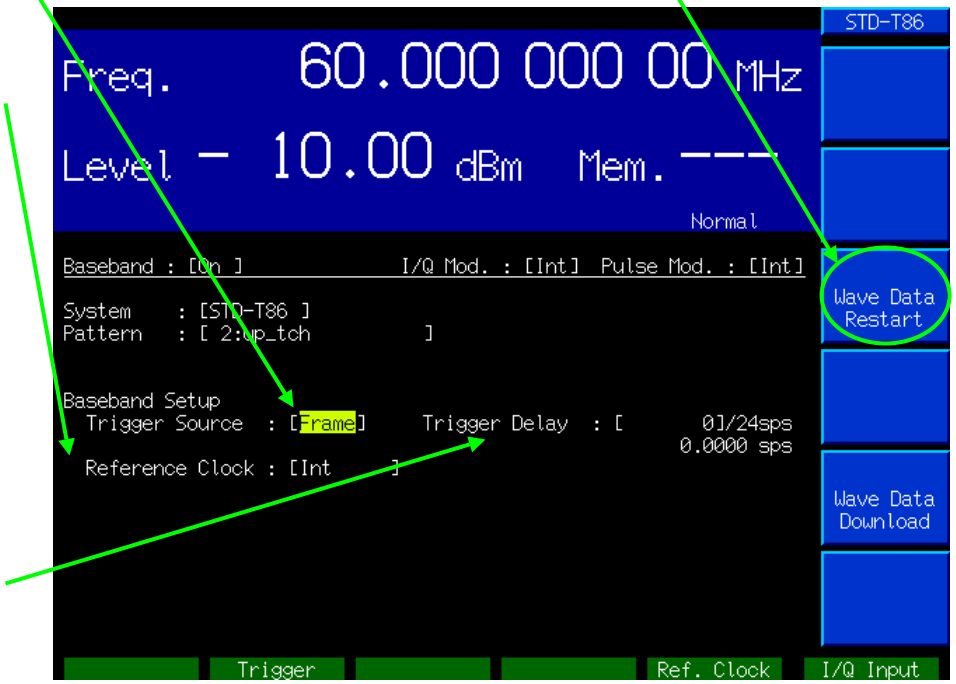


親局レシーバ　タイミングの同期　　設定例

- **外部Frame trigger 指定**
  - » 80 ms clockのTriggerを捕捉/同期
- **Reference clock:**
  同期誤差 ±1/24 symbol以内のジッタを解消したい場合に適用
  - » [Ref. Clock] Input適用ケース
    - – Reference Clock : [Ext(TTL)]
      - 24× 11.25 kHz (270 kHz)
  - » [10MHz/13MHz Ref] Input適用ケース
    - – Reference Clock : [Int]

- **Frame trigger ディレイ**
  - » 0 ~ +16,777,215 /24 symbol
    1/24 symbol 分解能
  - » Triggerからのディレイ
    + 0 symbol
    - – 0 ~ 699,050 symbol

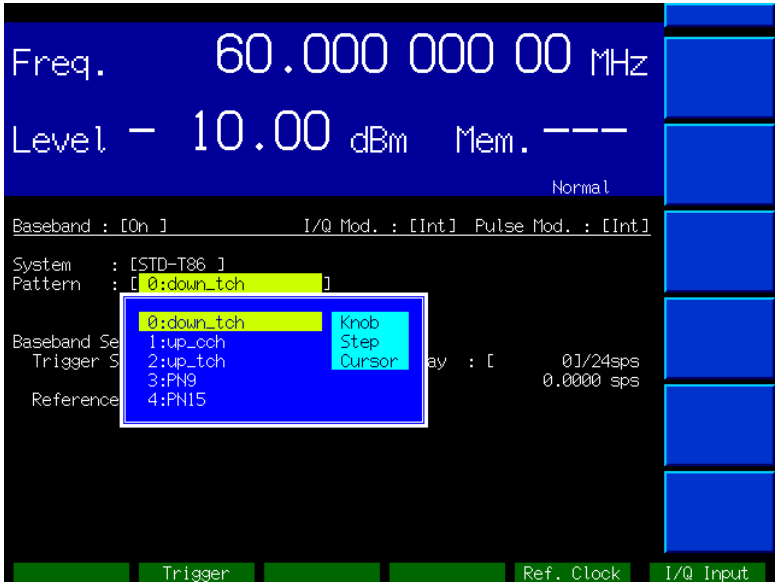
- **Trigger 再捕捉/同期**



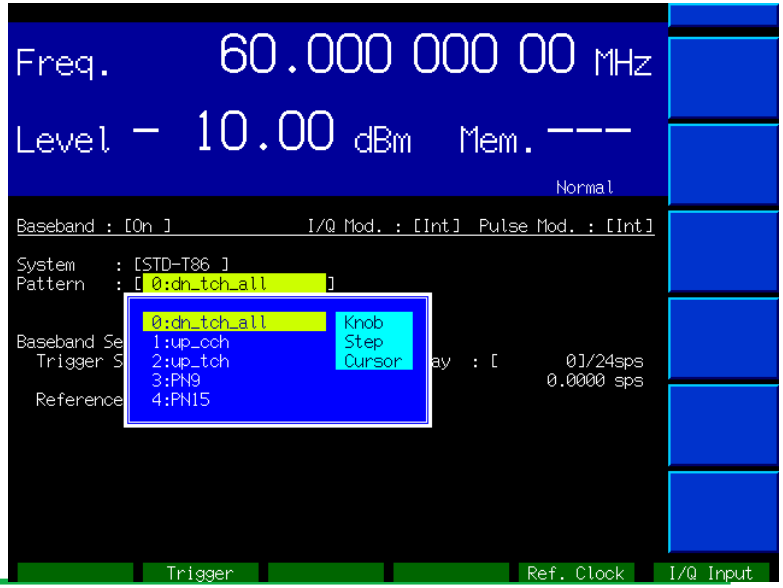
e.g.
- » Triggerから40 ms後にCCH, TCH(バースト)出力ケース
  - 10,800 /24 symbol

希望/干渉 信号発生器　　設定例

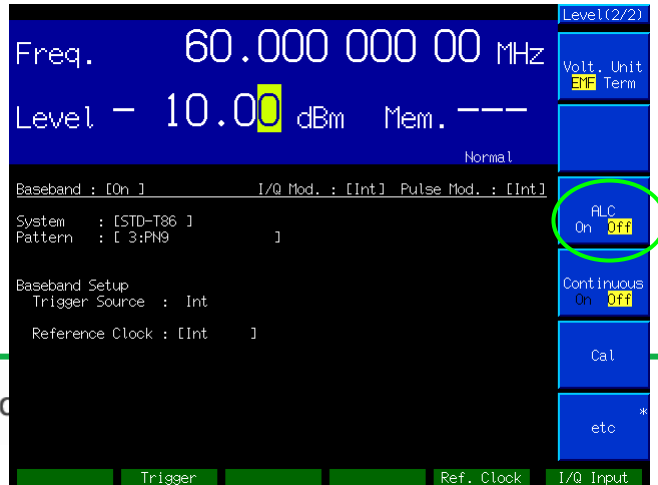
- 希望信号発生器
  - » 親局テスト
    - – Uplink TCH
  - » 子局テスト
    - – Downlink TCH
      - – スロット0: CCH
      - – スロット1/2/4/5: TCH
    - – Downlink TCHオール
      - – スロット0 ~ 5: TCH



- 干渉信号発生器
  - – PN15



- **ALC off**

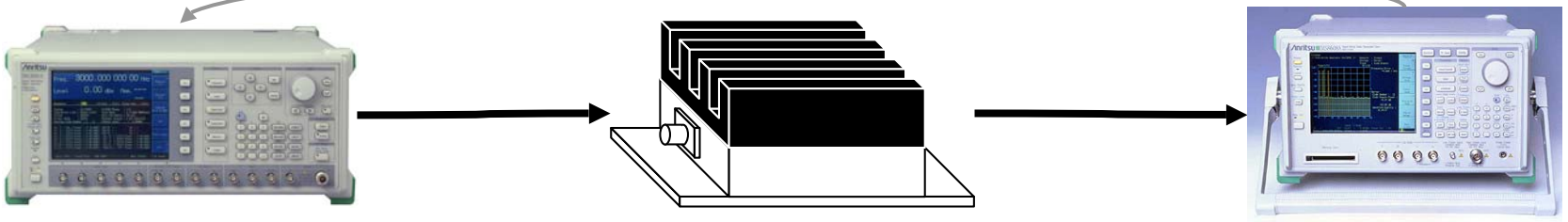


RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368037D

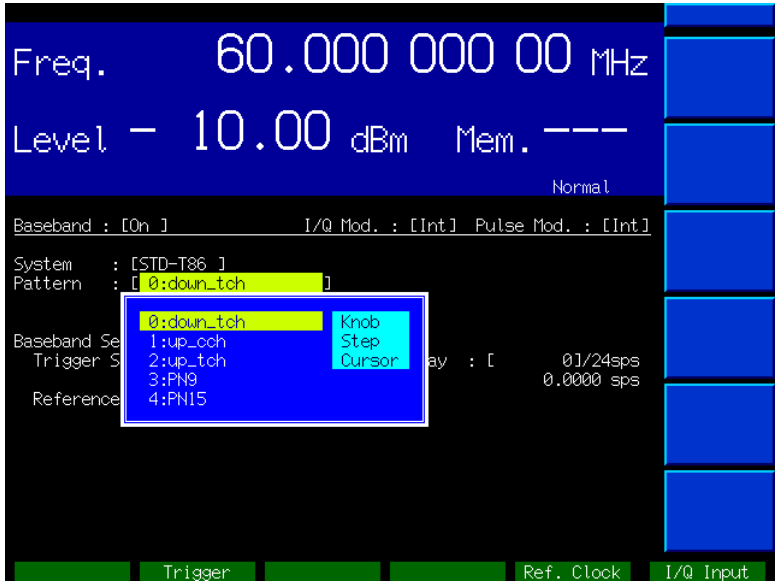
シグナルアナライザ
(MS8600/MS2680)

Reference clock

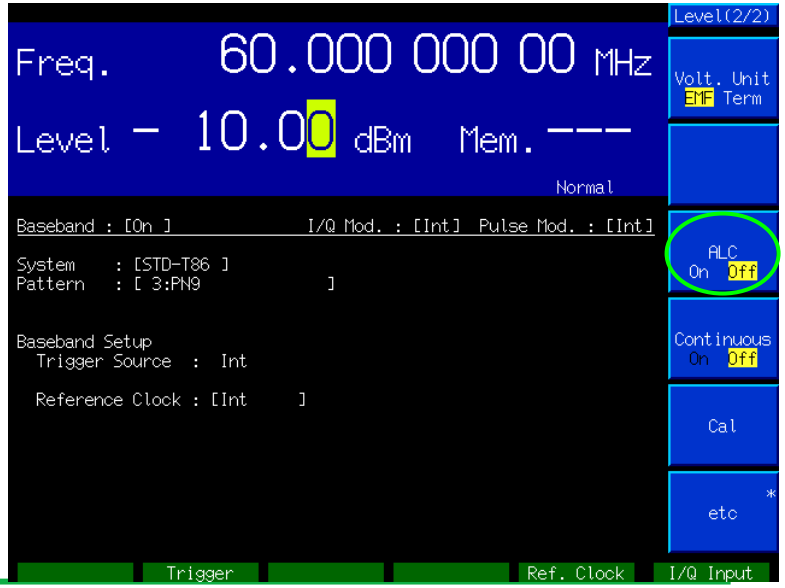


Signal　　設定例

- CCH,TCH(バースト)フォーマット
- 連続変調フォーマット

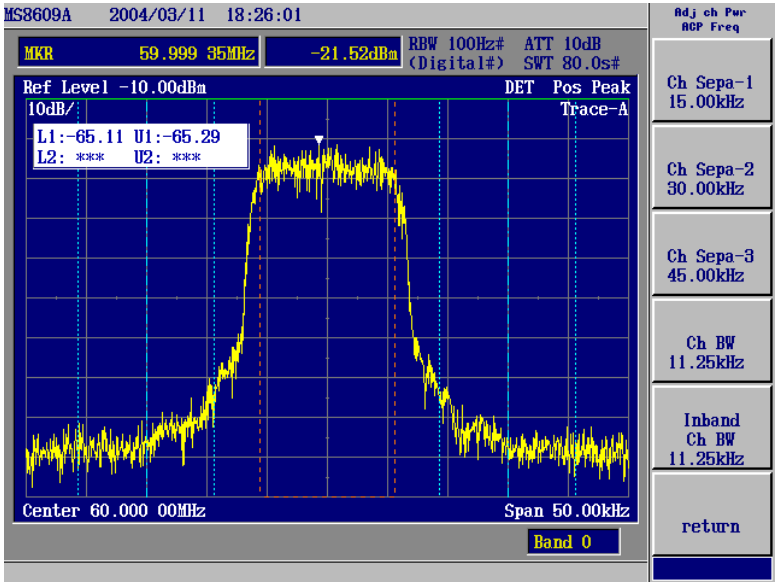


- ALC off

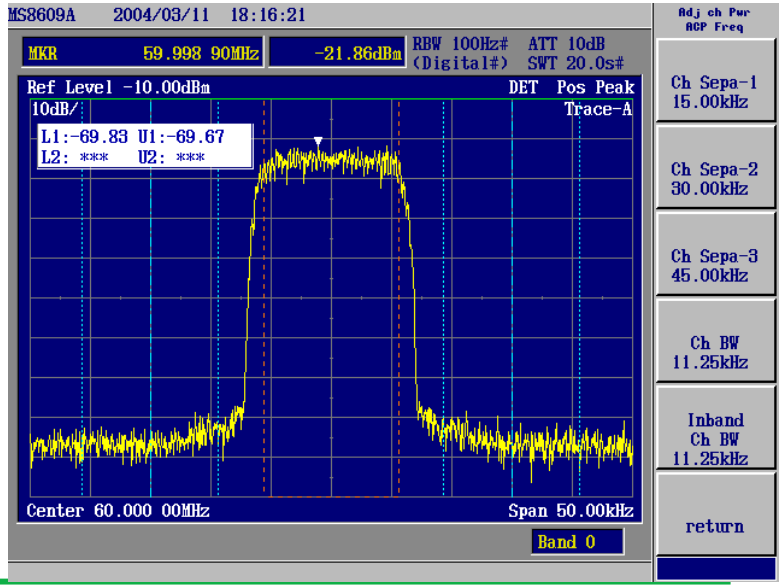


隣接チャネル漏洩電力比の対比

- **TCH(バースト)フォーマット**
  - » 15 kHz: +5 dB



- **連続変調フォーマット**

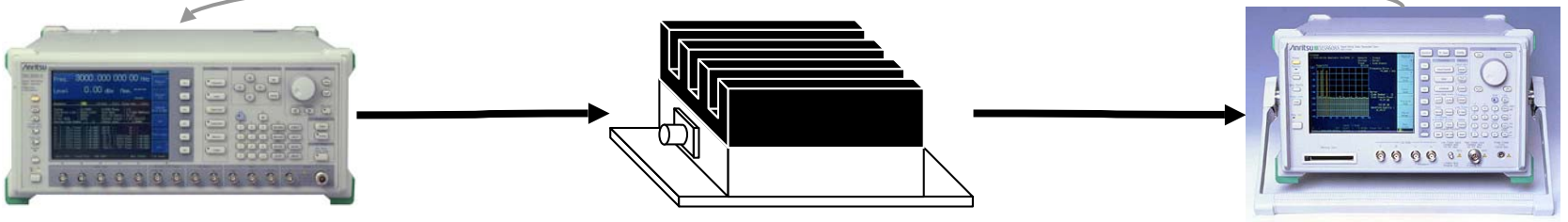


NADC IS-136
RF/IFコンポーネンツ テストの接続例

信号源
MG3681A
+MU368030A+MX368031A

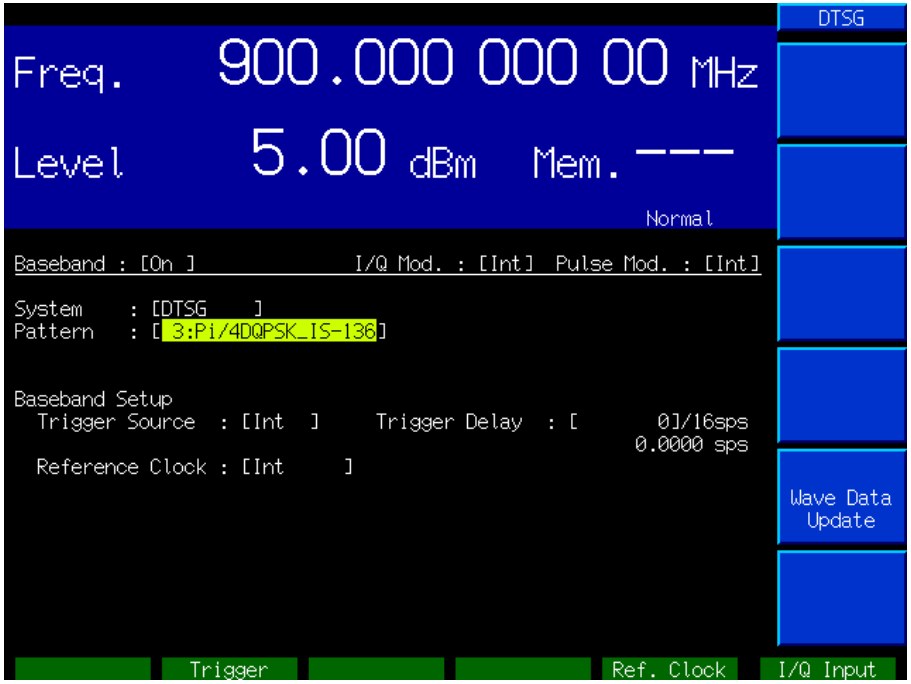
シグナルアナライザ
(MS8600/MS2680)

Reference clock



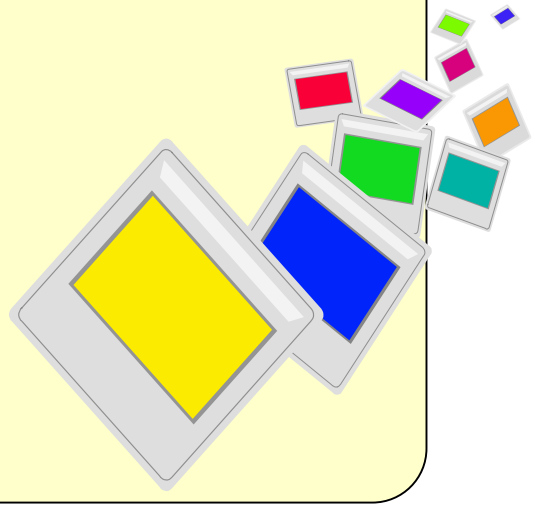
Signal　　設定例

- 連続変調フォーマット



オプション

- 製品概要
- 特徴
- アプリケーション
- オプション



- **MG3681A-01, 02** 337
  - » 基準水晶発振器
- **MG3681A-11** 340
  - » 拡張I/Q信号出力
- **MG3681A-21** 344
  - » AFシンセサイザ
- **MG3681A-42** 347
  - » RFハイレベル出力

- **MA2512A** 352
  - » バンドパスフィルタ

MG3681A-01, 02　基準水晶発振器

- 高安定な内部基準発振器に付替えることができます

	標準	MG3681A-01	MG3681A-02
エージングレート	$\pm 1 \times 10^{-6}$ /年	$\pm 5 \times 10^{-9}$ /日 ($\pm 5 \times 10^{-8}$ /年)	$\pm 5 \times 10^{-10}$ /日 ($\pm 2 \times 10^{-8}$ /年)
起動特性		$\pm 1 \times 10^{-7}$	$\pm 1 \times 10^{-7}$
温度安定度(0 ~ 50 °C)	$\pm 1 \times 10^{-6}$	$\pm 3 \times 10^{-8}$	$\pm 5 \times 10^{-9}$

* 起動特性: 作動 10 分経過後 (24 時間経過後を基準)

- 基準発振器のエージングレートにより周波数確度が決まります
  - » 周波数確度 = ± 出力周波数 × エージングレート × 校正経過期間

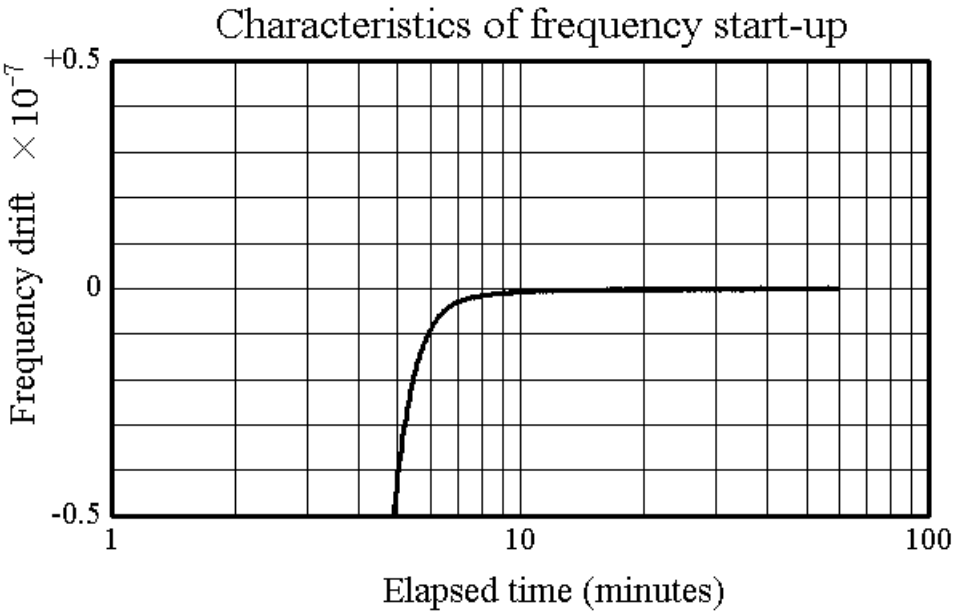
e.g.　2 GHz　1 年

= ± 2 kHz　* 標準

= ± 40 Hz　* MG3681A-02

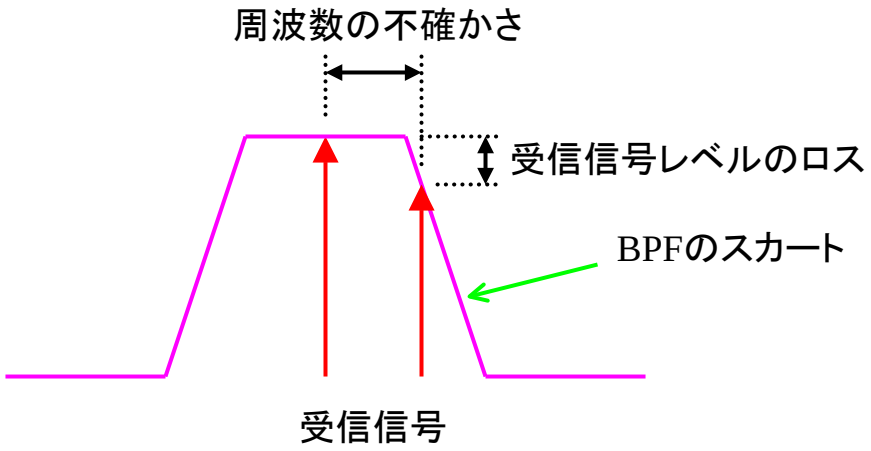
起動特性

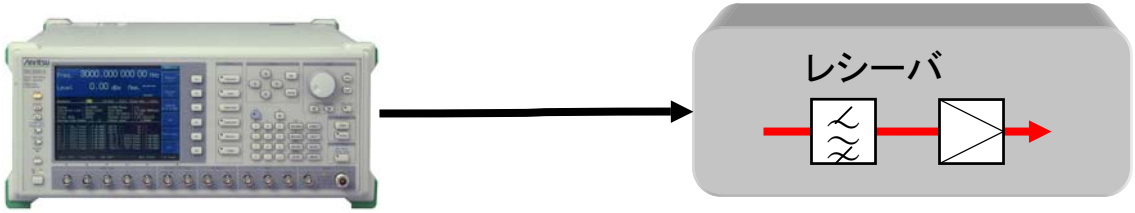
- **MG3681A-01,02の高安定な内部基準発振器は、主電源オンから わずか10分で周波数が安定するオーブン方式のOCXOを採用**
  - » 電源スタンバイ状態で、オーブンが予熱されているため、わずか10分の スタンバイ状態から電源オン直後に、周波数が安定
- **標準の内部基準発振器は、予熱不要のTCXOを採用**



レシーバ感度テストに対する周波数確度の影響

- 周波数の不確かさ(周波数確度)が大きいと、レシーバは真値より低下した感度としてテストされてしまいます
  - » 周波数の不確かさによって、受信信号がレシーバ内のBPFのスカートに位置すると、信号のレベルが損失

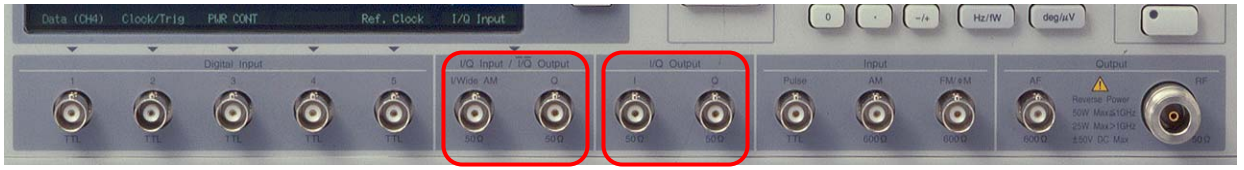




MG3681A-11　拡張I/Q信号出力

- **I/Q信号出力の電圧レベル, DCオフセットおよび直交度を可変できます**
  - » 電圧レベル:　80 ~ 120 %　分解能　0.1 %
    - – システムソフトウェア毎にRMSレベル($\sqrt{I^2+Q^2}$)を仕様化
  - » DCオフセット:　-0.5 ~ +1.5 V　分解能　0.5 mV
  - » 直交度:　-5 ~ +5 °　分解能　0.5 °

- **差動I/Q信号を出力できます**
  - » I/Q信号の反転信号(振幅が等しく極性が逆)である$\bar{I}$/$\bar{Q}$信号を出力



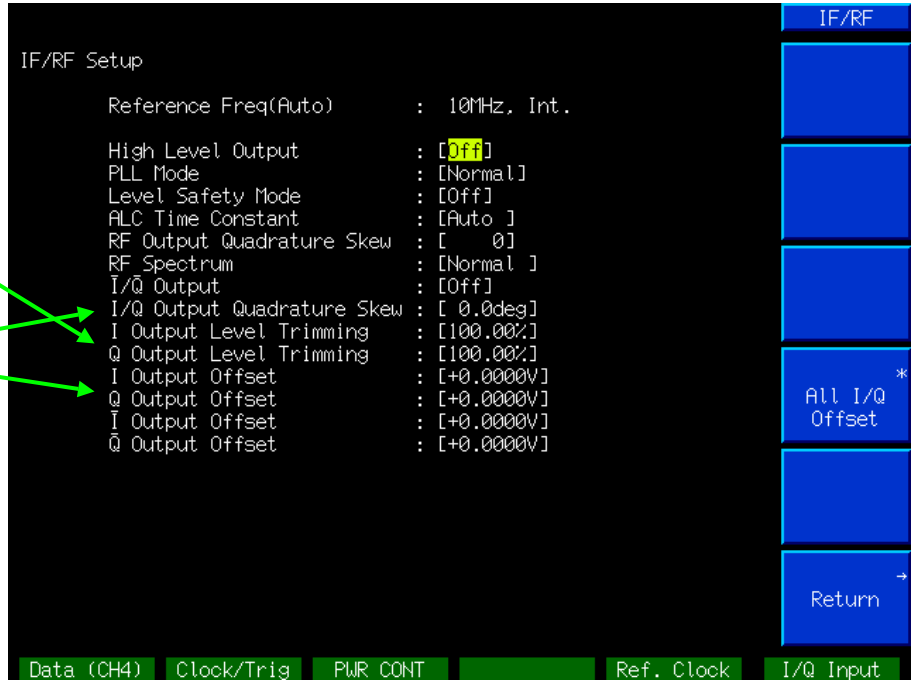
$\bar{I}$/$\bar{Q}$信号出力　　I/Q信号出力

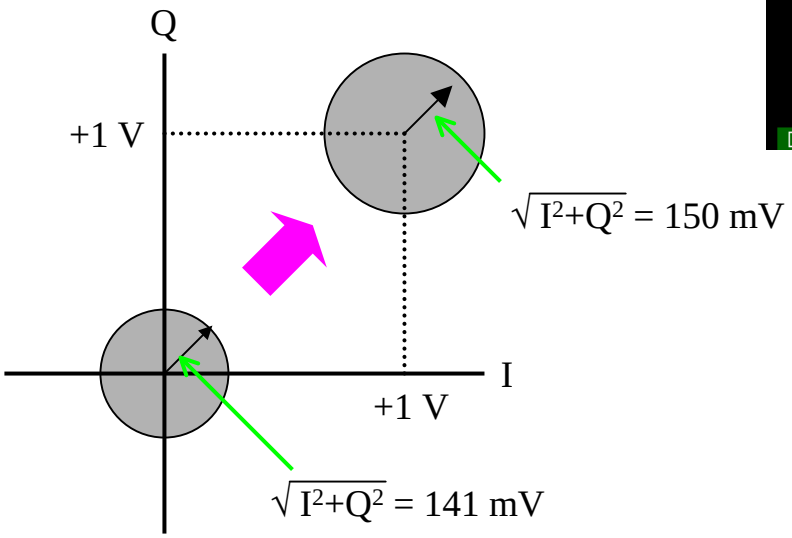
電圧レベル, DCオフセットおよび直交度の可変の用途

- **ベクトル変調器をテストするために、信号源にはベクトル振幅, 駆動DC電圧およびI/Q直交度の設定が必要です**
  - » ベクトル振幅(Vector Magnitude)
    - – 電圧レベルをベクトル変調器のRMSレベルに設定
  - » 駆動DC電圧
    - – 単電源方式のベクトル変調器を駆動するために、DCオフセットを駆動電圧に設定
  - » 直交度
    - – ベクトル変調器のI/Q直交度(90 °)の誤差をキャンセルするために、直交度を設定

電圧レベル, DCオフセットおよび直交度の可変

- 設定例
  - » 電圧レベル
    - – 仕様化された141 mV(rms)
      → 150 mV(rms) ≈ 106 %
  - » DCオフセット
    - – +1 V
  - » 直交度
    - – 微同調



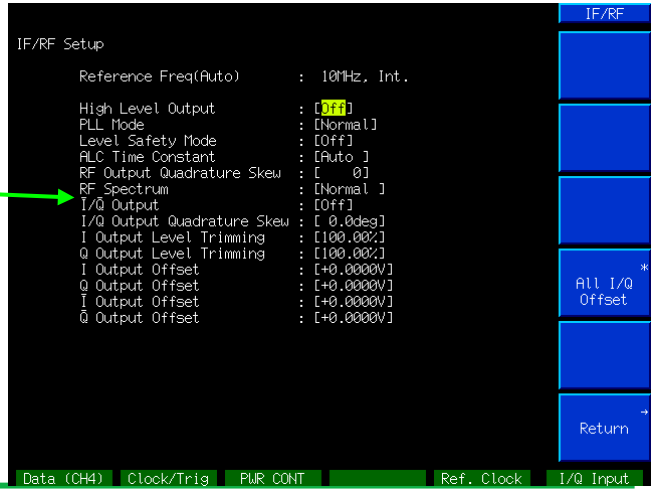


差動I/Q信号の用途

- 平衡デバイスであるベクトル変調器やベースバンドLSIをテストするために、信号源にはI,Ī,Q,Q̄平衡の出力が必要です

- I/Q入力デバイスにおいて、平衡入力は、I,Q不平衡(シングルエンド)入力に比べ、振幅エラーやノイズを低減できる利点があります
  - » グランドループによる振幅エラーの低減
    - – 信号源のグランドと入力デバイスのグランドが同等な電位ではないことが原因
  - » 信号線ノイズの低減
    - – 環境のノイズが信号線にピックアップされることが原因

- 差動I/Q信号を出力するには
  - » Ī/Q̄ Output : [On]



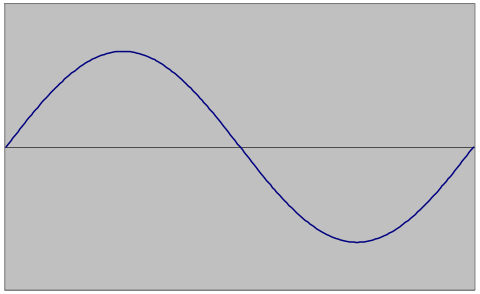
MG3681A-21　AFシンセサイザ

- **AFを出力できます**

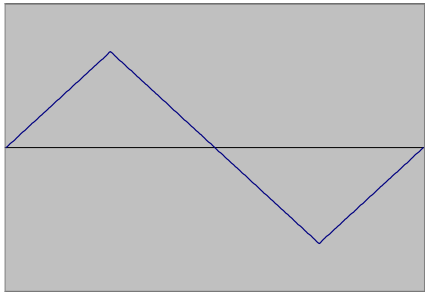


» 0.01 Hz ~ 400 kHz　　分解能　0.01 Hz

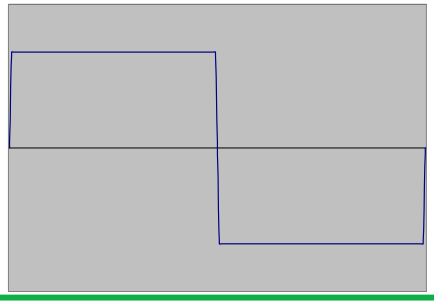
正弦波(Sine)



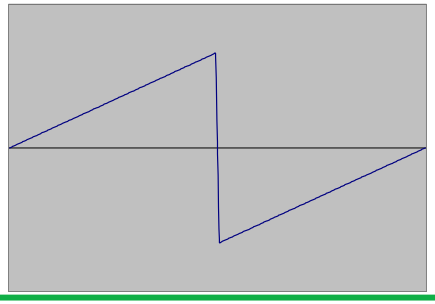
三角波(Triangle)



方形波(Square)

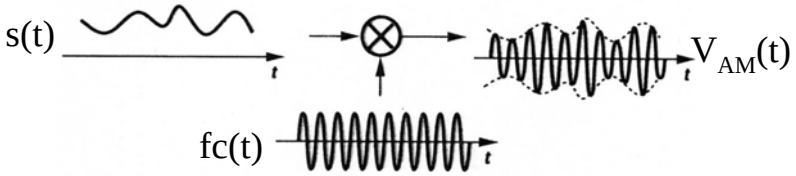


ノコギリ波(Sawtooth)

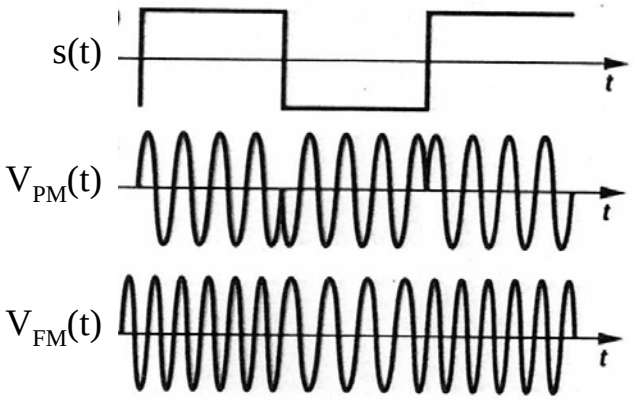


MG3681A-21　AFシンセサイザ

- 内部アナログ変調信号を出力できます
  - » AM
    - – $V_{AM}(t) = Ac\,[1 + m\,s(t)]\cos(2\pi fc\,t)$
      - m: 変調指数(変調度)
  - » FM
    - – $V_{FM}(t) = Ac\cos[2\pi fc\,t + m\int s(t)dt]$
      - m: 周波数変調指数(周波数偏移)
  - » ϕM (PM)
    - – $V_{PM}(t) = Ac\cos[2\pi fc\,t + m\,s(t)]$
      - m: 位相変調指数(位相偏移)

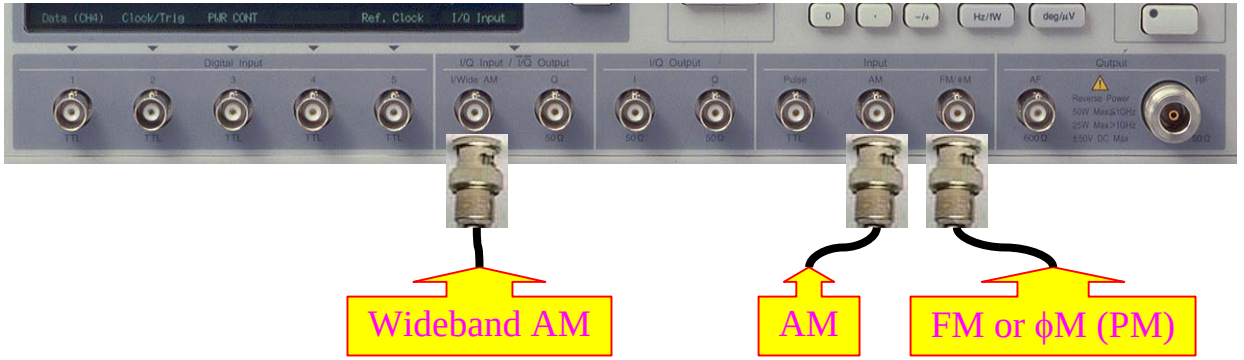


- Ac: 搬送波の振幅
- s(t): 変調信号(AF)
- fc: 搬送周波数(RF)

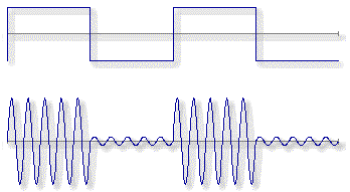


外部アナログ変調

- 変調信号(AF)を入力



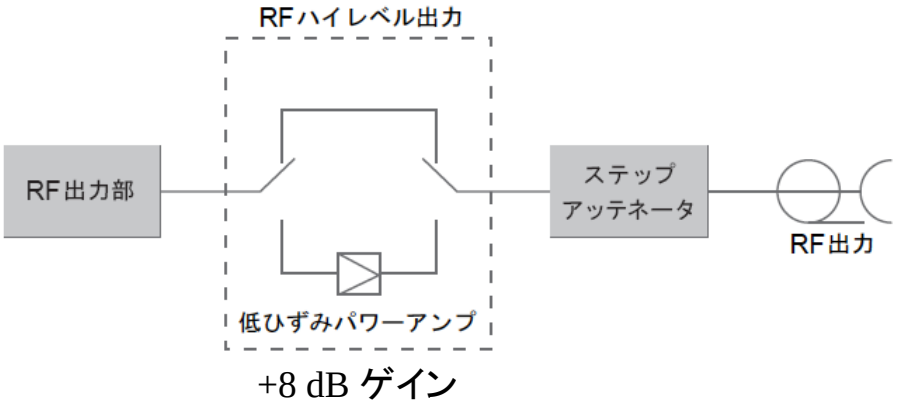
- **Wideband AM**
  - » 広帯域(高速)なビデオ変調に適用可
  - » AMにてASK変調を実現
    - – 変調信号
    - – ASK

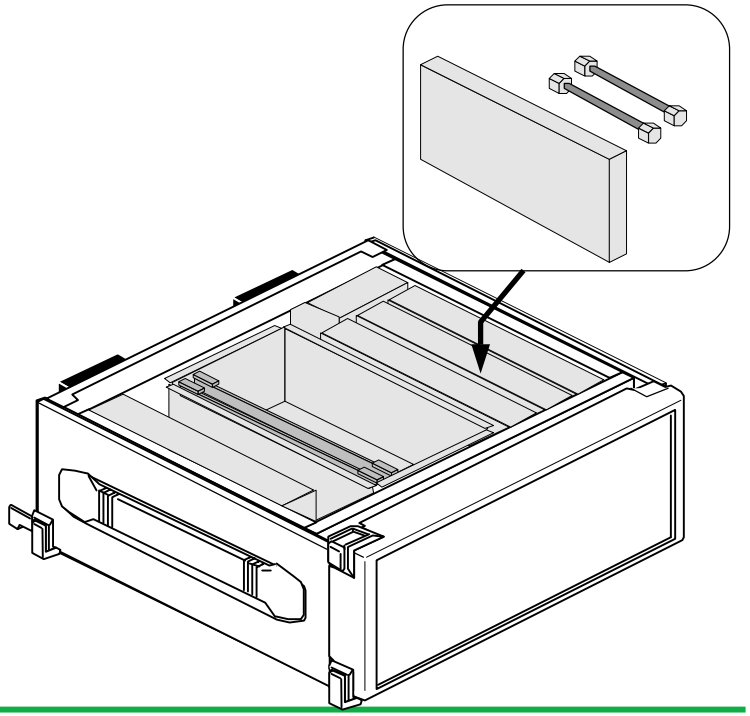




MG3681A-42　RFハイレベル出力

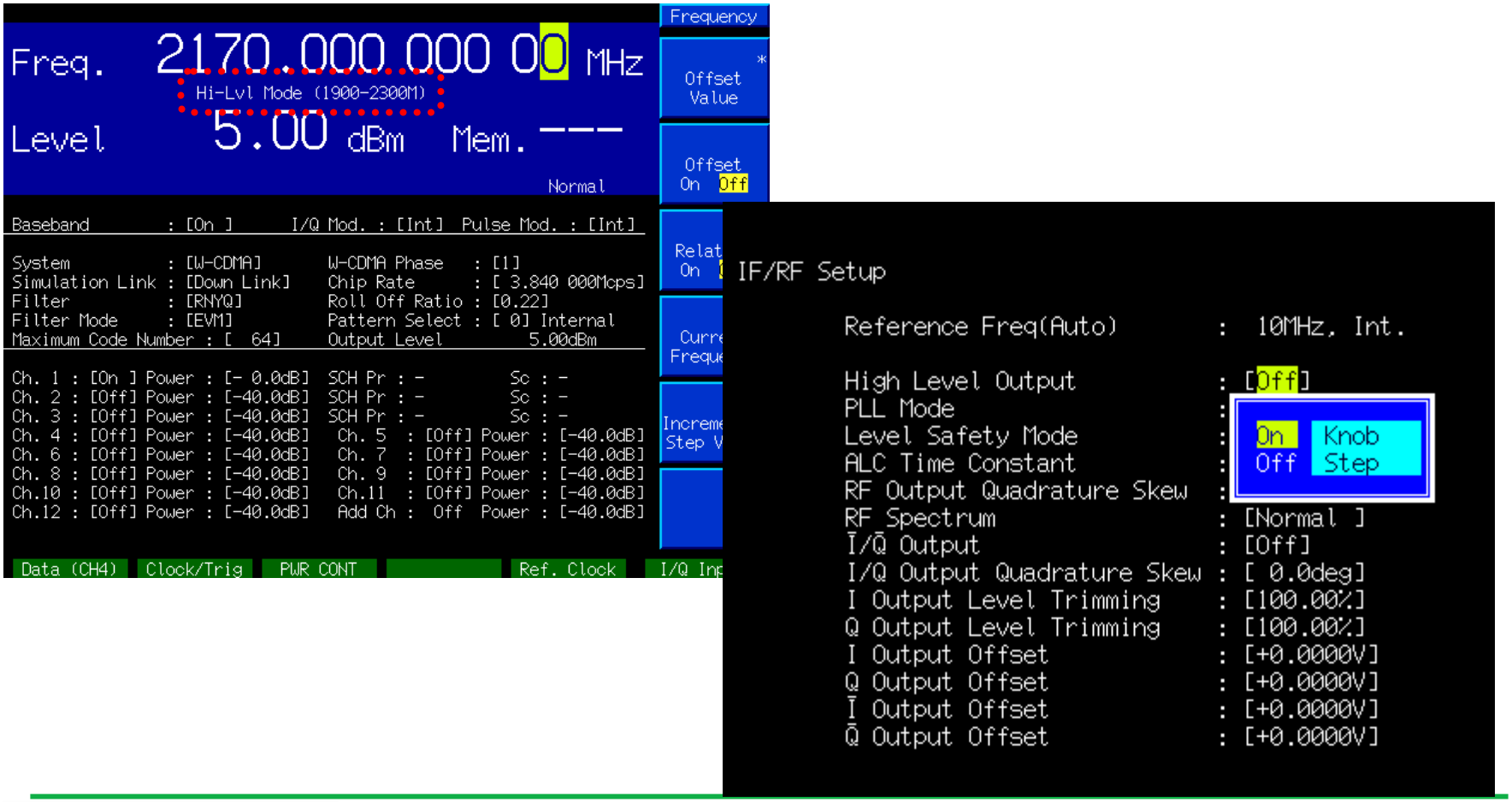
- **隣接チャネル漏洩電力比を悪化させずに、CDMA変調信号のRF出力レベル範囲を8 dBゲインできます**
  - » IMT-2000システムの周波数バンドである1.9～2.3 GHzを出力時
  - » W-CDMA/CDMA2000変調では、+5 dBmまでACLRが劣化せず





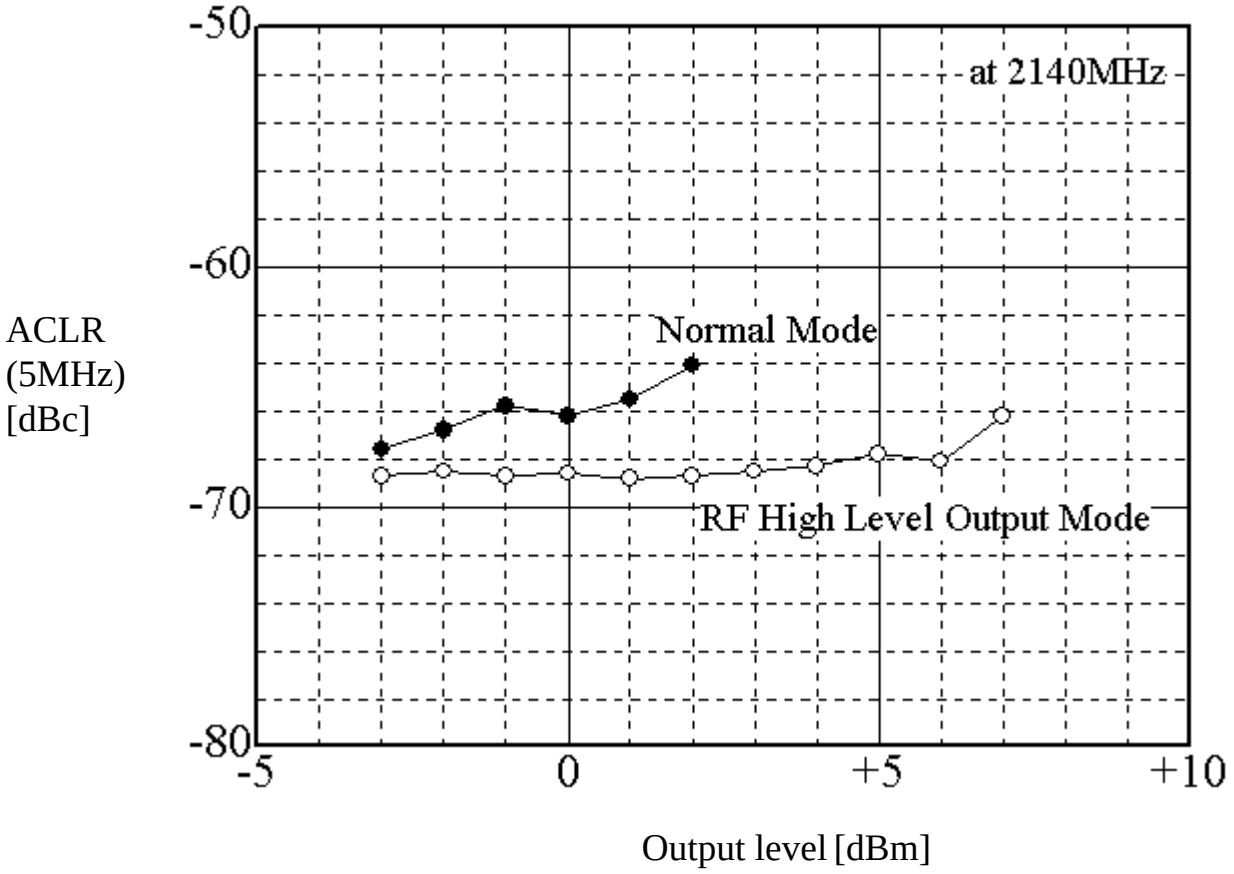
用途

- 高い入力レベルが必要なパワーアンプ用信号源に適しています



Typ. ACLR

- **W-CDMA**
  - » Test Model 1: 16 DPCH

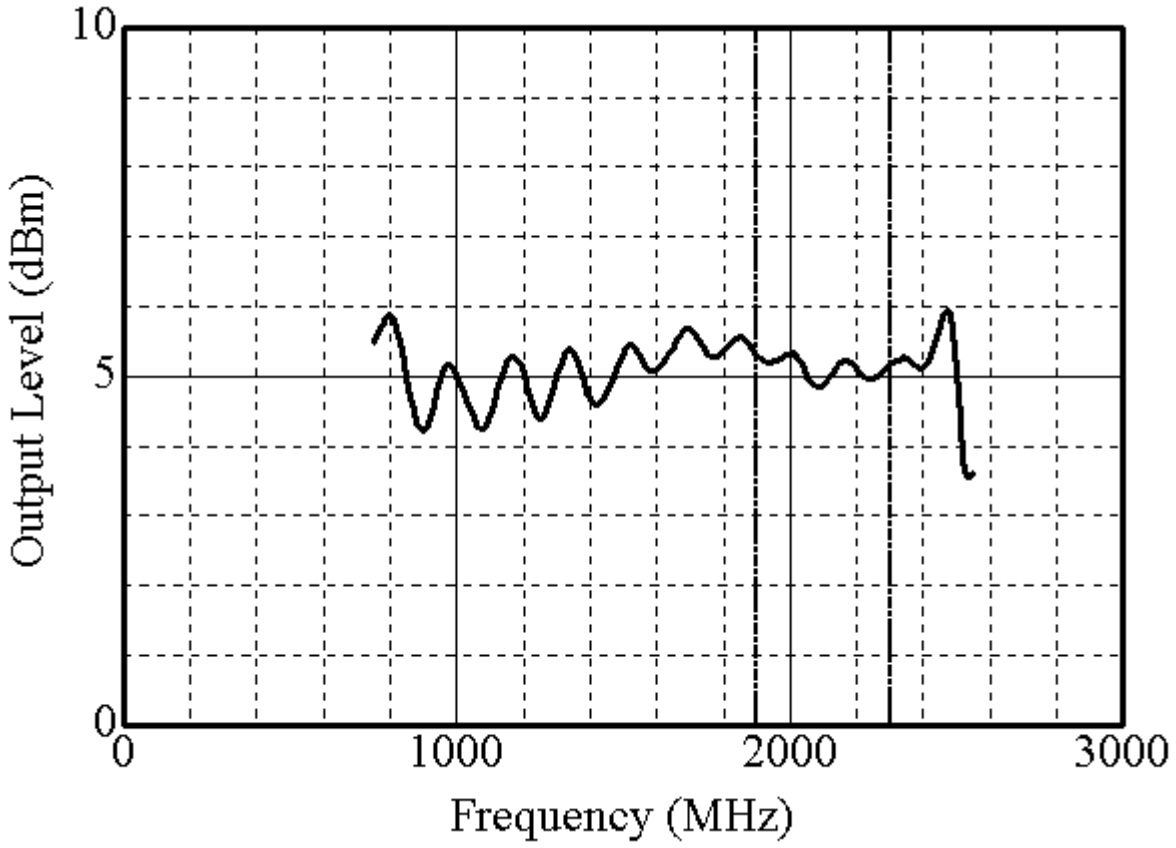


最大出力レベル　(1.9~2.3 GHz)

	標準	MG3681A-42
	+8 dB ゲイン	
W-CDMA変調		
多重チャネル数 :	dBm	dBm
» 1~7 :	+5	+13
» 8~12 :	+4	+12
» 13~15 :	+3	+11
» 16~19 :	+2.14	+10.14
» 20~31 :	+2	+10
» 32~50 :	+1	+9
» 51~ :	0	+8
CDMA2000変調		
»	+5	+13
	ゲインせず	
CW		
»	+17	Typ.+19 (設定: +25)

Typ.出力レベル周波数特性

- **Level +5 dBm 設定　(CW)**



MA2512A バンドパスフィルタ

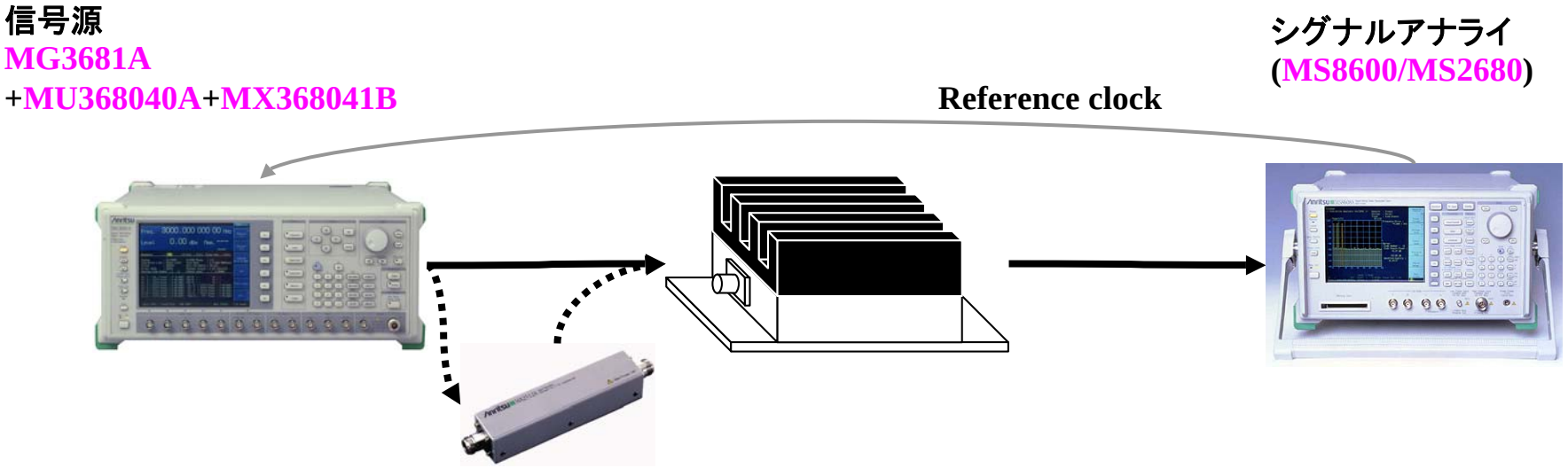
- 信号発生器の不要なスプリアス信号を減衰できます
  - » IMT-2000システムの周波数バンドである1.92~2.17 GHzを出力時
  - » 振幅リップルや群遅延特性が優れ、信号の変調精度が劣化せず





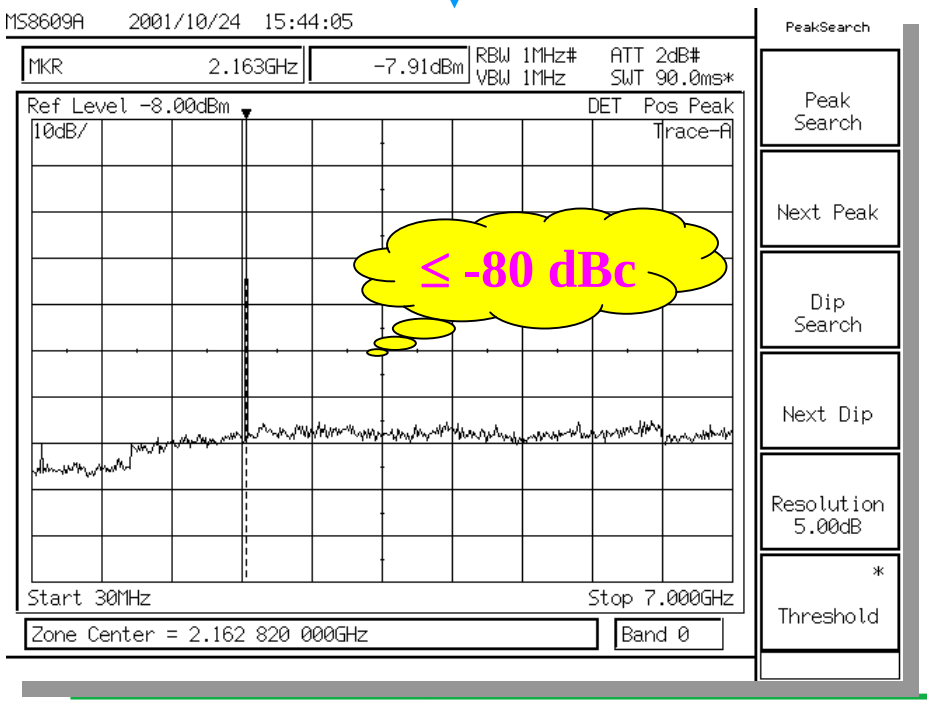
用途

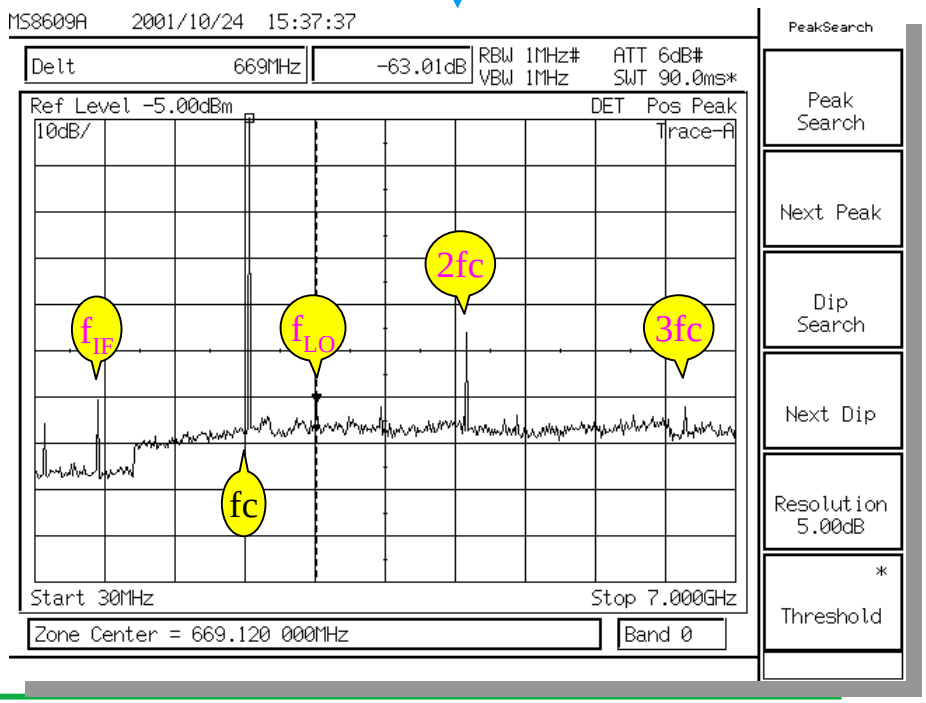
- スプリアス信号がコンポーネンツ評価を妨げるケース
  - » MG3681Aのスプリアス信号
    - – 660 MHz (IFリーケージ)
    - – +660 MHzオフセット (Localリーケージ)
    - – 2×周波数/3×周波数 (2nd/3rd高調波)



スプリアス改善



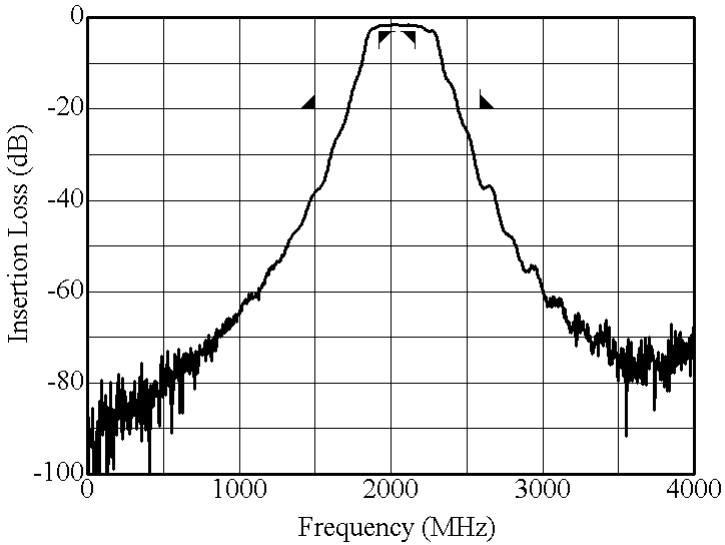

MS8609A 2001/10/24 15:44:05
MKR 2.163GHz
-7.91dBm
RBW 1MHz#
VBW 1MHz
ATT 2dB#
SWT 90.0ms*
Ref Level -8.00dBm
DET Pos Peak
10dB/
Trace-A
≤ -80 dBc
Start 30MHz
Stop 7.000GHz
Zone Center = 2.162 820 000GHz
Band 0
PeakSearch
Peak Search
Next Peak
Dip Search
Next Dip
Resolution 5.00dB
Threshold

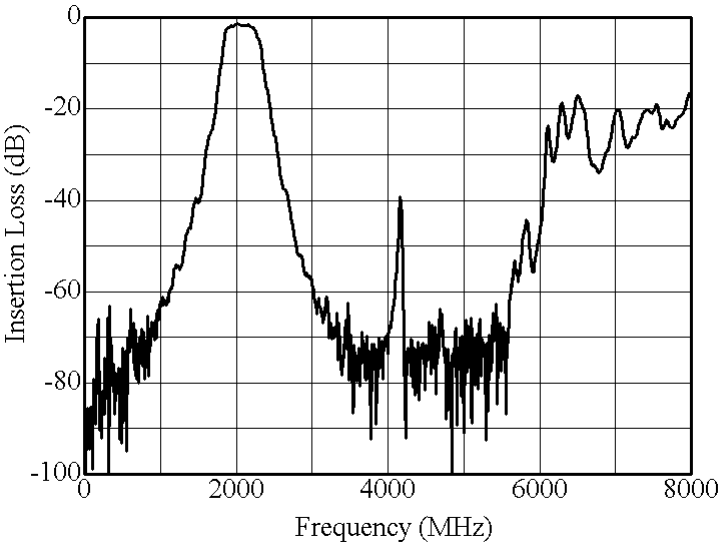

MS8609A 2001/10/24 15:37:37
Delt 669MHz
-63.01dB
RBW 1MHz#
VBW 1MHz
ATT 6dB#
SWT 90.0ms*
Ref Level -5.00dBm
DET Pos Peak
10dB/
Trace-A
fIF
fLO
fc
2fc
3fc
Start 30MHz
Stop 7.000GHz
Zone Center = 669.120 000MHz
Band 0
PeakSearch
Peak Search
Next Peak
Dip Search
Next Dip
Resolution 5.00dB
Threshold

損失 周波数特性

パスバンド
- 1.92~2.17 GHz
  (IMT-2000システム帯域)
- 挿入損失　≤ 3.5 dB
- リターンロス　≥ 15 dB

フィルタバンド
- DC ~ 1.5 G,　2.58 ~ 7 GHz
- 減衰量　≥ 20 dB (< 5 GHz)
  ≥ 10 dB (≥ 5 GHz)

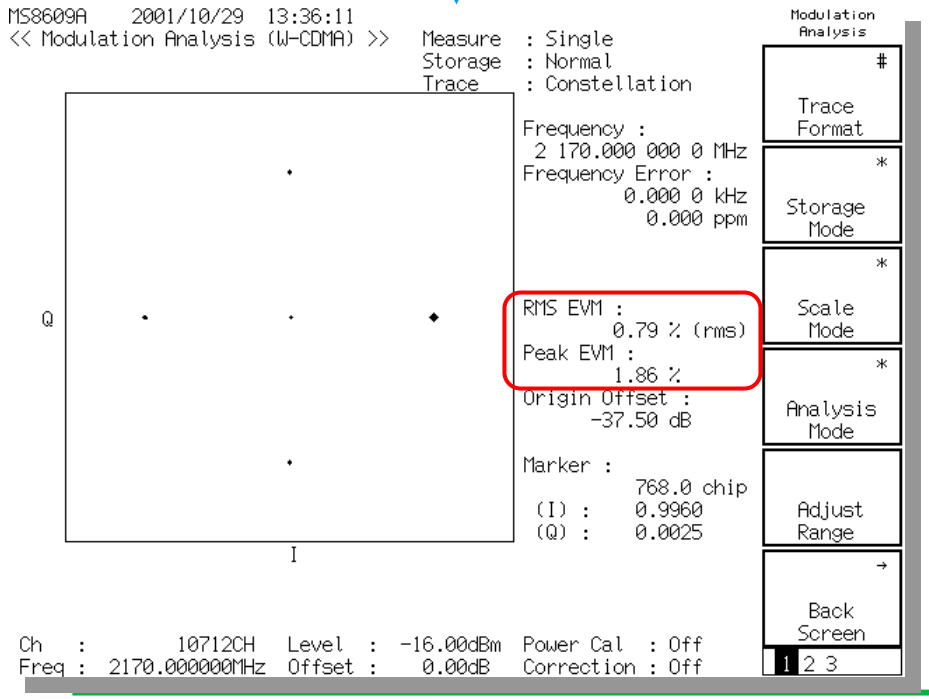


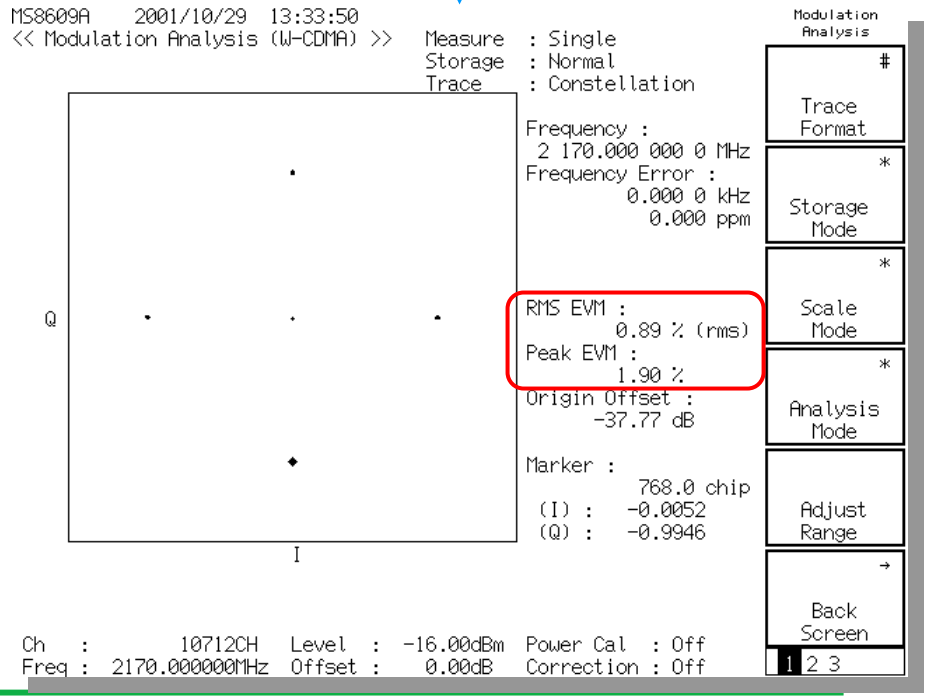


劣化しない変調精度

- **振幅リップル**
  - » ≤ 0.2 dB (5 MHzBW)
- **群遅延特性**
  - » ≤ 1 ns (5 MHzBW)







Anritsu

お見積り、ご注文、修理などは、下記までお問い合わせください。記載事項は、おことわりなしに変更することがあります。

アンリツ株式会社 http://www.anritsu.co.jp

本社	〒243-8555 神奈川県厚木市恩名 5-1-1	TEL 046-223-1111
厚木	〒243-0016 神奈川県厚木市田村町8-5	
	計測器営業本部	TEL 046-296-1202 FAX 046-296-1239
	計測器営業本部 営業推進部	TEL 046-296-1208 FAX 046-296-1248
	ネットワークス営業本部	TEL 046-296-1205 FAX 046-296-1250
新宿	〒160-0023 東京都新宿区西新宿6-14-1 新宿グリーンタワービル	
	計測器営業本部	TEL 03-5320-3560 FAX 03-5320-3561
	ネットワークス営業本部	TEL 03-5320-3552 FAX 03-5320-3570
	東京支店(官公庁担当)	TEL 03-5320-3559 FAX 03-5320-3562
札幌	〒060-0042 北海道札幌市中央区大通西5-8 昭和ビル	
	ネットワークス営業本部北海道支店	TEL 011-231-6228 FAX 011-231-6270
仙台	〒980-0811 宮城県仙台市青葉区一番町2-3-20 第3日本オフィスビル	
	計測器営業本部	TEL 022-266-6134 FAX 022-266-1529
	ネットワークス営業本部東北支店	TEL 022-266-6132 FAX 022-266-1529
大宮	〒330-0081 埼玉県さいたま市中央区新都心4-1 FSKビル	
	計測器営業本部	TEL 048-600-5651 FAX 048-601-3620
名古屋	〒450-0002 愛知県名古屋市中村区名駅3-20-1 サンシャイン名駅ビル	
	計測器営業本部／ネットワークス営業本部中部支店	
		代表 052-582-7281 FAX 052-569-1485
大阪	〒564-0063 大阪府吹田市江坂町1-23-101 大同生命江坂ビル	
	計測器営業本部／ネットワークス営業本部関西支店	
		代表 06-6338-6700 FAX 06-6338-8118
広島	〒732-0052 広島県広島市東区光町1-10-19 日本生命光町ビル	
	計測器営業本部／ネットワークス営業本部中国支店	
		TEL 082-263-8501 FAX 082-263-7306
福岡	〒812-0004 福岡県福岡市博多区榎田1-8-28 ツインスクェア	
	計測器営業本部	TEL 092-471-7656 FAX 092-471-7699
	ネットワークス営業本部九州支店	TEL 092-471-7655 FAX 092-471-7699

再生紙を使用しています。

計測器の使用方法、その他については､下記までお問い合わせください。

計測サポートセンター

TEL: 0120-827-221、FAX: 0120-542-425
受付時間／9：00～17：00、月～金曜日(当社休業日を除く)
E-mail: MDVPOST@anritsu.com

● ご使用の前に取扱説明書をよくお読みのうえ、正しくお使いください。 0909

■本製品を国外に持ち出すときは、外国為替および外国貿易法の規定により、日本国政府の輸出許可または役務取引許可が必要となる場合があります。また、米国の輸出管理規則により、日本からの再輸出には米国商務省の許可が必要となる場合がありますので、必ず弊社の営業担当までご連絡ください。

No. MG3681A-J-I-1-(10.00) 公知 2009-12 PRS