Anritsu envision : ensure

56G/64G bit/s テストソリューション

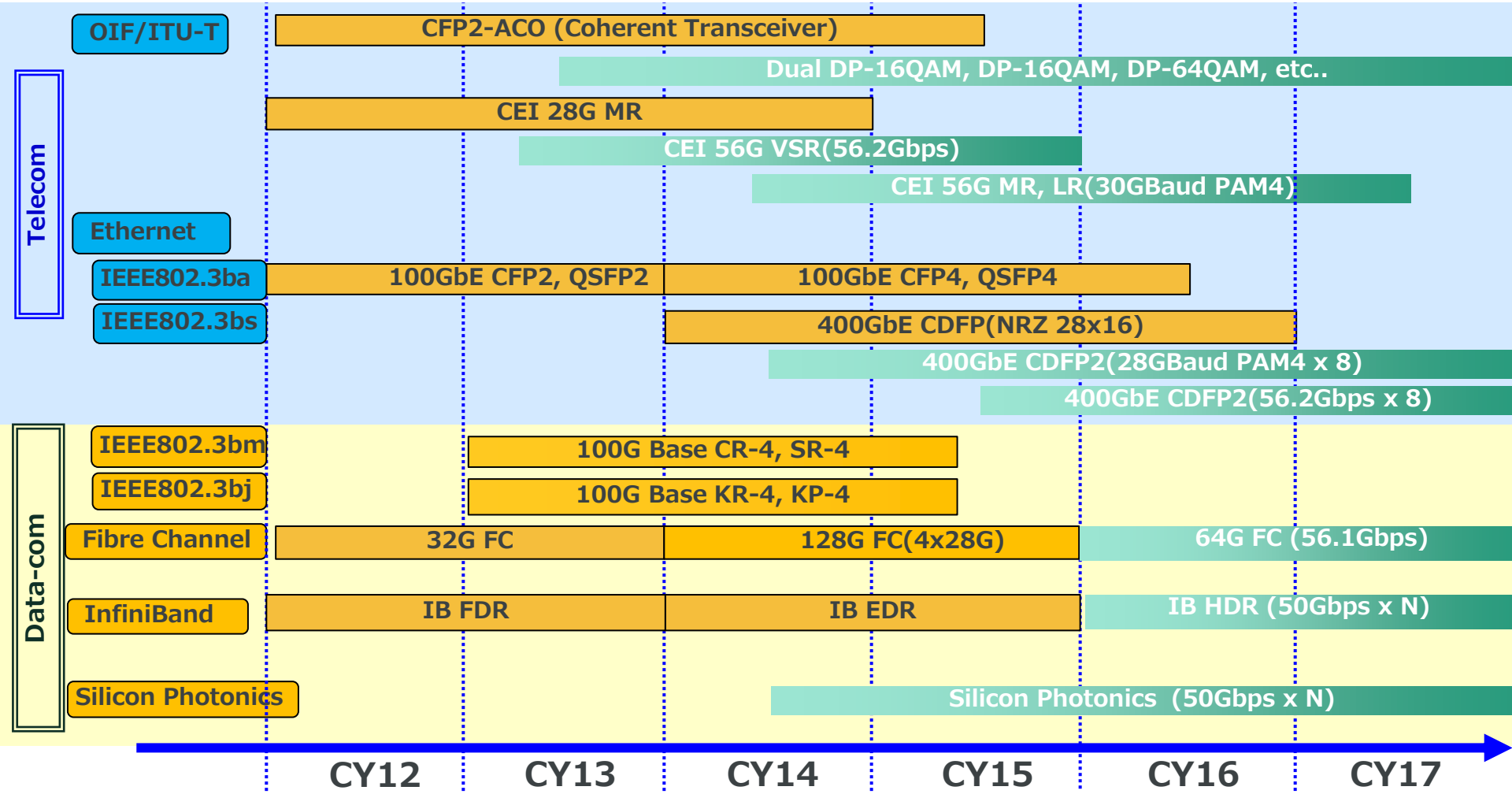
56G/64G bit/s MUX MP1861A

56G/64G bit/s DEMUX MP1862A

はじめに

- クラウドコンピューティングサービスの普及により、データセンタの情報量は急速に増大し、サーバーやネットワーク機器の通信速度を高速化するため、400GbE, CEI-56G など、新たな高速インタフェース規格が検討中
- 高速インタフェースに用いられるSERDESなどのPHYデバイスは、レシーバ特性として、ジッタトレランスなどのシグナルインテグリティ評価が重要な指標に
- MP1861A MUXおよびMP1862A DEMUXは、32 GBERTから拡張可能な外部BOX方式となっており、高品質波形のMUXや高受信感度のDEMUXは、PPG, ED, Jitter変調源を搭載するMP1800Aとの連動により、最高64.2 Gbit/sまでのシリアルNRZ Data発生、BER測定、各種ジッタ発生とジッタトレランス測定を可能

規格化動向



データトラフィック増大に伴い、400GbEの実現に向けて、56G NRZ方式やPAM4方式などの伝送が検討されています。

MP1861A/62A Target規格

市場動向 1/2

- Over 32Gの市場動向
  - ✓ IEEE802.3bs にて400GbEの審議がスタート、2015年ドラフト審議、2016年標準化に向けて、現在、ビットレート･変調方式(多値)･レーン数の効率性について議論中

Distance / Fiber	Modulation Format
100 m/MMF (400GBASE-SR16)	MPO-16 Fiber Cable 25 Gbaud NRZ, 16ch parallel
500 m/SMF (400GBASE-DR4(T.B.D.))	100G data on each fiber 1λ 50Gbaud PAM4
2 km/SMF (400GBASE-FR8)	WDM 8λ WDM 25Gbaud PAM4
10 km/SMF (400GBASE-LR8)	WDM 8λ WDM 25Gbaud PAM4

  - ✓ データセンター内などの短距離での必要項目
    - ➢ 高ビットレート(56G)
    - ➢ PAM4
    - ➢ マルチチャンネル

市場動向 2/2

✓ OIF（Optical Internetworking Forum)においても、400GbEに対応するデバイス間のインターフェース規格の審議中

Standard	Interface	Distance	Coding	Symbol Rate Class	Target BER	Tx Jitter Components	Rx Jitter Tolerance
CEI-56G-USR	Die to Die	0 – 10mm	NRZ	39.8-57.8G	1E-15	TJ : 0.44UI BUJ : 0.25UI RJ:0.24UI	–
CEI-56G-XSR	Chip to Optical Engine	0 – 50mm	NRZ	39.8-57.8G	1E-15	TJ : 0.28UI BUJ : 0.15UI RJ:0.15UI	–
		0 – 50mm	PAM4	19.6-30.0G	1E-15	TJ : 0.48UI BUJ : 0.15UI RJ:0.15UI	–
CEI-56G-VSR	Chip to Pluggable Module	0 – 150mm	NRZ	39.0-56.2G	1E-15	TJ : 0.28UI BUJ : 0.15UI RJ:0.15UI	TSJ, UUGJ, UBHPJ
		0 – 100mm	PAM4	19.6-30.0G	1E-6	TJ : 0.28UI BUJ : 0.15UI RJ:0.15UI	SJ, UUGJ, UBHPJ
CEI-56G-MR	Chip to Chip	0 – 500mm	PAM4	19.6-30.0G	1E-6	–	SJ
CEI-56G-LR	Back plane, Cupper cable	0 – 1000mm	TBD	TBD	TBD	–	–

May be changed due to specification discussions by OIF working group.

モデルラインナップ 1/2

- 56G/64G bit/s MUX/DEMUX

MP1861A 56G/64G bit/s MUX

MP1862A 56G/64G bit/s DEMUX

- 56G/64G bit/s BERT標準構成

MP1800A Max 6 slot

MP1861A

MP1862A

56G/64G Jitter BERT	56G/64G 2ch BERT	56G/64G 4ch BERT (2 box)	
32G PPG 2ch	32G PPG 4ch または 32G PPG 2ch x 2	32G PPG 4ch または 32G PPG 2ch x 2	32G ED 4ch または 32G ED 2ch x 2
32G ED 2ch	32G ED 4ch または 32G ED 2ch x 2	32G PPG 4ch または 32GPPG 2ch x 2	32G ED 4ch または 32G ED 2ch x 2
Synthesizer (2 Slots)	4Port Synthesizer (2 Slots)	4Port Synthesizer (2 Slots)	
Jitter Generator (2 Slots)			
64G MUX	64G MUX	64G MUX	64G DEMUX
64G DEMUX	64G MUX	64G MUX	64G DEMUX
	64G DEMUX	64G MUX	64G DEMUX
	64G DEMUX	64G MUX	64G DEMUX

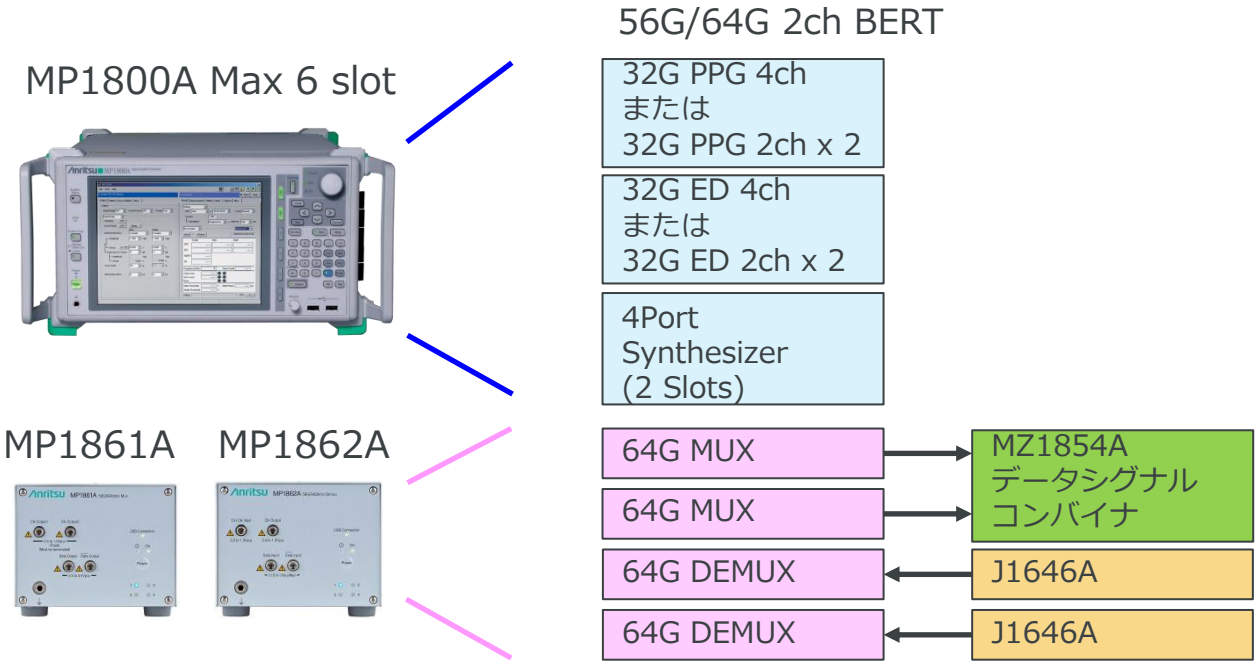
モデルラインナップ 2/2

- MZ1854A データタシグナルコンバイナ
- J1646A パッシリニアイコライザ6dB

MZ1854A データタシグナルコンバイナ

J1646A Passive Equalizer 6dB(Vコネクタ)

- 56G/64G bit/s BERT標準構成



New 64 Gbit/s Solution特長

優れた拡張性：将来にわたって投資を保護

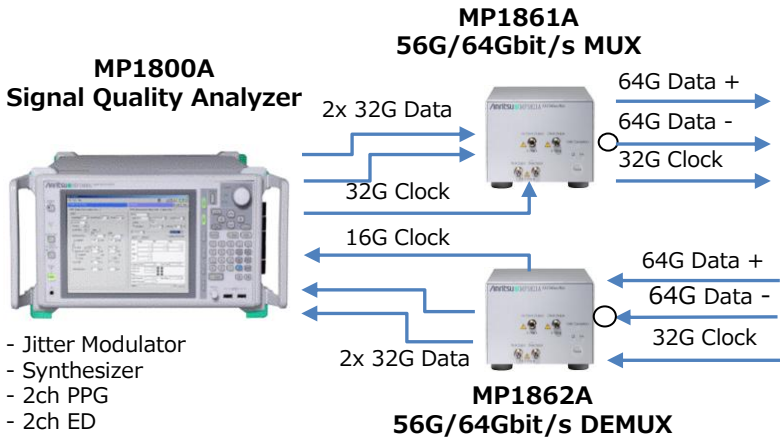
- 最大4ch：Multi-Channel同期パターン発生、同時BER解析

優れた信号品質、受信感度：半導体チップ特性を高精度に測定

- 低残留ジッタ波形：RJ = 200 fs rms（typ.）
- 振幅可変：最大3.5 Vp-p出力
- 入力感度：25 mV（typ.、Single-end、Eye Height）
- 2Tap Emphasis信号発生 (57.8 Gbit/s, MZ1854A使用, MP1861A 2ch同期時）
- PAM4信号発生 (43Gbit/s BER測定, MZ1854A使用, MP1861A 2ch同期時）
- 56 Gbit/s信号EYE Opening回復（J1646A使用時）

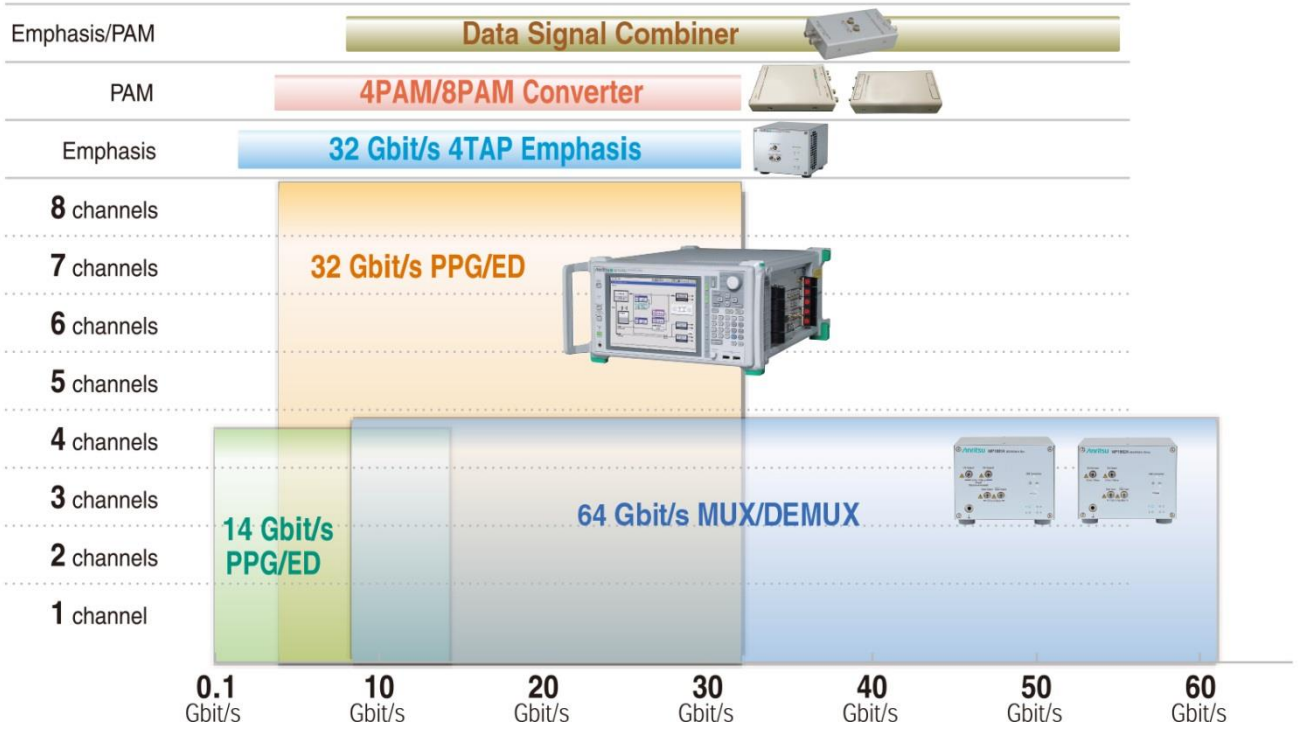
多彩なシグナルインテグリティ測定機能：CEI-56G、400GbE試験要求に対応

- TJ/DJ/RJ/Bathtub Jitter、Eye Diagram、Eye Margin自動測定
- ジッタトレランス試験（MU181500B使用時）：SJ、EJ、BUJ、SSC、Dual Tone SJ、Half Period Jitter （Even/Odd Jitter）対応、大振幅SJ発生：0.55 UI@fm 250 MHz
- 各チャネル独立可変Data SkewによるCross Talk試験



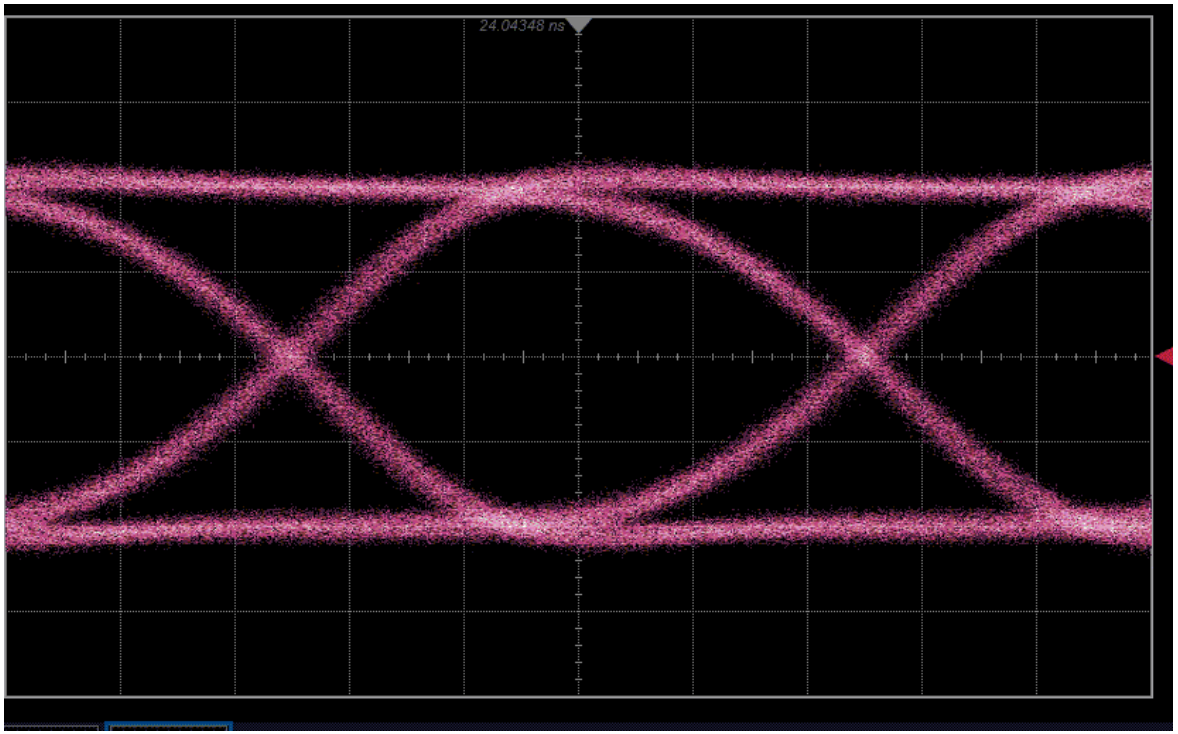
特長(1) 優れた拡張性

- Bit Rate 8 Gbit/s to 64.2 Gbit/sの広帯域
- 最大4ch Multi-Channel 64.2 Gbit/s同期パターン発生, 同時BER測定
- 小型外部BOX方式により32GBERTから容易に拡張可能
- MZ1854Aと組合せによりEmphasis, PAM信号生成
- MU181500B Jitter moduleと組合せし業界初の64Gシグナルインテグリティ評価に対応



特長(2) 優れた信号品質および受信感度

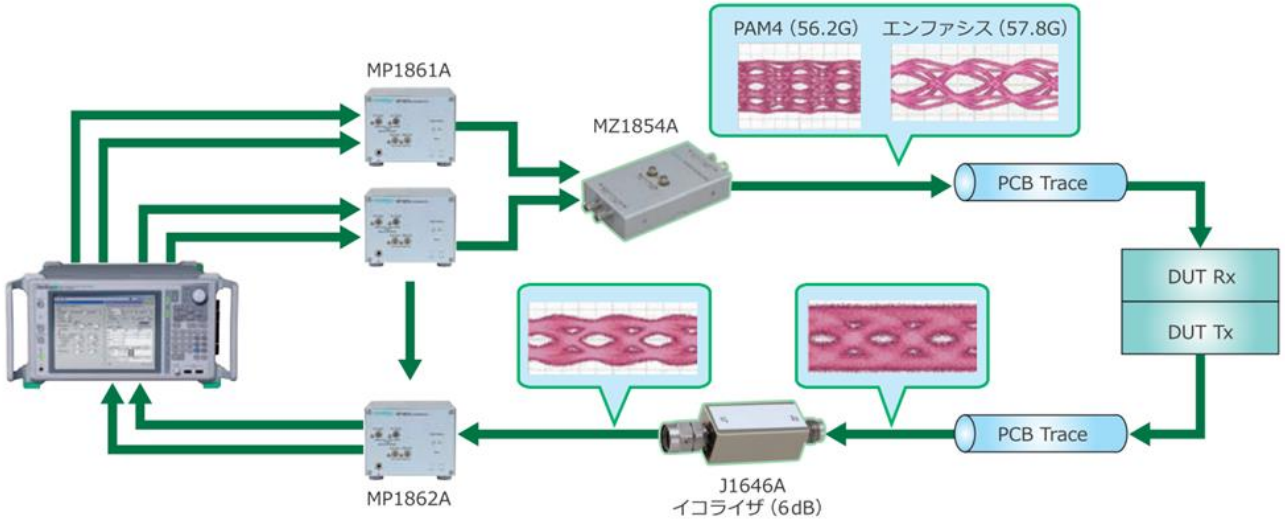
- 低ジッタ、高品質波形 MUX



50 Gbit/s, 3.5 Vp-p時出力波形(MP1861A-013)

特長(3) 優れた信号品質および受信感度

- 高感度 DEMUX
  - ✓ 感度：25 mV（typ.）　（56.2 Gbit/s, Single-end, Eye Height, PRBS31）
    ≦40 mV　（56.2 Gbit/s, Single-end, Eye Height, PRBS31）
    30 mV（typ.）　（64.2 Gbit/s, Single-end, Eye Height, PRBS31）
- エンファシス信号・発生
  - ✓ MZ1854A コンバイナとMP1861A 2台を組み合わせることで、最高57.8 Gbit/sまでの2タップエンファシス信号を生成可能
- パッシブイコライザ
  - ✓ MP1862A 56G/64G bit/s DEMUXの前段に挿入することにより、伝送線路による損失を補償し、Eye Openingを回復し、Eye Openingが低いPHYデバイスのBER測定、ジッタトレランステストが可能

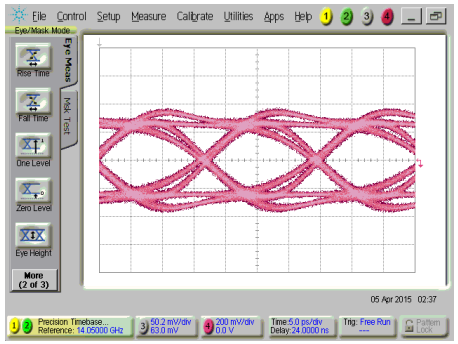


MP1861A、MP1862A、MZ1854A、J1646Aを使用した測定系

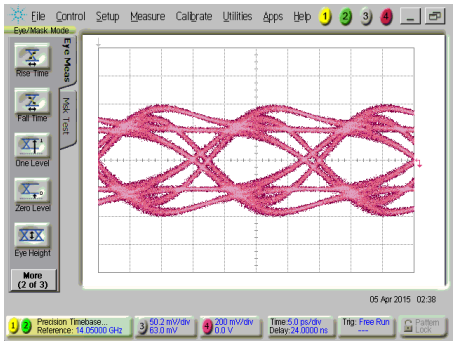
特長(4) 優れた信号品質および受信感度

✓ MP1861A 2ch + MZ1854A Emphasis参考波形：CEI-56G評価に適した最高57.8 Gbit/sまでの2タップ エンファシス信号を生成可能

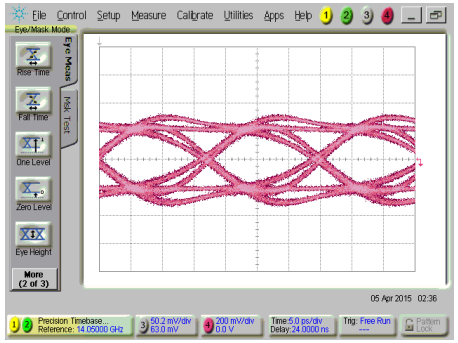
Eye Amplitude 0.48V
Emphasis gain 2.5dB



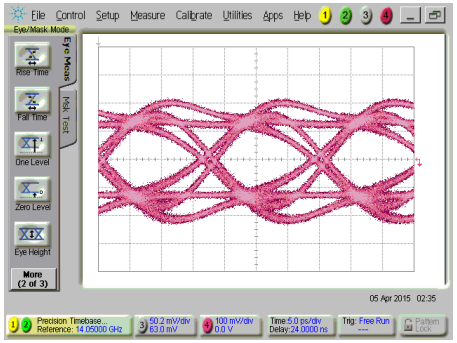
Eye Amplitude 0.40V
Emphasis gain 5.11dB



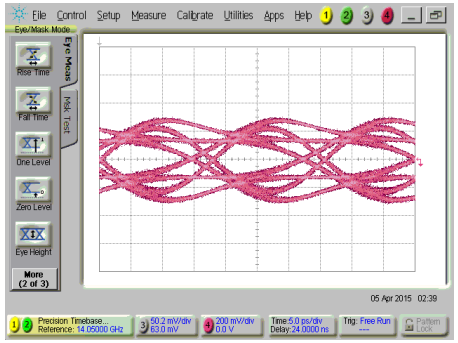
Eye Amplitude 0.40V
Emphasis gain 2.92dB



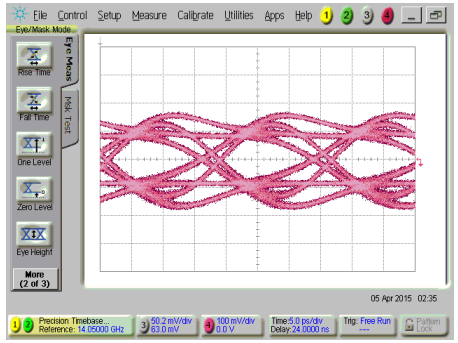
Eye Amplitude 0.23V
Emphasis gain 4.44dB



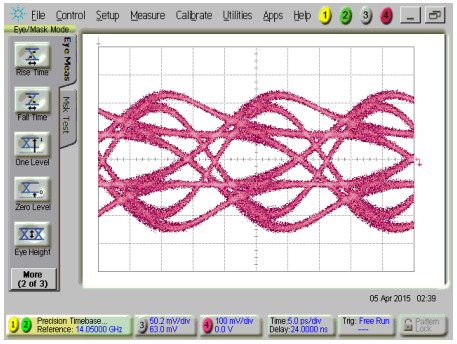
Eye Amplitude 0.24V
Emphasis gain 7.36dB



Eye Amplitude 0.16V
Emphasis gain 6.02dB



Eye Amplitude 0.16V
Emphasis gain 9.54dB

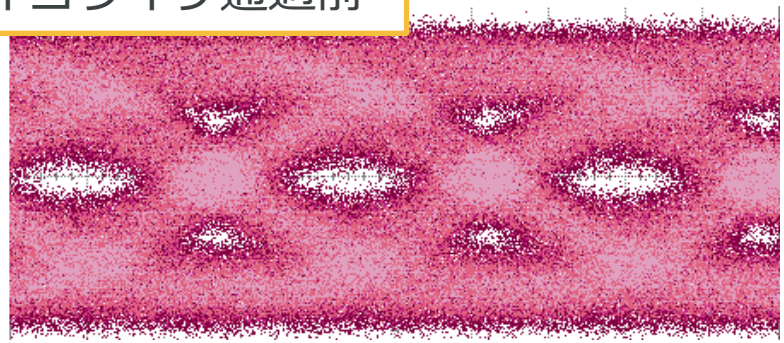


measured with 41V-6 attenuator and 86118A 70GHz oscilloscope

特長(5) 優れた信号品質および受信感度

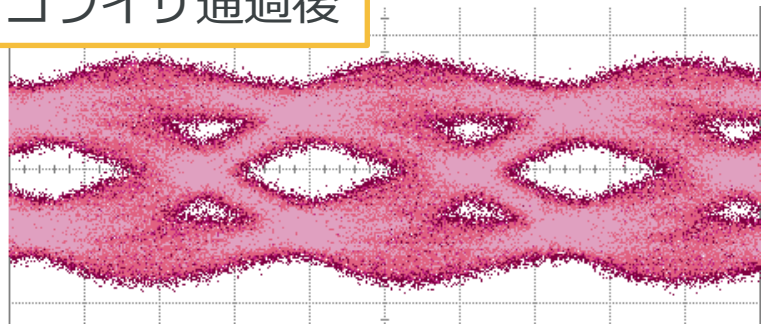
- J1646A パッシブイコライザ6dBによるEye開口改善：56 Gbit/sに対応した
  パッシブイコライザ6dBにより伝送路のLossを補償し、Eye開口を改善

イコライザ通過前

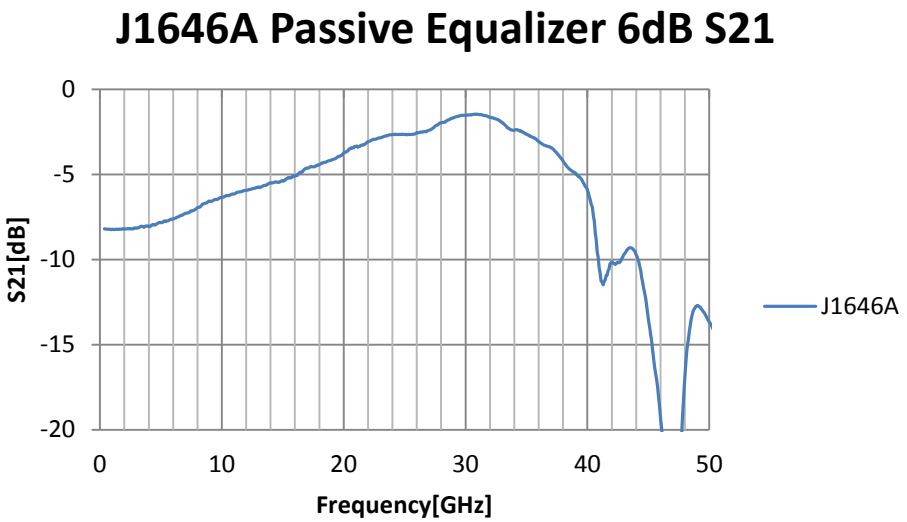


※70 mV/div

イコライザ通過後



※50 mV/div

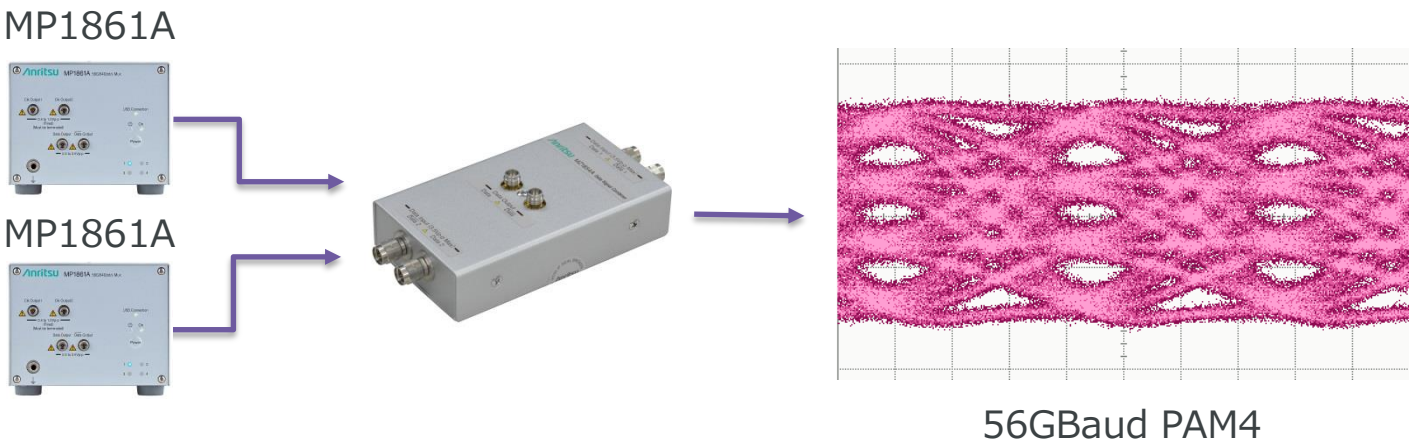


J1646A周波数特性（代表値）

measured with 41V-6 attenuator and 86118A 70GHz oscilloscope

特長(6) 優れた信号品質および受信感度

- PAM4信号発生、BER測定
  - ✓ MP1861A 56G/64G bit/s MUX2台の高品質NRZ波形と、広帯域なパッシブ方式MZ1854A コンバイナを組み合わせることで、PAM4信号生成
  - ✓ MP1862A 56G/64G bit/s DEMUXの高感度入力部により43GBaudまでのPAM4 BER測定可能

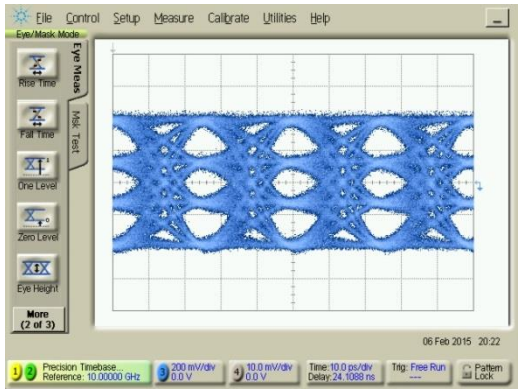


2ch同期, 任意bit Delay, 加算によるPAM4波形生成

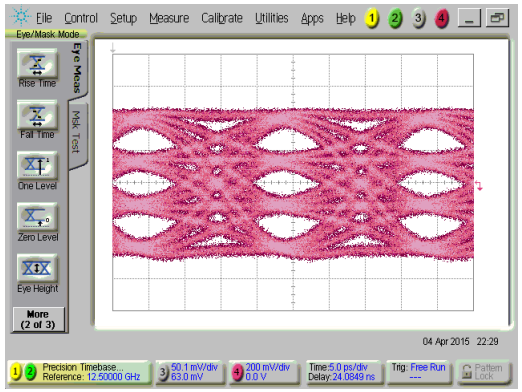
特長(7) MP1861A 2ch + MZ1854A PAM4 参考波形

- PAM4 0.832Vp-p　(Data1 Input 3.5V, Data2 Input 1.75V)

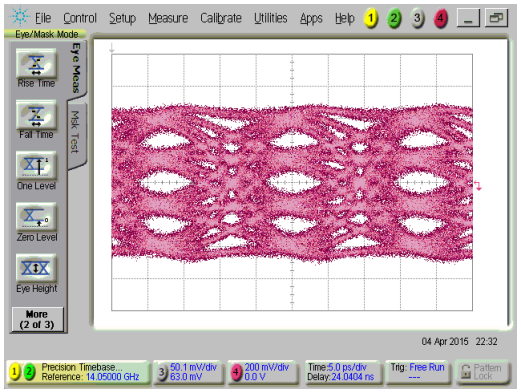
40 GBaud



50 GBaud

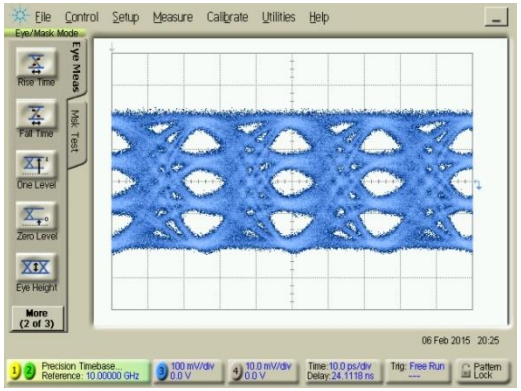


56.2 GBaud

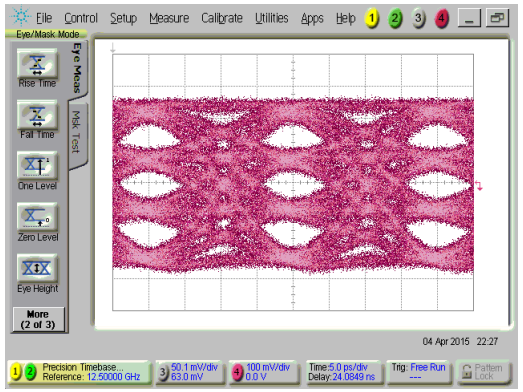


- PAM4 0.475Vp-p　(Data1 Input 2V, Data2 Input 1V)

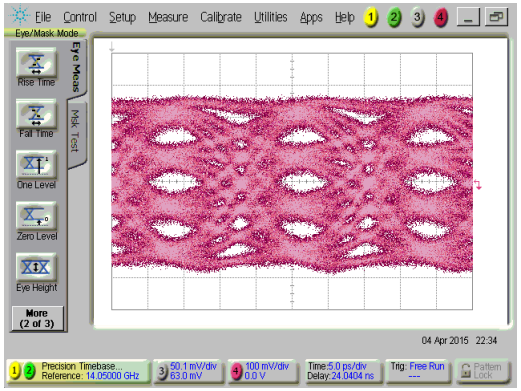
40 GBaud



50 GBaud



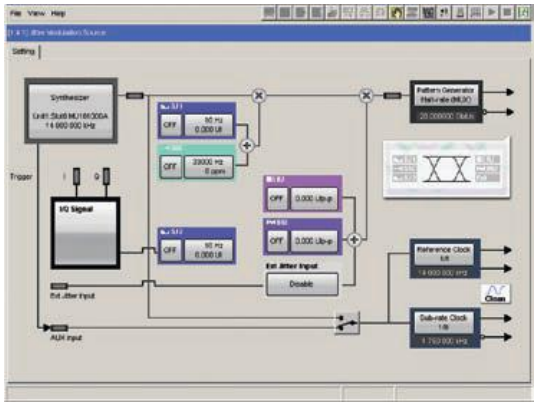
56.2 GBaud



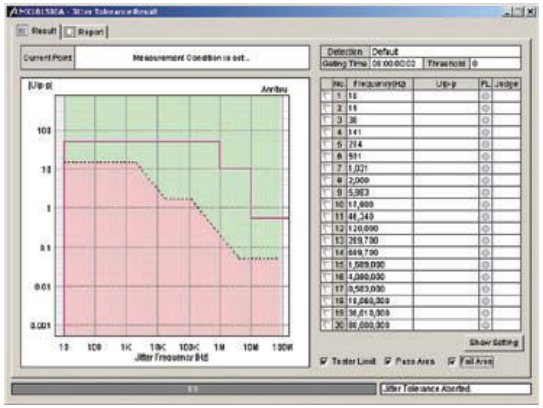
measured with 41V-6 attenuator and 86118A 70GHz oscilloscope

特長(8) 多彩なシグナルインテグリティ測定 機能

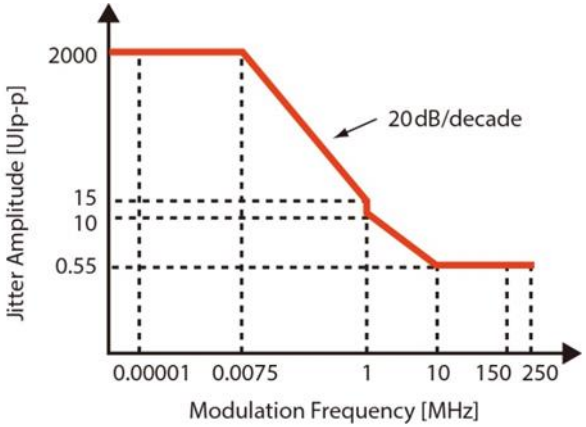
- SJ、RJ、BUJ、SSC、Half Period Jitter（Even/Oddジッタ）などの多彩なジッタ発生、自動耐力測定
  - ✓ 最大2000 UI、変調周波数250 MHzで0.55 UIの大振幅SJ（@56.2G)を発生可能
  - ✓ 低残留ジッタ：275 fs rms（代表値）
  - ✓ 2トーンに対応したSJと、その他のRJ、BUJ、SSCを同時に付加可能



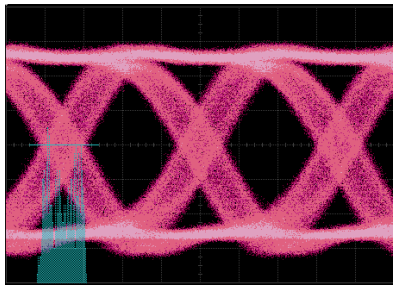
各種Jitter生成



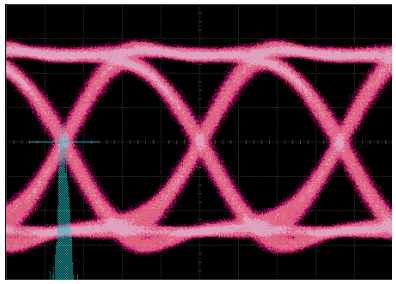
MX181500A ジッタ/ノイズ トレランス テスト ソフトウェア



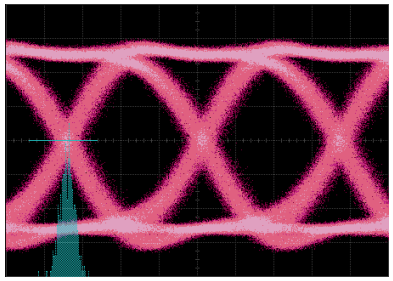
Jitter発生マスク



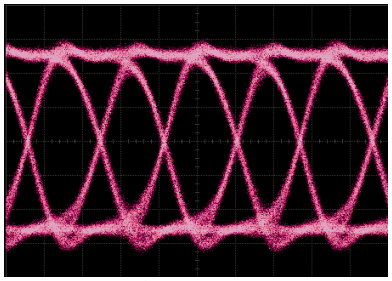
正弦波ジッタ（SJ）



ランダムジッタ（RJ）



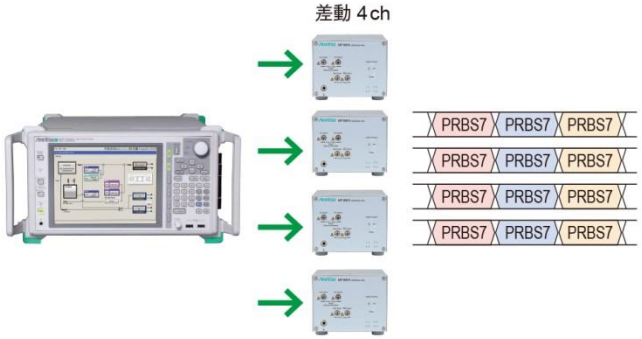
有界非相関ジッタ（BUJ）



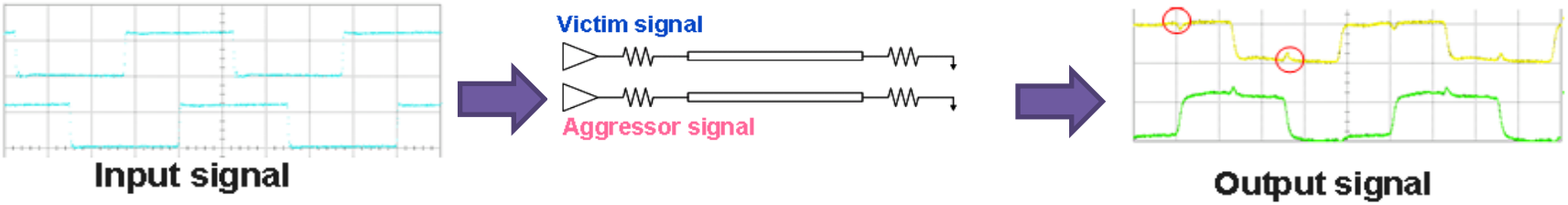
ハーフピリオドジッタ（Even/Oddジッタ）

特長(9) 多彩なシグナルインテグリティ解析 機能

- 最大4ch 同期
  - ✓ 外部MUX, DEMUX形式を採用しているため、MP1800Aに実装したPPG/EDモジュールに接続し、最大4chまで同期可能
  - ✓ D/Aコンバータ、クロストークやスキュー耐力の評価が可能



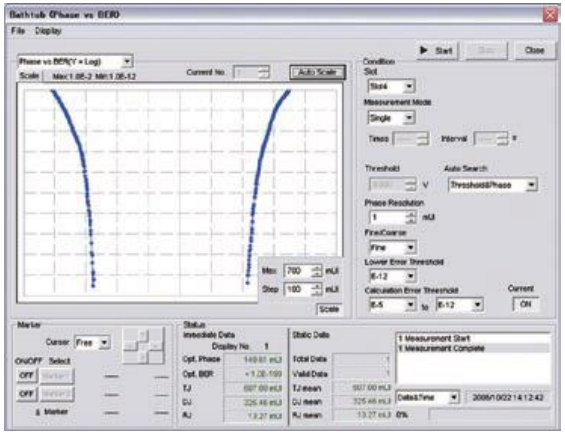
- クロストーク試験
  - ✓ MUX Data Delayオプションの搭載により、各Ch独立に位相を制御可能
  - ✓ 4mUIステップの高精度制御により、DUTのクロストーク特性を精度良く検証可能



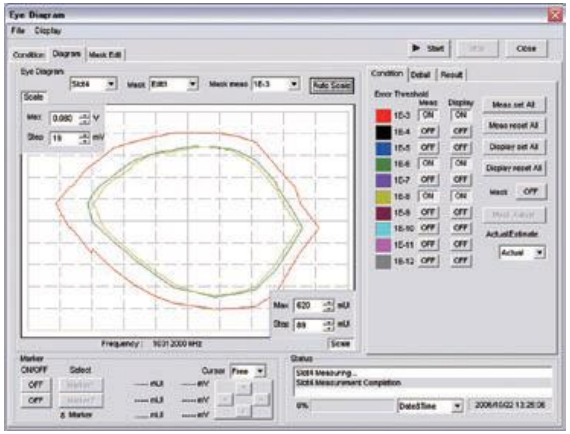
特長(10) 多彩なシグナルインテグリティ解析 機能

- TJ/DJ/RJ/Bathtub Jitter 自動測定
  - ✓ 位相に対するビットエラーレートの変化から最適ビット誤り率を計算します。また、ジッタ解析(TJ, RJ, DJ)も行います。
- Eye Diagram 自動測定
  - ✓ 指定したビットエラーレートのポイントを結んで、ビットエラーレート等高線を得ることができます。
- EYE Margin 自動測定
  - ✓ データのしきい値と位相のマージンを確認できます。

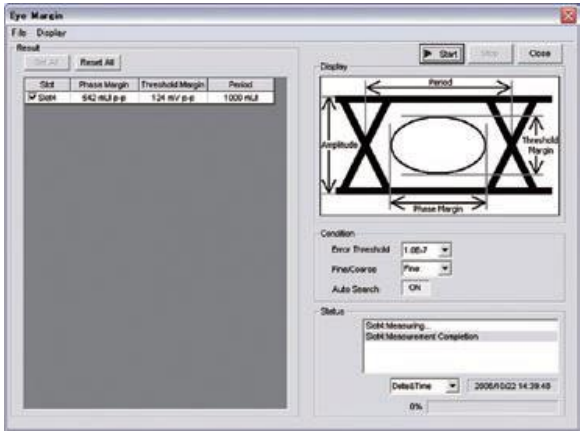
Bathtub Jitter測定



EYE Diagram測定



EYE Margin測定



特長(11) さまざまなデータパターンに対応

- バースト信号試験
  - ✓ 光周回実験、量子暗号技術を使った伝送試験など、バースト信号を使ったアプリケーションの評価を実現しています。
- 最大512 Mbit/chのProgrammable Data Pattern
  - ✓ CJTPAT, CJPAT, K28.5など、各アプリケーションに必要なパターンを柔軟に生成できます。
  - ✓ 4PAM 信号のTrue BER測定に PRBS 20^{-1}まで対応
- 擬似ランダムパターン(PRBS)
  - ✓ 2^{n-1}(n=7, 9, 10, 11, 15, 20, 23, 31)
- ゼロ置換パターン
- ミックスパターン

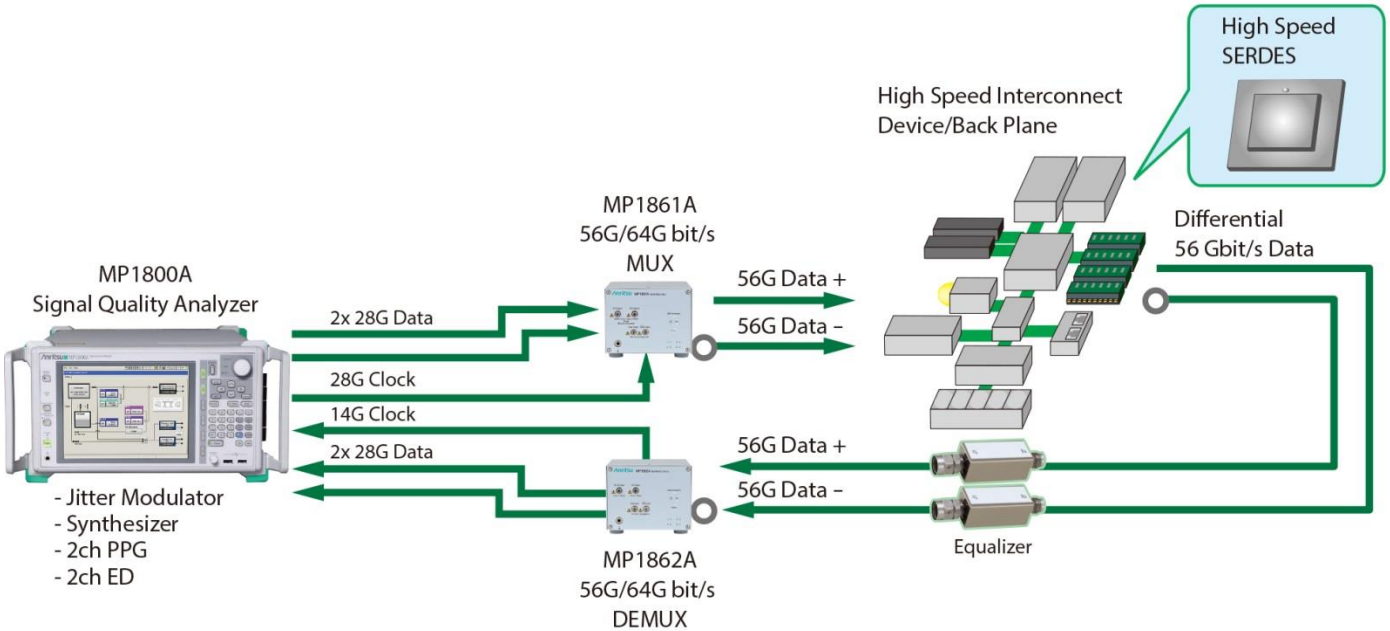
56G/64G bit/s MUX/DEMUX 規格

MP1861A 56G/64G bit/s MUX	
Bit Rate	8 G～56.2 G bit/s 8 G～64.2 G bit/s（MP1861A-001）
チャネル数	1ch、MP1800Aとの接続により最大4chまで並列同期可能
振幅	0.5～2.5 Vp-p（≦56.2 Gbit/s、MP1861A-011） 1.0～2.5 Vp-p（＞56.2 Gbit/s、MP1861A-011） 0.5～3.5 Vp-p（≦56.2 Gbit/s、MP1861A-013） 1.0～3.5 Vp-p（＞56.2 Gbit/s、MP1861A-013）
残留ジッタ	RJ = 200 fs rms（typ.）
Half Period Jitter	±20 Steps

MP1862A 56G/64G bit/s DEMUX	
Bit Rate	8 G～56.2 G bit/s 8 G～64.2 G bit/s（MP1861A-001）
チャネル数	1ch、MP1800Aとの接続により最大4chまで並列同期可能
振幅	0.125～1.0 Vp-p
Sensitivity	25 mV（typ.）、≦40 mV（Eye height、PRBS31、Single-ended）

主なアプリケーション(1)

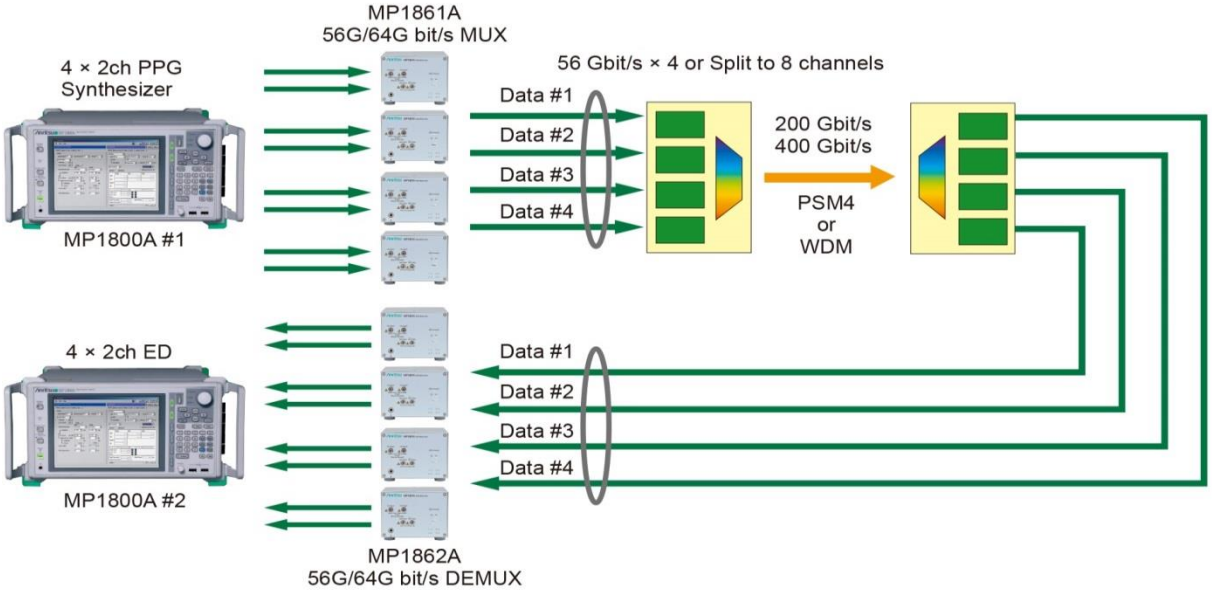
56 Gbit/s帯 高速半導体チップの測定



- 56 Gbit/s BER測定 → SERDES、Clock Data Recovery（CDR）などのBER測定が可能
- ジッタ耐力試験 → SJ（2種類）、RJ、BUJ、SSCに対応
  CEI-56Gなどに対応したジッタトレランス試験が可能
- 入力感度試験 → 0.5～3.5 Vp-p(56G, MP1861A-013搭載時)の広い可変範囲により、
  デバイスの入力感度を試験可能
- バスタブジッタ測定 → ジッタ付加を行いながら、 MP1862Aはクリーンクロックによる
  バスタブジッタを測定できます。

主なアプリケーション(2)

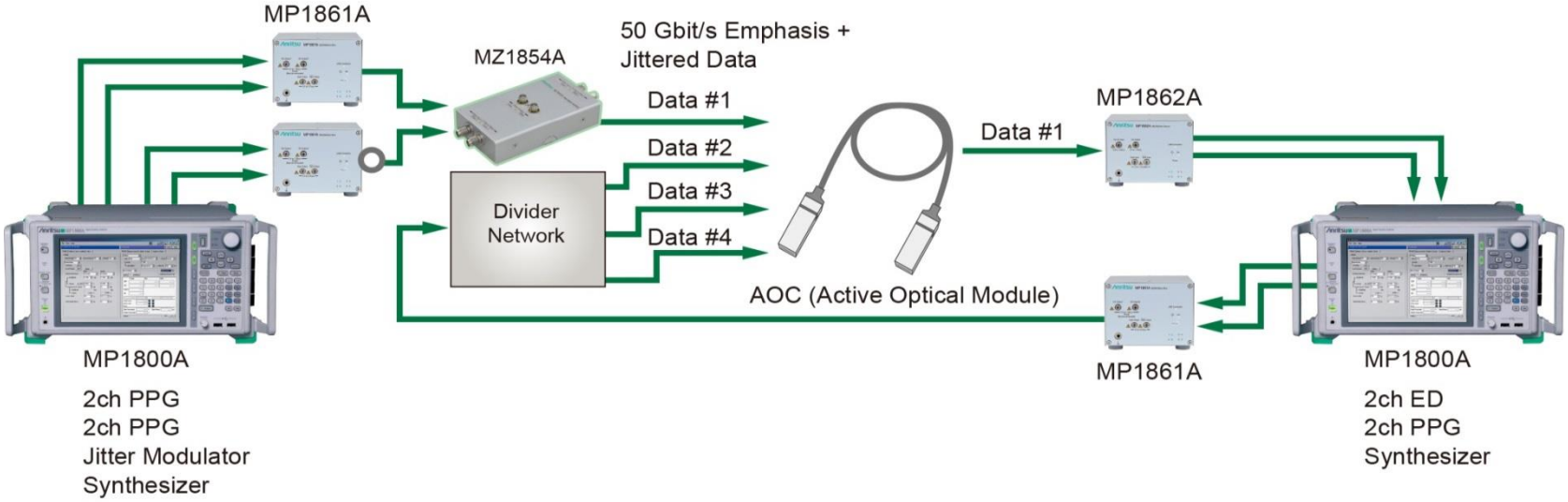
400GbE用 Transmitter評価



- 400GbE、56 G×4 Laneの評価 → IEEE 802.3bsで検討が進む400 GbE用EMLや光モジュールの評価を実現可能
- EMLの評価に適した信号品質を提供 → 最大3.5Vp-pまでの出力可変機能により、EMLを直接駆動可能
- スキュー、クロストークの影響確認 → パターン同期、位相可変機能を実現しているため、受信などを容易に実機検証可能
- 高感度・Auto Search機能搭載 → MP1862A DEMUXはAuto Search機能によりデータとクロックの位相差、電圧閾値を最適点に自動調整可能

主なアプリケーション(3)

AOC/Backplane Deviceのストレスジッタ耐力評価



- エンファシス発生
  → MP1861A は、2ch同期機能とMZ1854A コンバイナにより、エンファシス信号の発生が可能です。
- ジッタトレランス試験
  → SJ（2種類）、RJ、BUJ、SSCに対応
  CEI-56Gなどに対応したジッタトレランス試験が可能
- クロストークの影響確認
  → パターン同期、位相可変機能を実現しているため、受信デバイスのスキュー耐力、クロストークの影響などを容易に実機検証可能
- バスタブジッタ, アイダイヤグラム解析
  → ED標準搭載のClock Delay機能により、バスタブジッタ解析（TJ、RJ、DJ分離）を実施可能

Appendix

コンフィグレーションガイド

Category	Model Number	Model Name	28G 1ch Basic	High-speed Interconnects 32G 2ch + Jitter + Emphasis	InfiniBand QSFP 28G 8ch + Jitter	100 GbE/ Silicon Photonics 28G 4ch	DP-QPSK 32G 4ch PPG	4PAM	8PAM
Main Frame	MP1800A	Signal Quality Analyzer	1	1	2	1	1	1	1
	MP1800A-014	2-slot for PPG and/or ED	1	1			1	1	1
	MP1800A-015	4-slot for PPG and/or ED			2*	1*			
	MP1800A-016	6-slot for PPG and/or ED							
	MP1800A-032	32 Gbit/s PPG and/or ED Support	1	1	2	1	1	1	1
Synthesizer (Sinusoidal Jitter)	MU181000A	12.5 GHz Synthesizer	1	1	1	1	1	1	1
	MU181000A-001	Jitter Modulation		1	1				
Jitter Modulator SJ (2-tone)/RJ/ BUJ	MU181500B	Jitter Modulation Source		1	1				
28G/32G PPG 1ch/2ch	MU183020A	28G/32G bit/s PPG	1	1				1	
	MU183020A-001	32G bit/s Extension		1				1	
	MU183020A-012	1ch 2 V Data Output	1*						
	MU183020A-013	1ch 3.5 V Data Output							
	MU183020A-022	2ch 2 V Data Output		1*				1*	
	MU183020A-023	2ch 3.5 V Data Output							
	MU183020A-030	1ch Data Delay							
	MU183020A-031	2ch Data Delay		1				1	
28G/32G PPG 4ch	MU183021A	28G/32G bit/s 4ch PPG			2	1	1		1
	MU183021A-001	32G bit/s Extension					1		1
	MU183021A-012	4ch 2 V Data Output			2*	1*	1*		1*
	MU183021A-013	4ch 3.5 V Data Output							
	MU183021A-030	4ch Data Delay			2	1	1		1
28G/32G ED 1ch/2ch	MU183040B	28G/32G bit/s ED	1	1					
	MU183040B-001	32G bit/s Extension		1					
	MU183040B-010	1ch ED	1	1					
	MU183040B-020	2ch ED							
	MU183040B-022	2.4G to 28.1G bit/s Clock Recovery		1*					
	MU183040B-023	25.5G to 32.1G bit/s Clock Recovery							
28G/32G ED 4ch	MU183041B	28G/32G bit/s 4ch ED			2	1			
	MU183041B-001	32G bit/s Extension							
	MU183041B-022	2.4G to 28.1G bit/s Clock Recovery			1	1			
	MU183041B-023	25.5G to 32.1G bit/s Clock Recovery							
Emphasis	MP1825B	4Tap Emphasis		1					
	MP1825B-001	14 Gbit/s Operation							
	MP1825B-002	28 Gbit/s Operation		1					
	MP1825B-003	14 Gbit/s Variable Data Delay							
	MP1825B-004	28 Gbit/s Variable Data Delay							
	MP1825B-005	14.1 Gbit/s Extension							
	MP1825B-006	32.1 Gbit/s Extension		1					
Software	MX181500A	Jitter/Noise Tolerance Test Software		1	1				
PAM Signal Generation	MZ1834A	4PAM Converter						1	
	MZ1838A	8PAM Converter							1

*: Select any one

カテゴリ	形 名	品 名	56G 1ch 基本構成	64G 1ch 基本構成	高速半導体チップ	400G Module	AOC Back Plane	Emphasis/ PAM4
56G/64G MUX	MP1861A	56G/64G bit/s MUX	1	1	1	4	3	2
	MP1861A-001	64G bit/s 拡張	–	1	–	–	–	2
	MP1861A-011	データ出力 (0.5～2.5Vp-p)	1*1	1*1	1*1	4*1	3*1	2*1
	MP1861A-013	データ出力 (0.5～3.5Vp-p)						
	MP1861A-030	データ位相可変	–	–	1	4	3	2
56G/64G DEMUX	MP1862A	56G/64G bit/s DEMUX	1	1	1	4	1	2
	MP1862A-001	64G bit/s 拡張	–	1	–	–	–	2
メインフレーム	MP1800A	シグナルクオリティアナライザ	1	1	1	2	2	2
	MP1800A-014	2スロット PPG/ED	1	1	1*1	–	–	2*1
	MP1800A-015	4スロット PPG/ED	–	–		2*1	2*1	
	MP1800A-016	6スロット PPG/ED	–	–				
	MP1800A-032	32 Gbit/s PPG/EDサポート	1	1	1	2	2	2
シンセサイザ (SJジッタ)	MU181000A	12.5 GHz シンセサイザ	1	1	1	–	–	–
	MU181000A-001	ジッタ変調	–	–	1	–	–	–
シンセサイザ (SJジッタ)	MU181000B	12.5 GHz 4ポートシンセサイザ	–	–	–	1	1	1
	MU181000B-001	ジッタ変調	–	–	–	–	1	–
ジッタ変調 SJ(2Tone)/RJ/BUJ	MU181500B	ジッタ変調源	–	–	1	–	1	1
28G/32G PPG 2ch	MU183020A	28G/32G bit/s PPG	1	1	1	4	3	2
	MU183020A-001	32G bit/s Extension	–	1	–	–	–	2
	MU183020A-022	2ch 2V Data Output	1	1	1	4	3	2
	MU183020A-023	2ch 3.5V Data Output	–	–	–	–	–	–
	MU183020A-031	2ch Data Delay*2	1	1	1	4	3	2
28G/32G ED 2ch	MU183040B	28G/32G bit/s High Sensitivity ED	1	1	1	4	1	2
	MU183040B-001	32 Gbit/s Extension	–	1	–	–	–	2
	MU183040B-020	2ch ED	1	1	1	4	1	2
コンバイナ	MZ1854A	データシグナルコンバイナ	–	–	–	–	1	1
ソフトウェア	MX181500A	ジッタ/ノイズトレランステスト ソフトウェア	–	–	1	–	1	1

*1:いずれかひとつを選択
*2:56G/64G bit/s MUX MP1861Aを使用する場合は、2ch Data Delay MU183020A-031が必須となります。

Anritsu

envision : ensure

公知 2015-9 MG No. MP1861A_62A-J-L-1-(2.00)