

Anritsu envision:ensure

マルチチャネル ハイスピードソリューション

シグナル クオリティ アナライザ
MP1800Aシリーズ

32Gソリューション (NRZ / PAM4)

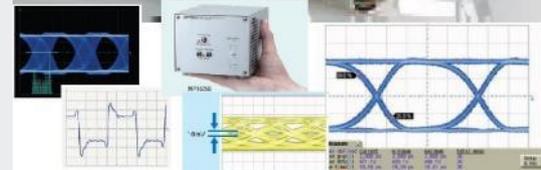
64Gソリューション (NRZ / PAM4)

ハイスピードシリアルバスソリューション

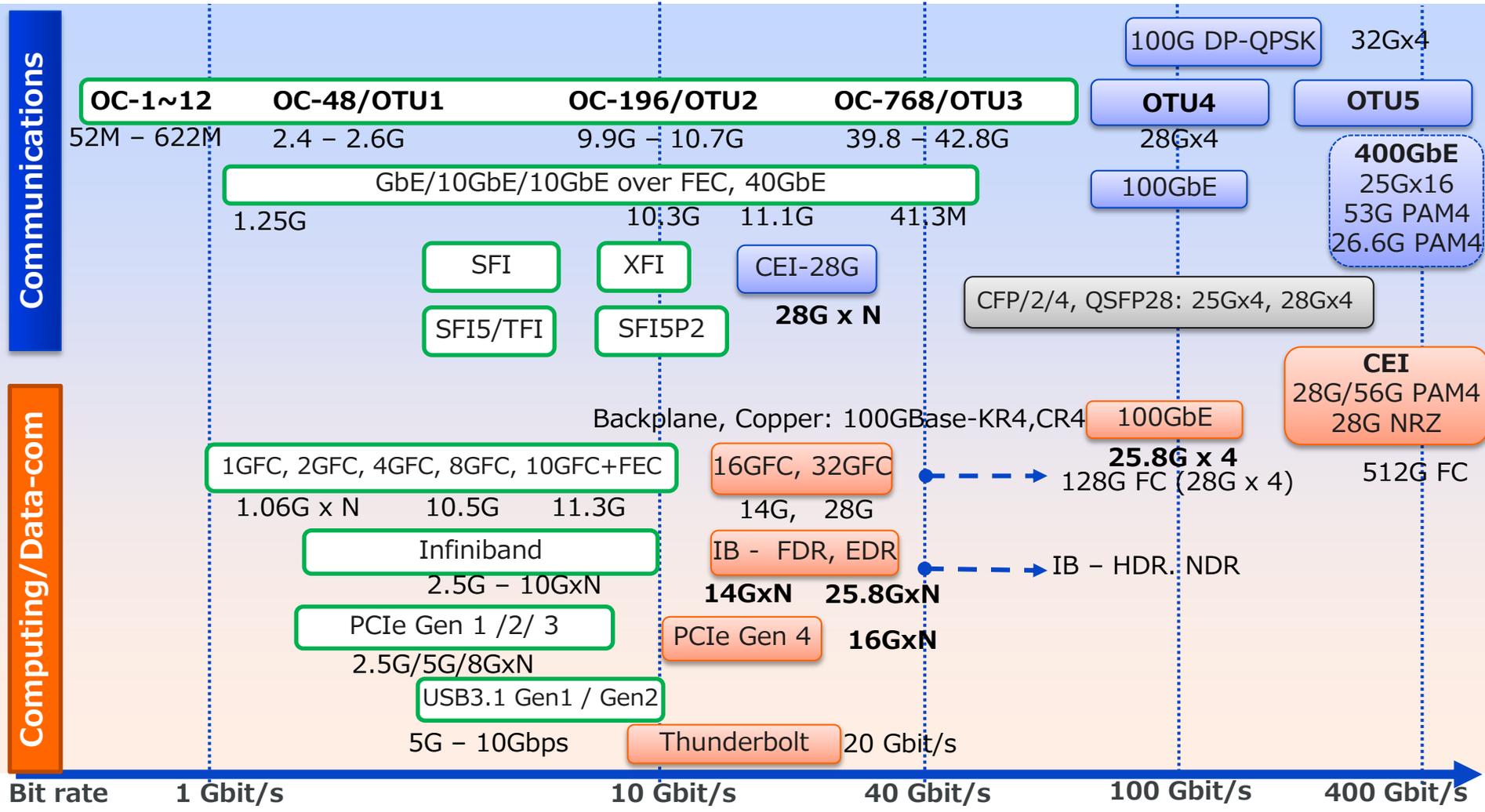


マルチチャネルSQAソリューション

製品概要



技術動向



ハイエンドコンピュータ・サーバー、100G通信ネットワークの実現のため、20~30 Gbit/s帯のMulti-CH化が進んでいます。次世代 400 GbEの実現に向けて、56G NRZ方式のほか、PAM4方式の伝送が検討されています。

NRZ / PAM4 規格動向

- 25G / 50G / 200 GbE / 400 GbE の規格化策定中です。
- PAM4 は、各種規格にて主要な技術となりつつあります。
- 26.6Gが、ほとんどのPAM4規格でのビットレートです。
- PAM4の伝送品質を確保するためには、BER測定は欠かせません。

Optical Interface				
	Standard	Distance	Format	Baud-rate
400G	400G BASE-SR16	100m	NRZ	26.6G
	400G BASE-DR4	500m	PAM4	53.1G
	400G BASE-FR8	2km	PAM4	26.6G
	400G BASE-LR8	10km	PAM4	26.6G
200G	200G BASE-SR8*	100m*	NRZ	26.6G
	200G BASE-SR4*	100m*	PAM4	26.6G
	200G BASE-FR4*	2km*	PAM4	26.6G
	200G BASE-LR4*	10km*	PAM4	26.6G
100G	100G BASE-SR10	100m/150m	NRZ	10.3G
	100G BASE-SR2*	100m*	PAM4	26.6G
	100G BASE-SR4	70/100m	NRZ	25.8G
	100G SWDM	400m	NRZ	25.8G
	100G PSM4	500m	NRZ	25.8G
	CWDM4/CLR4	2km	NRZ	25.8G
	100G BASE-LR4	10km	NRZ	25.8G
	100G BASE-ER4	40km	NRZ	25.8G
	100G BASE-CR4		NRZ	25.8G
	100G BASE-KR4		NRZ	25.8G
	100G BASE-KP4		PAM4	13.6G
50G	50G BASE-SR*	100m	PAM4	26.6G
	50G BASE-FR*	2km	PAM4	26.6G
	50G BASE-LR	10km	PAM4	26.6G
25G	25G BASE-SR	100m	NRZ	25.8G
	25G BASE-FR	2km	NRZ	25.8G
	25G BASE-LR	10km	NRZ	25.8G

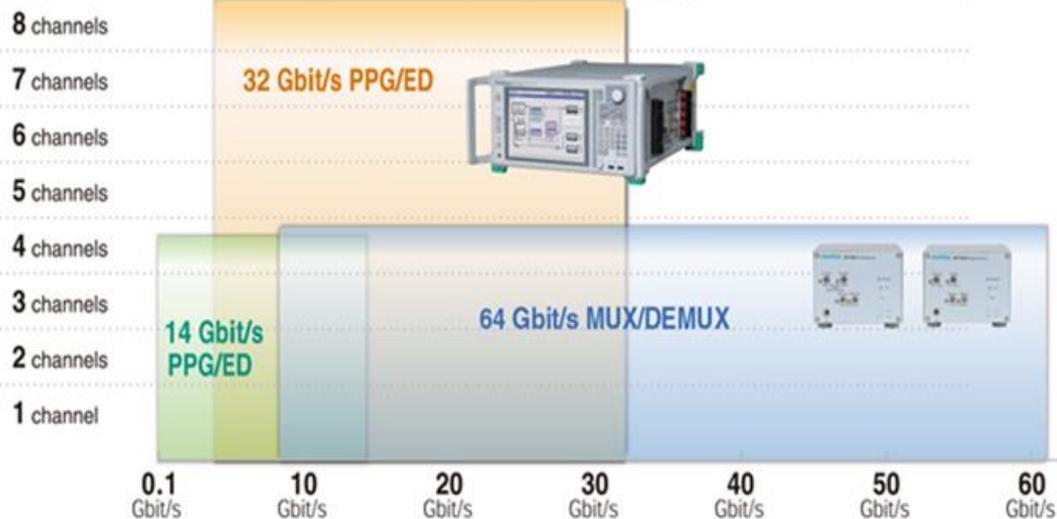
Electrical Interface			
	Electrical Interface (OIF-CEI)	Format	Baud-rate
400G	CDAUI-16	NRZ	25.8G
	CDAUI-8	PAM4	26.6G
200G	CCAUI-8	NRZ	25.8G
	CCAUI-4	PAM4	26.6G
100G	CAUI-10	NRZ	10.3G
	CAUI-4	NRZ	25.8G
50G	50GAUI	PAM4	26.6G
25G	25GAUI	NRZ	25.8G

*は規格審議中のアイテムです

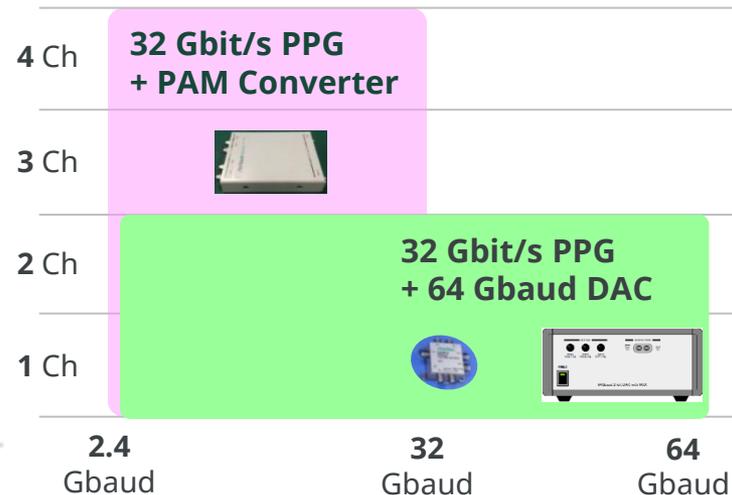
Anritsu high speed PAM4 / NRZ ソリューションの特長

- 柔軟な拡張性： 1chから多chへ、NRZからPAM4へ (Up to 64Gbit/s)
- 高品質波形： 低残留ジッタ (300 fs @ 28.1Gbps with clock pattern)
- 高入力感度： 56G/64G DEMUX MP1862A (Typ.25mV@56.2Gbps)
28G/32G ED MU18304xB (Typ.10mV@28.1Gbps)
- NRZ / PAM4 ソリューションでの各種ジッタ耐力試験に最適なジッタ透過性。

Multi-channel NRZ solutions



Multi-channel PAM4 solutions



32G All-in-One Jitter BERTの特長

- ✓ Bit rate 2.4 to 32.1 Gbit/sの広帯域
- ✓ 1 Tbit/s synchronous BERT : 1 box 8ch PPG と4 box 同期で1Tbit BERTを実現
- ✓ 10 mVの高入力感度 ED (Typ, single-end, Eye Height)
- ✓ Clock Recovery 内蔵オプションとジッタ耐力試験
- ✓ 高品質PAM4 発生と真のPAM4 BER測定機能



多彩な シグナルインテグリティ 解析機能

- TJ/DJ/RJ/J2/J9/バスタブジッタ, Eye Diagram, Eye Margin自動測定
- ジッタ耐力試験 (with MX183000A)
SJ = 1UI @ fm: 250 MHz
- 4Tap Emphasis with MP1825B
- Crosstalk 試験 とチャンネル独立位相可変機能

優れた 信号品質, 受信感度

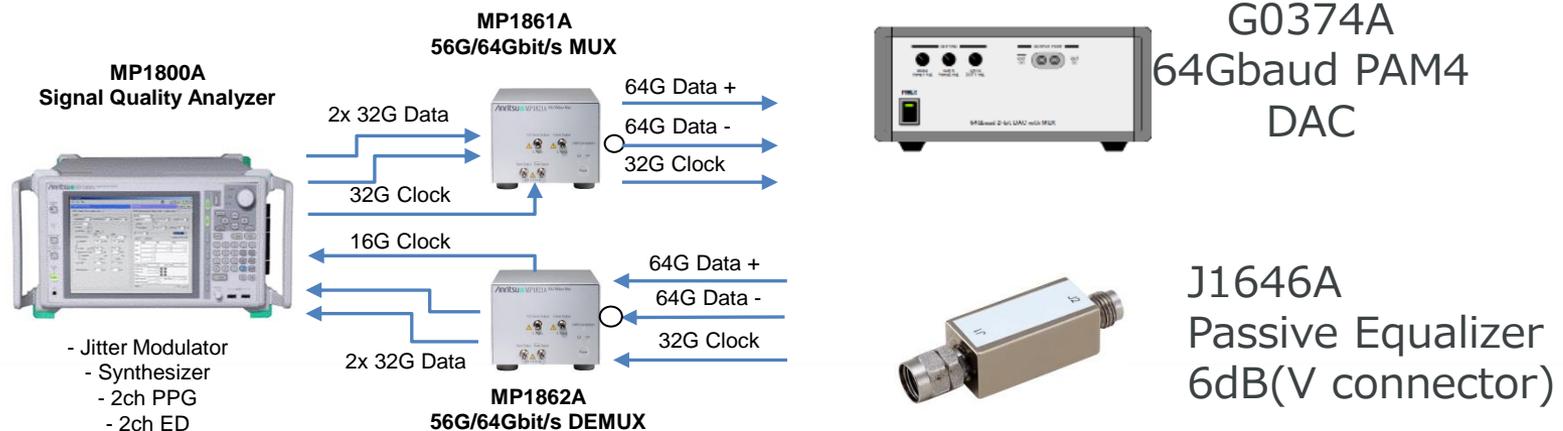
- 低残留ジッタ: 300 fs
高速Tr / Tf : 12 ps
- 広出力振幅 : 0.5 to 3.5 Vp-p
- 高入力感度 : 10 mV
- PAM4 / PAM8 発生
(MZ1834A/MZ1838A)
- PAM4 BER測定

さまざまなアプリケーションの データパターンに対応

- PAM4 PRBS, Gray code 等
- バースト試験対応
- 256Mbits / ch のパターンメモリ
- CJTPAT, CJPAT, K28.5 etc.
- Pre-coding, de-coding
DQPSK, DP-QPSK

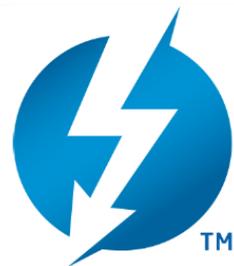
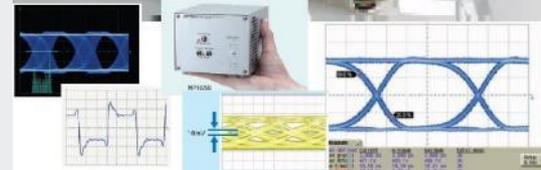
56G / 64G jitter BERTの特長

- 低残留ジッタ: RJ = 200 fs rms (typical)
- 広範囲な振幅可変: 0.5 to 3.5 Vp-p
- RJ, BUJ, Dual tone SJ, SSC等各種ジッタ発生機能
SJ発生 0.55 UI @ fm 250 MHz
- 高入力感度: 25 mV (typical, single-end, EYE height)
- バスタブ、アイマージン、アイダイアグラム自動測定
- 全自動ジッタ耐力試験ソフト MX181500A software
- DAC Box (G0374A)による64 GBaudまでのPAM4信号発生
- PRBS15, 56 Gbaud PAM4 まで保証されたBER測定
- J1646A (6dB passive equalizer) による56 Gbit/sまでのアイ開口復元



マルチチャネルSQAソリューション

28G / 32G ソリューション



モジュールラインアップ

■ 28G/32G PPG/ED Module

MU183020A 28G/32G bit/s PPG (1ch or 2ch)



MU183040B 28G/32G bit/s High Sensitivity ED (1ch or 2ch)



MU183021A 28G/32G bit/s 4ch PPG



MU183041B 28G/32G bit/s High Sensitivity 4ch ED



■ 28G/32G BERT 標準構成

28G/32 G Jitter BERT

28G/32 G 4ch BERT

28G/32G 8ch Jitter BERT (2 Box)

MP1800A



Max. 6 Slots

32G PPG 1ch or 2ch
32G ED 1ch or 2ch
Synthesizer (2 Slots)
Jitter Generator (2 Slots)



32G PPG 4ch (2 Slots)
32G ED 4ch (2 Slots)
Synthesizer (2 Slots)

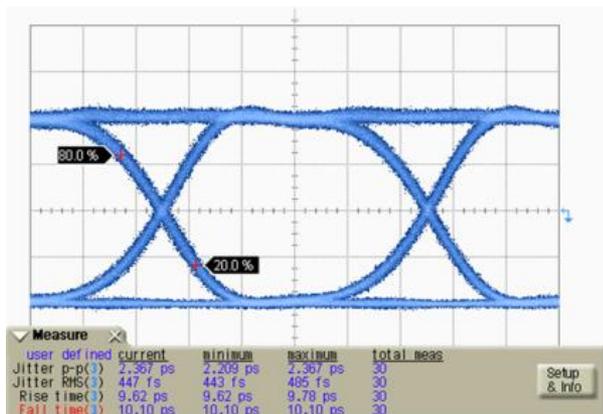


32G PPG 4ch (2 Slots)	32G ED 4ch (2 Slots)
32G PPG 4ch (2 Slots)	32G ED 4ch (2 Slots)
Jitter (2 Slots)	Synthesizer (2 Slots)

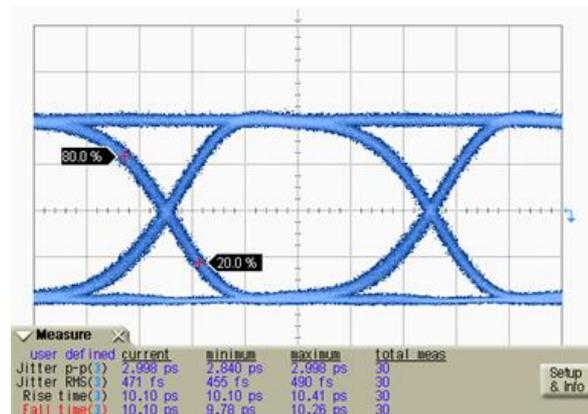


特長 (1) すぐれた信号品質

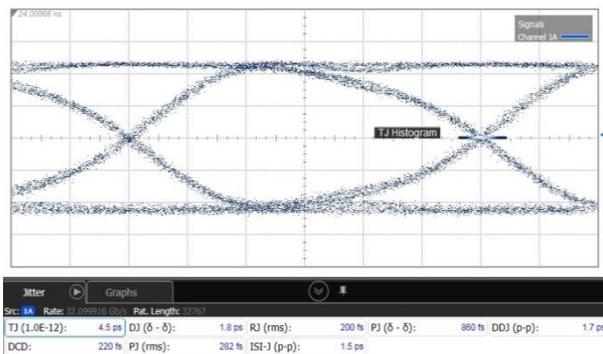
- 低残留ジッタ、高品質波形、最大 3.5 Vp-pの高振幅出力



28 Gbit/s, 2.0 Vp-p時出力波形(MU183020A-012)



28 Gbit/s, 3.5 Vp-p時出力波形(MU183020A-013)

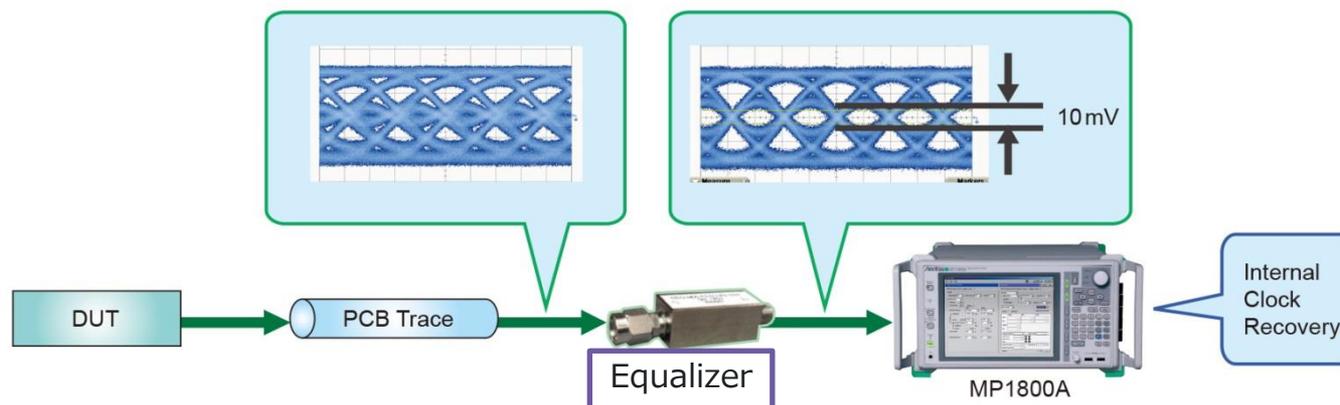


低残留ジッタ TJ(1E-12)=4.5 psp-p, RJrms=200 fsrms
28 Gbit/s時, 50 GHz 帯域, 残留ジッタ<100 fsのサンプリングスコープ使用の実測値

特長 (2) 高受信感度

- **業界最高の入力感度性能 Error Detector (MU183040B/MU183041B)**
 - ✓ Eye Amplitude感度 : 15 mVp-p (Typ. 28.1 Gbit/s , Single-end),
≤25 mVp-p (28.1 Gbit/s, Single-end)
 - ✓ Eye Height感度 : 10 mVp-p(Typ. 28.1 Gbit/s, ingle-end)
- **パッシブイコライザ**
 - ✓ エラードテクタの前段に挿入することにより、伝送線路による損失を補正し、Eye Openingを回復
 - ✓ MU183040B/MU183041B High Sensitivity EDとの組み合わせにより、Eye Openingが低いPHYデバイスのBER測定、ジッタトレランステストが可能
- **Clock Recovery による送受非同期 SERDESのジッタトレランス試験**
 - ✓ Loop帯域可変 : Bitrate/1667, Bitrate/2578, 1 M~17 MHz*
 - ✓ Clock Recovery 搭載時も高感度を維持

*Opt-022

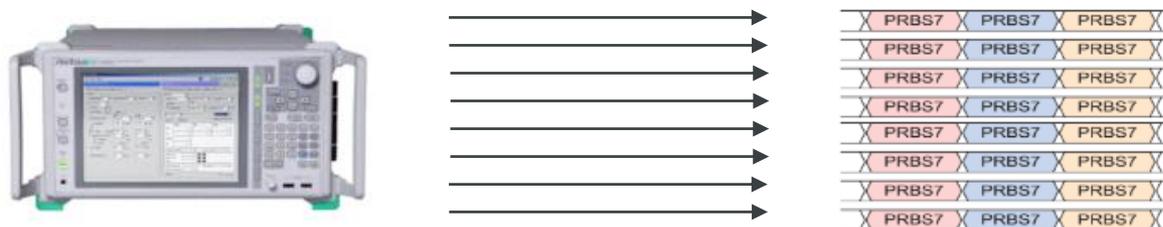


特長 (3) 同期したPPPGによるスキュー試験

各Channel独立可変Data Skew

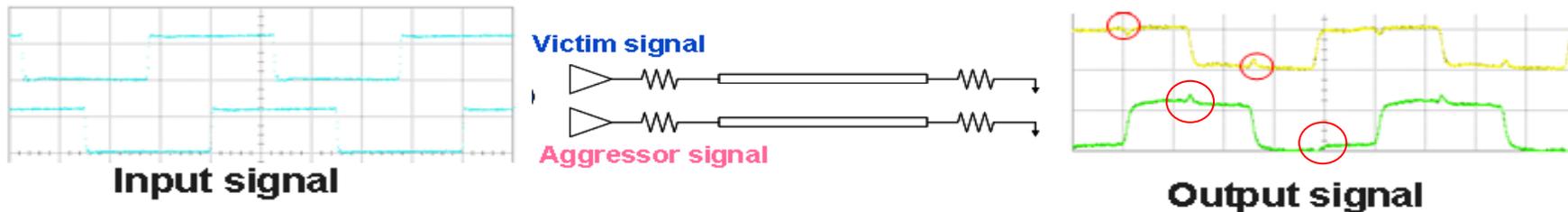
- ✓ PPG Data Delayオプションの搭載により、各Ch独立に位相を制御可能です。

Max. 8ch synchronization and individual variable delay



Cross Talk試験

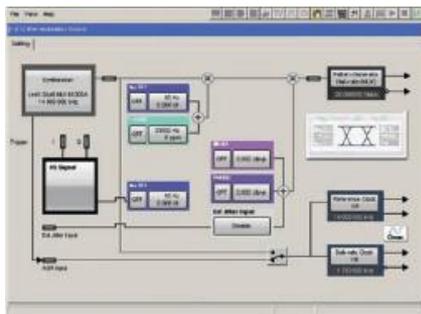
- ✓ Ch間同期したDataを1mUIステップで高精度制御することにより、DUTのクロストーク特性を精度良く検証できます。



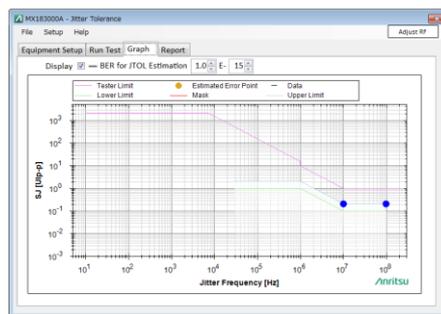
特長 (4) ジッタ発生機能

32.1 Gbit/s ジッタトレランス試験

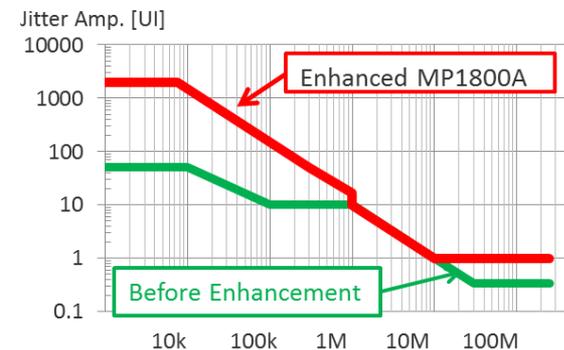
- ✓ MU181500B によるRJ / SJ (2 tone) / BUJ / SSC発生可能
- ✓ MX183000A によるジッタトレランス自動試験
 - SJ: 最大2000UI, $f_m = 250$ MHz時 1UI
 - 低レート推定BERによる設計検証時間短縮
- ✓ MU183020A PPG による Half Period Jitter (F/2 Jitter)発生
- ✓ Jitter = OFF 時の低残留ジッタ



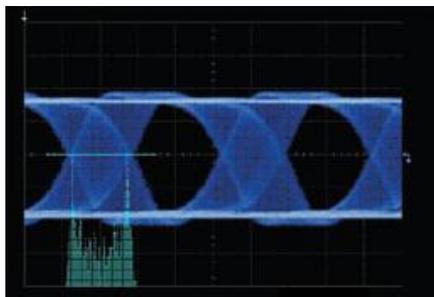
MU181500B
ジッタ変調源 設定画面



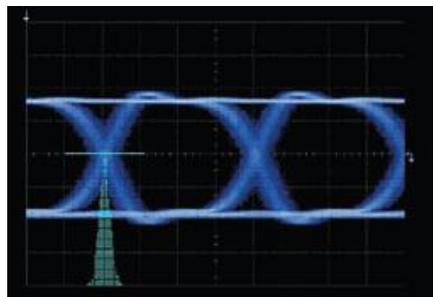
MX183000A
ジッタ トレランス テスト ソフトウェア



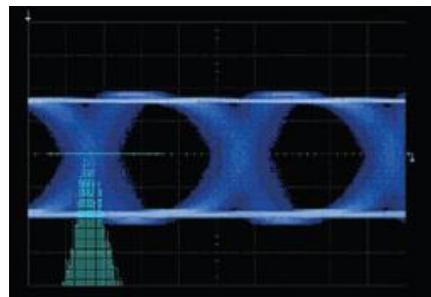
低残留ジッタ
(50 GHz 帯域, 残留ジッタ<100 fsのサンプリングスコープ使用時実測値)



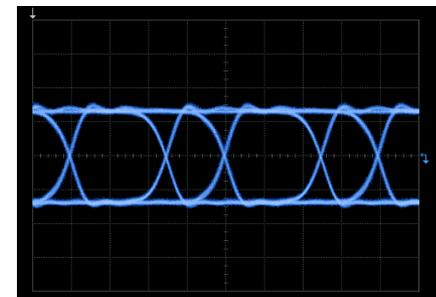
正弦波ジッタ (SJ)



ランダムジッタ (RJ)



有界非相関ジッタ (BUJ)

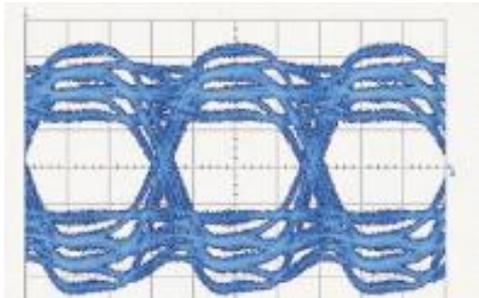


Half Period Jitter
(HPJ, F/2 Jitter)

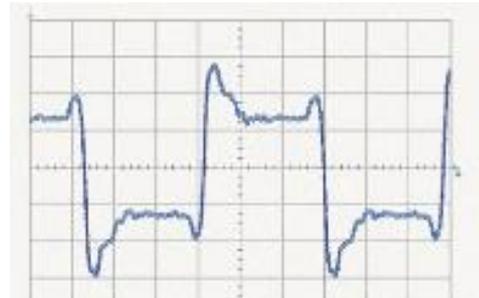
特長 (5) エンファシス機能

32.1 Gbit/s 4Tap Emphasis信号発生 (MP1825B使用時)

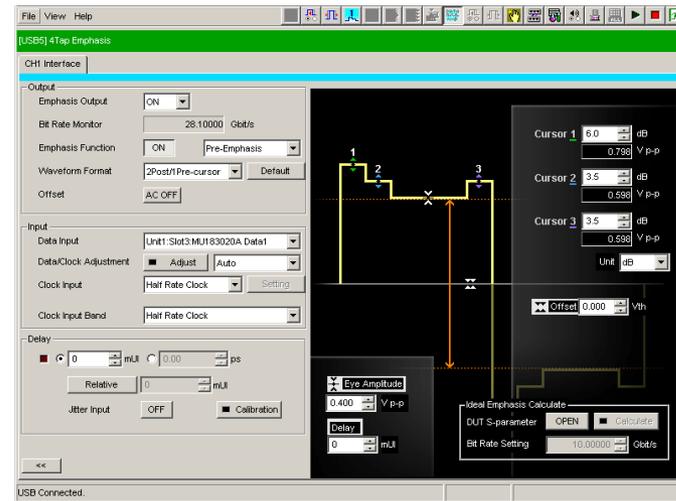
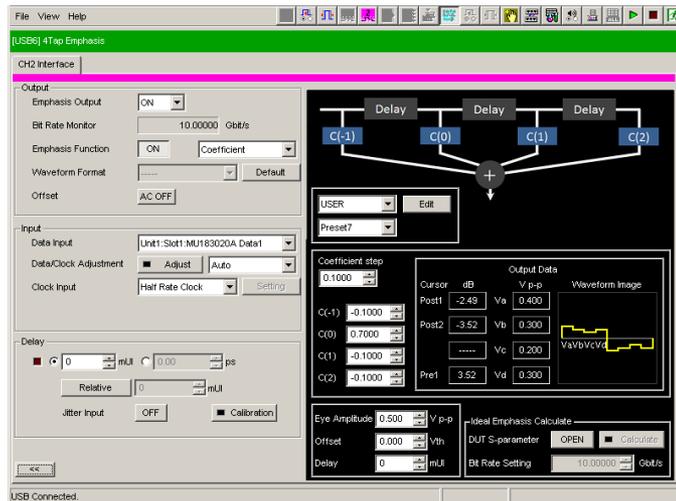
- ✓ 低ジッタ、急峻なTr/Tfな高品質Emphasis信号
- ✓ Pre-emphasis, De-emphasis, Co-efficientによる設定



Waveform with PRBS31 Test Pattern

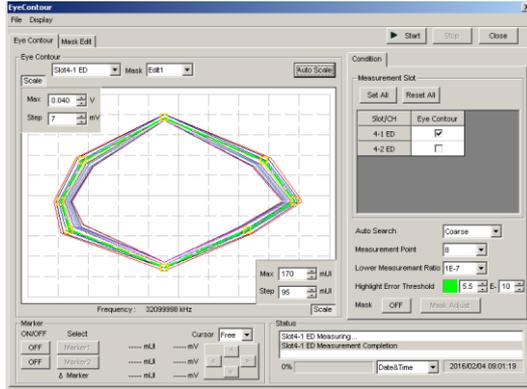


Waveform with FF00 Test Pattern

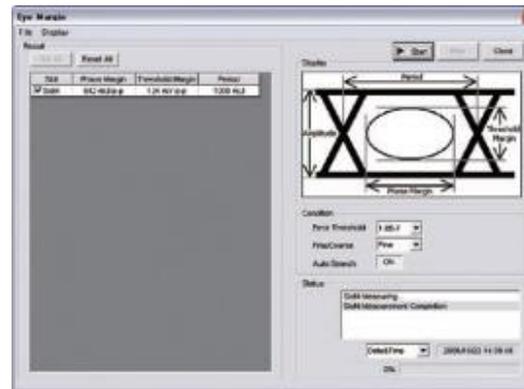


特長 (6) 多彩な解析機能

Eye Contour Measurement



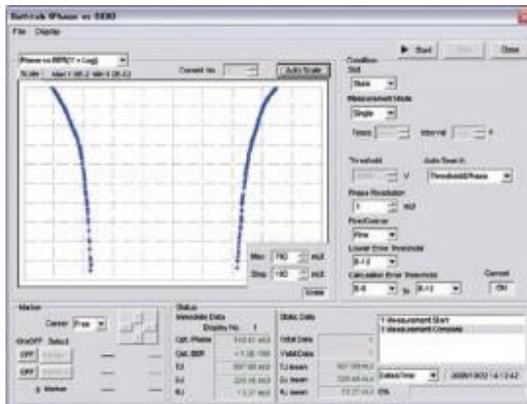
EYE Margin Measurement



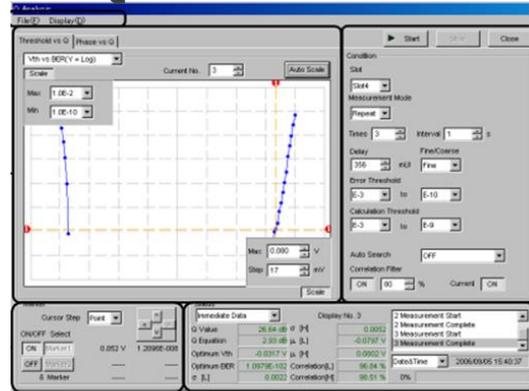
PAM BER Measurement



Bathtub Jitter Measurement



Q Measurement



特長 (7) さまざまなデータパターンに対応

- DQPSK, DP-QPSK Pre-Coding
 - ✓ DQPSKプリコード信号発生機能
 - ✓ DP-QPSKプリコード信号発生機能
 - ✓ ハードウェアプリコードによるピュアなPRBS31を使うことで、信頼性の高い評価を実現

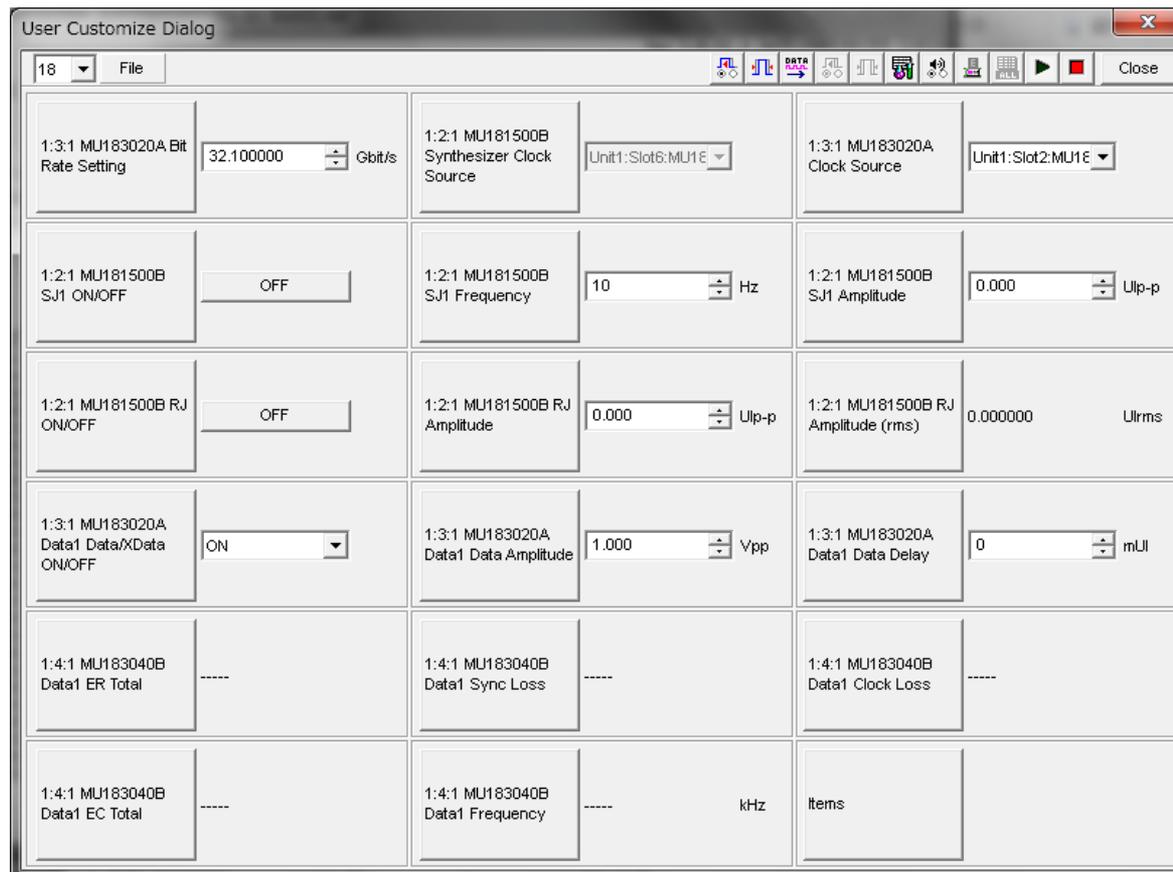


- バースト信号試験
 - ✓ 光周回実験、量子暗号技術を使った伝送試験など、バースト信号を使ったアプリケーションの評価を実現しています。
- 最大256 Mbit/chのProgrammable Data Pattern
 - ✓ CJTPAT, CJPAT, K28.5など、各アプリケーションに必要なパターンを柔軟に生成できます。
 - ✓ PAM4 信号の3CH同時True BER測定に PRBS²⁰-1まで対応
- 擬似ランダムパターン(PRBS)
 - ✓ $2^n - 1$ (n=7, 9, 10, 11, 15, 20, 23, 31)
- ゼロ置換パターン
- ミックスパターン
- PAM4 パターン

特長 (8) 高使用頻度の項目を1画面で

ユーザカスタマイズ機能

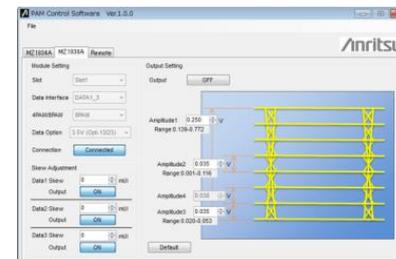
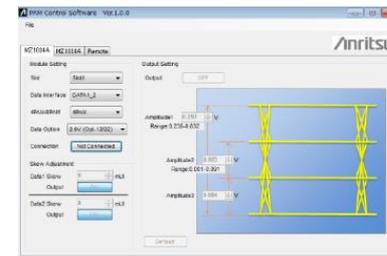
- 18個までの項目を選択し、1画面で簡単操作が可能
- 選択した項目は、保存・再読出し可能



PAMの特長 (1) PAM信号発生

• PAM4/PAM8発生 (MZ1834A/MZ1838A 4/8 PAM コンバータ)

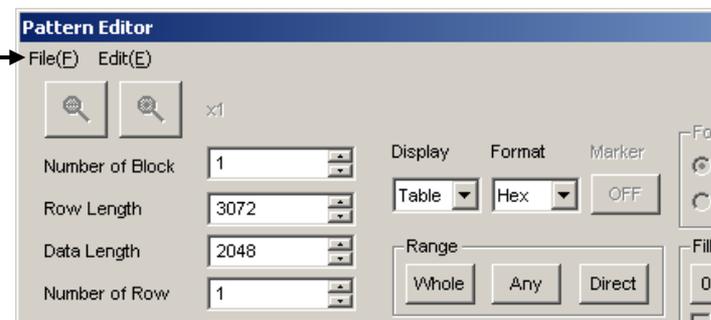
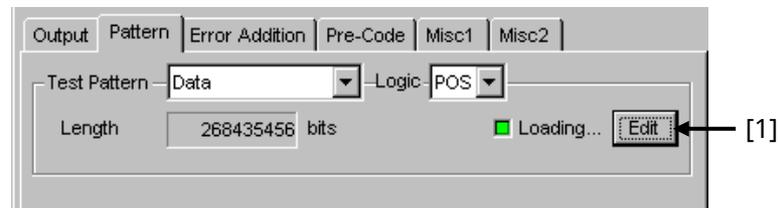
- PAM4 差動信号発生: MZ1834A + PPG 2ch
- PAM8 差動信号発生 : MZ1838A + PPG 3ch
- 32.1 Gbaud rateまでの広範囲な動作範囲
- 高品質アイ開口, 高速 Tr/Tf
- PAM制御GUI: PPG Data出力振幅可変によるPAM信号振幅可変



PAMの特長 (2) 多彩なPAM4パターン

32 GBaud PAM4パターン

- PAM4信号の発生/BER測定用パターンファイルを追加しました。
- Test Pattern = Data から、Editを選択します[1]。
- Pattern Editorのファイルリストの中から以下のPAM4信号用Data Patternを選択できます[2]。



Pattern	PPG1 Pattern file	PPG2 Pattern file	ED Top EYE Pattern	ED Middle EYE Pattern	ED Bottom EYE Pattern
PRBS13Q	PRQS13Q_TX1.txt	PRQS13Q_TX2.txt	PRBS13Q_Upper.txt	PRBS13Q_Middle.txt	PRBS13Q_Lower.txt
GrayPRBS13Q	GrayPRBS13Q_TX1.txt	GrayPRBS13Q_TX2.txt	GrayPRBS13Q_Upper.txt	GrayPRBS13Q_Middle.txt	GrayPRBS13Q_Lower.txt
PRQS10	PRQS10_TX1.txt	PRQS10_TX2.txt	PRQS10_Upper.txt	PRQS10_Middle.txt	PRQS10_Lower.txt
SSPR	SSPR_TX1.txt	SSPR_TX2.txt	SSPR_Upper.txt	SSPR_Middle.txt	SSPR_Lower.txt
JP03A	JP03A.txt	JP03A.txt	JP03A.txt	JP03A.txt	JP03A.txt
JP03B	JP03B.txt	JP03B.txt	JP03B.txt	JP03B.txt	JP03B.txt
Squarewave	Squarewave.txt	Squarewave.txt	Squarewave.txt	Squarewave.txt	Squarewave.txt

注) 上記PatternでのPAM4 信号発生時には、PPG CH1とCH2をCombination Modeに設定してください。
 上記PatternでのPAM4 BER測定時には、EDをIndependent Modeに設定してください。

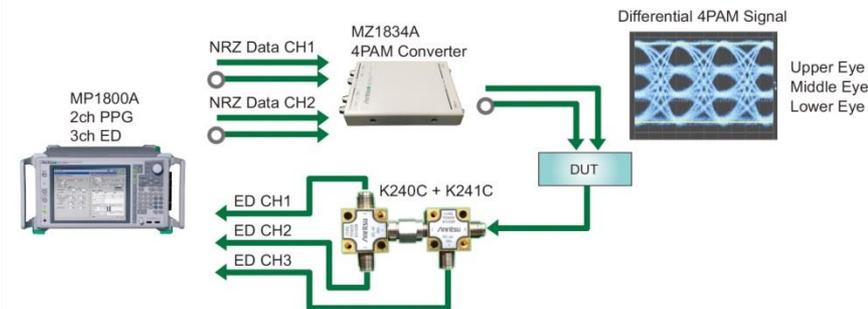
PAMの特長 (3) PAM4 BER測定

高入力感度EDによるPAM4 BER測定

2つのBER測定方法

- 1ch EDを用いたPAM4 各Eyeの逐次BER測定
- 3ch EDを用いたPAM4 各Eyeの同時BER測定
- PAM4各EyeのAuto Search機能

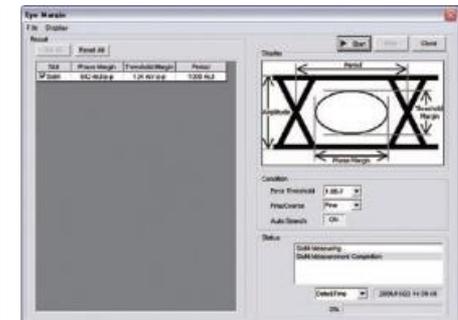
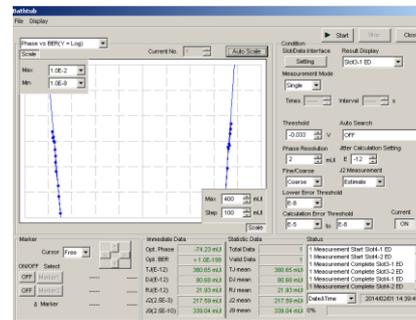
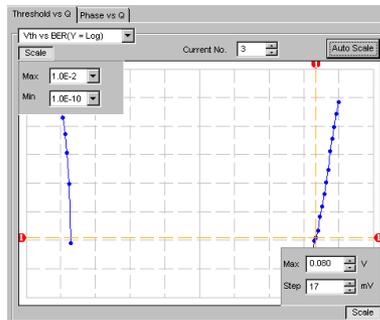
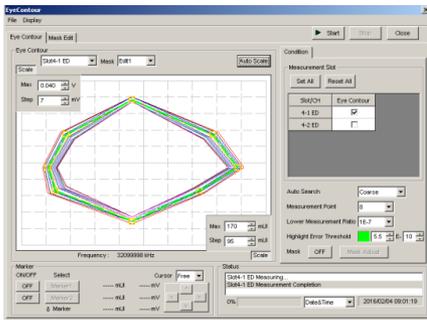
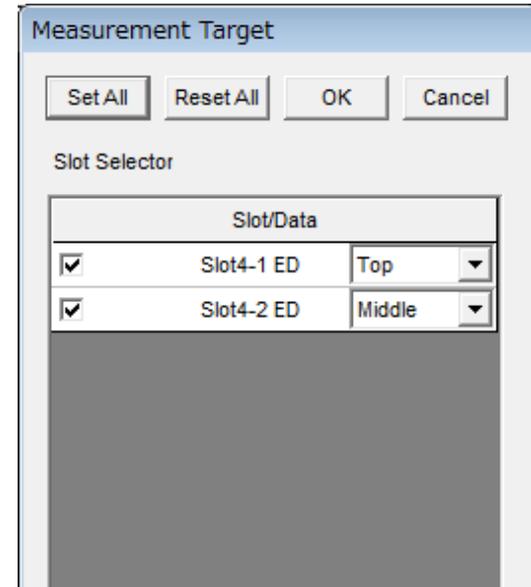
Slot/CH	Data Threshold	XData Threshold	Clock Delay(mUI)	Clock Delay(ps)
<input checked="" type="checkbox"/> Slot2-1 ED Middle	----	----	----	----
<input checked="" type="checkbox"/> Slot2-2 ED Top	----	----	----	----
<input checked="" type="checkbox"/> Slot3-1 ED Bottom	----	----	----	----
<input type="checkbox"/> Slot3-2 ED Top	----	----	----	----



PAMの特長 (4) PAM4解析機能

- 各種解析機能

- Top / Middle / Bottom Eyeの独立解析
- 自動解析機能群:
 - Eye Contour
 - Eye Margin
 - Bathtub
 - Q Analysis

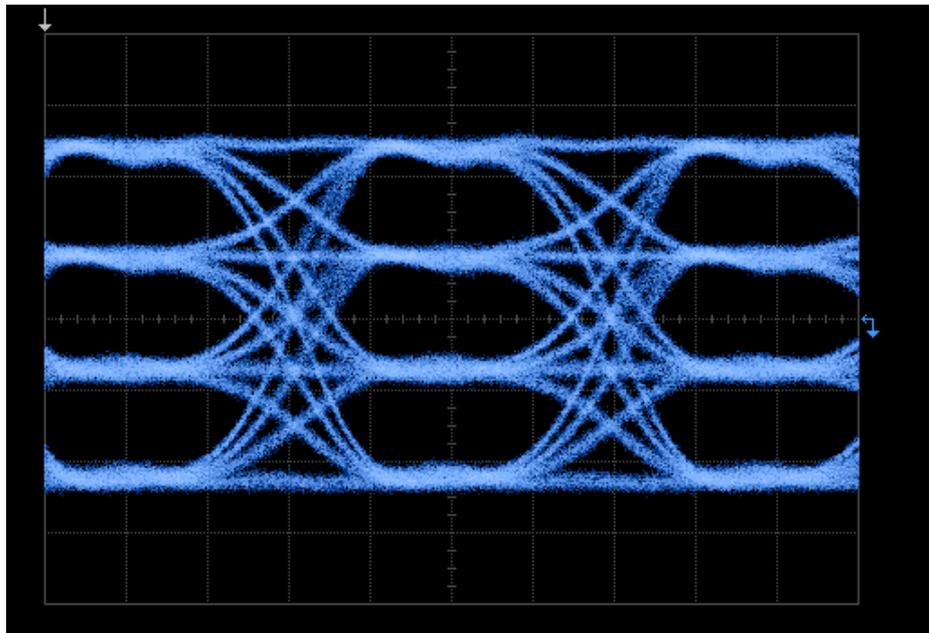


PAMの特長 (5) PAM4参考波形

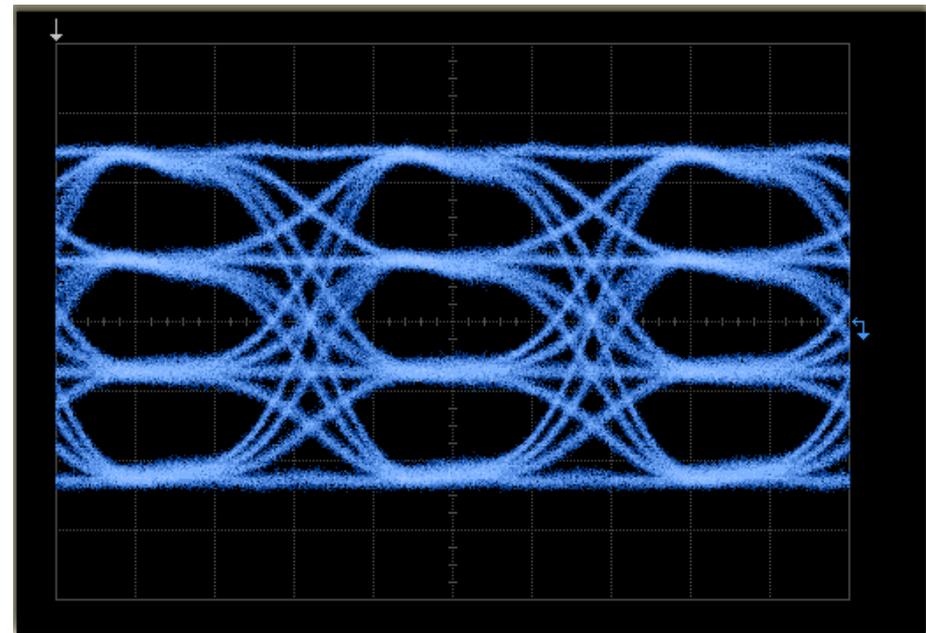
測定条件

Input: 3.5 Vp-p, 1.75 Vp-p, PRBS31

Output: 832 mVp-p, 170 mV/div, 10.0 ps/div



25.78125 Gbaud Rate



28.1 Gbaud Rate

28G/32G PPG 規格

Item	Specification
Operating Bit Rate	2.4 to 28.1 Gbit/s 2.4 to 32.1 Gbit/s (Option)
Data Output	
Number of Outputs	MU183020A 1ch 2 ports (Data/xDdata) (Option) 2ch 4 ports (Data1/xData1, Data2/xData2) (Option) MU183021A 4ch 8 ports (Data1/xData1, Data2/xData2, Data3/xData3, Data4/xData4)
Amplitude	500 mV to 2.0 Vp-p/2 mV step (Option) 500 mV to 3.5 Vp-p/2 mV step (Option)
Offset	-2.0 to +3.3 Voh/1 mV step
Crosspoint Adjust	20% to 80%/0.1% step @ 28 Gbit/s, 32 Gbit/s
Clock Output	
Number of Outputs	1
Amplitude	0.3 Vp-p min. 1.0 Vp-p max.
Frequency	Selectable clock of 1/1 or 1/2 of bit rate
Data Delay	Option
Range	-1000 to +1000 mUI/2 mUI step
Pattern Generation	
PRBS	2^n-1 ($n = 7, 9, 10, 11, 15, 20, 23, 31$), Mark Ratio 1/2, Logic POS/NEG
Programmable DATA	2 to 268,435,456 bits/1 bit step, Mark Ratio 1/2, Logic POS/NEG
Aux Outputs	Divided Clock, Pattern Sync.

28G/32G ED 規格 (1/2)

Item	Specification											
Operating Bit Rate	2.4 to 28.1 Gbit/s, 2.4 to 32.1 Gbit/s (Option)											
Data Input												
Number of Inputs	MU183040A/B 1ch 2 ports (Data/xData) (Option) 2ch 4 ports (Data1/xData1, Data2/xData2) (Option) MU183041A/B 4ch 8 ports (Data1/xData1, Data2/xData2, Data3/xData3, Data4/xData4)											
Input Amplitude/ Sensitivity*	<table border="1"> <tr> <td></td> <td></td> <td>MU183040B/MU183041B</td> </tr> <tr> <td>Input Amplitude*</td> <td></td> <td>0.05 Vp-p to 1.0 Vp-p</td> </tr> <tr> <td rowspan="2">Sensitivity*</td> <td>EYE Amplitude</td> <td>15 mVp-p (typ.), ≤25 mVp-p</td> </tr> <tr> <td>EYE Height</td> <td>10 mVp-p (typ.)</td> </tr> </table>			MU183040B/MU183041B	Input Amplitude*		0.05 Vp-p to 1.0 Vp-p	Sensitivity*	EYE Amplitude	15 mVp-p (typ.), ≤25 mVp-p	EYE Height	10 mVp-p (typ.)
		MU183040B/MU183041B										
Input Amplitude*		0.05 Vp-p to 1.0 Vp-p										
Sensitivity*	EYE Amplitude	15 mVp-p (typ.), ≤25 mVp-p										
	EYE Height	10 mVp-p (typ.)										
Clock Input												
Number of Inputs	1											
Amplitude	0.3 Vp-p min., 1.0 Vp-p max.											
Frequency	1/2 of bit rate											
Clock Delay												
Range	-1000 to +1000 mUI/2 mUI step											
Pattern Detection												
PRBS	2 ⁿ -1 (n = 7, 9, 10, 11, 15, 20, 23, 31) , Mark Ratio 1/2, Logic POS/NEG											
Programmable DATA	2 to 268,435,456 bits/1 bit step, Mark Ratio 1/2, Logic POS/NEG											
Aux Outputs	Divided clock, Pattern Sync.											
Analysis Functions	Auto Search, Auto Adjust, Bathtub Jitter, EYE Diagram, EYE Margin, Auto Search PAM Mode, Q-value measurement, Eye Contour, PAM BER Measurement											

*入力振幅は、Auto Adjust 機能が動作する範囲です。感度は、エラーフリーとなる最大入力振幅です。

28G/32G ED 規格 (2/2)

ITEM	Specification
Clock Recovery Options	Clock Recovery from ch1 Data input, internal distribution to each channel*1
Operating Bit Rate	Opt-x22: 2.4 to 28.1 Gbit/s Opt-x23: 25.5 to 32.1 Gbit/s (requires MU183040B/41B-001)
Maximum Number of Consecutive Zeros	72 bits (Zero Substitution 2 ¹⁵)
Lock Range for Data Clock Recovery	Opt-x22: ±200 ppm Opt-x23: ±100 ppm
Target Loop Band	Opt-x22: Selectable from bit rate/1667, bit rate/2578, Jitter Tolerance*2, and variable Variable: 3 MHz to 17 MHz/1 MHz steps*3 Opt-x23: Selectable from bit rate/1667, bit rate/2578 and Jitter Tolerance*2

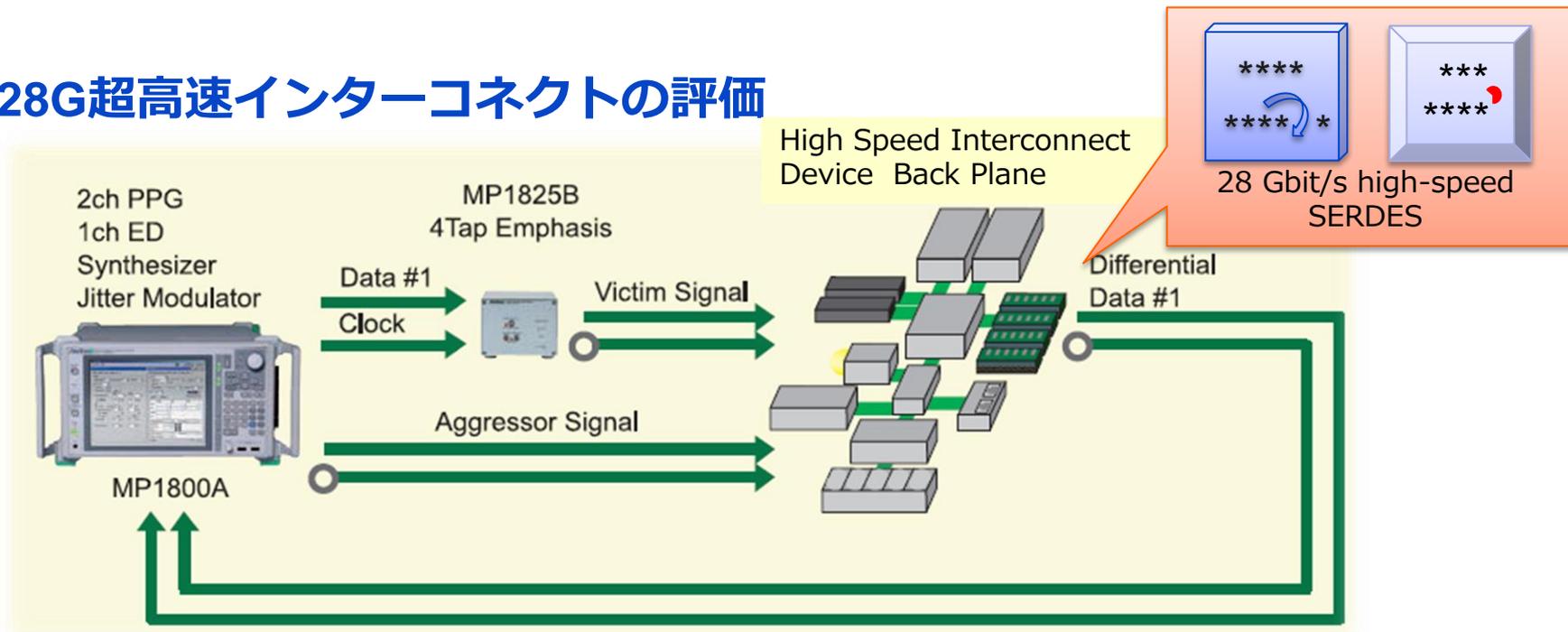
*1: MU183041B-023 recovers Clock from ch1 Data input and distributes to ch1 and ch2. Also recovers Clock from ch3 Data input and distributes to ch3 and ch4.

*2: Jitter Tolerance setting makes widest loop band and enables Jitter Tolerance measurement.

*3: Upper setting band depends on bit rate: 17 MHz at 28.1 Gbit/s

主なアプリケーション (インターコネクト) (1/2)

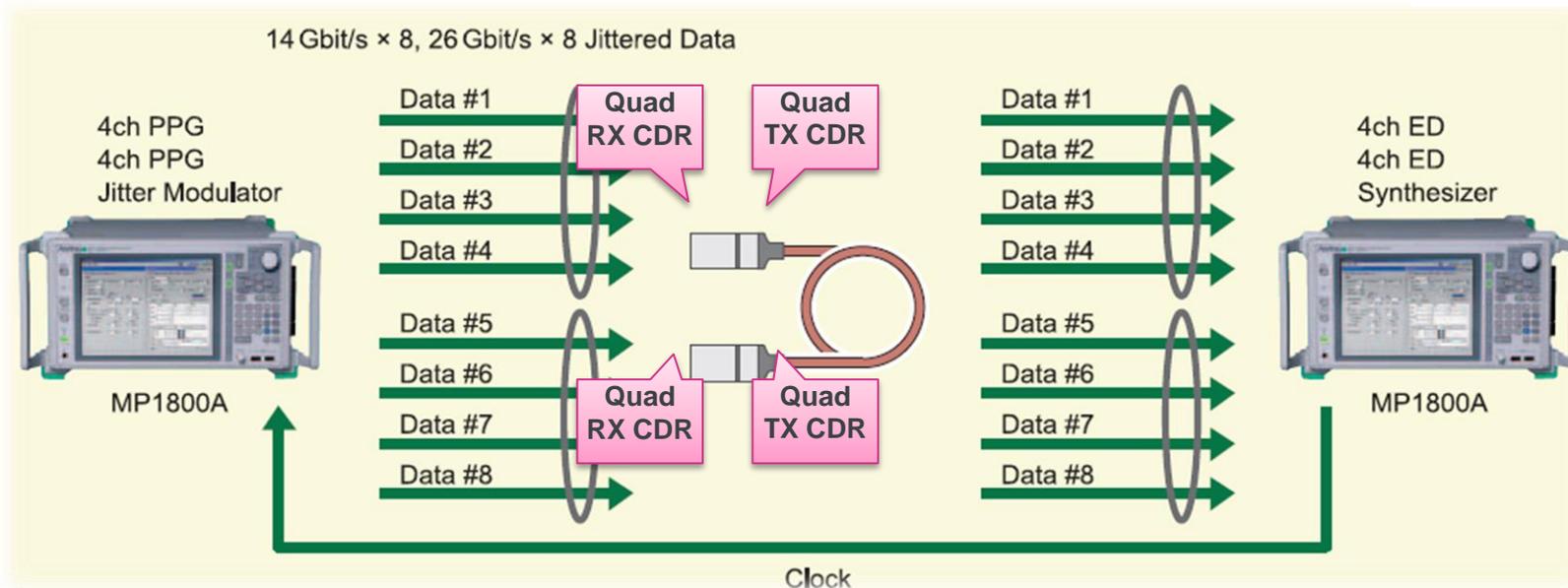
28G超高速インターコネクトの評価



- ✓ Multi-ch 信号発生 → 複数CHに対して、Victim / Aggressor 信号を同時発生
- ✓ SERDESジッタトレランス評価 → 2 tone-SJ/RJ/BUJ/SSCジッタトレランス試験
高感度EDによる低振幅信号のBER解析
Clock Recovery オプションによる非同期測定
- ✓ 伝送線路のロス/ 歪み補正 → エンファシス効果の確認
- ✓ クロストークによるBERの劣化評価 → 可変 Delay, CH Sync, 可変Amplitude

主なアプリケーション (インターコネクト) (2/2)

• Infiniband FDR(14G)/EDR(26G) AOCの評価

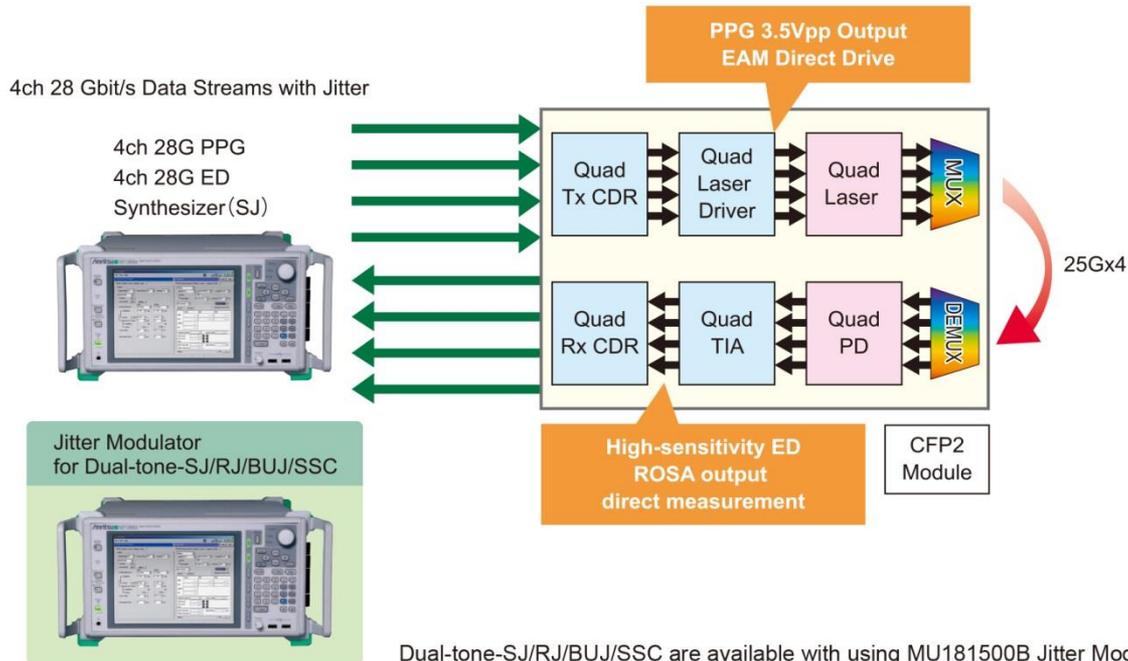


- ✓ 8ch (4ch双方向) のBER測定
- ✓ クロストークによるBERの劣化評価
- ✓ 内部CDRのジッタ耐力評価
- ✓ 出力波形品質評価

- 最大8chの同時測定による効率化
- 可変 Delay, CH Sync, 可変Amplitude
- SJ/RJ/BUJジッタトレランス試験
- 高感度EDによる低振幅信号のBER解析
TJ/DJ/RJ/Bathtub Jitter
EYE Contour (BER等高線 Mask)解析

主なアプリケーション (CFP2/CFP4)

CFP2/CFP4の評価

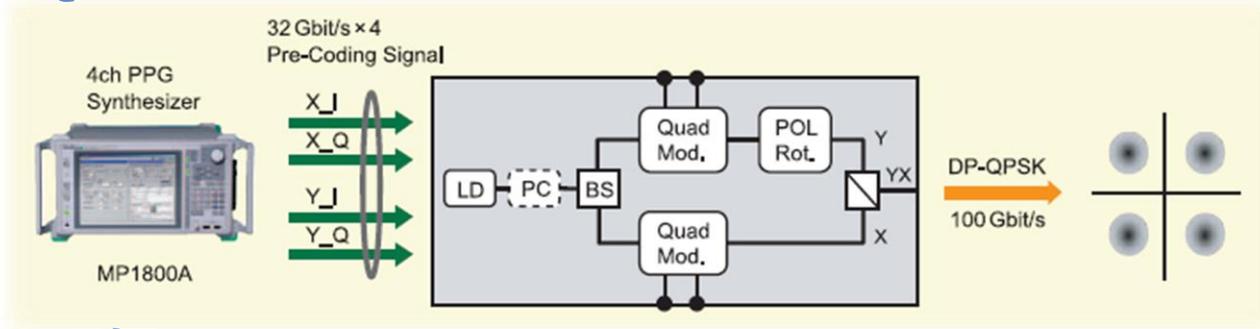


- ✓ クロストークによるBERの劣化評価
- ✓ 4chのBER測定
- ✓ EAM Direct Drive
- ✓ 内部CDRのジッタ耐力評価

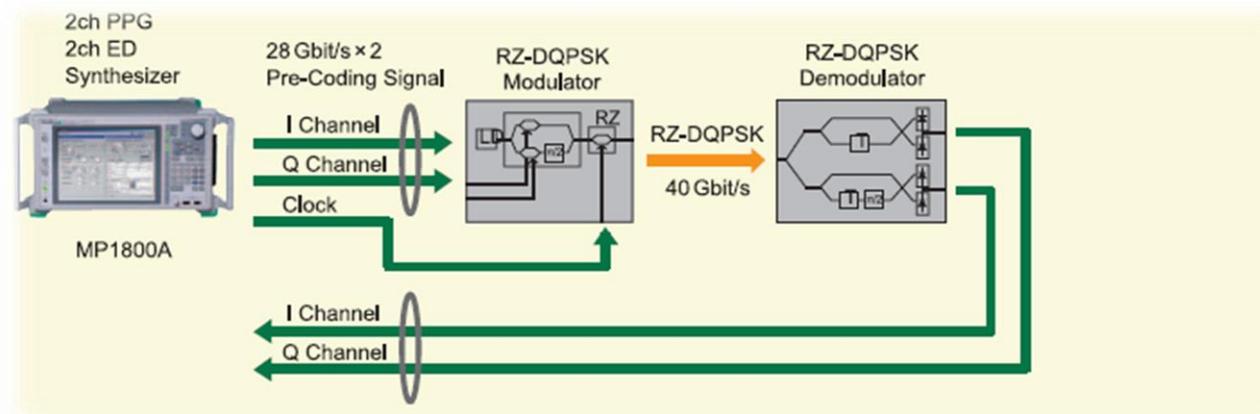
- 可変 Delay, CH Sync, 可変Amplitude
- 高感度EDによる低振幅信号のBER解析
1BOX同時測定による効率化
- 3.5 Vp-p Data out, クロスポイント可変
- SJジッタトレランス試験
(MU181000シンセサイザのジッタオプションによりSJ発生可能)

主なアプリケーション (DP-QPSK, DQPSK)

32G DP-QPSKの評価



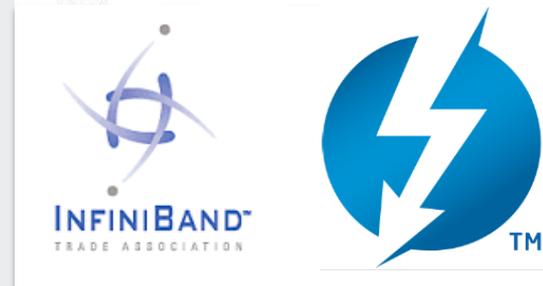
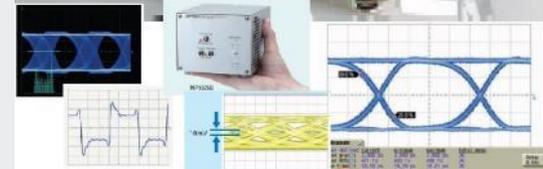
DQPSKの評価



- ✓ Pre-Coding 信号発生 → CH同期した、DP-QPSK, DQPSK信号
- ✓ 光出力波形の最適化 → クロスポイント調整
- ✓ CH間のタイミング/スキュー制御 → 高精度可変Delay
- ✓ Modulator 入力レベル耐力 → 3.5 Vp-p Data out, 可変Amplitude

マルチチャネルSQAソリューション

56G / 64G Solution



モジュールラインアップ

MP1861A
56G/64G bit/s MUX



MP1862A
56G/64G bit/s DEMUX



J1646A
Passive Equalizer 6dB
(V connector)



56G/64G bit/s BERT標準構成

56G/64G Jitter BERT

56G/64G 2ch BERT

56G/64G 4ch BERT (2 box)

MP1800A Max. 6 slot



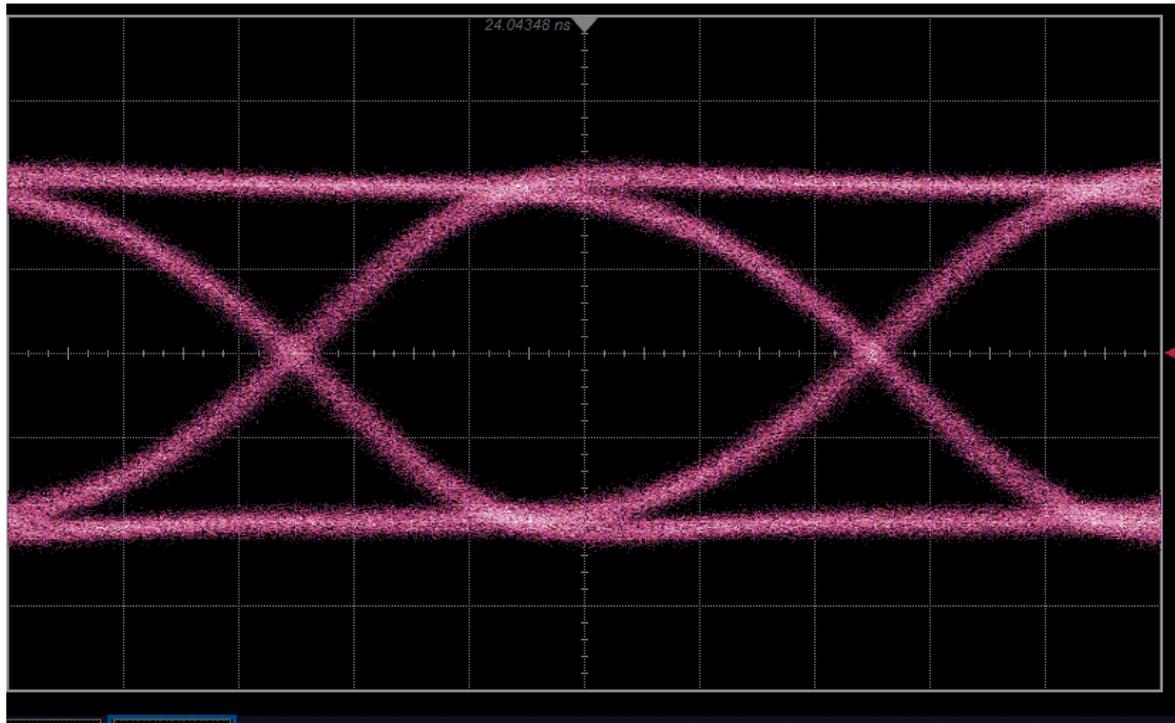
MP1861A MP1862A



32G PPG 2ch	32G PPG 4ch or 32G PPG 2ch x 2	32G PPG 4ch or 32G PPG 2ch x 2	32G ED 4ch or 32G ED 2ch x 2
32G ED 2ch	32G ED 4ch or 32G ED 2ch x 2	32G PPG 4ch or 32GPPG 2ch x 2	32G ED 4ch or 32G ED 2ch x 2
Synthesizer (2 Slots)	4Port Synthesizer (2 Slots)	4Port Synthesizer (2 Slots)	
Jitter Generator (2 Slots)			
64G MUX	64G MUX	64G MUX	64G DEMUX
64G DEMUX	64G MUX	64G MUX	64G DEMUX
	64G DEMUX	64G MUX	64G DEMUX
	64G DEMUX	64G MUX	64G DEMUX

特長 (1) すぐれた波形品質

- 低残留ジッタ、高品質波形



50 Gbit/s, 3.5 Vp-p 出力波形 (MP1861A-013)

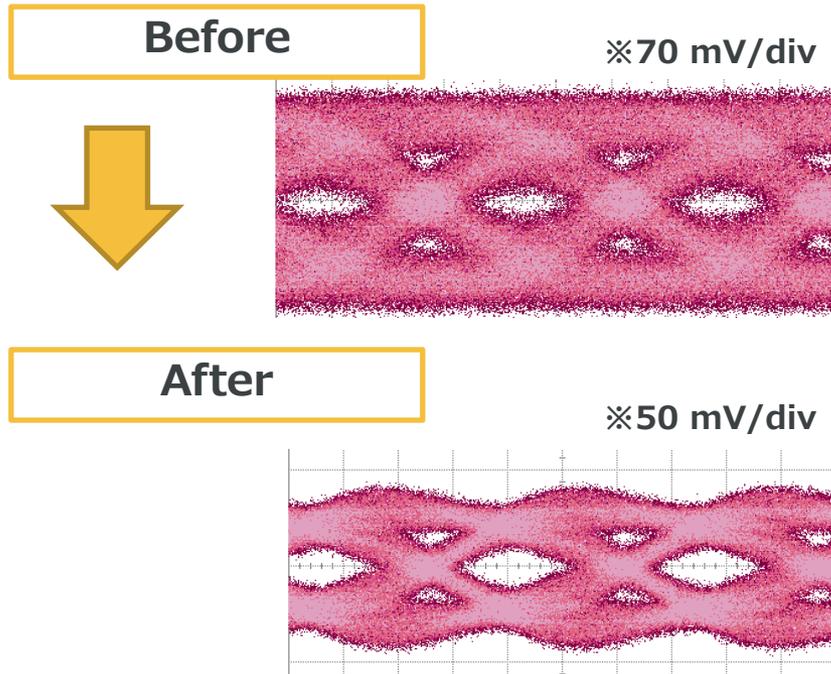
特長 (2) 受信感度とイコライザ

- **高感度 DEMUX**

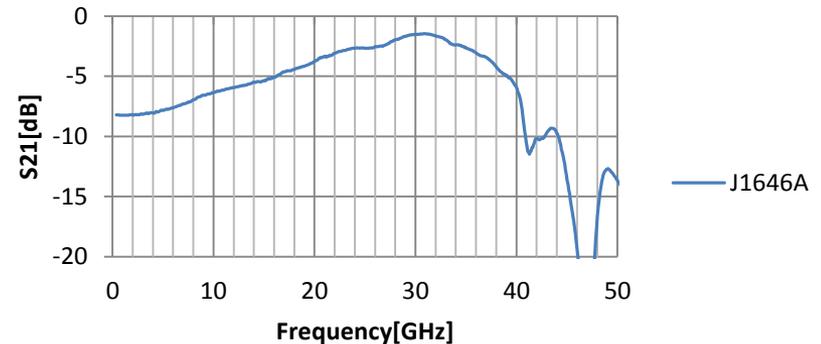
- ✓ 感度 : 25 mV (typ.) (56.2 Gbit/s, Single-end, Eye Height, PRBS31)
≤40 mV (56.2 Gbit/s, Single-end, Eye Height, PRBS31)
30 mV (typ.) (64.2 Gbit/s, Single-end, Eye Height, PRBS31)

- **パッシブイコライザ**

- ✓ 56G/64G bit/s DEMUX MP1862Aの前段に挿入することにより、伝送線路による損失を補償し、Eye Openingを回復し、Eye Openingが低いPHYデバイスのBER測定、ジッタトレランステストが可能

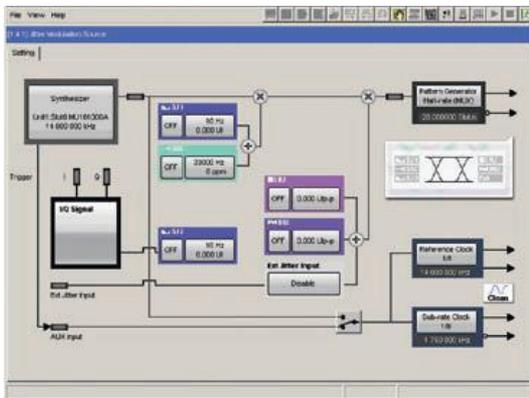


J1646A Passive Equalizer 6dB S21

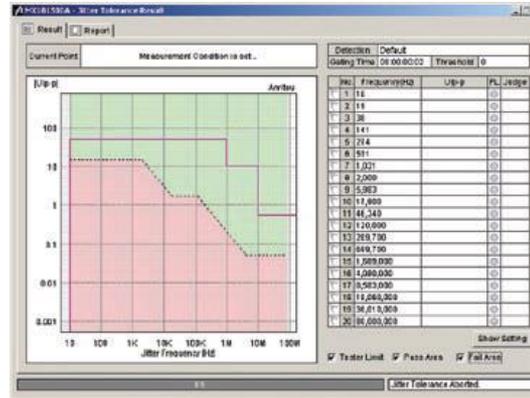


特長 (3) 多彩なシグナルインテグリティ測定機能

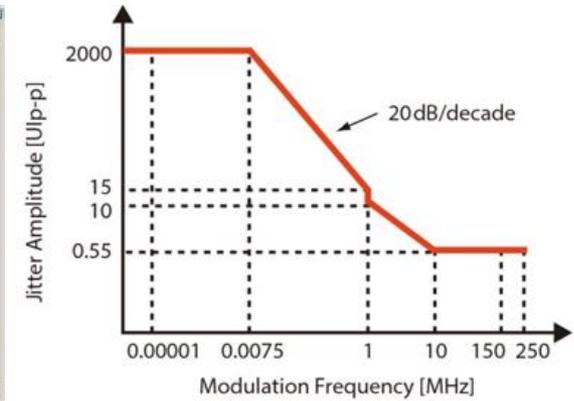
- SJ、RJ、BUJ、SSC、Half Period Jitter (Even/Oddジッタ) などの多彩なジッタ発生、自動耐力測定
 - ✓ 最大2000 UI、変調周波数250 MHzで0.55 UIの大振幅SJ (@56.2G)を発生可能
 - ✓ 低残留ジッタ : 275 fs rms (代表値)
 - ✓ 2トーンに対応したSJと、その他のRJ、BUJ、SSCを同時に付加可能



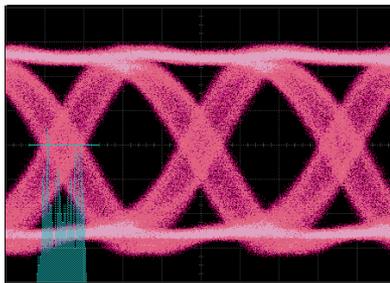
各種Jitter生成



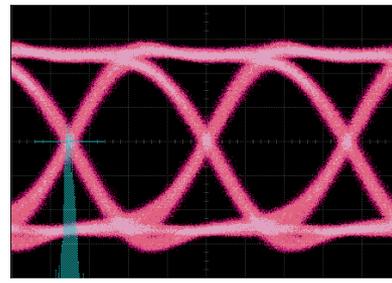
MX181500A ジッタ/ノイズ トランステストソフトウェア



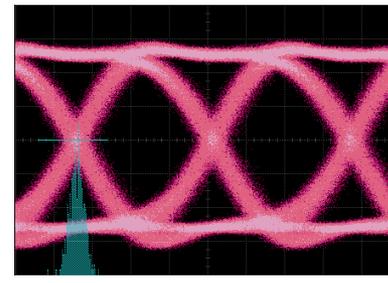
Jitter発生マスク



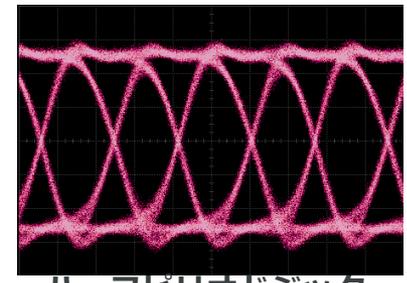
正弦波ジッタ (SJ)



ランダムジッタ (RJ)



有界非相関ジッタ (BUJ)

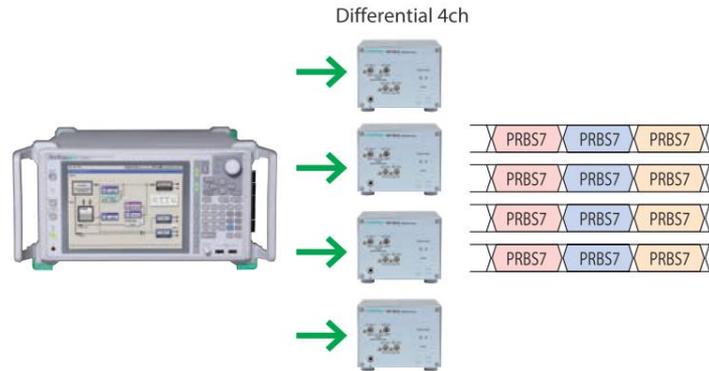


ハーフピリオドジッタ (Even/Oddジッタ)

特長 (4) 多彩なシグナルインテグリティ測定機能

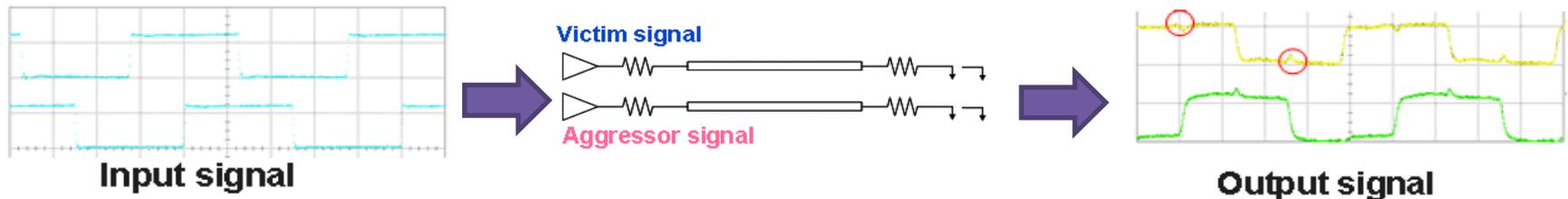
最大4ch 同期

- ✓ 外部MUX, DEMUX形式を採用しているため、MP1800Aに実装したPPG/EDモジュールに接続し、最大4chまで同期可能
- ✓ D/Aコンバータ、クロストークやスキュー耐力の評価が可能



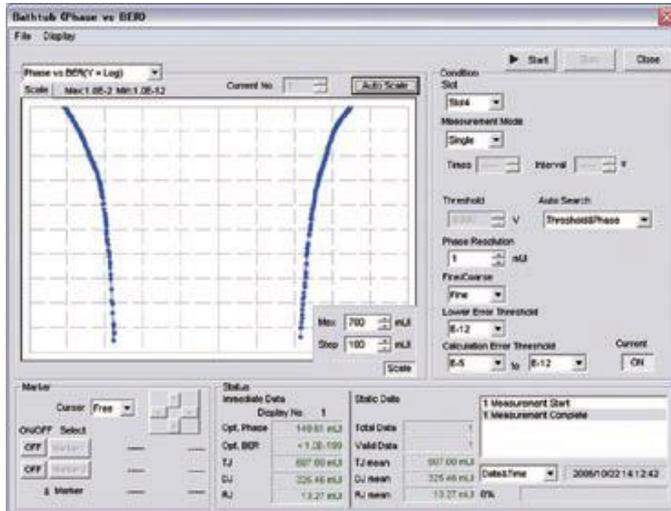
クロストーク試験

- ✓ MUX Data Delayオプションの搭載により、各Ch独立に位相を制御可能
- ✓ 4mUIステップの高精度制御により、DUTのクロストーク特性を精度良く検証可能

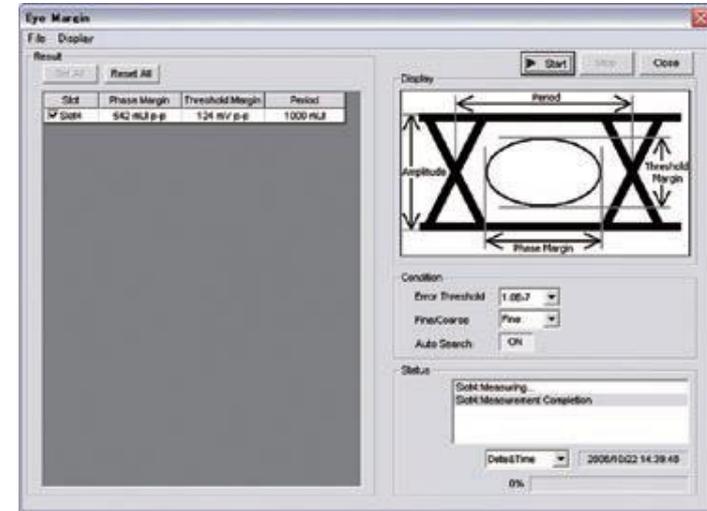


特長 (5) 多彩なシグナルインテグリティ測定機能

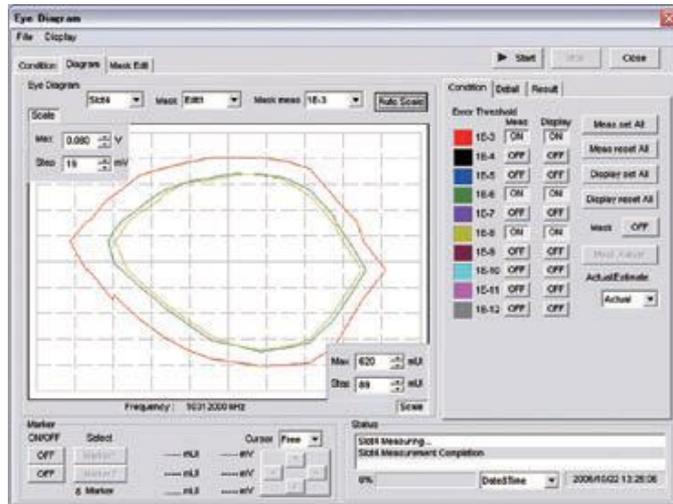
Bathtub Jitter測定



EYE Margin測定



EYE Diagram測定



特長 (6) さまざまなデータパターンに対応

- **バースト信号試験**
 - ✓ 光周回実験、量子暗号技術を使った伝送試験など、バースト信号を使ったアプリケーションの評価を実現しています。
- **最大512 Mbit/chのProgrammable Data Pattern**
 - ✓ CJTPAT, CJPAT, K28.5など、各アプリケーションに必要なパターンを柔軟に生成できます。
 - ✓ PAM4 信号のTrue BER測定に PRBS 20 まで対応
- **擬似ランダムパターン(PRBS)**
 - ✓ 2^{n-1} (n=7, 9, 10, 11, 15, 20, 23, 31)
- **ゼロ置換パターン**
- **ミックスパターン**

56G/64G bit/s MUX/DEMUX 規格

MP1861A 56G/64G bit/s MUX

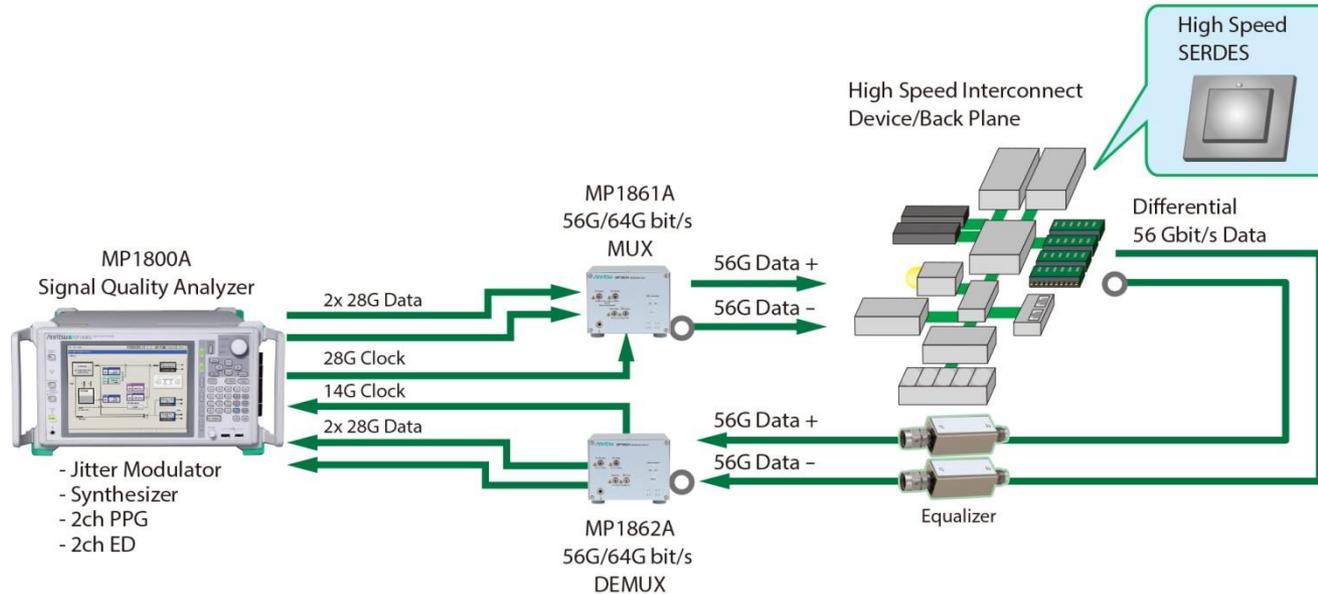
Bit Rate	8 to 56.2 Gbit/s 8 to 64.2 Gbit/s (MP1861A-001)
No. of Channels	1ch, Up to 4ch parallel synchronization by connecting to MP1800A
Amplitude	0.5 to 2.5 Vp-p (≤ 56.2 Gbit/s, MP1861A-011) 1.0 to 2.5 Vp-p (> 56.2 Gbit/s, MP1861A-011) 0.5 to 3.5 Vp-p (≤ 56.2 Gbit/s, MP1861A-013) 1.0 to 3.5 Vp-p (> 56.2 Gbit/s, MP1861A-013)
Intrinsic Random Jitter	RJ = 200 fs rms (typ.)
Half Period Jitter	20 Steps

MP1862A 56G/64G bit/s DEMUX

Bit Rate	8 to 56.2 Gbit/s 8 to 64.2 Gbit/s (MP1861A-001)
No. of Channels	1ch, Up to 4ch parallel synchronization by connecting to MP1800A
Amplitude	0.125 to 1.0 Vp-p
Sensitivity	25 mV (typ.), ≤ 40 mV (EYE height, PRBS31, single-ended)

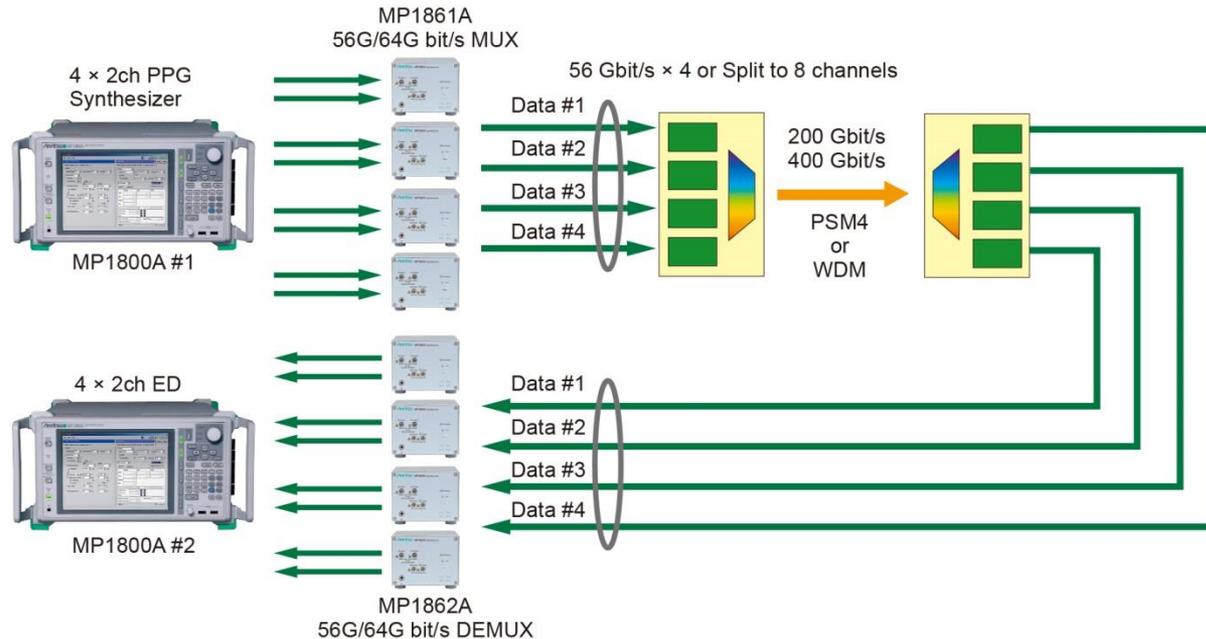
主なアプリケーション (インターコネクト)

56 Gbit/s帯 高速半導体チップの測定



- 56 Gbit/s BER測定
 - ジッタ耐力試験
 - 入力感度試験
 - バスタブジッタ測定
- SERDES、Clock Data Recovery (CDR) などのBER測定が可能
- SJ (2種類)、RJ、BUJ、SSCに対応
CEI-56Gなどに対応したジッタトレランス試験が可能
- 0.5~3.5 Vp-p(56G, MP1861A-013搭載時)の広い可変範囲により、デバイスの入力感度を試験可能
- ジッタ付加を行いながら、MP1862Aはクリーンクロックによるバスタブジッタを測定できます。

主なアプリケーション (トランスミッター)



- 400GbE、56 G×4 Laneの評価 → IEEE 802.3bsで検討が進む400 GbE用EMLや光モジュールの評価を実現可能
- EMLの評価に適した信号品質を提供 → 最大3.5Vp-pまでの出力可変機能により、EMLを直接駆動可能
- スキュー、クロストークの影響確認 → パターン同期、位相可変機能を実現しているため、受信などを容易に実機検証可能
- 高感度・Auto Search機能搭載 → MP1862A DEMUXはAuto Search機能によりデータとクロックの位相差、電圧閾値を最適点に自動調整可能

マルチチャネルSQAソリューション

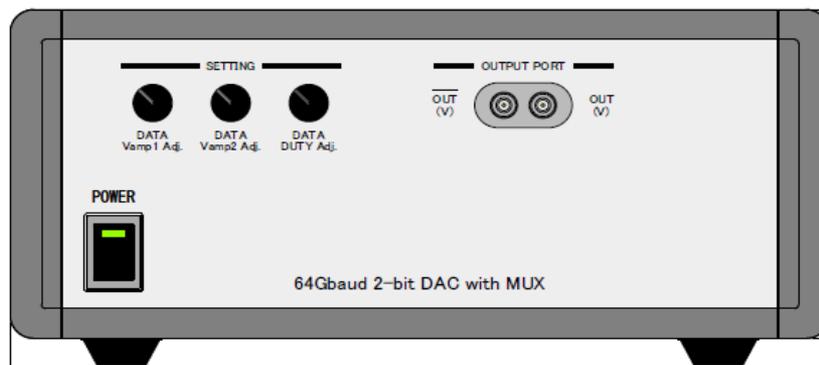
56G / 64GBaud PAM4 ソリューション



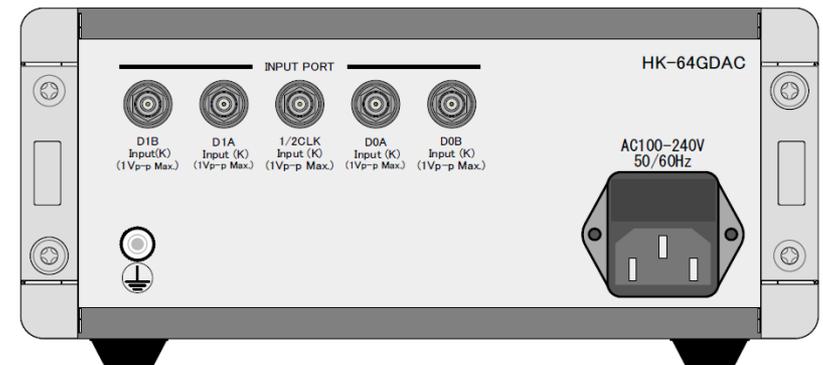
64GBaud DAC box の特長

G0374A 64Gbaud PAM4 DAC

- ・ 広い動作範囲： DC to 64 Gbaud
- ・ 32 Gbit/s x 4 ch PPGを使用した64 Gbaud PAM4信号発生
- ・ 1.4 Vp-p (differential, Typ.) 出力
- ・ 振幅, duty および Upper / Lower / Middle 振幅の手動可変
- ・ 低残留ジッタ： 300 fs (rms)
- ・ ジッタ透過性のあるNRZ, PAM4 両方を発生可能



前面



背面

64 GBaud PAM4 発生のブロック図

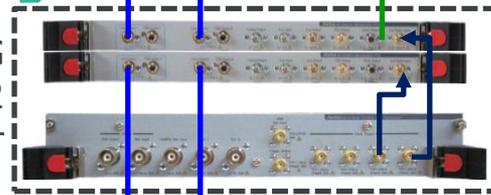
MP1800A
Signal Quality Analyzer



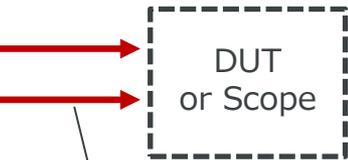
32Gbit/s Data1A,B(MSB) G0374A
64Gbaud PAM4 DAC

32 GHz Clock input

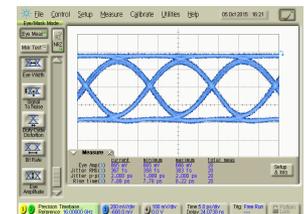
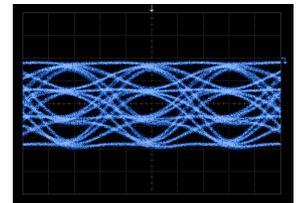
4ch 32G PPG
MU183020A 32G 2ch PPG x2
MU181000A/B Synthesizer



32 Gbit/s Data0A,B(LSB)



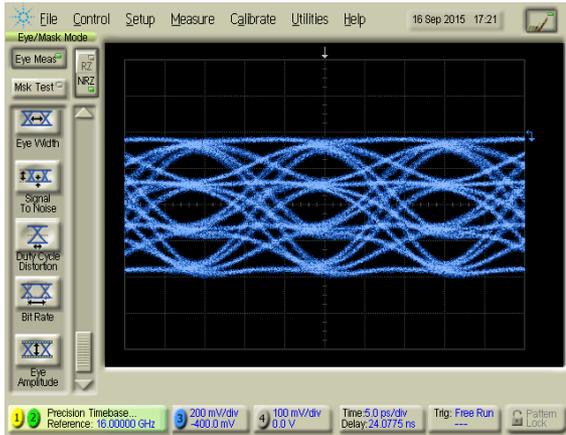
64Gbaud PAM4
データ出力



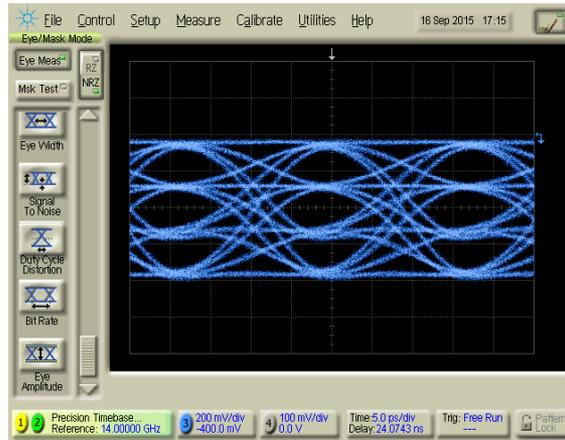
G0374A 64Gbaud PAM4 DAC参考波形

➤ PAM4 出力波形 (41 V -6 ATT +3 4 V V50 Adapter + 70-GHz帯域Oscilloscope)

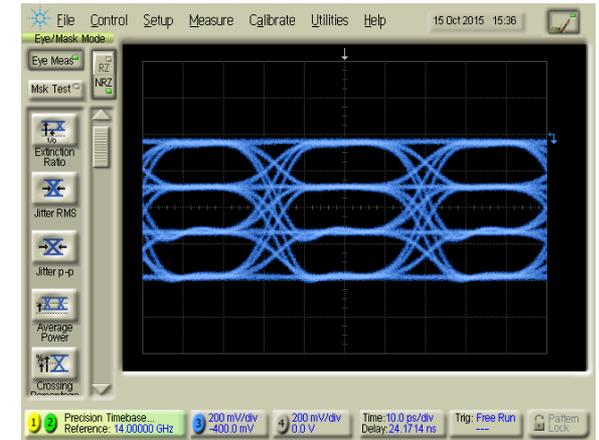
64 Gbaud



56 Gbaud

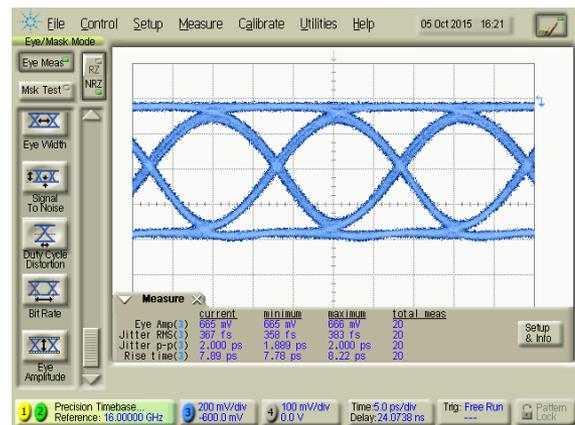


28 Gbaud

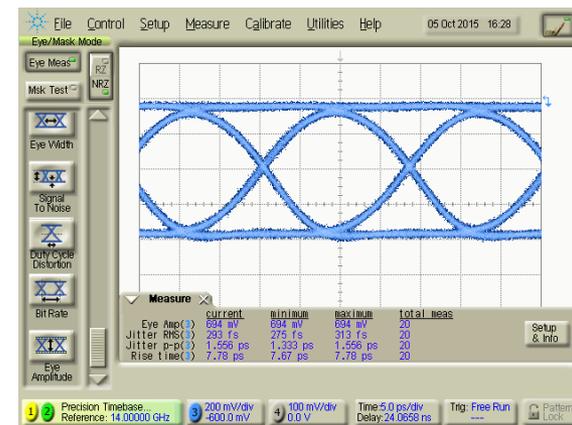


➤ NRZ 出力波形 (41 V -6 ATT +3 4 V V50 Adapter + 70-GHz 帯域 Oscilloscope)

64 Gbaud

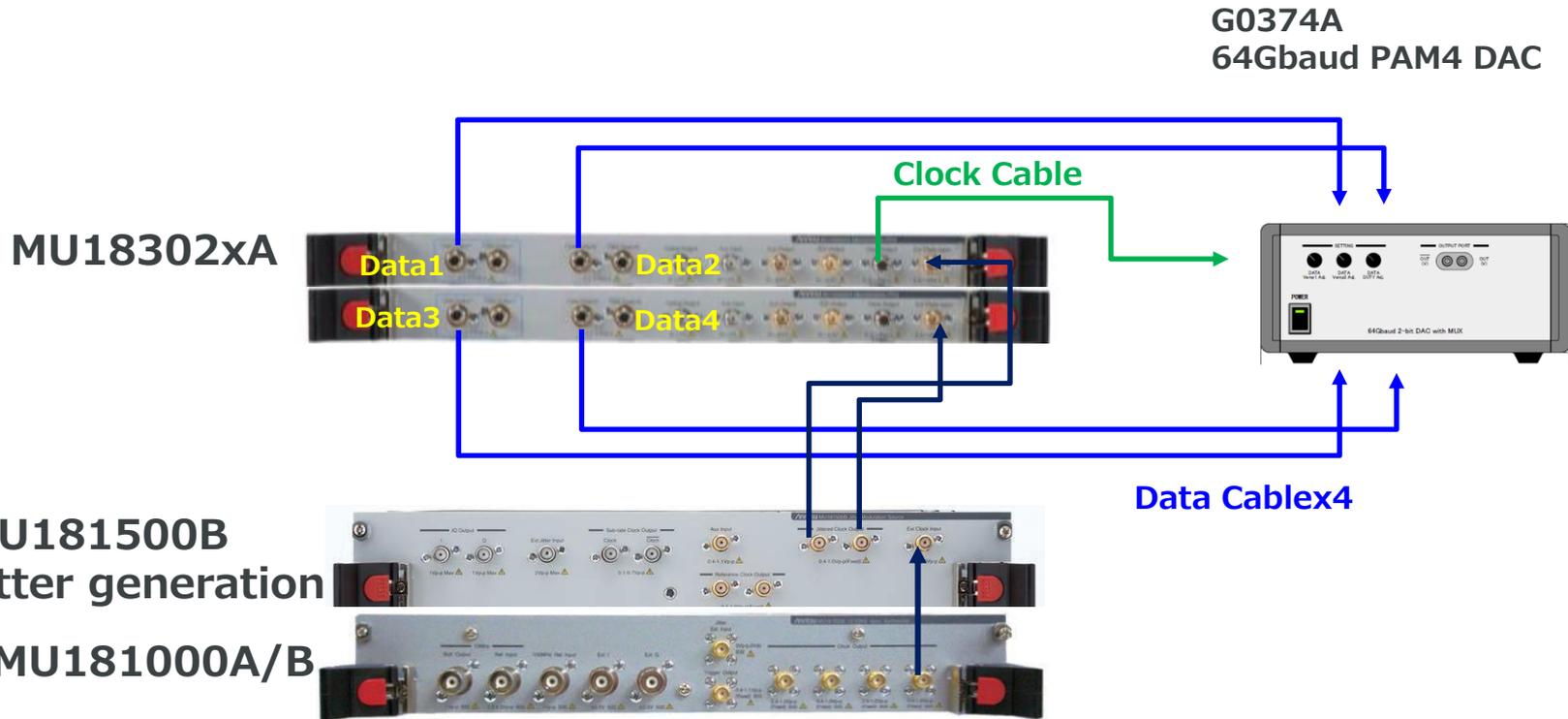


56 Gbaud



ジッタ印加ブロック図

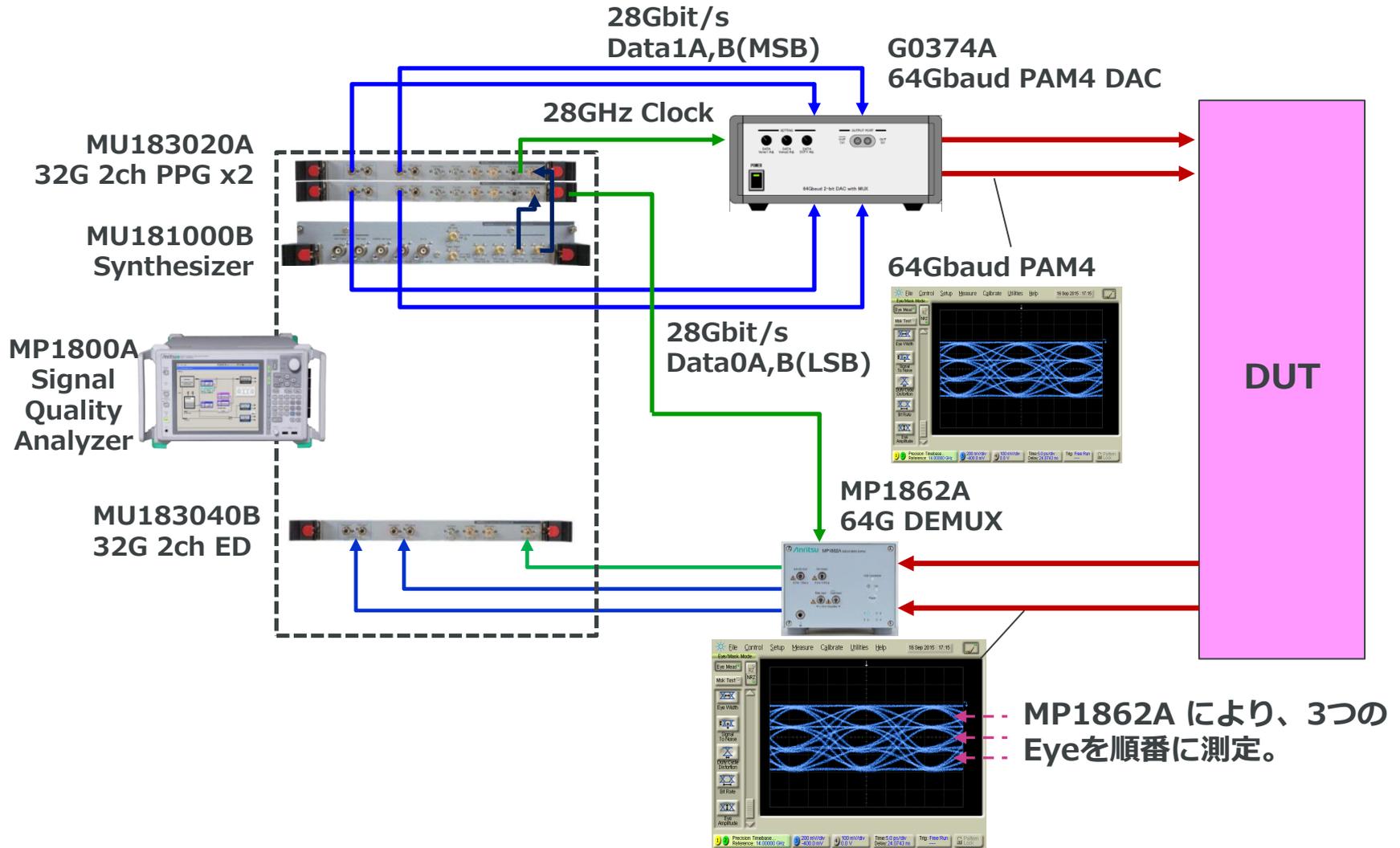
ジッタ透過性により、PAM4 ジッタ試験が可能



推奨ケーブル: Data Cables 80 cm (J1612A x4)
Clock Cable 130 cm (J1611A)

56 Gbaud PAM4 BER測定

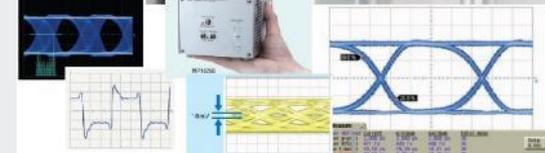
- 56Gbaud PAM4 BER測定をPRBS15まで検証済み



マルチチャネルSQAソリューション

ハイスピードシリアルバス ソリューション

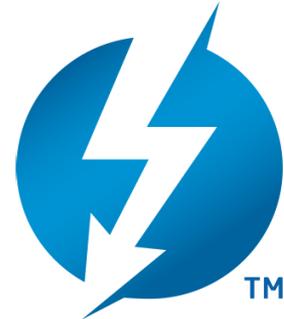
- Thunderbolt Gen3
- USB3.1 Gen1 / Gen2
- PCIe Gen4



アジェンダ

1. TBT ソリューション
2. USB ソリューション
3. PCIe ソリューション

Thunderbolt概要



Thunderbolt (TBT)とは?

- Gen1とGen2は、10.3125 Gbps, Gen3は2 x 20.625 Gbps
- ALT modeとして、TBTの他に、USB, DPも統合
- 100 WまでのPower Delivery

Anritsu Solution

- **MP1800A SQA は、IntelからTBT試験機として正式認証済 !**
- MS46322A VNAもIntelから認証取得済み
- GRL (Granite River Labs Inc. 米Santa Clara) と協業し、自動試験ソリューションを提供
- GRLもTBTテストハウスとしてIntelから認証取得済み
- Thunderbolt CTS(Compliance Test Specification)に基づいた再現性の高い自動校正とReceiver試験機能

MP1800A #1 推獎試驗機器



Thunderbolt Specification Compliance

Thunderbolt Electrical – HOST / Device CTS



2.2.3 Pattern Generator

Generate Thunderbolt signal with a variety of patterns, clock jitter, data waveform (eye diagram) and amplitude characteristics.

Required Test Equipment Capabilities

- Data rates ≥ 20.625 Gbps
- Data patterns: PRBS15, PRBS31, Square wave
- Differential swing range: 0 – 2Vp-p in 10mV steps
- Rise Time ≥ 10 ps (20%-80%)
- Intrinsic jitter < 400 fs RMS

Recommended Test Equipment #1

- Anritsu MP1800A
 - o MP1800A Signal Quality Analyzer
 - o MP1800A-002 Ethernet
 - o MP1800A-007 OS Upgrade to Windows7
 - o MP1800A-014 2-Slot for PPG and/or ED
 - o MP1800A-032 32Gbit/s PPG and/or ED support
 - o MU181000A 12.5GHz Synthesizer
 - o MU181000A-001 Jitter modulation
 - o MU181500B Jitter Modulation Source
 - o MU183020A 28G/32G bit/s PPG
 - o MU183020A-012 1ch 2V Data Output
 - o MU183020A-030 1ch Data Delay
 - o MP1825B 4Tap Emphasis
 - o MP1825B-002 28Gbit/s operation
 - o J1551A Coaxial Skew match cable (0.8m, K connector)
 - o J1439A Coaxial Cable 0.8m, K connector
 - o J1611A Coaxial Cable 1.3m, K connector

2.2.4 Network Analyzer

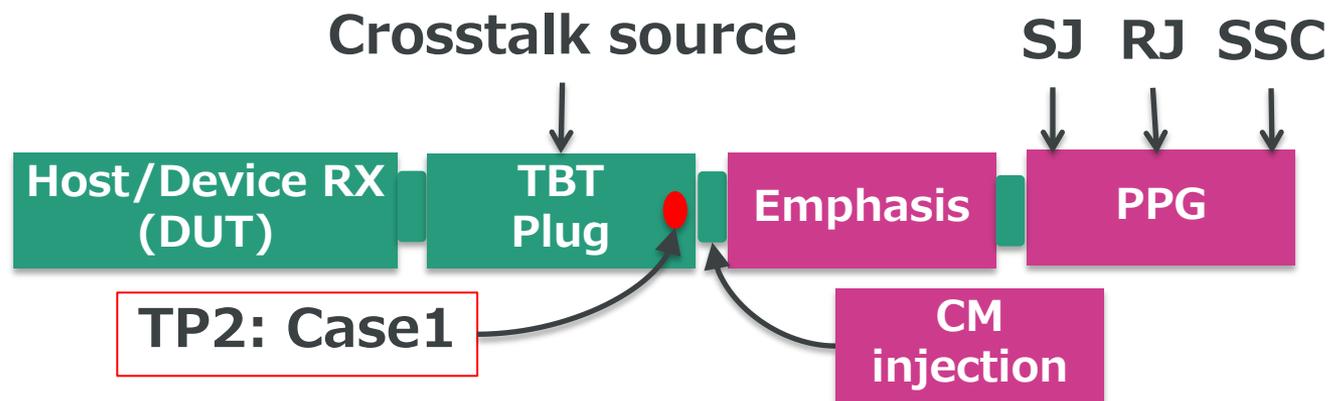
Required Test Equipment Capabilities

- 2 ports used simultaneously
- At least 1MHz – 13GHz bandwidth
- Dynamic range > 50 db

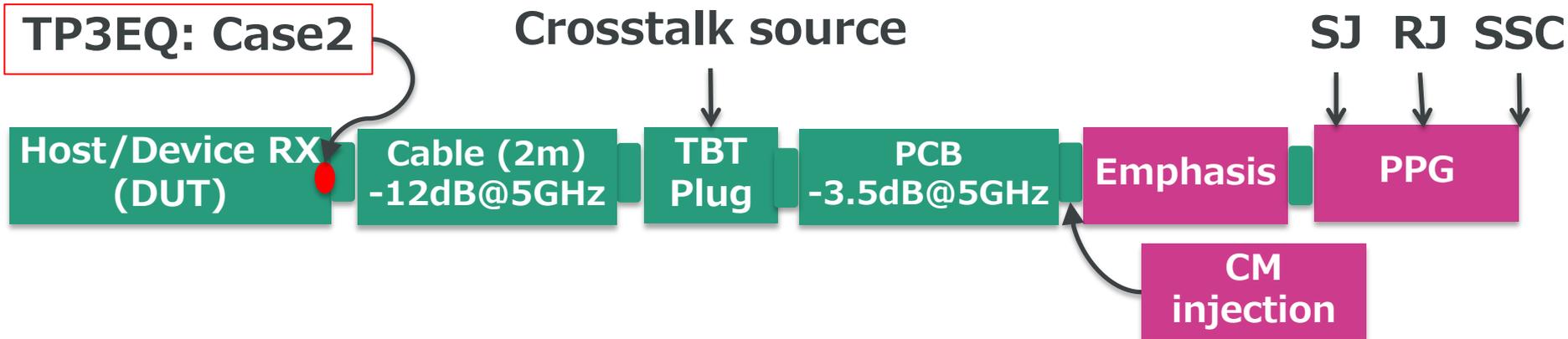
Recommended Test Equipment #3

- Anritsu MS46322A VNA
- Option: MS46322A-020

Thunderboltレシーバ耐力試験系

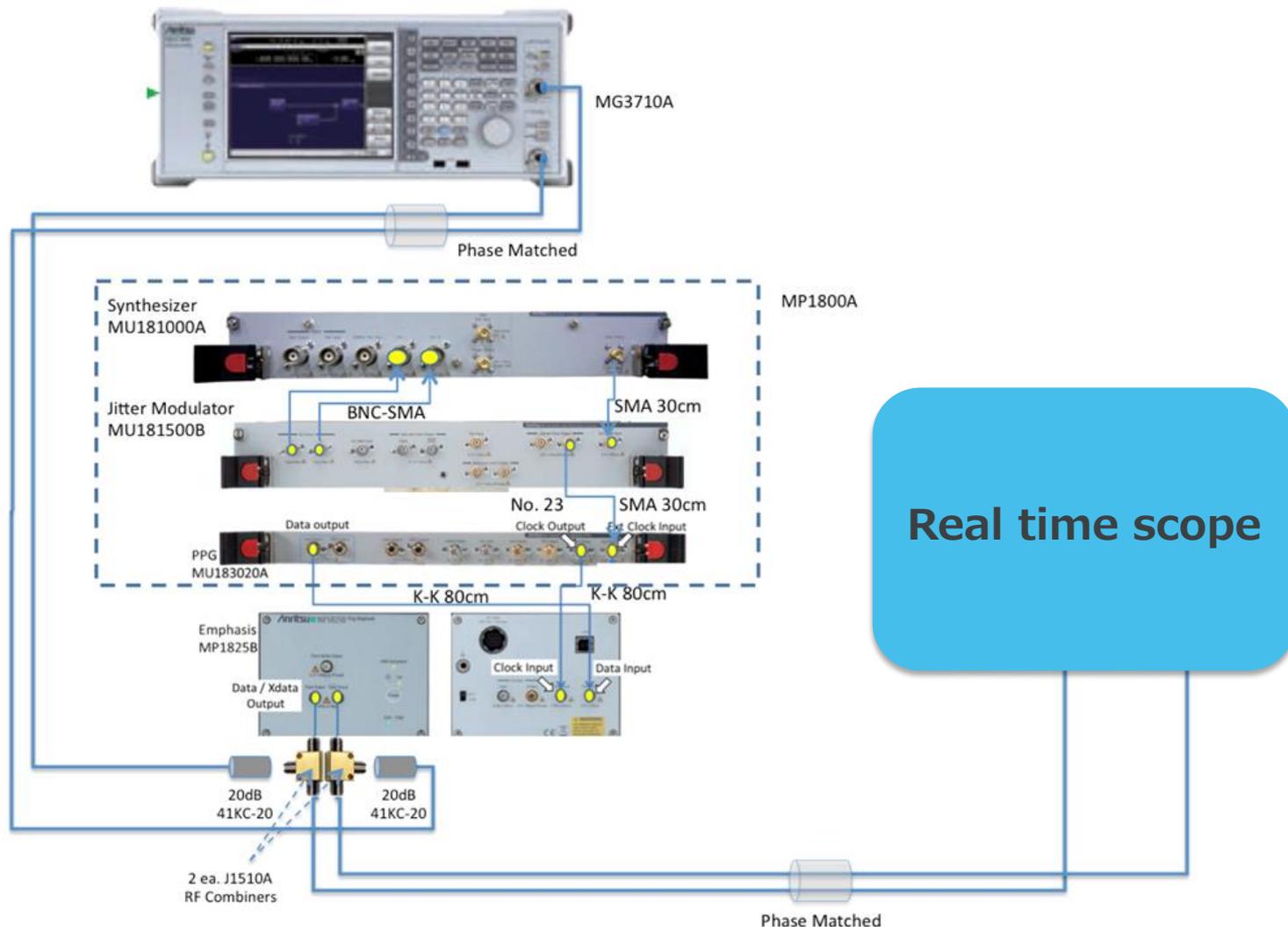


TP3EQ: Case2



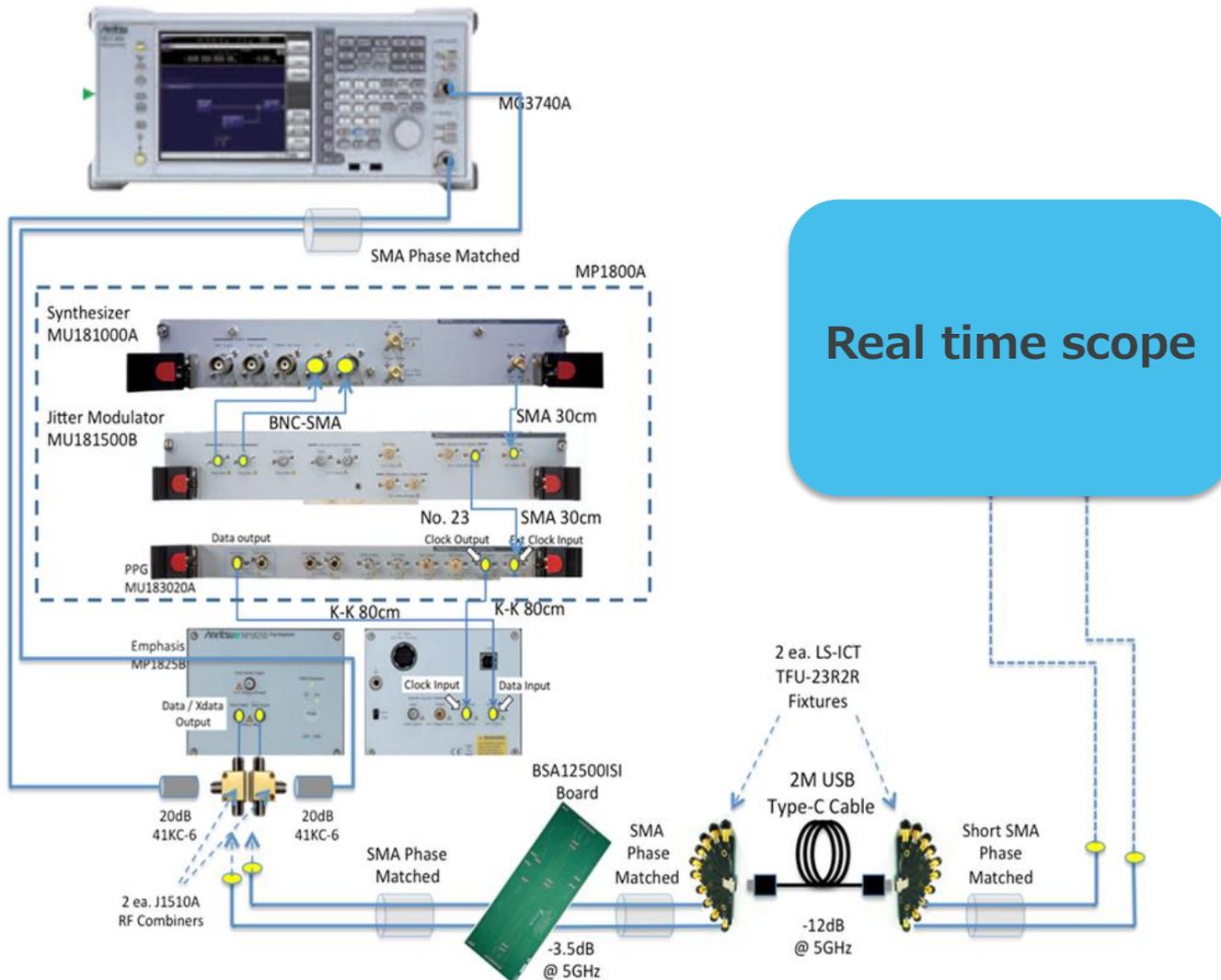
Thunderboltレシーバ耐力試験校正系

テストケース1 (TP2)



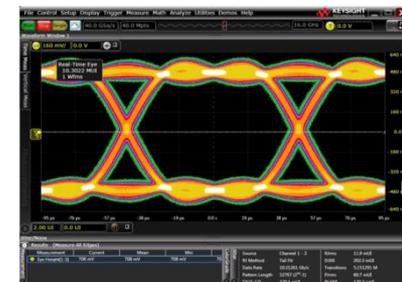
Thunderboltレシーバ耐力試験校正系

テストケース2 (TP3EQ)

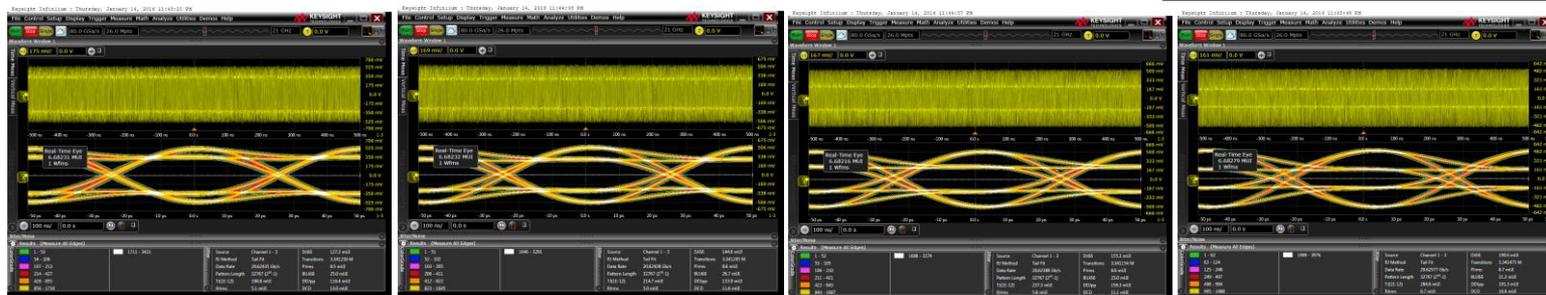
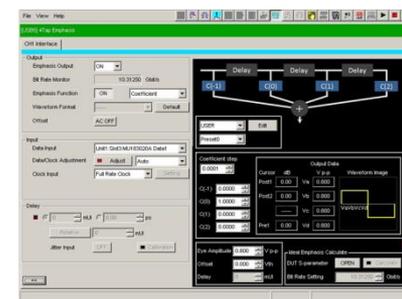


Thunderbolt校正手順 (1/2)

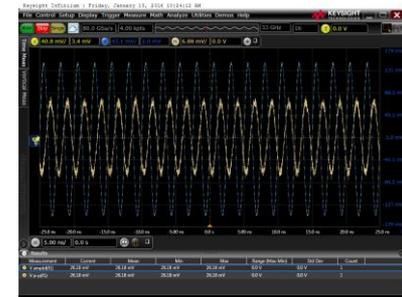
1. アイ開口の設定 (700 mVp-p differential)



2. 16のエンファシスプリセットから最少のDDJとなる設定を探す



3. CMノイズの位相調整



Thunderbolt校正手順 (2/2)

4. CMノイズ

CM校正中は、MP1825B出力はOffにする。
CM校正後、CM出力をOffにする。

5. RJ校正

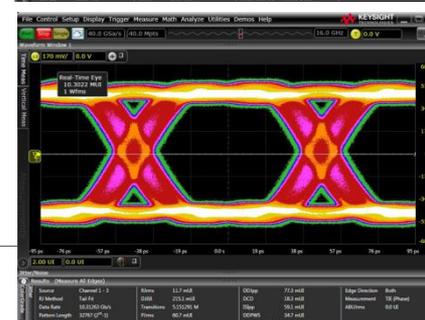
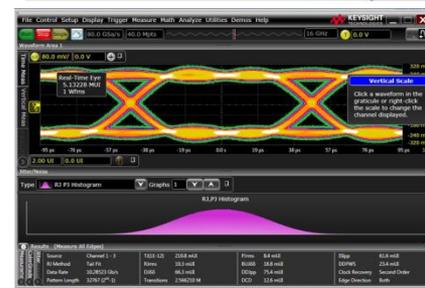
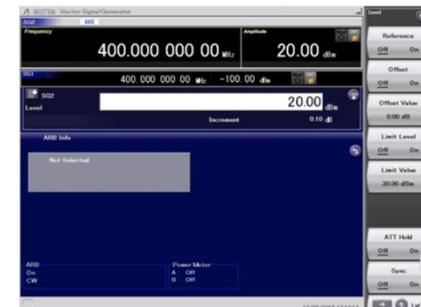
RJ校正中は、RJのみをOnにする。

6. SJ校正

5種類の異なるSJ周波数で校正実施。
SJ校正中は、SJのみをOnにする。

7. TJ校正

校正済みのCM, RJ, SJをOnにする。
最終的に、TJ値が必要な値に満たなかった場合は、RJ値を増加させて調整する。



GRL Thunderbolt自動試験ソフト

テストポイント設定

Lane	Test Point	Data Rate	S
	<input checked="" type="checkbox"/> TP2 (Case 1)		
	<input checked="" type="checkbox"/> TP3 (Case 2)		

Lane	Test Point	Data Rate	SJ F
		<input checked="" type="checkbox"/> 10 Gb/s	
		<input checked="" type="checkbox"/> 20 Gb/s	

校正と試験項目設定

- All Tests
 - Calibrations
 - Initial Eye Height Calibration
 - Optimized Pre-set Look Up
 - CM Source Phase Calibration
 - ACCM Calibration
 - Random Jitter Calibration
 - Sinusoidal Jitter Calibration
 - Case 1, Tj and Eye Height Calibration
 - Case 1, Total Jitter Calibration
 - Case 1, Eye Height Calibration
 - Case 2, Tj and Eye Height Calibration
 - Optimized EQ Look Up

各設定の目標値

Use Default Value

Case 2, Total Jitter Calibration		Case 2, Eye Height Calibration							
Initial Eye Height Calibration		ACCM Calibration		Random Jitter Calibration		Case 1, Total Jitter Calibration		Case 1, Eye Height Calibration	
Rate_10G		Rate_20G							
Initial Cal	650								
Target	0.72	V							
Min Limit:	0.7	V							
Max Limit:	0.756	V							
PID Control	400								

アジェンダ

1. TBT ソリューション
- 2. USB ソリューション**
3. PCIe ソリューション

USB 3.1 Gen1 / Gen2ソリューション

USB3.1とは?

- 新しいコネクタ: Type C
- 2つの伝送速度 (Gen1: 5Gbps, Gen2: 10Gbps)
- Intel TBT Chip “Alpine Ridge”に実装

Anritsuソリューション

- リンク生成 (MX183000A)
- 自動波形校正とジッタ耐力試験 (GRL)
- BER測定と、LFPS応答

特長

- シンプルで簡単な合否判定試験
- USB3.1 Gen1とGen2のHost / Device Receiver試験に対応
- 全自動CalibrationとLoopback状態への遷移でエンジニアの負担を軽減
- コンプライアンスパターンによるReceiver試験

試験手順

1. GRLソフトによるストレス波形の校正
2. MX183000Aを使用し、DUTをloopbackモードに遷移させる

LFPS (Low Frequency Periodic Signaling)

**低Bit rate (10M-20Mbps) でのUSB devicesとの通信
USBの内部状態をloopbackに遷移させる**

**Rx耐力試験において、DUTは、Loopback状態に遷移する必要あり。
MX183000Aは、自動的にDUTをLoopbackモードに遷移させる
機能あり。**

3. 外部Boxを使用したBER測定

USB 3.1 Gen1&Gen2 loopback遷移

MX183000A

The screenshot displays the MX183000A software interface, specifically the 'Sequence for USB' configuration window. The interface is divided into several sections:

- Application Selector:** A menu on the left showing 'Jitter Tolerance Test' selected.
- Sequence for USB:** The main configuration window with tabs for 'Equipment Setup' and 'Sequence'.
 - Flowchart:** A vertical sequence of steps: 'eSS.Inactive' (green box) leads to 'Rx.Detect' (green box) via 'Warm Reset'. From 'Rx.Detect', a 'Timeout' arrow points back to 'Rx.Detect', and an 'Rx Term. Detected' arrow points down to 'Polling' (green box). From 'Polling', a 'Directed' arrow points down to 'Loopback' (green box).
 - Gen1 Parameters:** A table of configuration values for Gen1.

Parameter	Value	Unit
Rx.Detect.Reset(Warm Reset)	100000	μs
Rx.Detect.Active(Idle)	1	μs
Polling.LFPS	100	μs
Polling.RxEQ	524288	μs
Polling.Active(TS1)	8	
Polling.Configuration(TS2)	16	
Polling.Idle	20000	μs
 - Control Buttons:** 'Sequence Start', 'Set Idle', and 'Option' buttons are located on the right side.
 - Specification:** A dropdown menu showing '1.0(5.0 GT/s)' selected, with '2.0(10.0 GT/s)' also visible.
 - Test Pattern:** A dropdown menu set to 'Compliance'.
 - CPO D0.0:** A dropdown menu set to 'Device'.
 - DUT:** A dropdown menu set to 'Device'.
 - Send Test Pattern:** A checkbox labeled 'Send Test Pattern Continuously' is checked.

USB 3.1 Gen1&Gen2校正ソフト (GRL)

Conditions

Data Rate **Sj Frequency**

- Gen2 (10 Gbps)
- Gen1 (5 Gbps)

Setup

Device Type: (dropdown menu with options: Host, Device)

USB 3.1 Rx Calibrations and Tests

- Calibrations
 - Swing and EQ Calibrations
 - PG Delay Calibration
 - De-Emphasis Calibration
 - Pre-shoot Calibration
 - Launch Amplitude Calibration
 - Gen2 Calibrations
 - Gen2 Sj and Rj Calibration
 - Rj Calibration(Gen2)
 - Sj Calibration (Gen2)
 - Gen2 Eye Calibration
 - Optimized Eye Height Search

Data Rate **Sj Frequency**

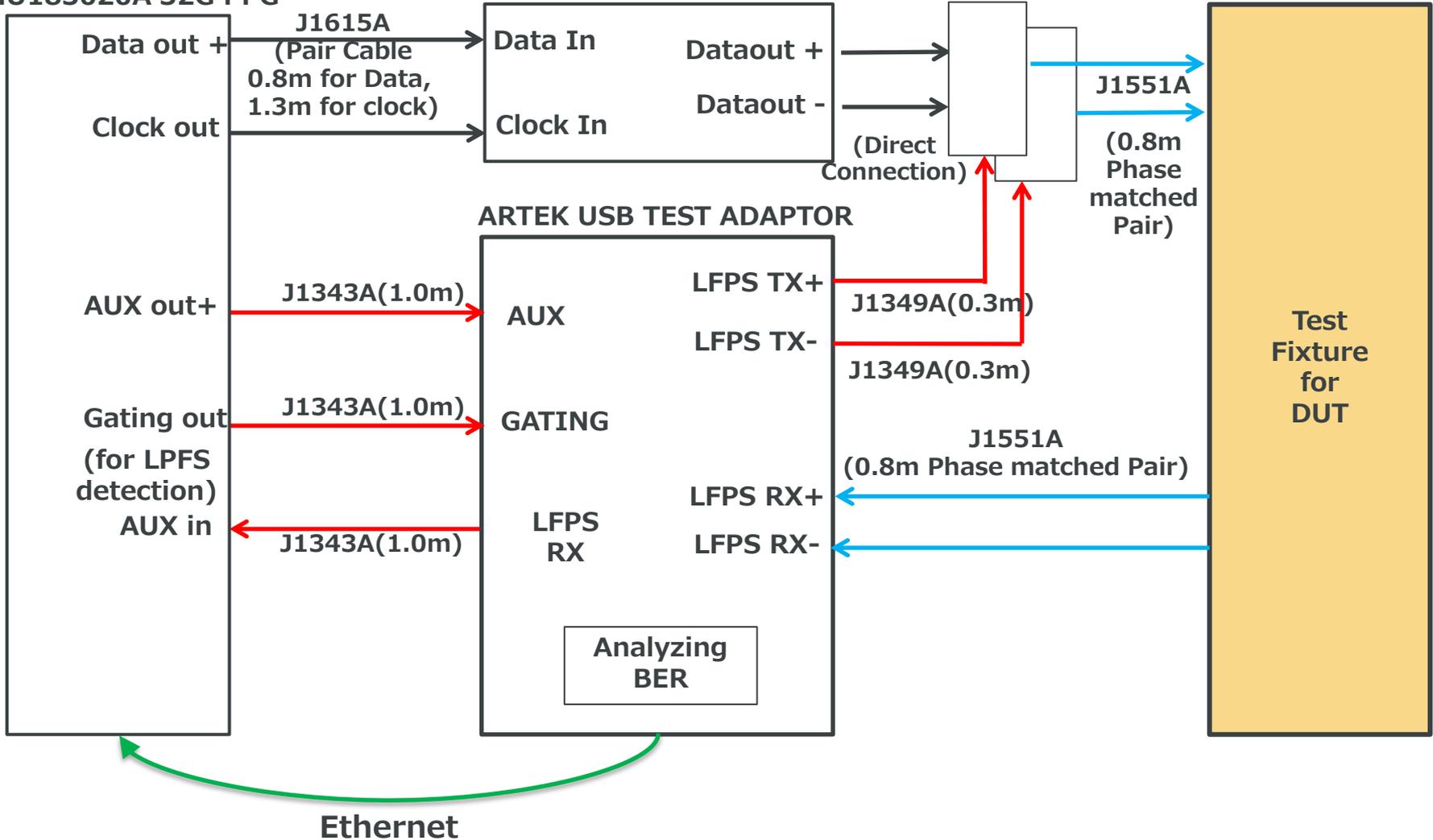
- SJ1 (Gen2=500 kHz, Gen1=500 kHz)
- SJ2 (Gen2=1 MHz, Gen1=1 MHz)
- SJ3 (Gen2=2 MHz, Gen1=2 MHz)
- SJ4 (Gen2=4 MHz, Gen1=4.9 Mhz)
- SJ5 (Gen2=7.5 MHz, Gen1=10 MHz)
- SJ6 (Gen2=50 MHz, Gen1=20 MHz)
- SJ7 (Gen2=100 MHz, Gen1=33 MHz)
- SJ8 (Gen1=50 MHz)

USBコンプライアンス試験系

MP1800A, MX183000A
MU183020A 32G PPG

MP1825B Emphasis

J1510A
Pick OFF Tee



試験ポイント

Gen2試験ポイント

Confirm error free at 1E-10 (Tentative)

SJ: 17 ps +/- 10% at 50 MHz
17 ps +/- 10% at 7.5 MHz
37 ps +/- 10% at 4.0 MHz
87 ps +/- 5% at 2.0 MHz
203 ps +/- 5% at 1.0 MHz
476 ps +/- 5% at 500 MHz

MX183000A

- BER測定
- Pass / Fail表示

Gen1試験ポイント

Confirm error free at 1E-10

SJ: 40 ps +/- 10% at 33 MHz
40 ps +/- 10% at 20 MHz
40 ps +/- 10% at 10 MHz
40 ps +/- 10% at 4.9 MHz
100 ps +/- 5% at 2.0 MHz
200 ps +/- 5% at 1.0 MHz
400 ps +/- 5% at 500 kHz

MX183000A - USB Link Sequence

File Setup Help Adjust RF

Equipment Setup Sequence Loopback Active

eSS.Inactive

Warm Reset

Rx.Detect

Rx Term. Detected Timeout

Polling

Directed

Loopback

USB3.1 Gen1

Pass/Fail PASS

BER 0.0000E-12

EC 0

Bits 1.0000E+12

Unlink

BER Measurement

BER Monitor

USB3.1 Specification

Gen1(5.0 GT/s)

Test Pattern

Compliance

CPO D0.0

TS Option

Rx.Detect.Active(Idle)

Polling.LFPS

Polling.RxEQ

Polling.Active(TS1)

Polling.Configuration(TS2)

Polling.Idle

Loopback.Active

Send Test Pattern Continuously

アジェンダ

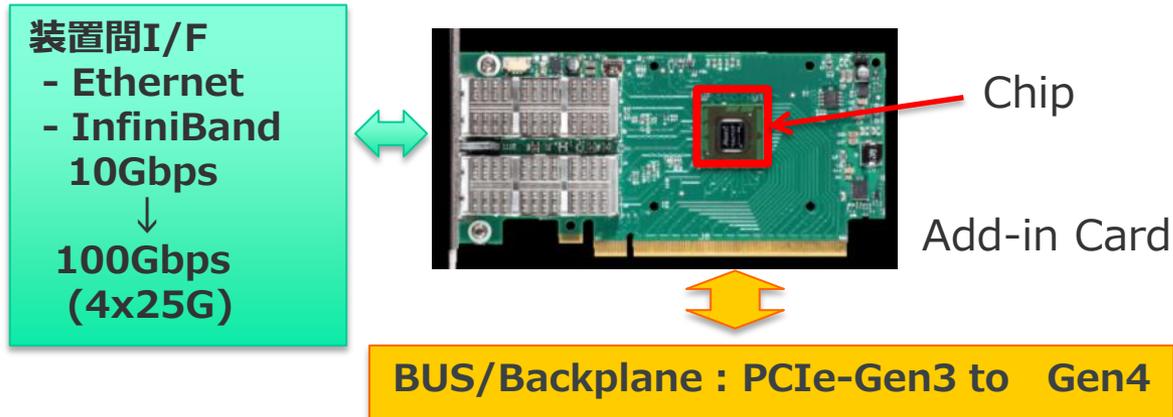
1. TBT ソリューション
2. USB ソリューション
- 3. PCIe ソリューション**

PCI Expressソリューション

AnritsuのPCIe対象市場

- 複数のアプリケーションインタフェースを持った高速半導体検証

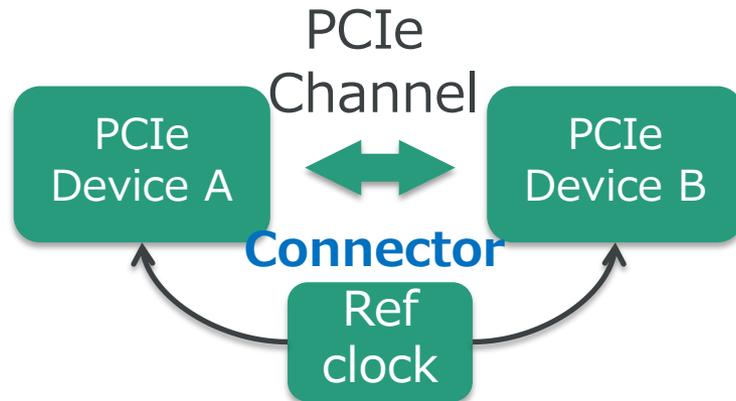
PCIe + 100GbE,
PCIe + Thunderbolt,
PCIe + Thunderbolt + USB3.1



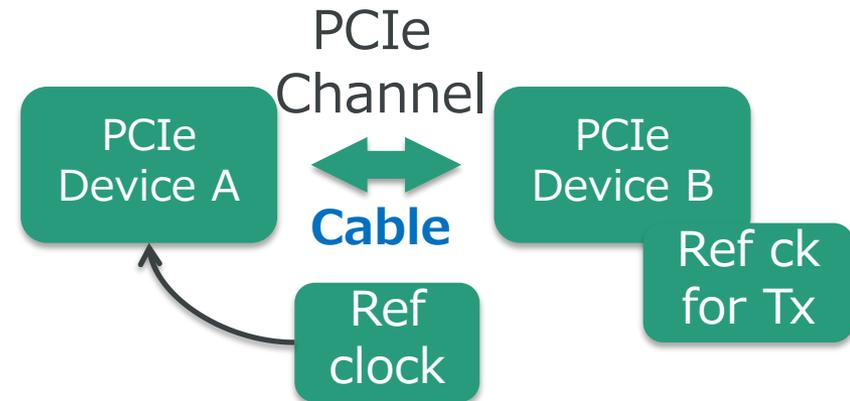
Anritsuソリューション

- PCIe Gen4 Base specification revision 0.5
- リンク機能 (MX183000A)と自動校正/ジッタ耐力試験 (GRL)

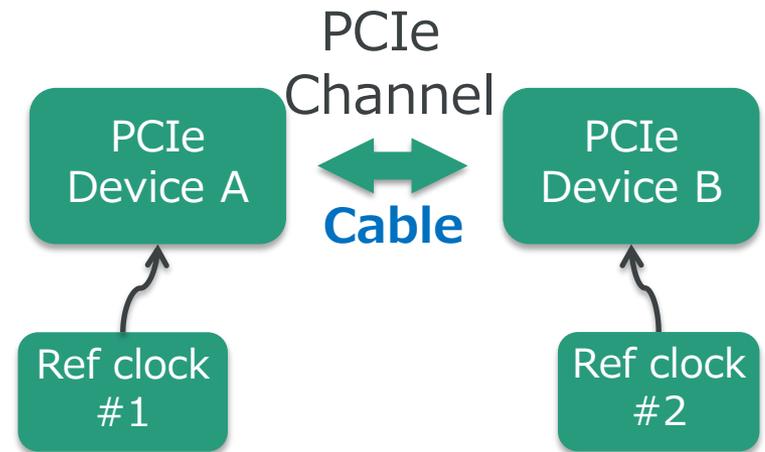
PCIeアーキテクチャの違い



Case 1: Common Clock Architecture



Case 2: Data Clocked Architecture

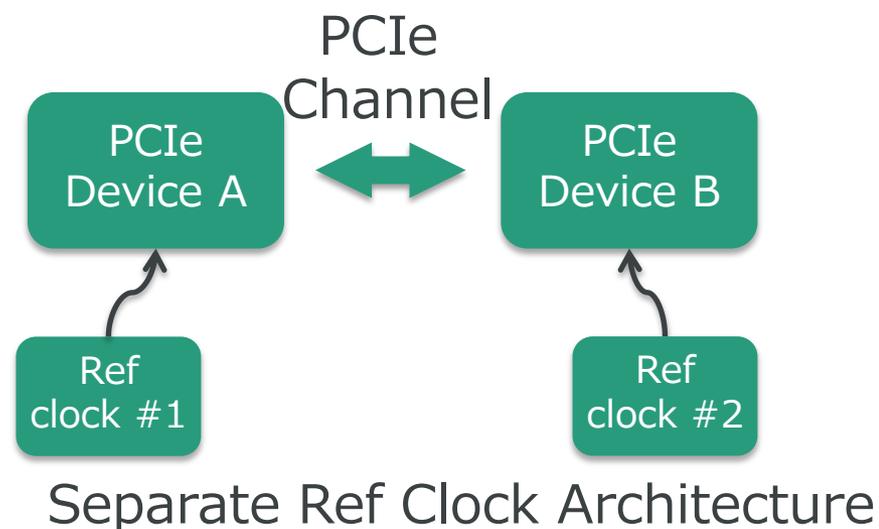
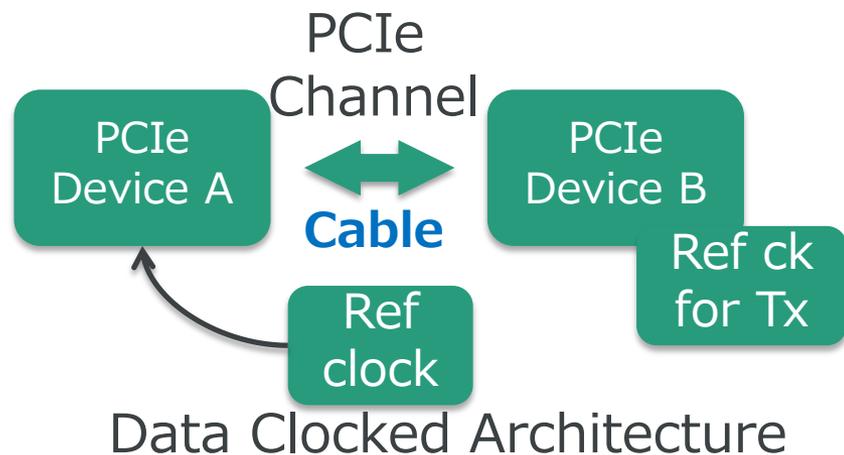


Case 3: Separate Ref Clock Architecture

改善予定 (1/2)

SKP ordered set対応

- 下記2つの構成では、デバイス間のbit rateが異なります



- PCIe TXは、SKP ordered setを自動的に発生します。

Loopback modeにおいて、TXは、SKPをデータに挿入します。

→ EDにはPPGと異なるパターンが入力されるので現在BER測定不可。

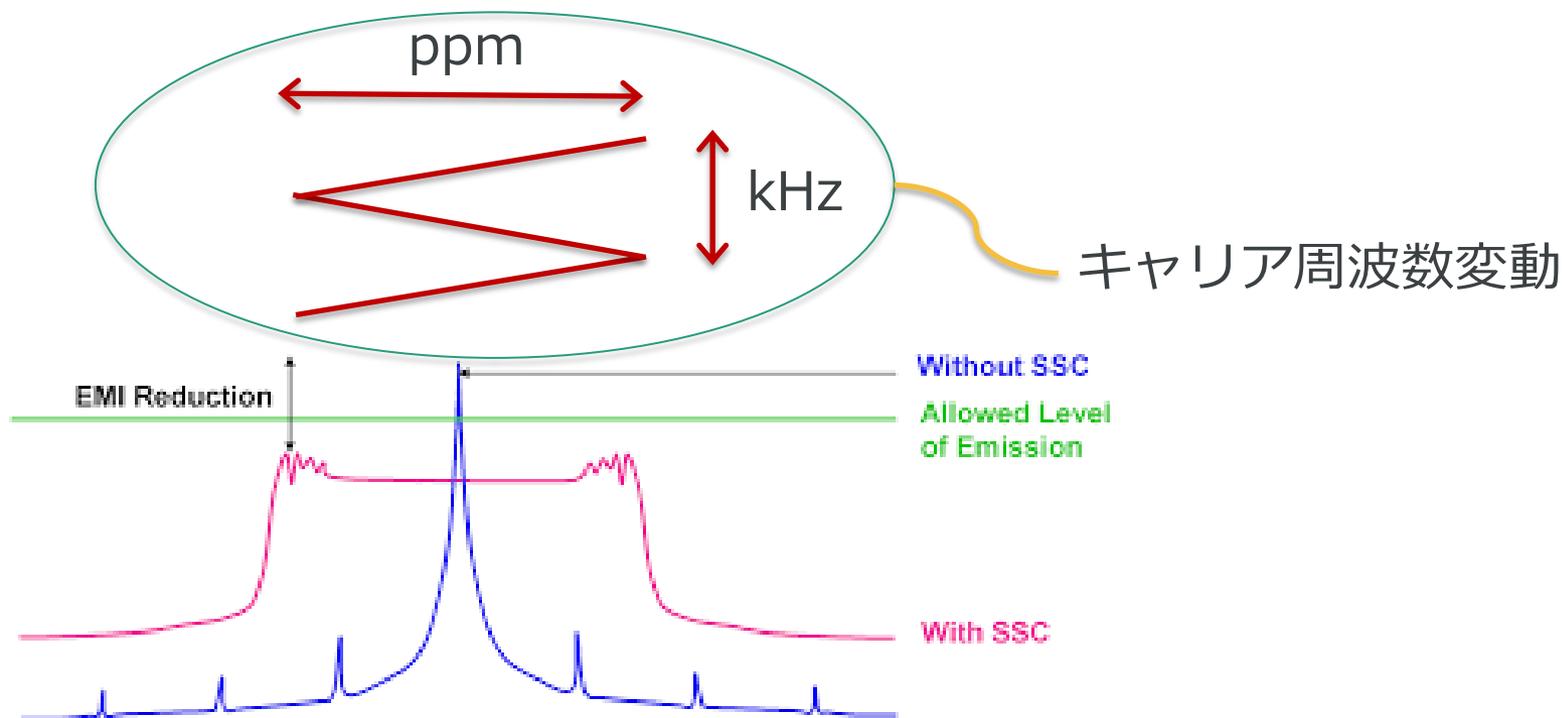
→ 将来のAnritsu solutionでは、“SKP ordered set”にも対応予定。

改善予定 (2/2)

SSC (Spread Spectrum Clocking)対応

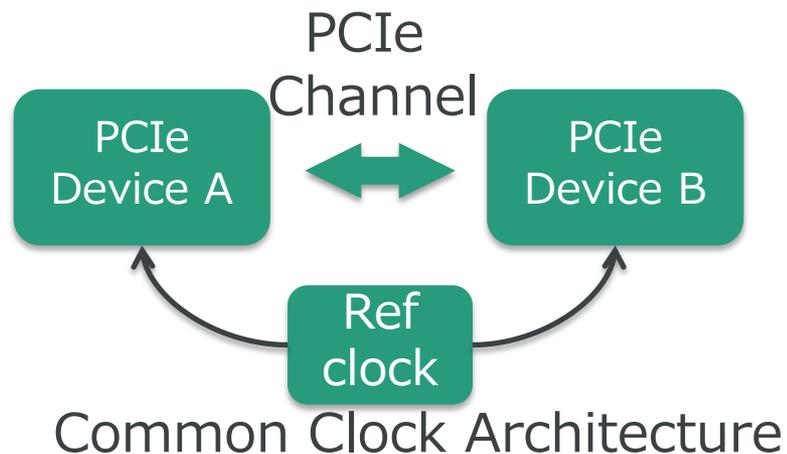
SSC: 放射ピークレベルを下げるためにキャリア周波数を変更する技術

PCIe: 5000 ppm, 33 kHz, Triangle waveform



→ 将来のAnritsu solutionでは、EDでのSSC data BER測定にも対応予定

現在のAnritsu PCIeソリューション



Anritsuソリューション
(SSC無印加)



Anritsu

Anritsu+GRL-PCIE4-BASE-RXA主な特長

PCIe 4.0 Rx Base Specに基づいた**完全自動波形校正**

簡単操作のRXストレス耐力試験

自動校正による試験条件のばらつきを抑制

高速な波形校正と一貫性のとれた試験結果

PCIe Gen4 構成ポイント

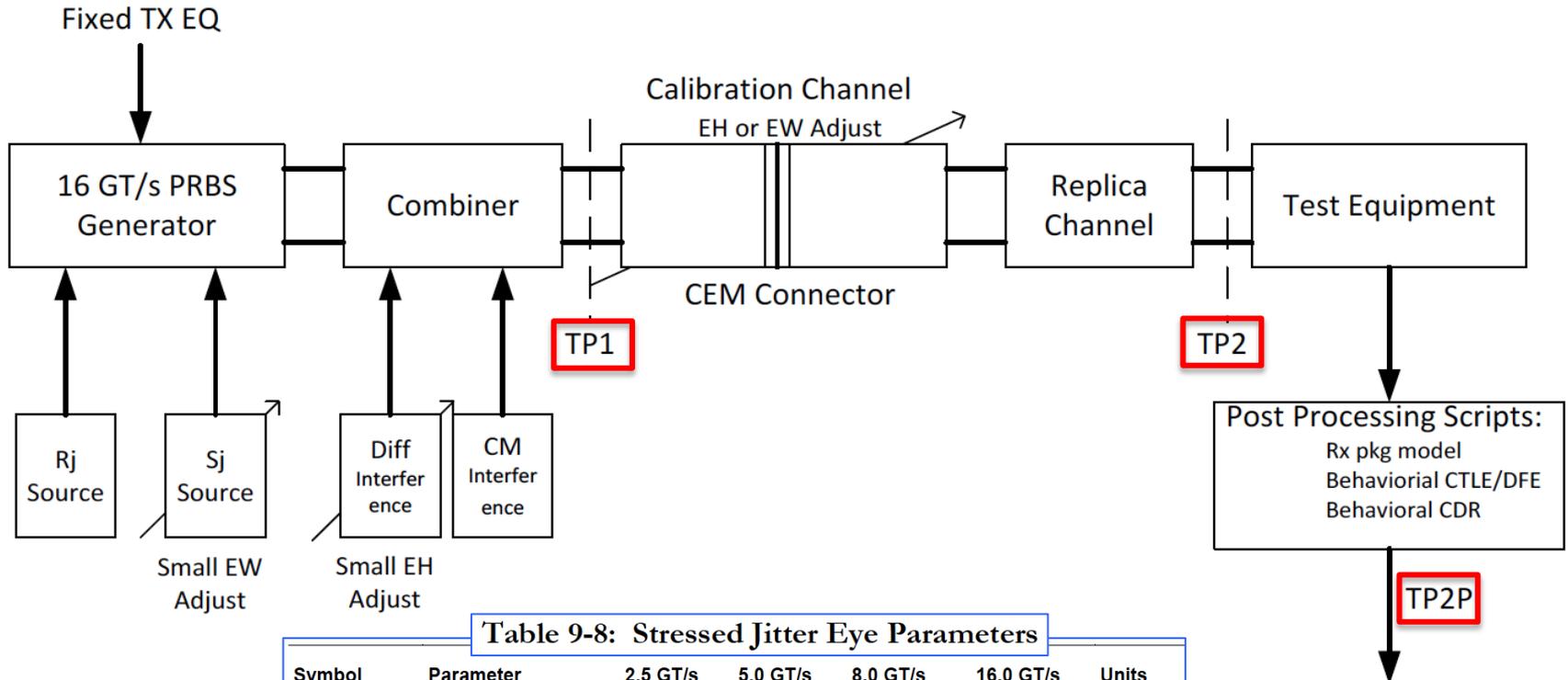
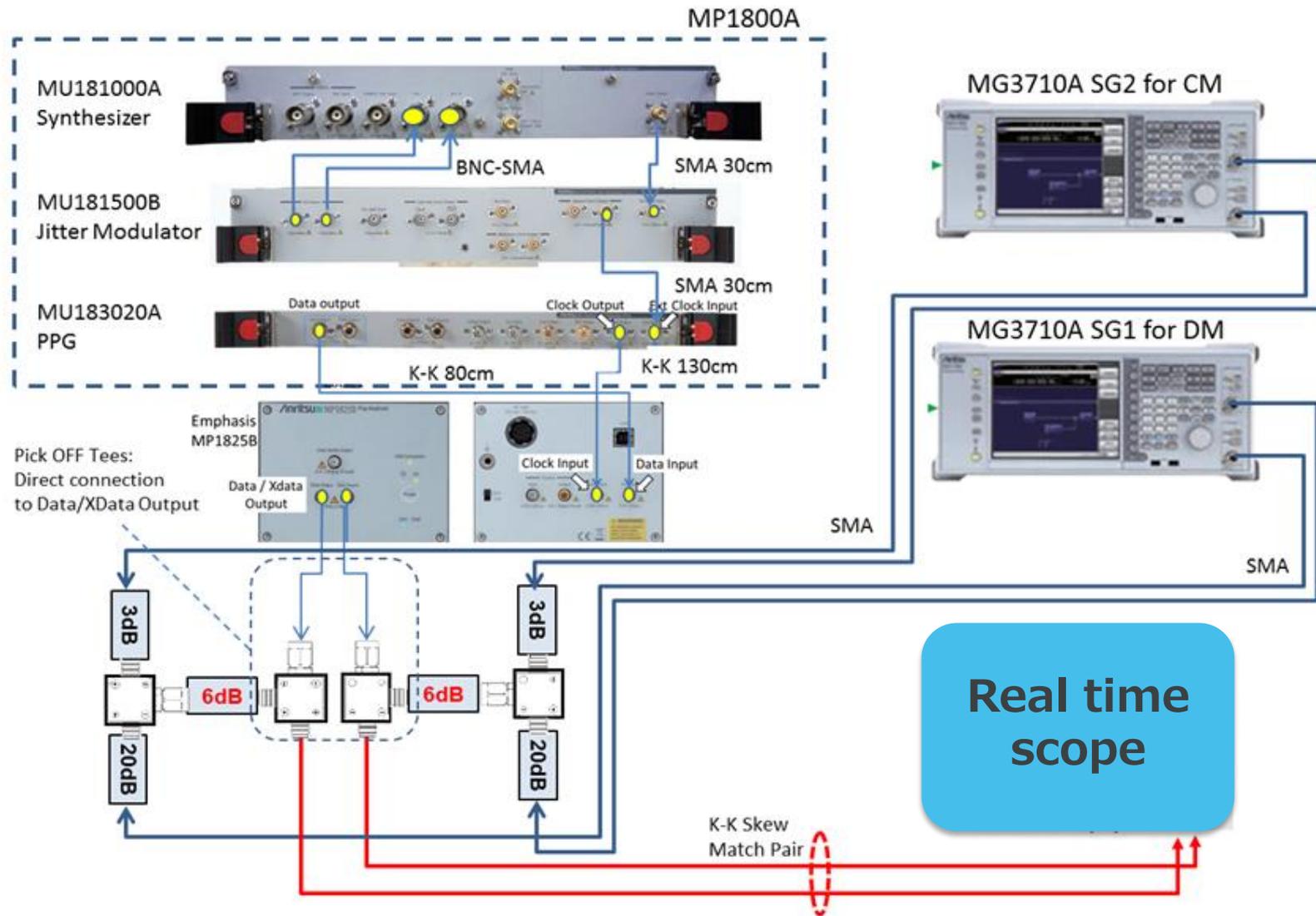


Table 9-8: Stressed Jitter Eye Parameters

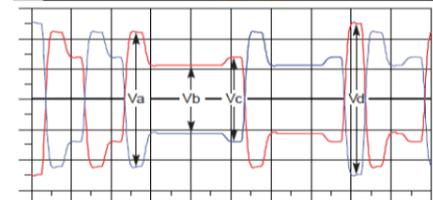
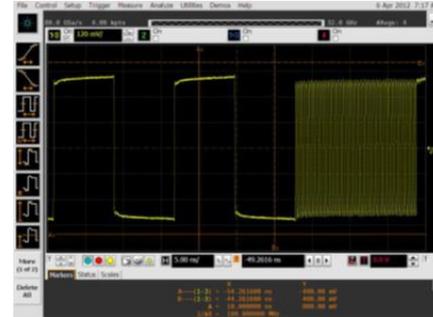
Symbol	Parameter	2.5 GT/s	5.0 GT/s	8.0 GT/s	16.0 GT/s	Units
$V_{RX-LAUNCH}$	Generator launch voltage	800-1200	800-1200	800-1200	800-1200	mV PP
T_{RX-UI}	Unit Interval	400	200	125	62.5	ps
T_{RX-ST}	Eye width at TP2P	<0.4	<0.32	0.30	0.30	UI
$T_{RX-ST-SJ}$	Swept Sj	33 KHz spur only	33 KHz spur only	Figure 9-29, Figure 9-30	Figure 9-29, Figure 9-30	UI PP
$T_{RX-ST-RJ}$	Random Jitter	TBD	TBD	3.0 (max)	~1.0 (max)	ps RMS
$V_{RX-DIFF-INT}$	Differential noise	TBD	TBD	TBD	TBD	mV PP
$V_{RX-CM-INT}$	Common mode noise	150	150	150	150	mV PP

PCIe base spec 構成試験系 (TP1)

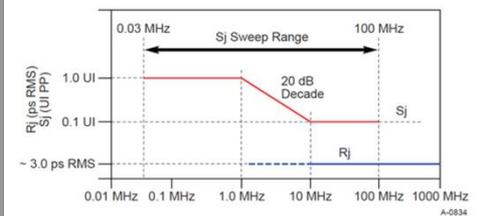
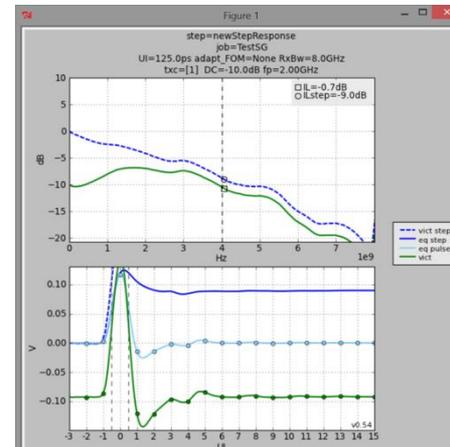
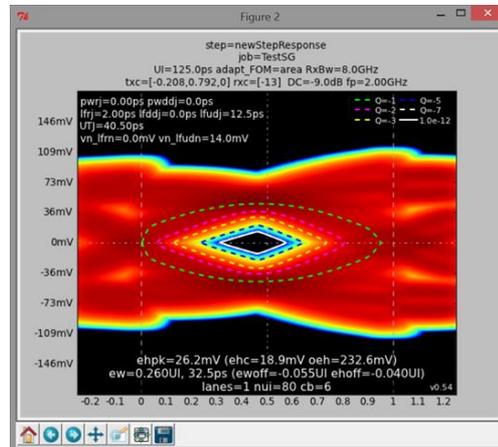


PCIe Gen4 Base spec 校正手順

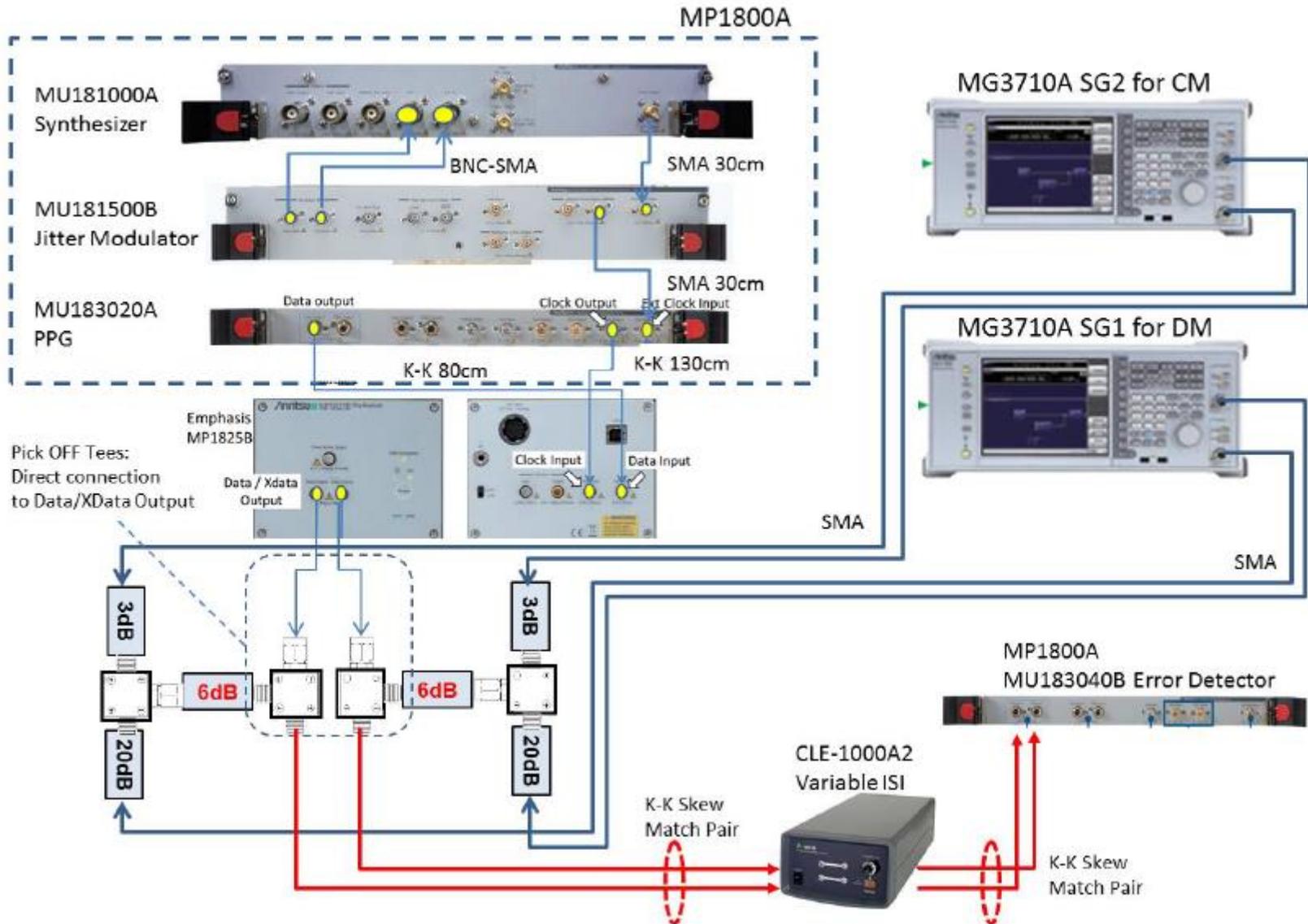
1. エンファシス振幅校正
2. デエンファシスとプリシュート校正
3. RJ, SJ校正
4. ISI loss 校正
5. CMI, DMI 校正
6. Stressed eye 校正



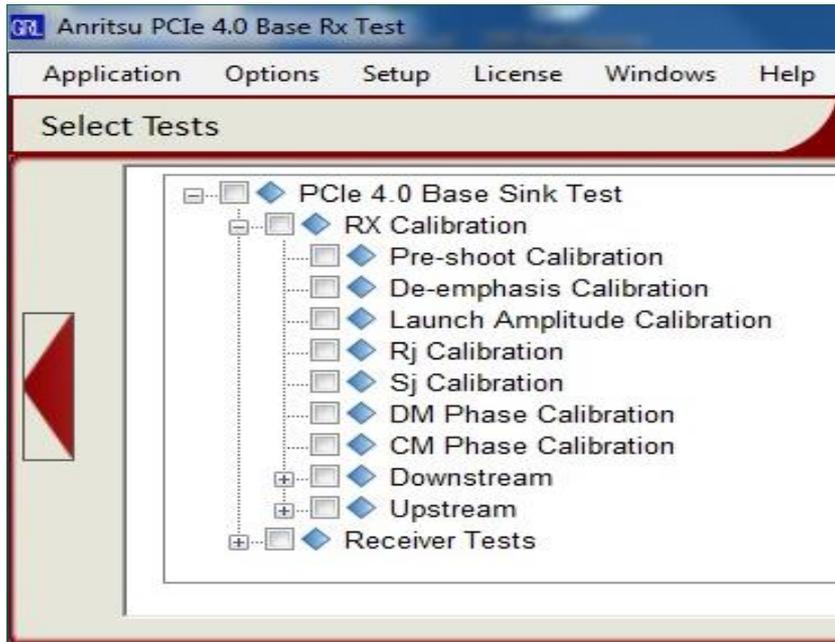
De-emphasis = $20 \log_{10} Vb/Va$
 Preshoot = $20 \log_{10} Vc/Vb$
 Boost = $20 \log_{10} Vd/Vb$



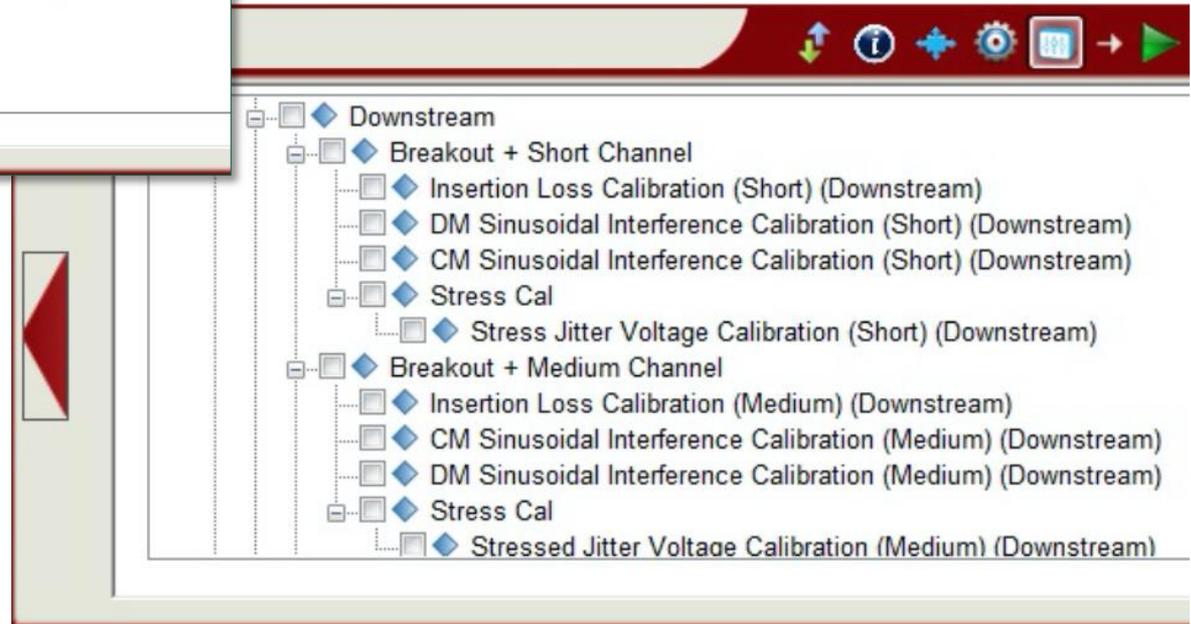
PCIe base spec レシーバ耐力試験系



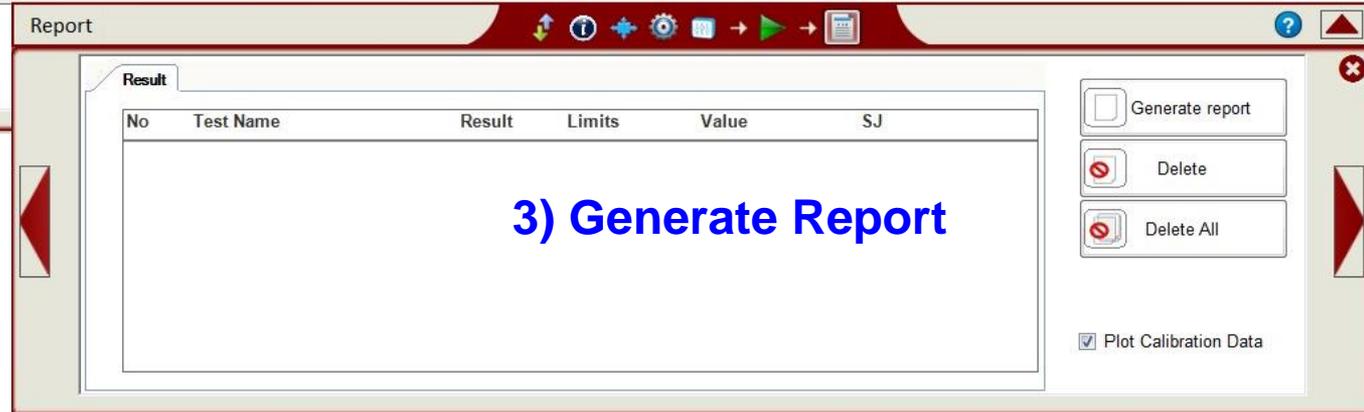
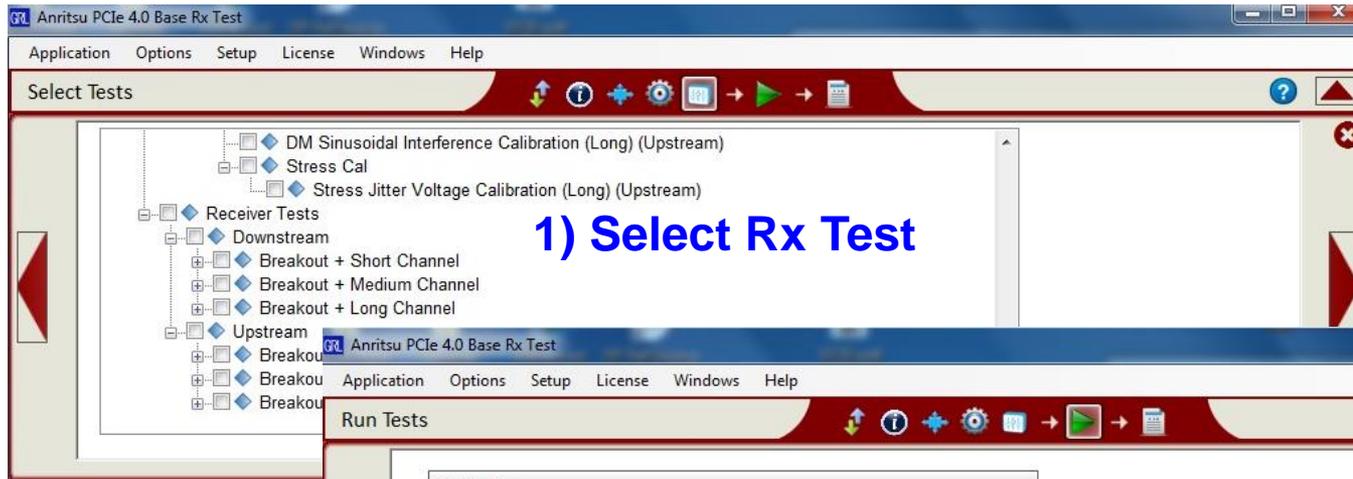
PCIe Gen4 base spec 自動ソリューション (GRL)



Test List (Calibration) for PCIe Gen4
including Upstream and Downstream for All
TP2 channel type (Short, Medium, Long)
calibration

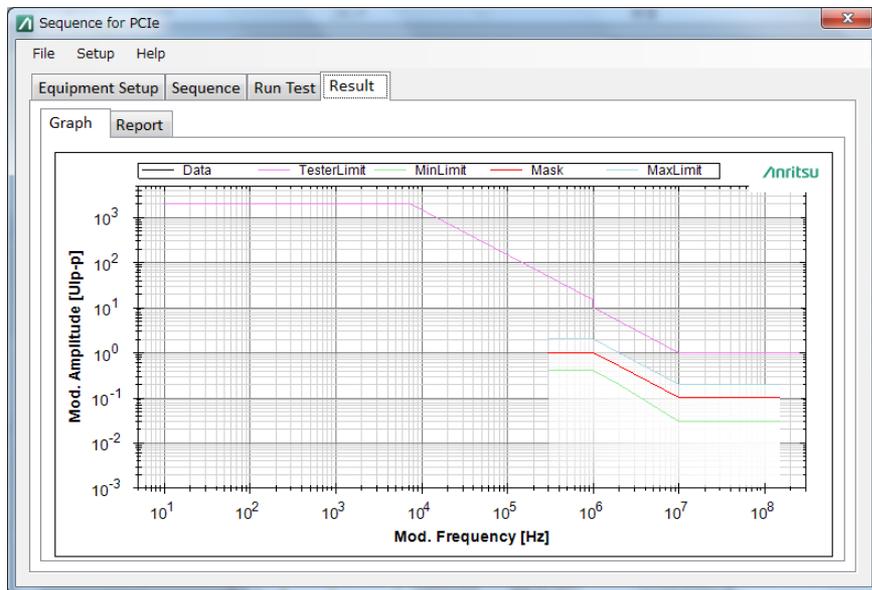
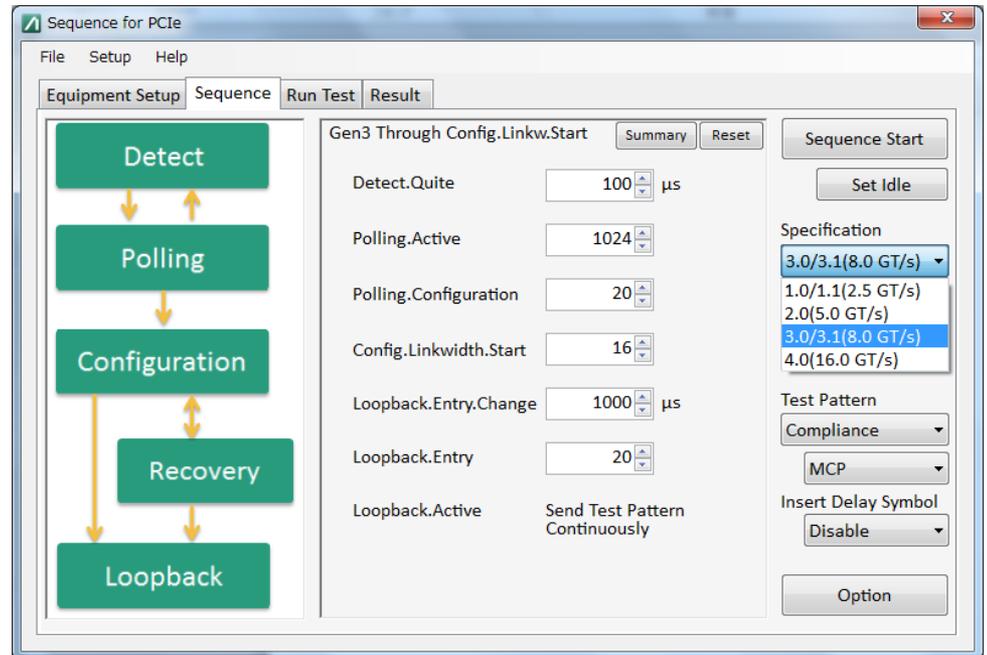
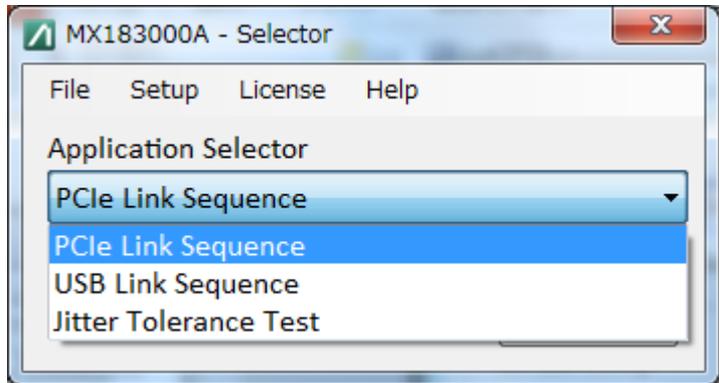


PCIe Gen4 base spec 自動ソリューション (GRL)



PCIe Gen1 to 4 loopback リンク生成 (Anritsu)

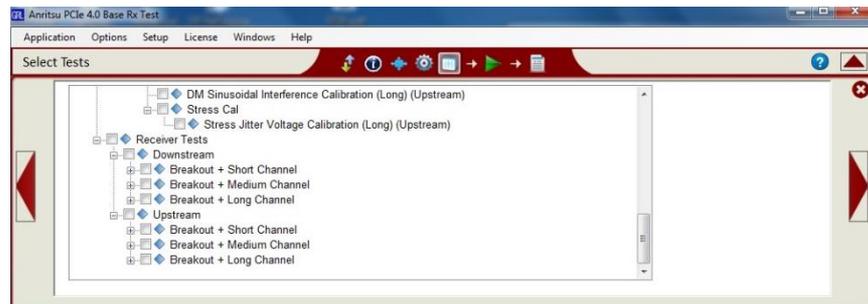
MX183000A



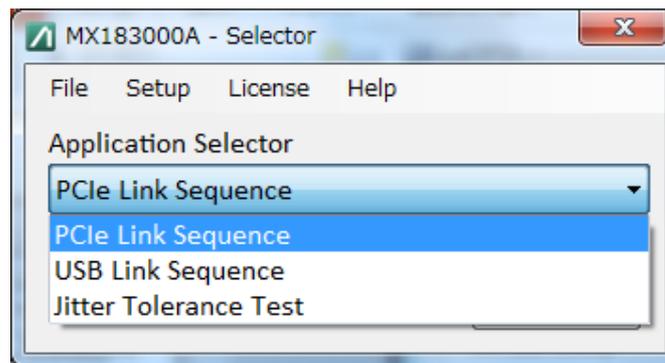
- DUTをloopback modeに
- PCIe Gen 1 ~ Gen4に対応
- ジッタ "マージン" 試験

Anritsu PCIeソリューション測定の流れ

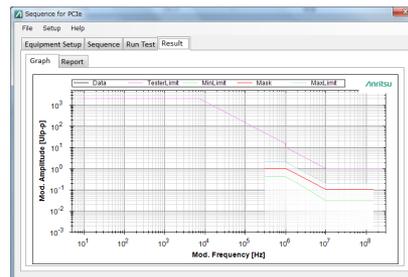
1. GRLソフトによる波形校正



2. DUTをloopback modeにする



3. 2つのジッタ耐力試験方法
AAA) Anritsuマージン試験
BBB) GRL Go / No Go 試験



Anritsu / GRL PCIeソリューションの特長

GRL-PCIE4-BASE-RXAの主な特長

PCIe 4.0 Rx Base Specに基づいた完全自動波形校正

簡単操作のRXストレス耐力試験

自動校正による試験条件のばらつきを抑制

高速な波形校正と一貫性のとれた試験結果

MX183000A主な特長

PCIe Gen1 to Gen4 でのloopback mode確立

ジッタ耐力マージン試験

Application Specifications

- データレート: 16 GT/s
- Common Clock Architecture without SSCに対応
- 必要機器:
 - **Keysight 32 GHz** Oscilloscope (DSAX or newer series)
 - **Anritsu MP1800A** Signal Quality Analyzer
 - **Artek CLE-1000 A2** Variable ISI Channel

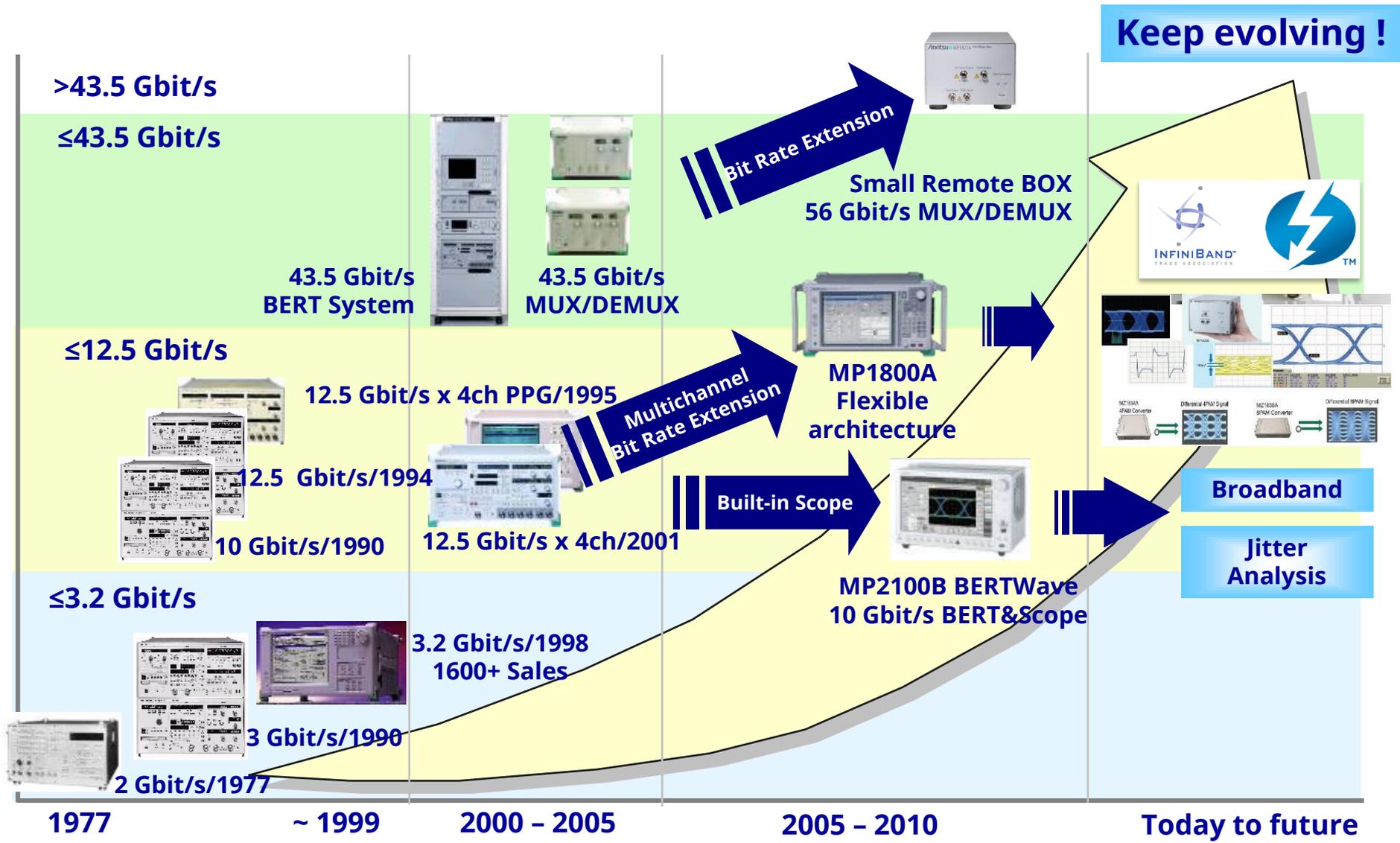


Anritsu



Appendix

アンリツBERTSの歴史



アンリツの製品ラインアップ

R&D
Cutting Edge



Signal Quality Analyzer

MP1800A Series

Solution:

- ✓ 10/28/32/64 Gbit/s デバイステスト

Features:

- ✓ モジュール構成により、最新アプリケーションに柔軟に対応
- ✓ 多彩なシグナルインテグリティ解析機能
- ✓ ユニークな32 Gbit/sジッタ・エンファシス機能
- ✓ 高品質波形PPG・高感度ED
- ✓ 高品質 PAM信号発生
- ✓ Clock Recovery オプション

Design
Verification
Test



BERTWave

MP2100B

Solution:

- ✓ 10 Gbit/s BER 試験, EYEパターン解析 同時試験

Features:

- ✓ All-in-one BERT and Scope
- ✓ 4 ch BERT 同時試験
- ✓ 高速リモート試験、高速EYE Mask試験
- ✓ コンパクトデザイン (奥行 180 mm)

Manufacturing

