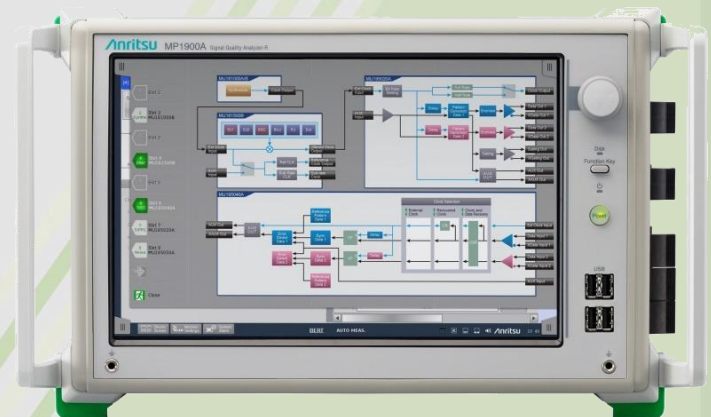




シグナルインテグリティ解析 マルチチャネル高性能BERT

シグナル クォリティ アナライザ-R
MP1900A シリーズ



INDEX

概要

Update Information

MP1900A シリーズ

MP1900A SI BERT

MP1900A PAM4 BERT

MP1900A Mainframe

Application

PCI Express Test Solution

USB/Thunderbolt Test solution

Sequence Editor Function For PCIe, USB3.2

SAS Test Solution

DisplayPort Test Solution

DDR5 Test Solution

Appendix



AIや機械学習の広がりから、データセンタ、ネットワークやストレージでは膨大なデータを高速に処理する必要性がますます高まり、これを背景に、PCI-SIGはPCIe 7の基本仕様を策定しました。PCIe 7はPCIe 6に続き変調方式にPAM4を採用しており、転送レートはPCIe 6の64 GT/sから128 GT/sへと拡張されています。

シグナル クオリティ アナライザ-R MP1900Aシリーズは、8スロットモジュラ式の高性能BERTです。32 Gbit/sマルチチャネルPPG/ED、64 Gbaud PAM4 PPG/ED、ジッタ/ノイズ付加機能を測定アプリケーションに応じて拡張することができ、高速化が進むデバイスのシグナルインテグリティ解析に最適です。

PAM4 PPG/ED MU196020C/MU196040BとRe-Driver MU196060AをOne Boxに実装し、PCIe 5(NRZ) Compliance Testで規定されたワースト・テスト・ケースを構築します。さらに強力なイコライザによるリターンパスの最適化によりRx LEQの正確な評価をサポートします。

加えて、PCIe 6のLink TrainingおよびPCIe 7のRx評価ソリューションを提供し、PCIe 6 CEMおよびPCIe 7 Base仕様の初期検証をサポートします。

MP1900Aシリーズ 対象アプリケーション

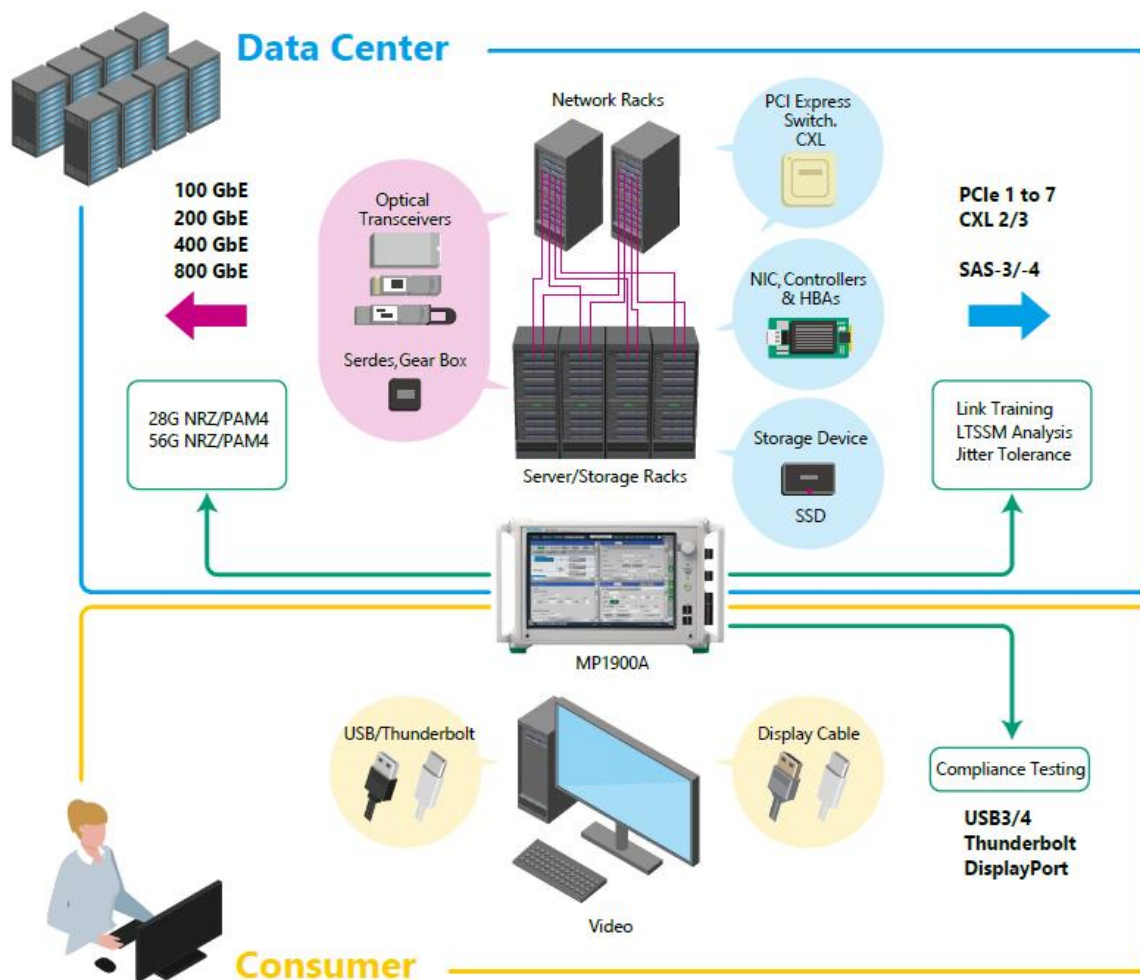
100 GbE/200 GbE/400 GbE/800 GbE、CEI-25G/28G/56G/112G、InfiniBand EDR/HDR、Fibre Channel、PCIe 1-7、CXL2/3、Thunderbolt 1/2/3/4、USB3.2/4 v1/4 v2、SAS-3/-4、DP1.4/2.0/2.1、DDR5、Optical module、SERDES、AOC、High-speed Interconnect

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

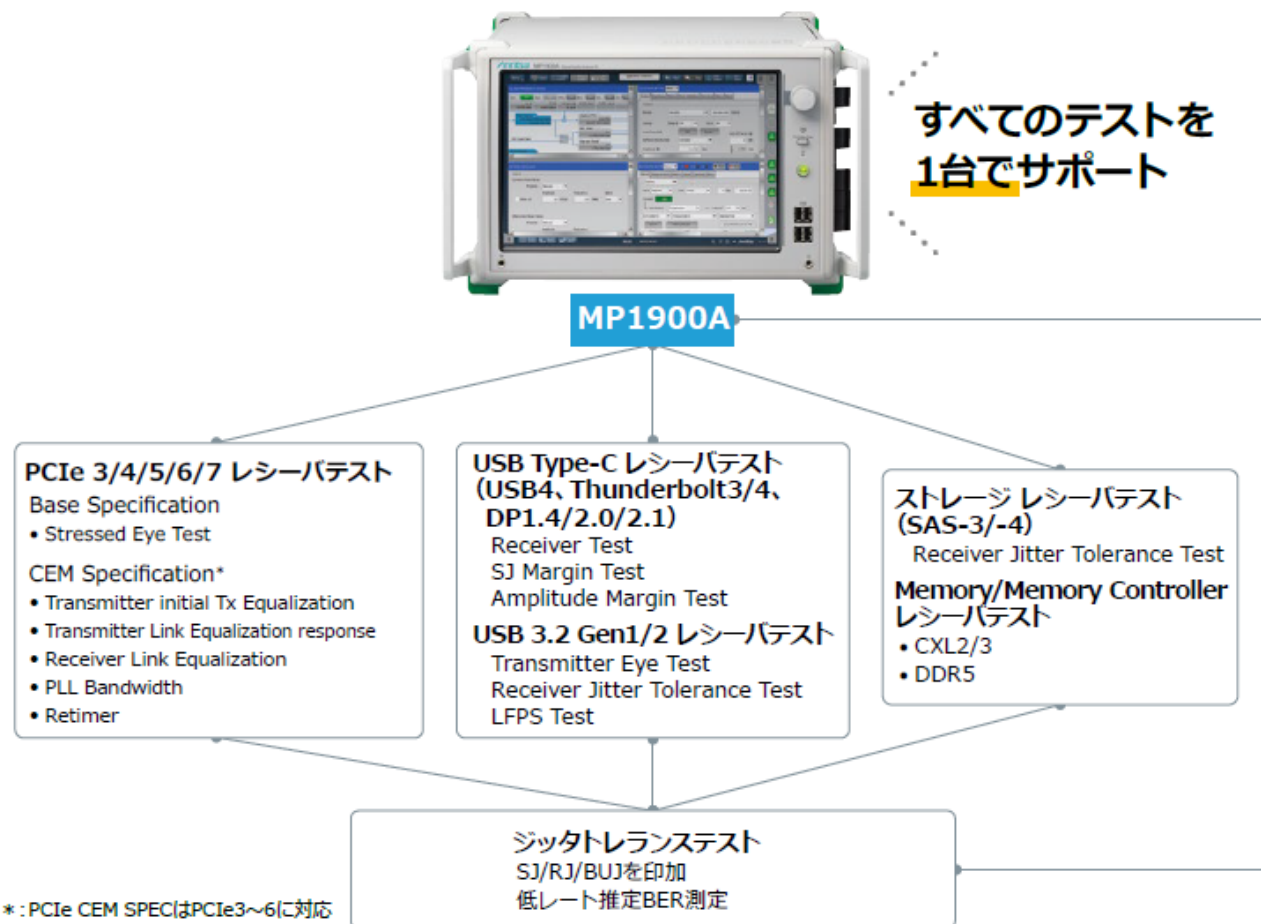
MP1900Aの製品コンセプト

MP1900Aシリーズは、高速インタフェースの物理層評価をサポートし、優れた拡張性を持つ高性能BERTです。

この1台で次世代400 GbE/800 GbEからPCIe、USB、DPなどのバスインタフェースまでの評価を開発初期段階からトータルにサポートします。



2.4 Gbaud~64 Gbaud (128 Gbit/s) まで拡張可能な広帯域動作。
PCIe 6 (64 GT/s)、USB Type-C (USB4 (20 Gbit/s) 、Thunderbolt3 (20 Gbit/s)) 、DisplayPort1.4 (8.1 Gbit/s),2.1(20Gbit/s) SAS-4 (22.5 Gbit/s)のレーザテストを1台でサポート。



Update Information

デモンストレーションビデオ



[Unleash PCIe 6.0 USB Debugging and Validation](#)
[MP1900A PN Skew Evaluation Solution Demonstration Video](#)
[MP1900A PCIe® 6.0 Rx and Tx LEQ Tests Demonstration Video](#)

Updated in Jan. 2026

- [PCIe7 Baseテスト ソリューション](#)
- [Sequence Editor Function For PCIe/CXL, USB3.2](#)

- [G0447A PCIe6 外部リドライバのリリース](#)
- [PCIe Optical Re-timer](#)
- [USB/Thunderbolt Test solution](#)
USB4 v2のCTS 1.00認証に対応した、アクセサリに更新
- [DDR5 Test Solution](#) の追加

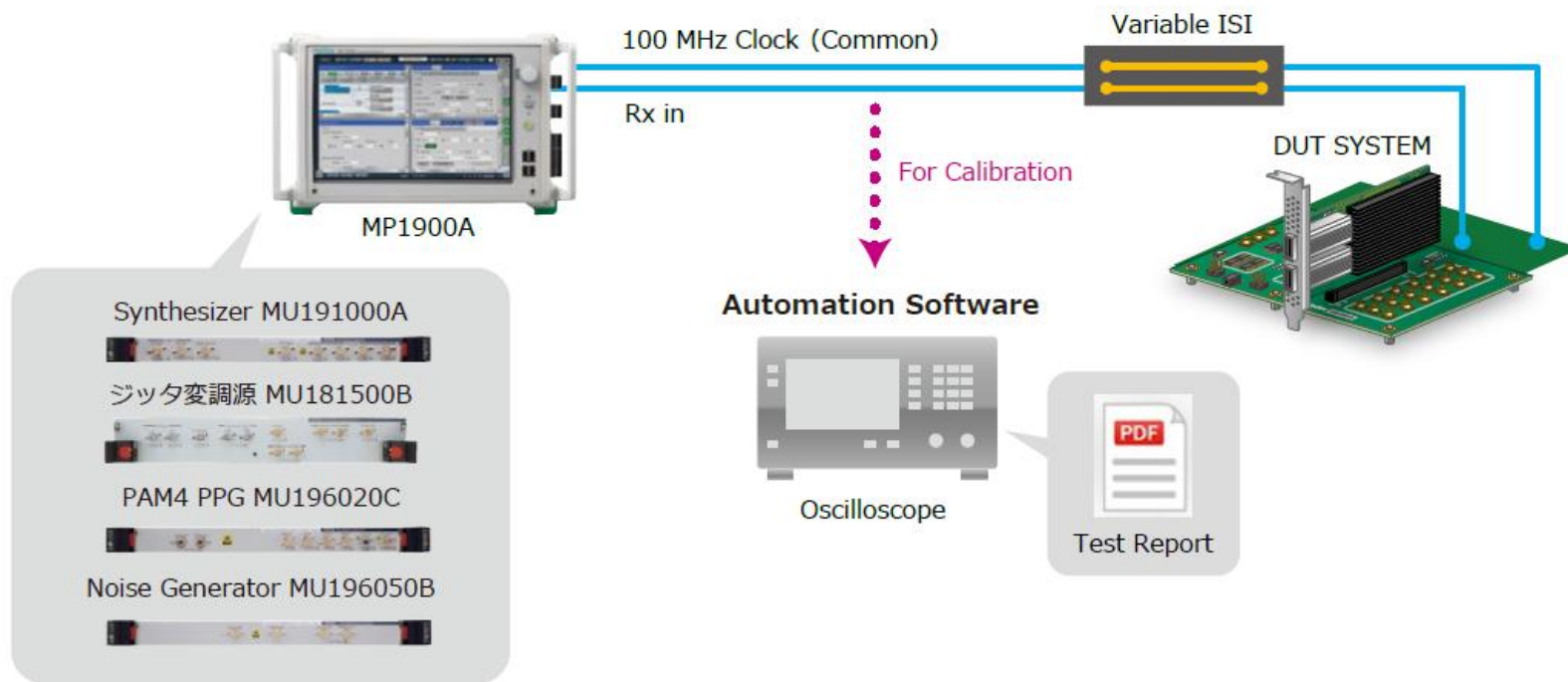
PCIe Base Specification Receiver Test

- PCIe7要求に対応した高品質波形を生成
- ジッタおよびNoiseの印加試験

SNDR 35 dB、残留ジッタ 108 fs、Tr/Tf 6.0 psの高品質波形を生成し、安定したRx Testをサポートします。

- オートメーションによる評価時間の短縮、効率化

オートメーションソフトによるストレス信号キャリブレーション、ジッタトレランステストの自動化機能を提供することで、評価の効率化に貢献します。



Model	Name	Option	Qty	Remark
MP1900A	シグナル クオリティ アナライザ-R	-	1	
MU191000A	16GHz 4ポートシンセサイザ	-	1	PCIe1-7*
MU181500B	ジッタ変調源	-	1	PCIe1-7*
MU196020C	PAM4 PPG	003, 011	1	PCIe1-7*
MU196050B	Noise Generator	-	1	PCIe1-7*, J1793A x2標準 添付

*CEM Link TrainingはPCIe1-6までに対応します。

ご使用のオシロスコープに合わせてオートメーションソフトウェアをお選びください。

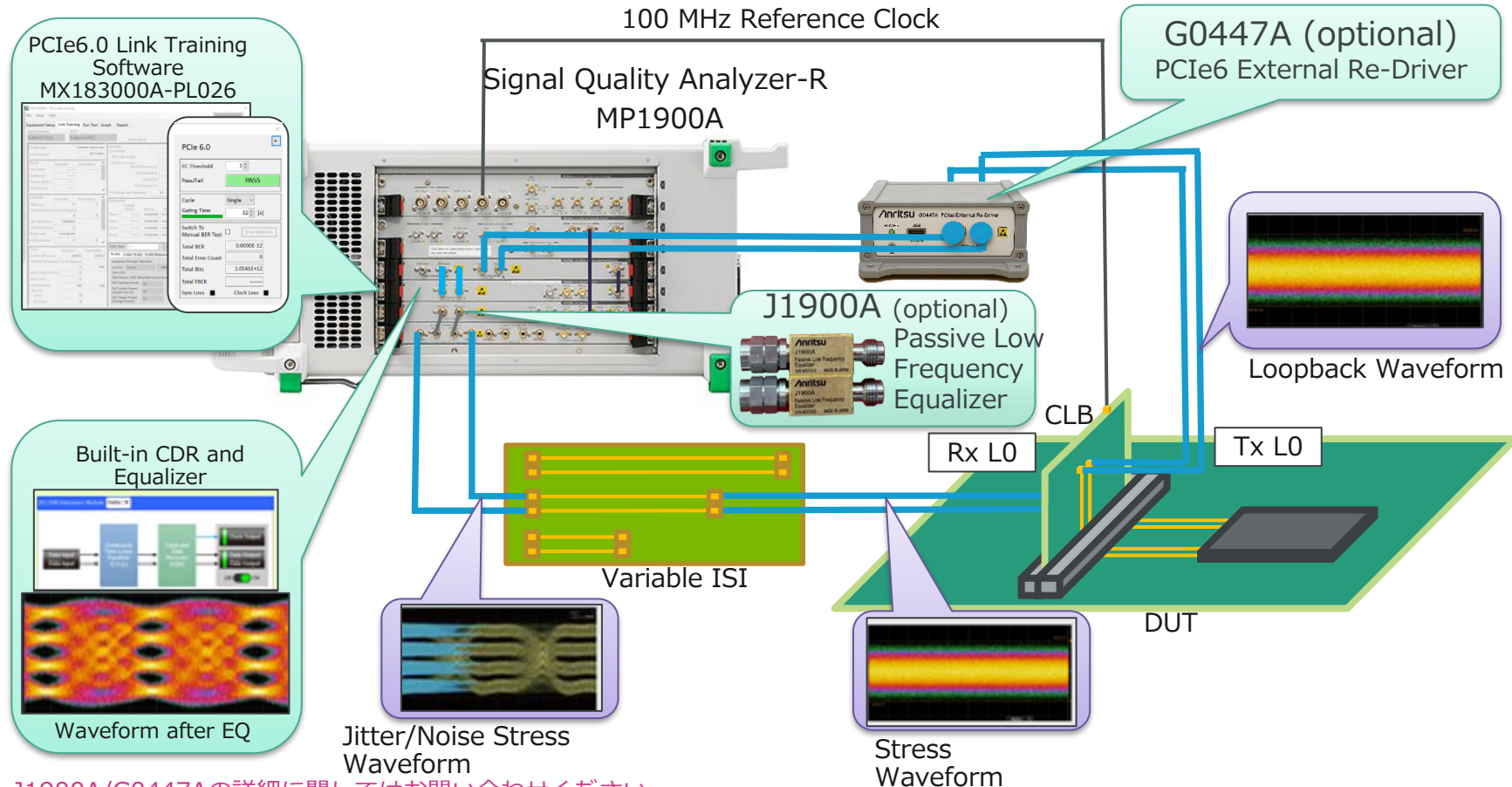
Model	Electrical Test	Remark
GRL-PCIE7-BASE-RXA	PCIE Gen7 Base Rx	Tektronix社またはKeysight社スコープ用 Granite River Labs社より購入可能

Tektronix社、Teledyne LeCroy社のオートメーションソフトウェアに対応状況については弊社営業担当までお問い合わせください。

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

MP1900AシリーズPCIe Receiver Test Solution

- 安定したPCIe 6リンクトレーニングとLTSSM 解析機能
- デバッグに有効な解析機能
 - LTSSM解析
 - MSB/LSB、PAM4シンボルの表示切り替えとパターン解析
 - BER/FBER、MSB/LSB Skew表示機能



J1900A/G0447Aの詳細に関してはお問い合わせください。

IP、AIC : J1900A/G0447Aは不要です。

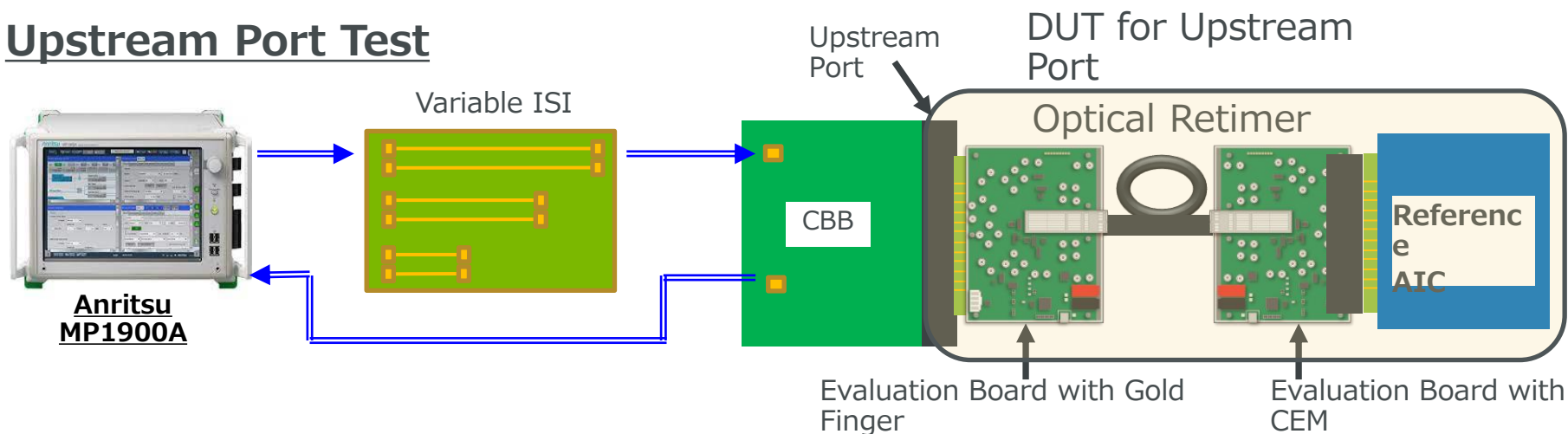
System : J1900A/G0447Aを使用することで、ワースト条件下でのバックチャネル損失補償が可能です。

PCIe Optical Retimer テスト構成

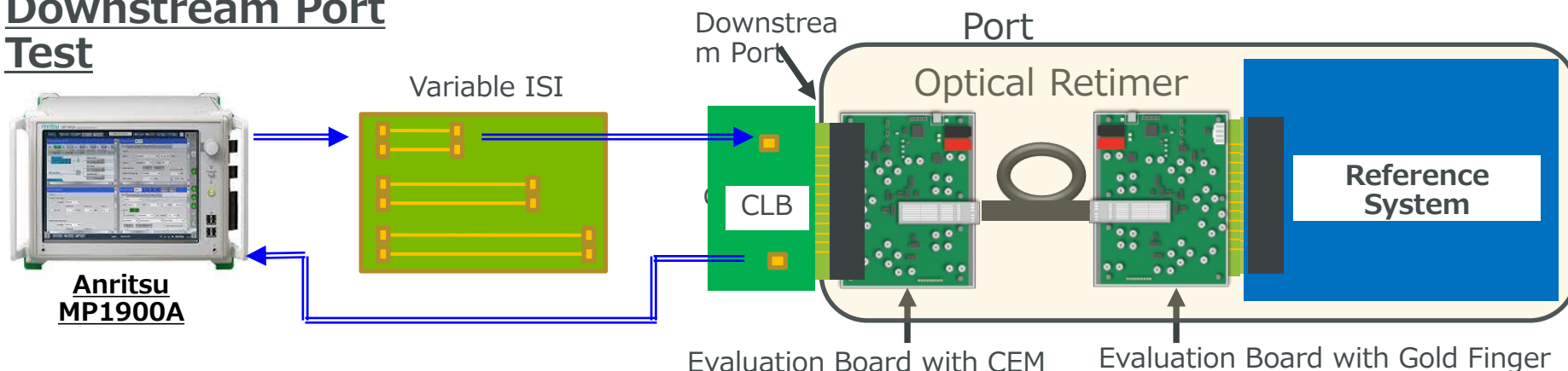
Optical Retimer のコンプライアンステストの詳細は現時点では未定義ですが、Retimer-based DUT の一種として位置付けられています。

- ベンダーは独自の system board および AIC を用意する必要があります。
- Optical Retimer は、reference system board または AIC の直前に配置することが求められます。

Upstream Port Test



Downstream Port Test



MP1900A シリーズ

優れた拡張性

- 8スロット (MP1900A本体1台あたり)
- 最大512 Gbit/sの伝送容量 (最大8ch x 32 Gbit/s NRZ、最大4ch x 64 Gbaud PAM4)
- 400 GbE/800 GbEなどの高速ネットワークとPCIeなどのバスインタフェース、両方のテストを1台でサポート

高速デバイスのシグナルインテグリティ評価をフルサポート

- ビットレート 2.4 Gbit/s~32.1 Gbit/s (NRZ, SI PPG/EDシリーズ)
2.4 Gbaud~64.2 Gbaud (128.4 Gbit/s) (PAM4, PAM4 PPG/EDシリーズ)
- エンファシス、イコライザ機能内蔵
- 低残留ジッタデータ出力 115 fs rms (SI PPG 代表値)
- 高入力感度 15 mV (Eye Height) (SI ED 代表値)
- NRZ/PAM4対応 クロックリカバリ内蔵
- ジッタ (SJ/RJ/BUJ/SSC)、ノイズ (CM/DM/White) 耐力測定が可能

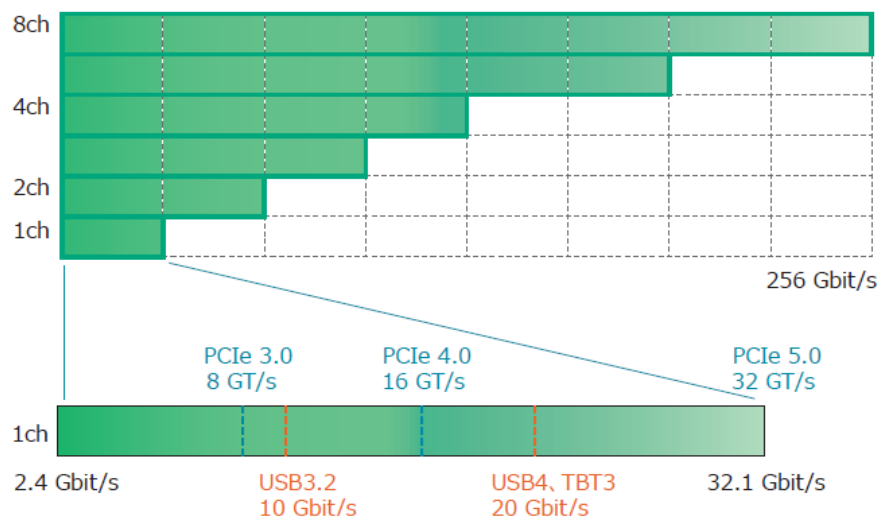
次世代高速デジタルインタフェースのレシーバテストを1台でカバー

- PCIe1~6、SAS-3/-4USB Type-Cインタフェース(USB3.2/USB4/Thunderbolt3/DisplayPort1.4/2.0/2.1) 規格をサポート
- リンクネゴシエーションとLTSSM解析機能
- テスト信号のキャリブレーションとレシーバテストを自動化

シグナル クオリティ アナライザ-R MP1900Aは8スロットのモジュラ方式により、測定チャネル数や帯域の増加に容易に対応することができ、導入済の設備を無駄にすることなく必要とする機能・性能を入手できます。400 GbE/800 GbEなどの次世代インタフェースに対して投資効率よく対応することができ、お客様の開発製品の早期市場投入に貢献します。

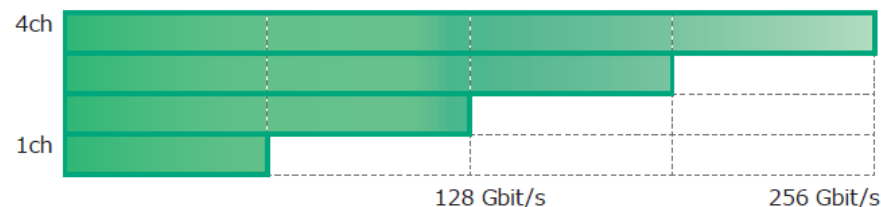
SI PPG/EDモジュールの拡張性

- NRZ (Max. 32 Gbit/s at 1ch)

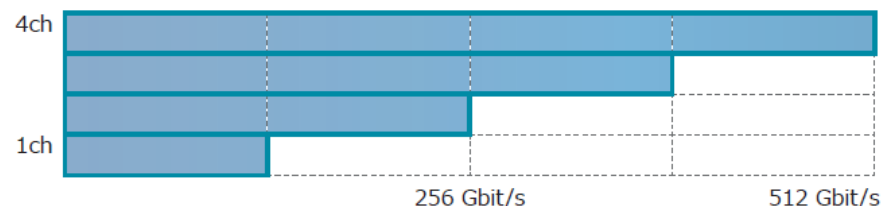


PAM4 PPG/EDモジュールの拡張性*1

- NRZ (Max. 64 Gbit/s at 1ch)



- PAM4 (Max. 64 Gbaud at 1ch)



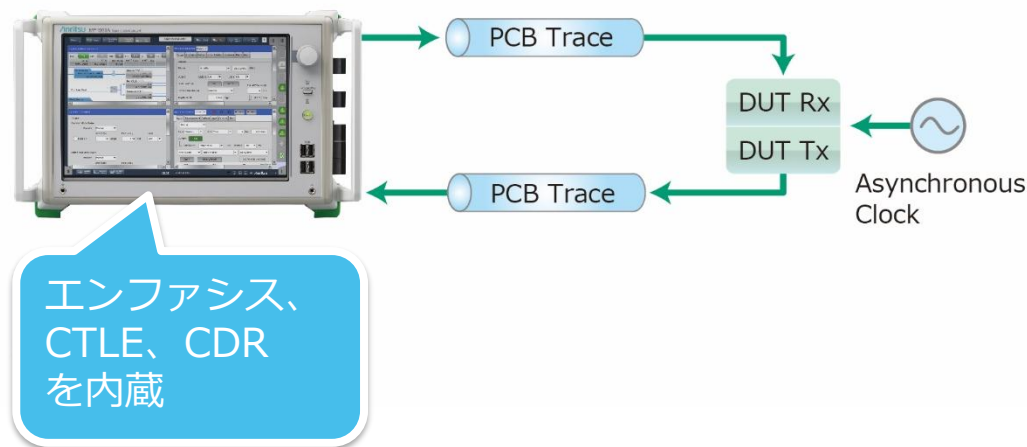
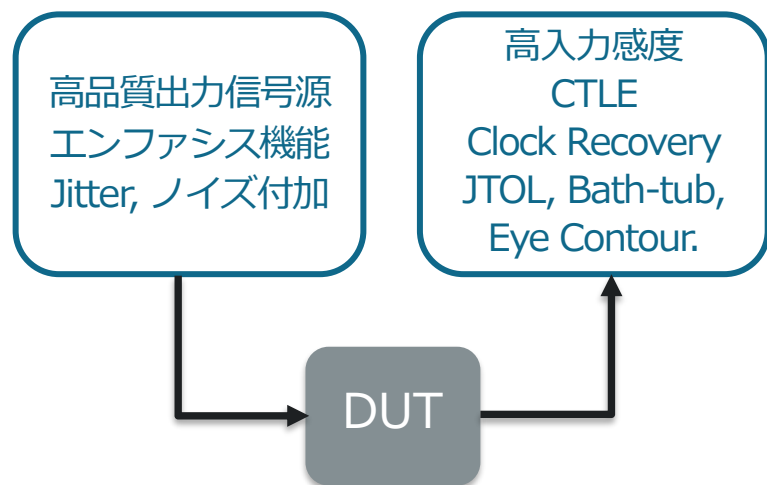
* 1: PAM4 PPG/EDの詳細は、「32G/64G NRZ/PAM4シグナルインテグリティテストソリューション」カタログ(MP1900A_64G-J-A-1)を参照ください。

シグナルインテグリティ 評価に最適 (1/2)

21G/32G bit/s SI PPG MU195020Aは、最大10タップのエンファシス機能 (オプション) を内蔵し、さまざまなデバイス、チャネルを模擬またはチャネル通過後の損失を補償した波形を再現性よく出力することができ、設計検証の効率化に貢献します。

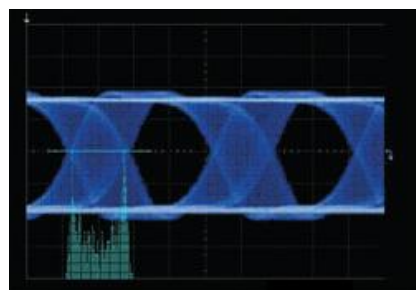
受信側の21G/32G bit/s SI ED MU195040Aには、28 Gbit/s、16 Gbit/s、8 Gbit/s帯の入力信号に対応するマルチバンドCTLE (Continuous Time Linear Equalization) 機能 (オプション) を搭載しており、伝送損失により閉じたEyeを開きBER測定を行うことができます。本器のCTLEはシミュレータではなく、ハードウェアによるイコライジング機能のため、テスト信号のBER検証や、被測定物のBER測定結果との比較など、実際に近い送受信BER性能の検証に役立ちます。

シグナルインテグリティ 評価 必要機能・性能

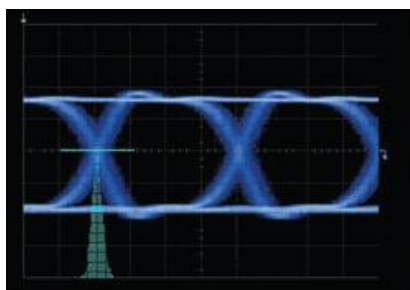


シグナルインテグリティ評価に最適 (2/2)

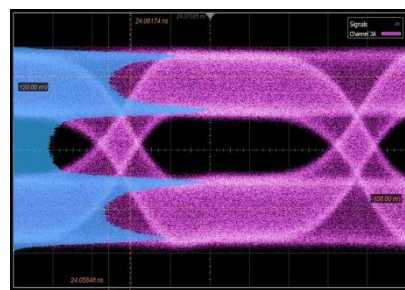
高速デバイスのレシーバの入カストレス耐力を検証するには、ジッタや電圧ノイズを加え校正したストレス信号により、最も厳しい条件でBER測定を行います。MP1900Aでは、ジッタ変調源 MU181500B、各種ジッタとSSCを受信できるMU195040AのCDR機能、ジッタトレランステスト MX183000A-PL001に加え、CM/DM/White電圧ノイズを付加することができるNoise Generator MU195050Aにより、さまざまなインタフェース規格に対応したレシーバの耐力試験を行うことができます。MP1900Aは、ジッタ、ノイズを加える前の高品質な信号と、リニアリティの高いジッタ、ノイズ付加機能により、レシーバのストレス耐力試験を強力にサポートします。



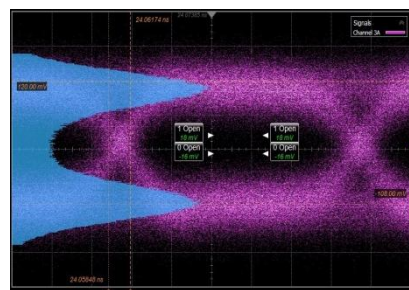
正弦波ジッタ(SJ)



ランダムジッタ(RJ)



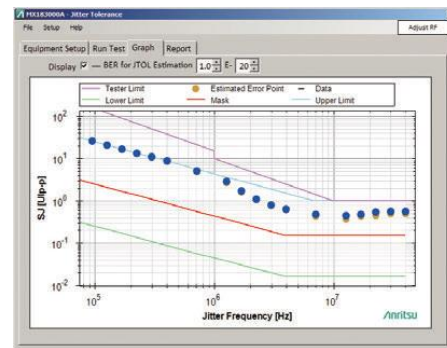
CM/DMノイズ



Whiteノイズ

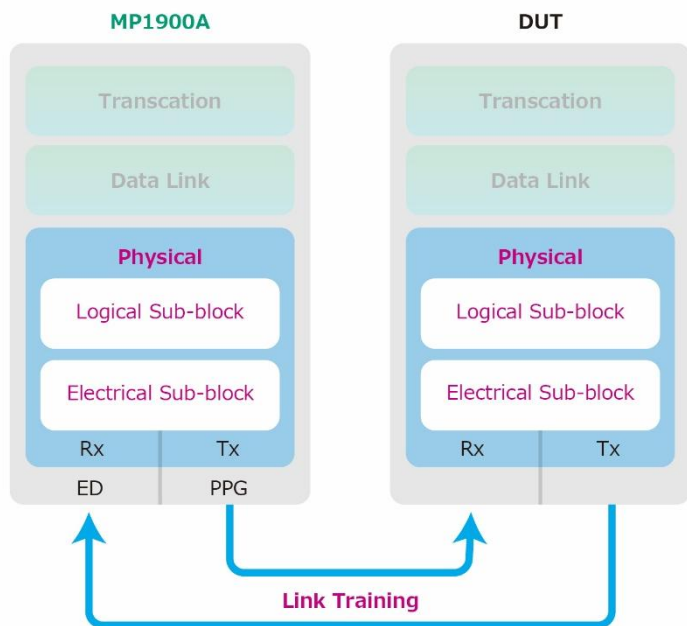
ジッタトレランステスト(MX183000A-PL001)

- ・ 汎用性の高いジッタ耐力測定
- ・ SJ/RJ/BUJを印加しPHYデバイスのジッタ耐力試験が可能
- ・ 各種規格に応じたマスク測定が可能
- ・ 1E-12、1E-15などの低エラーレートを推定する機能により、測定時間短縮に貢献
- ・ Binary、Up ward、Down ward、Binary+Linearの4種類の追い込み方法により、デバイス特性に応じた耐力測定が可能



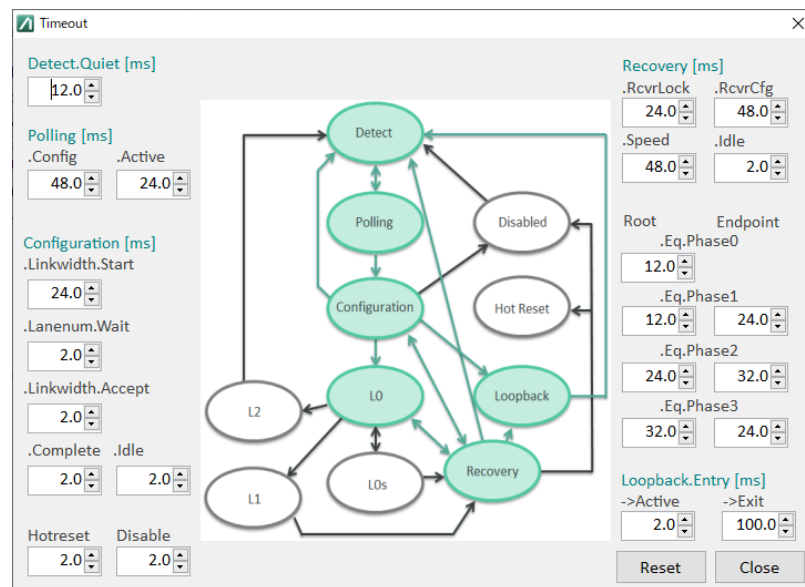
低エラーレート推定ジッタ耐力測定

高速シリアルインタフェースの高速化に伴い、デバイスや機器間の相互接続性が重要となっており、疎通が取れない場合、物理的な要因か論理的な要因かを切り分ける必要があります。MP1900AはPCI Express 1～6 レシーバの物理層評価を 1台で完結させることができます。物理層の評価を行うために必要となるリンクトレーニングの正常系の動作保障に加え、LTSSM (Link Training Status State Machine) の異常系遷移を検出する解析機能により検証効率を向上できます。



Add-in Card、System Boardの物理層測定に対応

- Tx/Rx Link Equalization Response Test
- Rx Link Equalization Test
- Receiver Jitter Tolerance Test



PCI Expressリンクトレーニング状態遷移

PCIe Link Training

(PCIe 1to4: MX183000A-PL021)

PCIe 5 Link Training

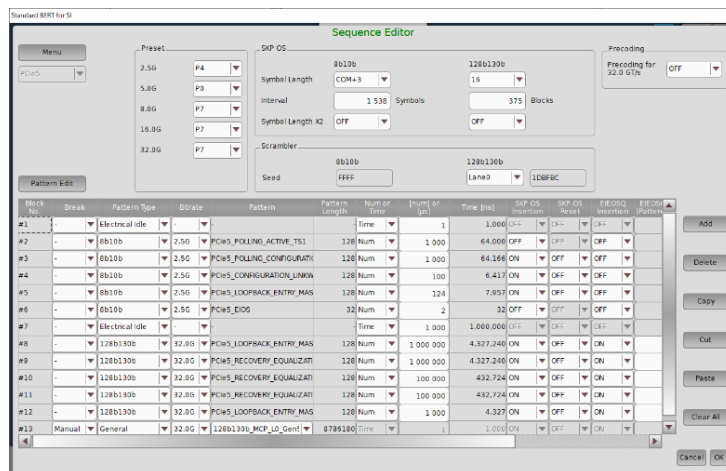
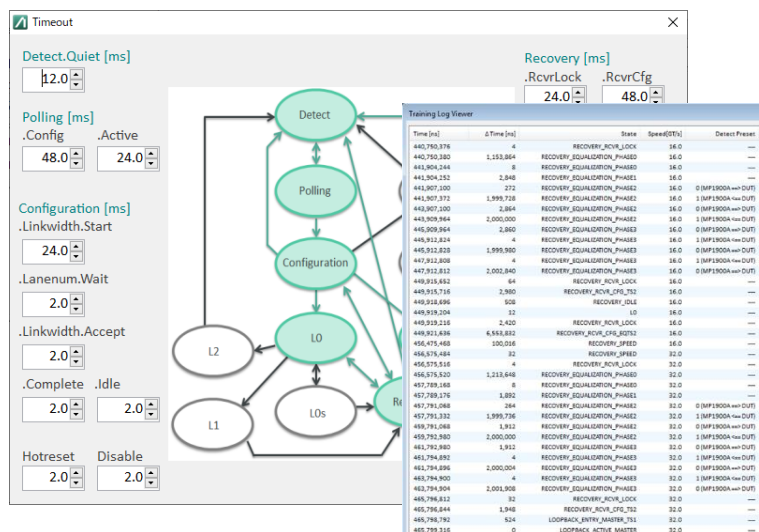
(MX183000A-PL021 and PL025)

PCIe 6 Link Training

(MX183000A-PL021, PL025 and PL026)

LTSSM解析機能により疎通ができないステートを特定

そのステートで扱うデータの発生回数、順番、エンコードデータの編集により、問題となるパラメータを特定



Sequence Editor Function PCIe 6 and CXL 3 Flits Extension (MU196020A-056): CXL2/3向け

MP1900A SI BERT

MP1900A SI PPG/EDシリーズ 商品一覧

- 8スロット プラットフォーム
- 32G SI PPG/ED、Noise Generatorモジュール
- PCIe/USB3.2,4 v2 リンクトレーニング、LTSSM解析機能
- 既存SQAシリーズ シンセサイザ MU191000A、ジッタ変調源 MU181500Bが使用可能

シグナル クオリティ アナライザ-R MP1900A



MX183000A-PL021 PCIe
MX183000A-PL025 PCIe5拡張
MX183000A-PL022 USB
MX183000A-PL023 USB x2
リンクトレーニング (ソフトウェア)

21G/32G bit/s SI PPG MU195020A



21G/32G bit/s SI ED MU195040A



Noise Generator MU195050A



21G/32G bit/s SI PPG MU195020A 特長

- ビットレート 2.4 Gbit/s～21 Gbit/sまたは32.1 Gbit/s
- 1chまたは2ch 選択可能
- 10タップエンファシス機能内蔵
- データ出力振幅 0.1 Vp-p～1.3 Vp-p (Single-end)
0.2 Vp-p～2.6 Vp-p (Differential)
- 低残留ジッタ(rms) RJ 115 fs (代表値)
- Tr/Tf (20-80%) 12 ps (代表値)
- マルチチャネル同期機能
- PCI Express /USB リンクトレーニング

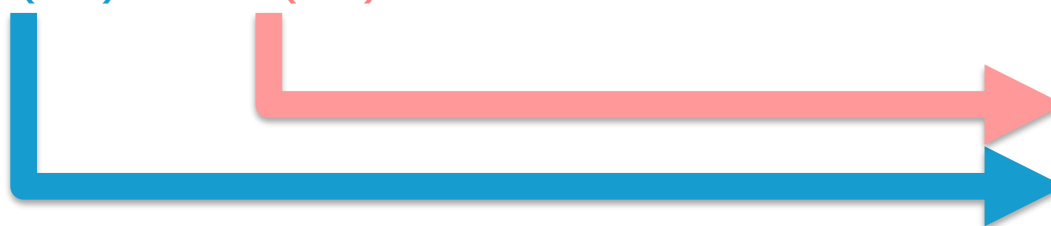
21G/32G bit/s SI PPG MU195020A



Data1(差動)

Data2(差動)

- 10タップエンファシス
- 高品質波形出力
- マルチチャネル同期

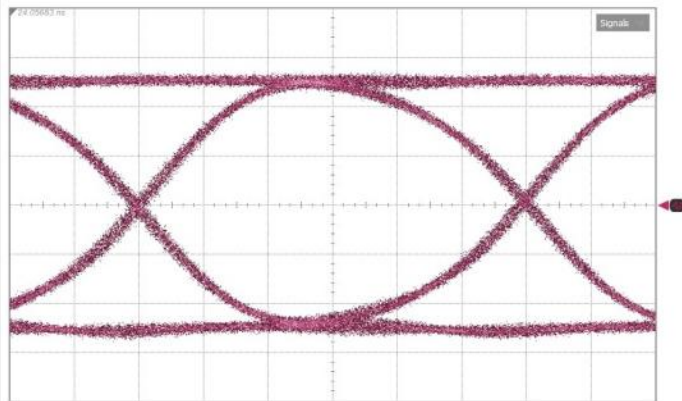


DUT

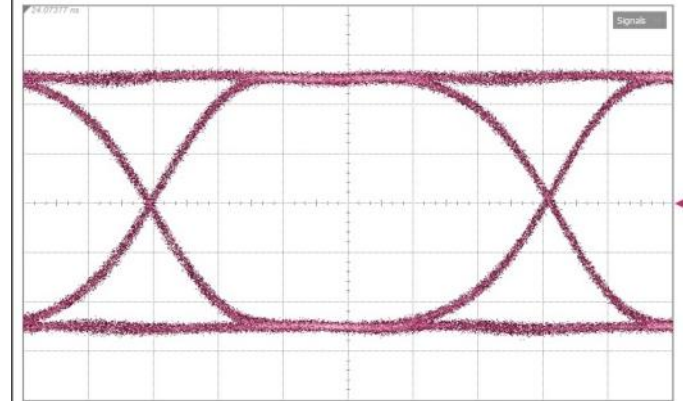
シグナルインテグリティ評価に最適な低残留ジッタ データ出力波形

PRBS $2^{31}-1$, 1 Vp-p (Single end, 70 GHzオシロスコープにて観測)

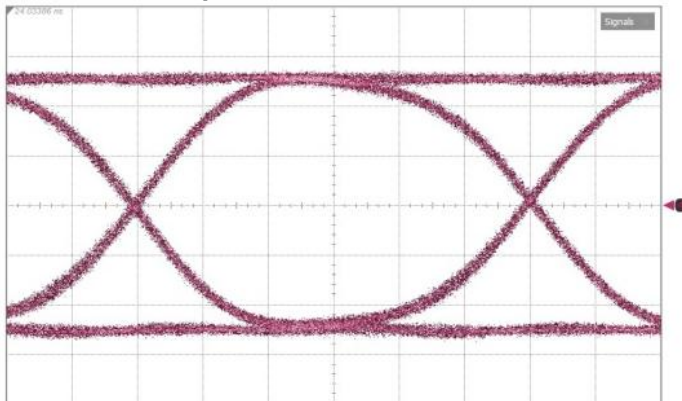
32.1 Gbit/s



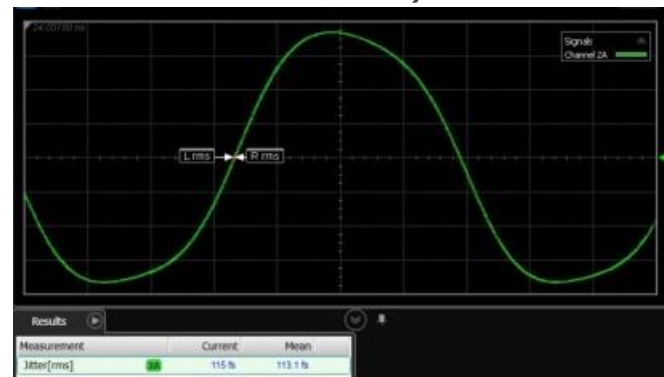
21 Gbit/s



28.1 Gbit/s

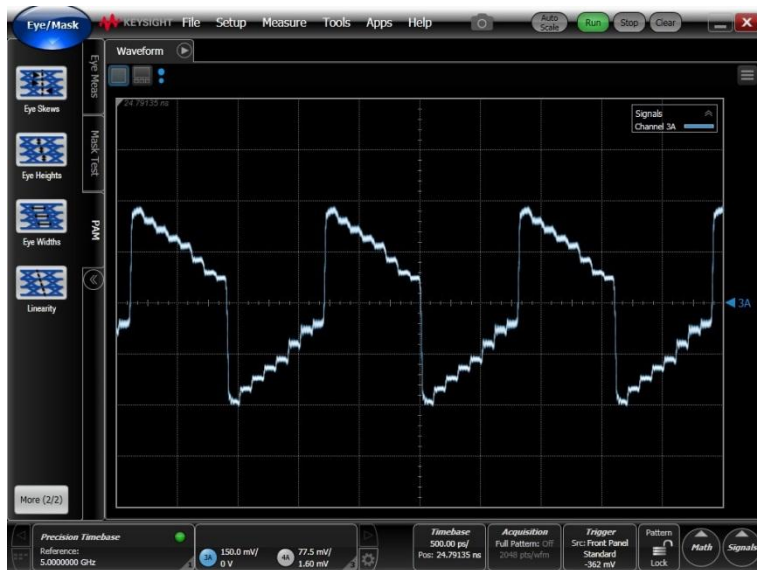


低残留ジッタ 115 fs (rms) @28.1 Gbit/s
("1010..."パターンにて)

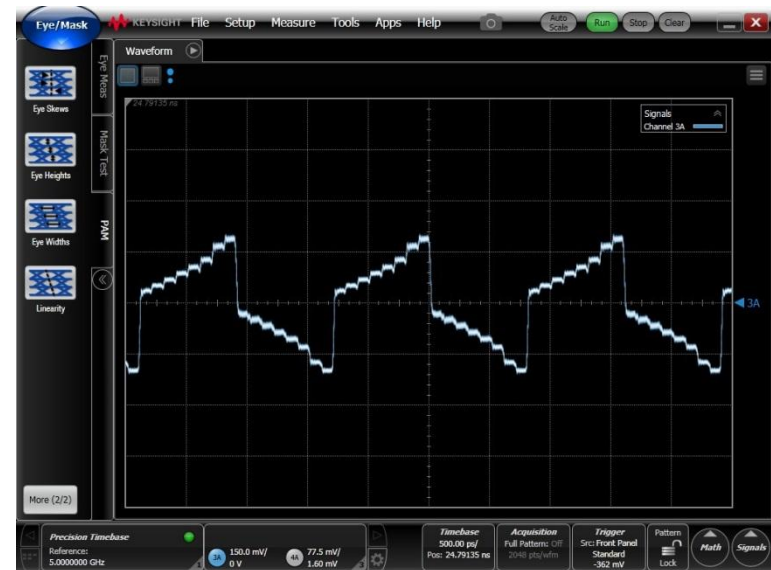


高速デバイス・長いチャネルの設計検証に柔軟に対応可能

- ・ エンファシスタップ数 10タップ
- ・ 最大20 dBコントロール
- ・ ピーク出力振幅 1.5 Vp-p プリエンファシス出力が可能



伝送損失を補償するための波形



信号損失を模擬した波形

10ビット分の時間で1ビットごとに電圧制御が可能

複数のPCボード試作が不要となり、開発期間短縮に貢献

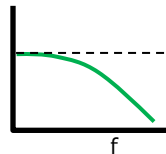
高速デバイスのチャネル損失依存性の設計検証をシンプル、再現性良く実現

- エンファシス制御によるチャネル損失をエミュレートまたは損失を補償した信号発生が可能
- Sパラメータからエンファシス設定値を自動計算

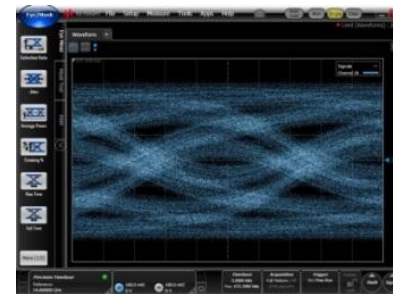
MP1900A SQA-R



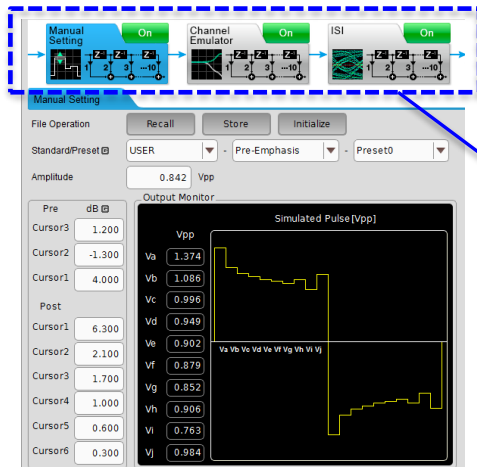
S21



チャネル損失をエミュレート
または、損失を補償する信号を発生
(Variable ISIオプション)



CEI-28G, 14 dB loss代表波形 (ISI機能)



• Manual Setting:

10タップエンファシス機能によるターゲットEH/EWへの信号校正

• Channel Emulator:

S2P, S4Pデータの挿入損失をエミュレートまたはエンファシス補償

• ISI:

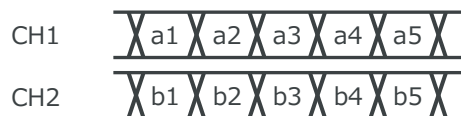
CEI-28G/25Gナイキスト周波数の損失設定によりISIをエミュレート

マルチチャネルデータ出力、パターン同期、スキュー制御により、多重・高ビットレート化やクロストーク試験が可能。将来の高ビットレート拡張、マルチチャネルインタフェースの評価に柔軟に対応します。

同期チャネル数	サポート機能	用途	機器構成例
2ch	2ch Combination	32G PAM4発生 2:1 MUX評価	MU195020A 2ch PPG x1
4ch	64G x 2ch Combination	64G PAM4発生 4:1 MUX評価	MU195020A 2ch PPG x2

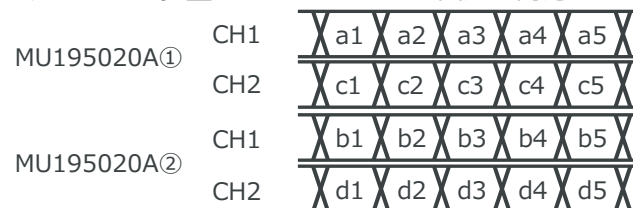
・ 2ch Combination

“a1b1 a2b2 . . .” パターンへの多重、PAM4出力に対応



・ 64G x 2ch Combination

2台の32G PPG、4chから “a1b1c1d1 a2b2c2d2 . . .” パターンへの多重、64G baud PAM4出力に対応



Unit Sync 機能を使用することで、最大16CHのマルチチャネルデータ出力、パターン同期、スキュー制御が可能となり、マルチチャネルインタフェースの評価に柔軟に対応します。

同期チャネル数	サポート機能	機器構成例	MP1900A台数
8CH	Channel Synchronization	MU195020A 2ch PPG x4	1
16ch	Channel Synchronization Unit Sync	MU195020A 2ch PPG x8	2

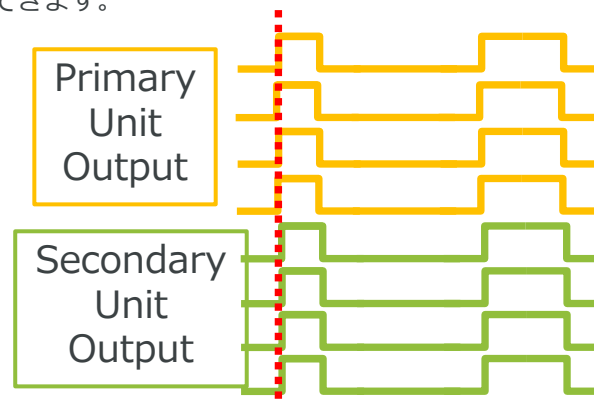
・ Channel Synchronization

パラレルインタフェースの評価、クロストーク試験、D/Aコンバータの評価に 8ch/MP1900A 1台、さらにMP1900A 2台までの同期出力に対応可能



・ Unit Sync

Unit Syncを使用することで、ユニット間のデータ位相を調整して揃えることが可能となり、同期された複数レーンデータを出力できます。



21G/32G bit/s SI ED MU195040A特長

- ビットレート 2.4 Gbit/s~21 Gbit/s または 32.1 Gbit/s
- 1chまたは2ch 選択可能
- マルチバンドCTLE機能内蔵
ピーク周波数 14 GHz、8 GHz、4 GHz 切り換え可能
ゲイン 0 ~ -12 dBコントロール
- データ入力振幅 0.05 Vp-p~1.0 Vp-p (Single-end)
- 入力感度@28.1 Gbit/s 15 mV (Eye Height)(代表値)、22 mVp-p (Eye amplitude)
@ 28.1Gbit/s PAM4: 30 mV/Eye (Eye Height) (代表値)、150 mVp-p (Eye amplitude)
- 自動測定 (オートサーチ/アジャスト、Eye Contour、Bathtub、ジッタ耐力)
- クロックリカバリ 2.4 Gbit/s~32.1 Gbit/s、SSC対応
- PCIe/USB リンクトレーニング

21G/32G bit/s SI ED MU195040A



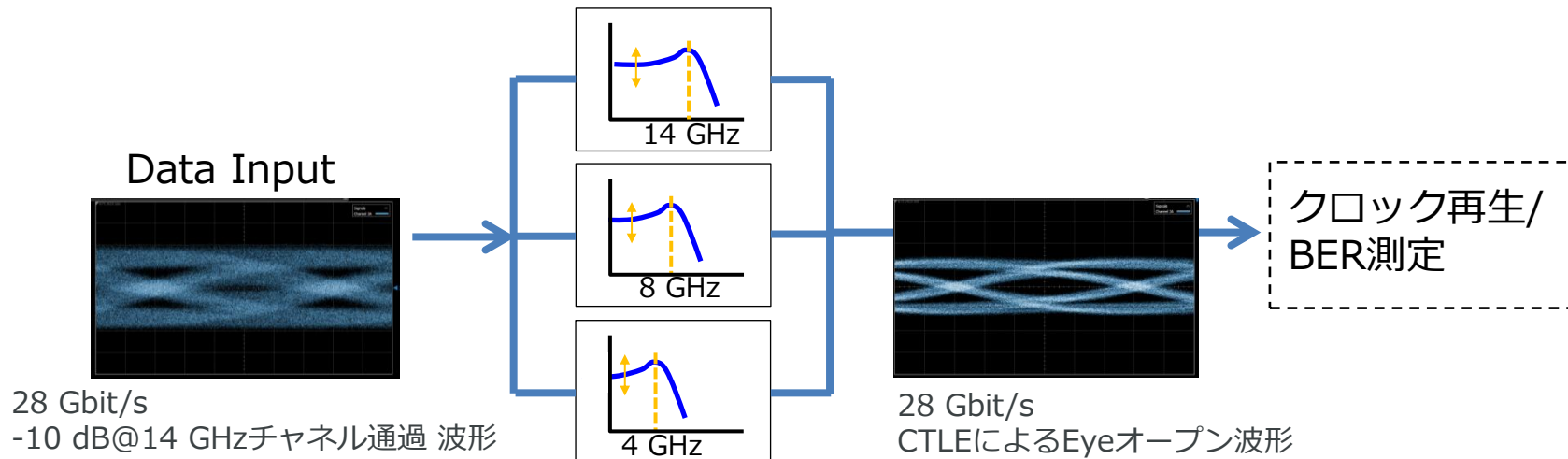
Data1(差動)

Data2(差動)

- マルチバンドCTLE
- 高感度入力
- SSC対応CDR

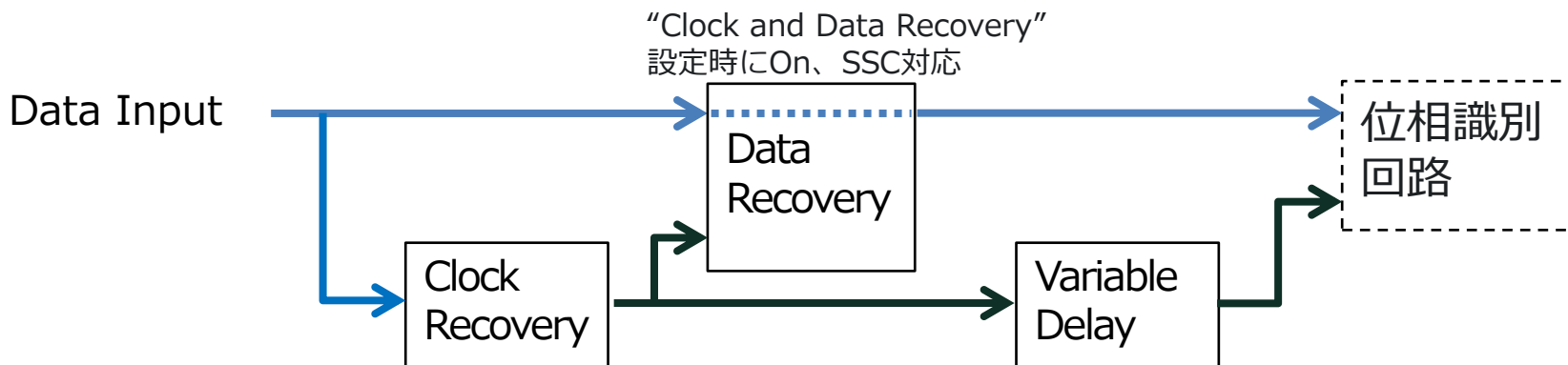
DUT

3-band (ピーク周波数 14 GHz、8 GHz、4 GHz) CTLEにより、CEI-28G、PCI Express3~5の入力レシーバ測定をサポート



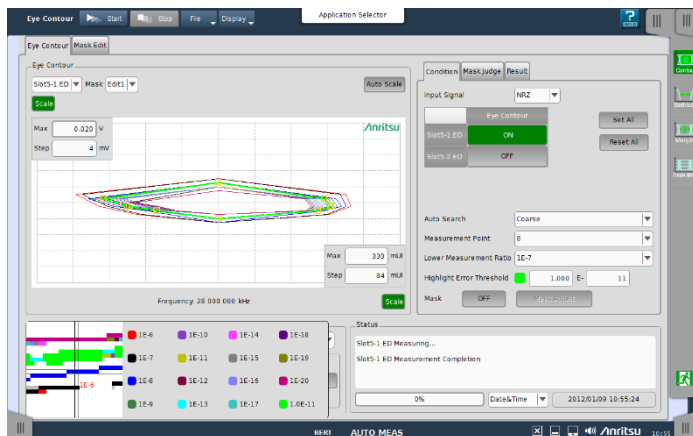
SSC対応、ジッタ付加入力信号のEye解析を実現

- 2.4 Gbit/s~32.1 Gbit/s (Data1入力信号からクロックを抽出)
- External Clock/Clock Recovery/Clock and Data Recovery_SSC対応 切り換え機能

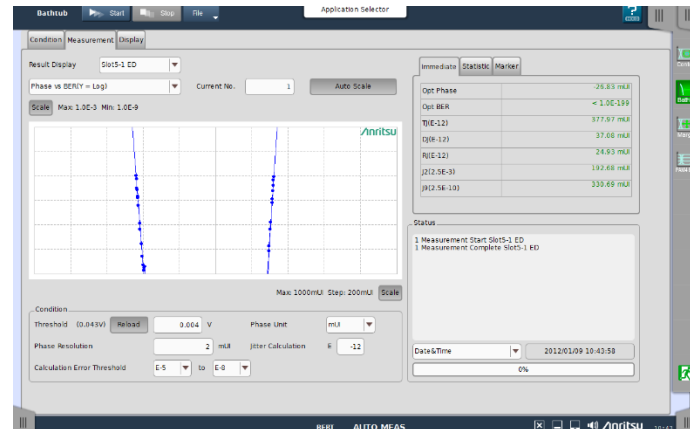


MU195040A ED 自動測定・解析機能

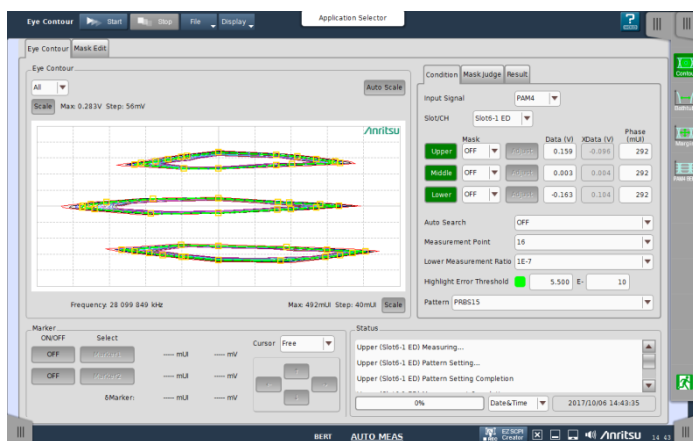
高入力感度性能を活かしたAuto Search/Auto Adjust、Bathtub、Eye Contour、Eye Margin、PAM BER測定などの自動測定・解析機能により、より精度の高いEye解析をサポートします。



50 mVp-pの小信号入力時のEye Contour測定例



Bathtub測定例



PAM4信号入力時のEye Contour測定例

Noise Generator MU195050A特長

CEI、IEEE802.3バックプレーン、PCIe、Thunderboltの測定で規定されている電圧ノイズ耐力試験が可能

- ビットレート 32.1 Gbit/sまでのデータ信号へのノイズ付加が可能
- 2チャンネル出力
- CMI/DMI/White ノイズをサポート
 - Common modeノイズ周波数 0.1 GHz~6 GHz
 - Differential modeノイズ周波数 2 GHz~10 GHz
 - Whiteノイズ 帯域10 GHz、Crest Factor >5
- 外部ノイズ入力対応

MU195020A



MU195050A
Noise Generator



Data1(差動)

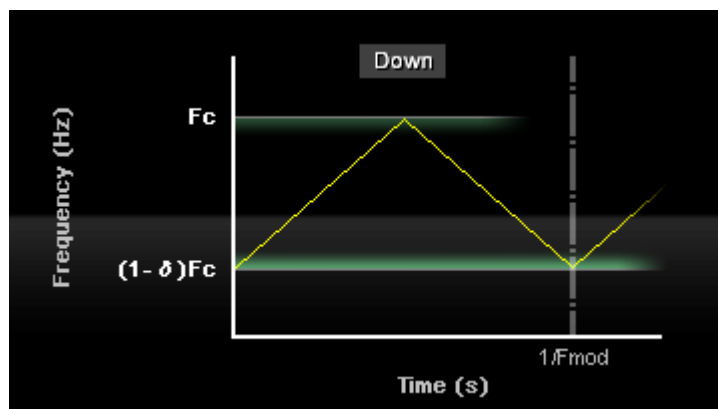
Data2(差動)

外部入力

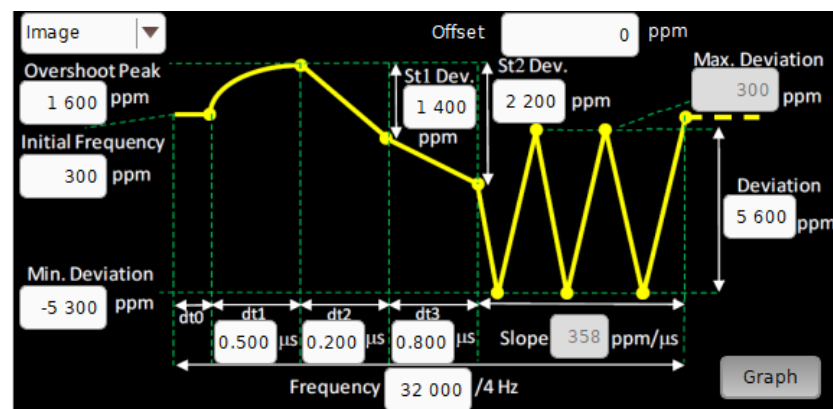
- CMI/DMI/White
ノイズ内蔵
- 2ch出力

DUT

USB4やDPなどで新たに規定されたSSC Profileにより、DUTレシーバのクロックリカバリ等のSSC追従性の検証が容易になります。



従来のTriangular



USB4 SSC profile(Image)

List

Initial Frequency

300 ppm

Offset

0 ppm

Frequency

32 000 Hz

Frame Divide Ratio

4

Frame Frequency

8 000 Hz

Deviation

5 600 ppm

Min. Deviation

-5 300 ppm

Max. Deviation

300 ppm

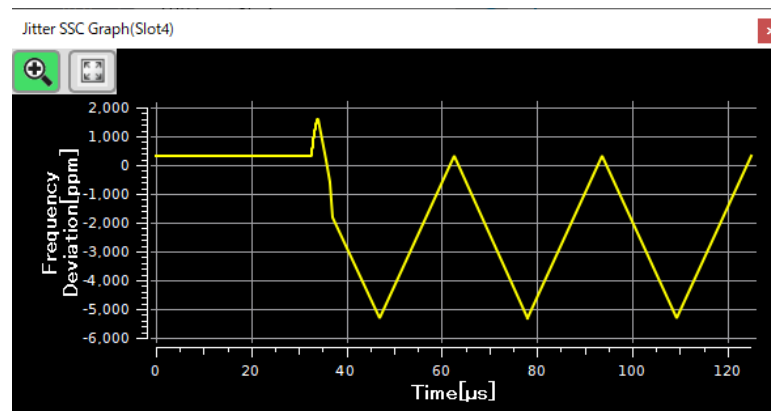
Window	Shape	δDeviation[ppm]	Time[μs]	Slope[ppm/μs]
dt1	Sinusoidal	1 300	1.500	---
dt2	Linear	-1 400	1.500	-933
dt3	Linear	-800	0.800	-1 000
dt4	Linear	-1 200	0.700	-1 714
Steady-State	Linear	5 600	87.890	358

Add

Delete

Graph

Variable Profile (List)



Variable Profile (Graph)

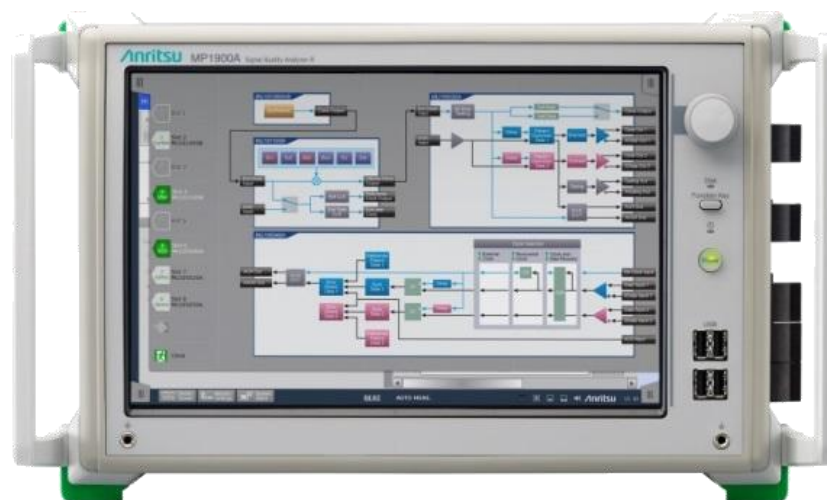
MP1900A PAM4 Application

MP1900AシリーズPAM4 BERT概要

- PCIe6, 400 GbE、将来の800Gなど高速インタフェースの測定に最適
- 最大64 Gbaud高品質データ出力波形と、高感度入力性能により、PAM4対応デバイスの設計検証を強力にサポート
- ジッタ付加、クロックリカバリ、エンファシス、NRZ/PAM3/PAM4パターン編集、SER機能などを1台に集積したソリューション
- 再現性が高く、構築しやすいPAM4測定システムを提供

MP1900A PAM4シリーズ 対象アプリケーション

200/400/800 GbE、CEI-56G/112G、InfiniBand HDR、64G Fiber Channel, PCIe1-6, USB4v2



*PCIe1-3の場合はPAM4 EDをSI EDに変更する必要があります。

MP1900A New PAM4 BERTの特長

- ・測定再現性が高く構築しやすいOne box test Solution
- ・より確かな測定をサポートする波形品質
- ・高ビットレート、マルチチャネル化に対応、将来にわたり投資抑制に貢献する拡張性

PAM4 One box テストソリューション

エンファシス 4Tap、20dB

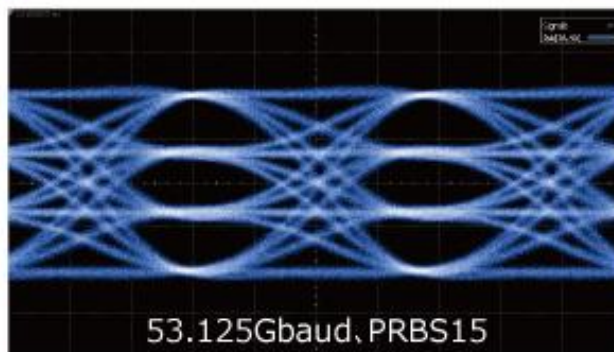
クロックリカバリ内蔵



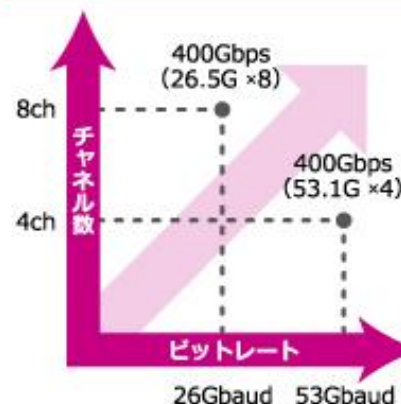
ジッタ/ノイズ付加

ジッタトレランス試験

最高レベルの波形品質



次世代テラビット



PCIe 6 All-in-One BERT Solution

再現性が高く、設定が容易で使いやすいオールインワン*設計により、テスト時間の短縮が可能になります。

- ・ CTLE Equalizer 内蔵
- ・ PCIe4からPCIe6をサポートするNRZ/PAM4クロックリカバリを内蔵

32G baud NRZ/PAM4 Re-Driver
MU196060A

PAM4 ED
MU196040B*

- ・ 入力感度 Typ. 23mV at 32.1
- ・ ログ、解析機能
- ・ SER/BER 解析
- ・ Logging/Capture機能

PAM4 PPG
MU196020C

- ・ 外部機器不要のPAM4機能内蔵
- ・ 高品質 PAM4 波形(最大64Gbaud)、エンファシス、リニアリティ可変機能

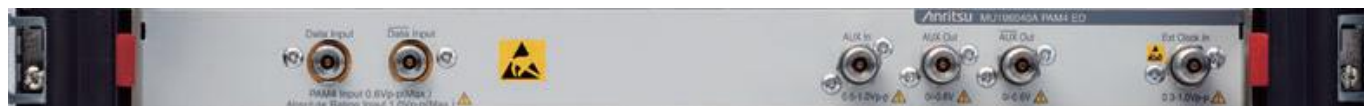
*PCIe1-3の場合は PAM4 ED を SI EDに変更する必要があります。

PAM4 PPG MU196020C



- Baud-rate: 2.4Gbaud~32.1Gbaud/58.2Gbaud /64.2 Gbaud * 1
- データ出力振幅: 70 mVp-p~800 mVp-p、1 mV step (Single-ended, PAM4)
- エンファシス: 4タップ
- 低残留ジッタ(rms): 108 fs
- Tr/Tf (20-80%): Typ. 6.0 ps (20-80%) at 32,64Gbaud, J1789A使用時
Typ. 7.0 ps (20-80%) at 32,64Gbaud, J1790A使用時
- マルチチャネル同期機能
- FECパターン発生機能 (PCIe6まで)

PAM4 ED MU196040B



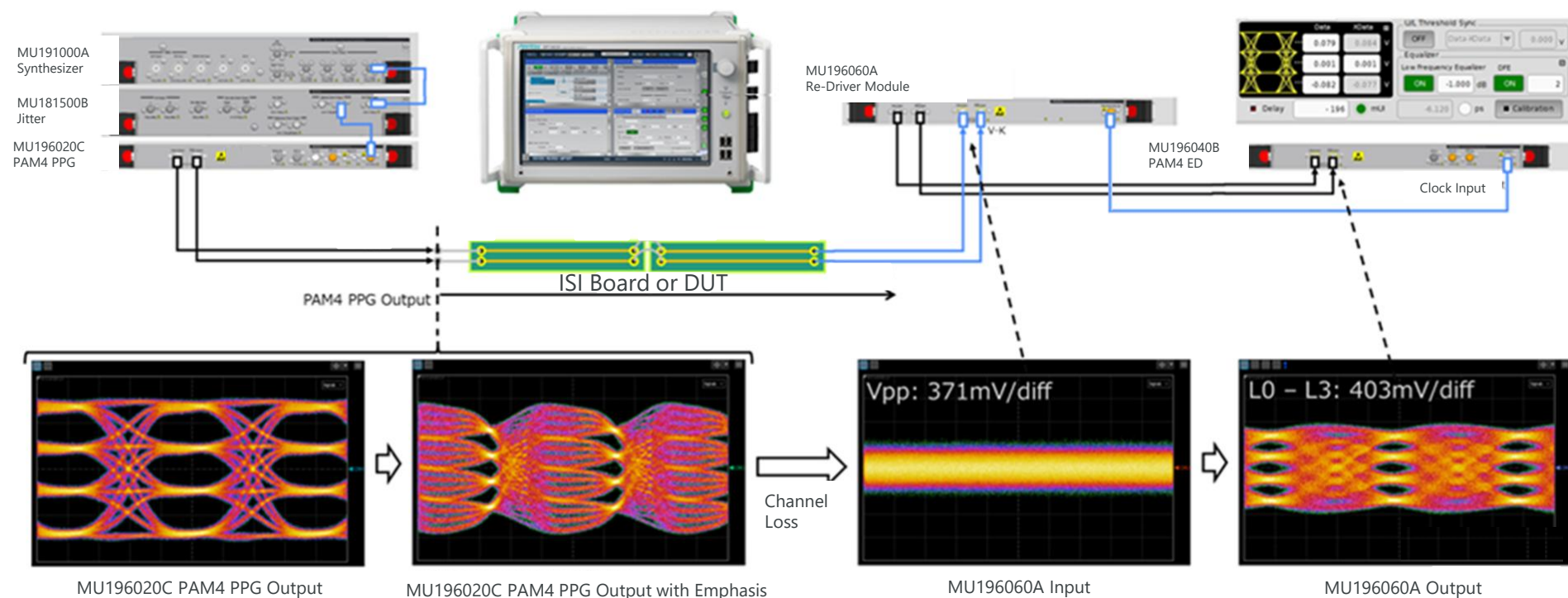
- Baud-rate: 2.4 Gbaud~32.1 Gbaud / 58.2 Gbaud PAM4 * 1 * 2
- 入力振幅 (最大値) : 1.0 Vp-p (NRZ、PAM4)
- 入力感度(Eye Height,PAM4): 23 mV (代表値、26.5625 Gbaud), 36 mV (代表値、53.125 Gbaud)
- 内蔵クロックリカバリ: 2.4 Gbaud~29 Gbaud /32.1 Gbaud/51 Gbaud~58.2 Gbaud 拡張* 1
- アナログ帯域: > 40 GHz (公称値)
- 内蔵イコライザ: Low Frequency Equalizer(2 dB)+DFE(1.4 dB)
- SER測定対応、“Diagnostics Mode”による論理エラー診断機能、キャプチャ、Logging機能

* 1 Baud-rateの上限はオプション構成による。 * 2 NRZ信号の場合は上限64.2Gbits/Sになります

32 Gbaud NRZ/PAM4 Re-Driver MU196060A



- ・内蔵 CDR 機能により SSC 信号補償の評価に対応
- ・PAM4とNRZの両変調方式をサポート
- ・PCIe 5.0 NRZ 32 Gbit/sで30 dBの損失を補償(<1E-12)
- ・PCIe 6用PAM4 32 Gbaudで14 dBの損失を補償(1E-9, Typ.)



58 Gbaud PPG/ED代表構成

Model	Name	Option	Qty	Remark
MP1900A	シグナル クオリティ アナライザ-R	-	1	
MU191000A	16GHz 4ポートシンセサイザ	-	1	
MU181500B	ジッタ変調源	-	1	ジッタ付加用
MU196020C	PAM4 PPG	002, 011, 040, 042	1	
MU196040B	PAM4 ED	002, 011, 021, 023, 041	1	

ジッタ耐カテスト用ソフトウェア

Model	Name
MX183000A-PL001	Jitter Tolerance Test
MX183000A-PL031	DUT Error Counts Import

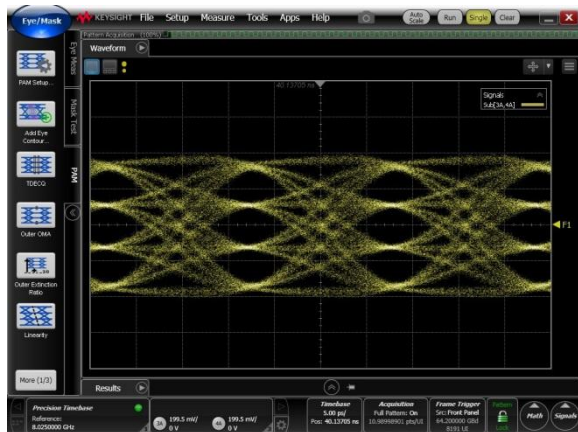
応用部品

Model	Name
J1789A	同軸電気長規定ケーブル 0.4 m (Vコネクタ)
J1790A	同軸電気長規定ケーブル 0.8 m (Vコネクタ)
J1800A	ISI Board V
J1793A	Pick OFF Tee (V)

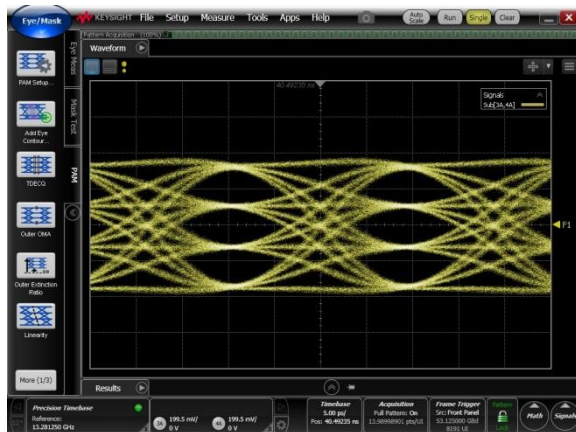
最高レベルの波形品質 - PAM4 PPG MU196020C

最高クラス低残留ジッタ(typ. 170 fs(rms))、Tr/Tf (typ. 8.5 ps)の高品質波形。
より確かなDUTの実力評価をサポート。

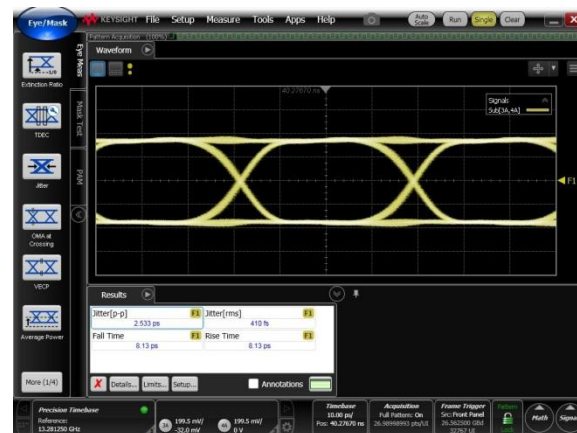
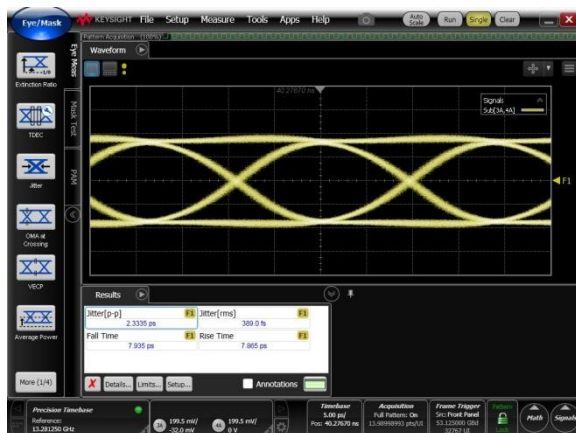
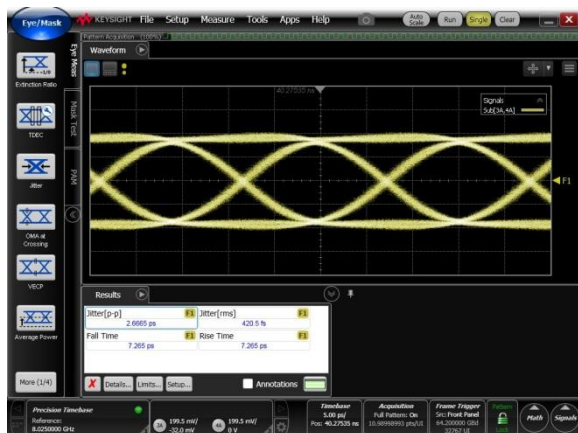
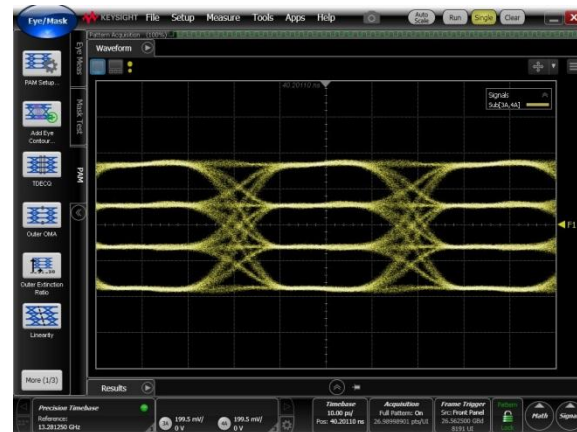
64.2 Gbaud



53.125 Gbaud



26.5625 Gbaud



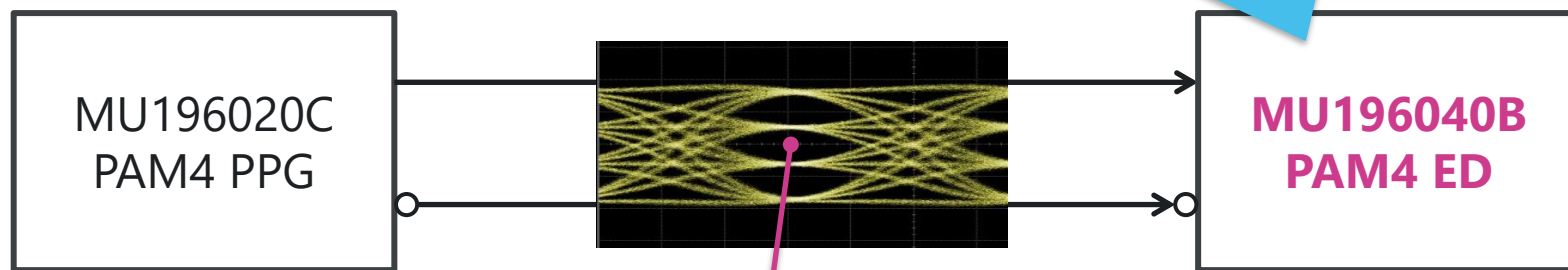
Differential 1.4 Vp-p, PRBS13Q pattern, J1789A 40-cm cable+70 GHz Scope

116 Gbit/s PAM4 業界最高レベルの高感度入力性能

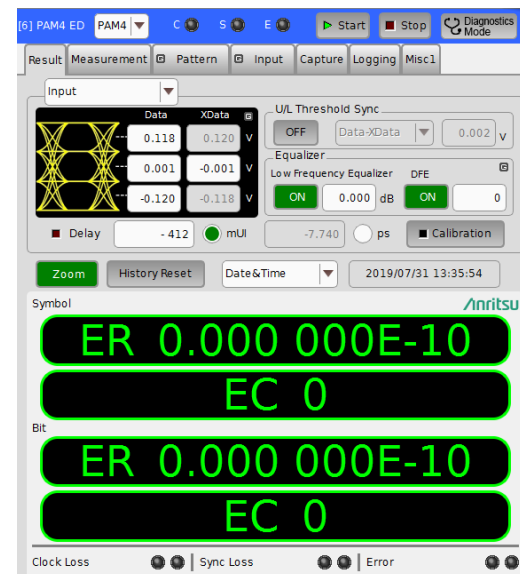
Typ. 36 mV (at 53.125 Gbaud)の高感度入力

これまで原因切り分けが困難だったPAM4エラー測定を容易に。

Error Free !! at 53.125 Gbaud
最高レベルのPAM4感度



Typ. 36 mV EH/ Eye

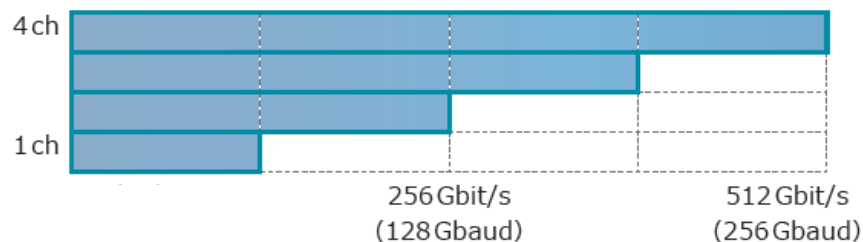


次世代テラビット - マルチチャネル・拡張性 (1/2)

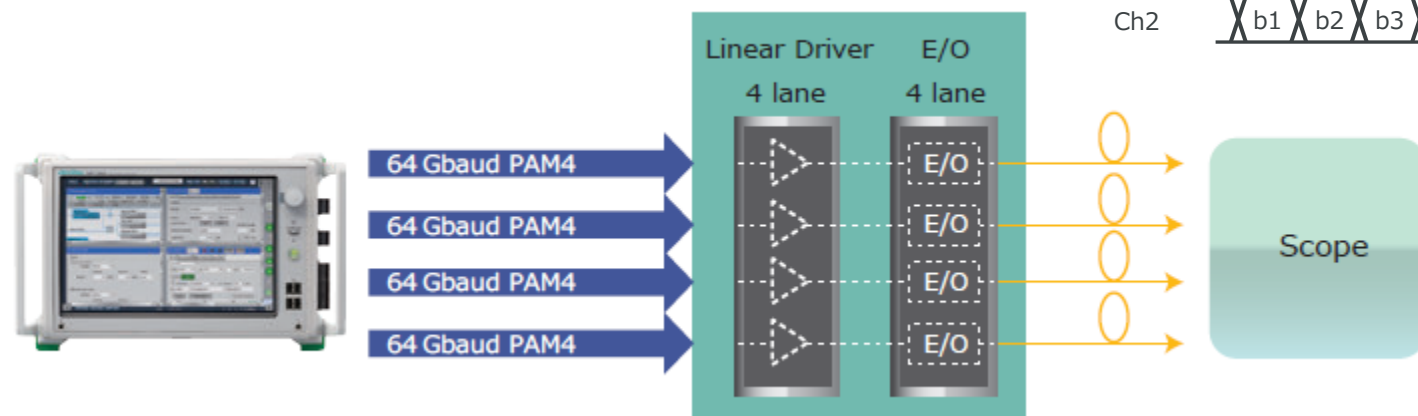
最大4chまでのPPGをMP1900A 1台でサポート。
400 GbE (53 Gbaudx4Lane)、Over 400Gの評価に活用可能。
将来の投資抑制に貢献します。

PAM4ソリューション

Max. 64Gbaud at 1 ch



• 4 Lane DUT(Driver+E/O)の測定例



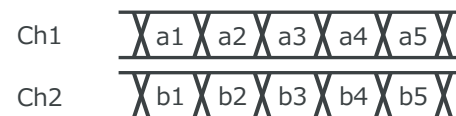
• Channel Synchronization

MP1900A 1台で4ch、2台で8chまでの同期出力が可能
(8chは将来対応)



• 2ch Combination (NRZ)

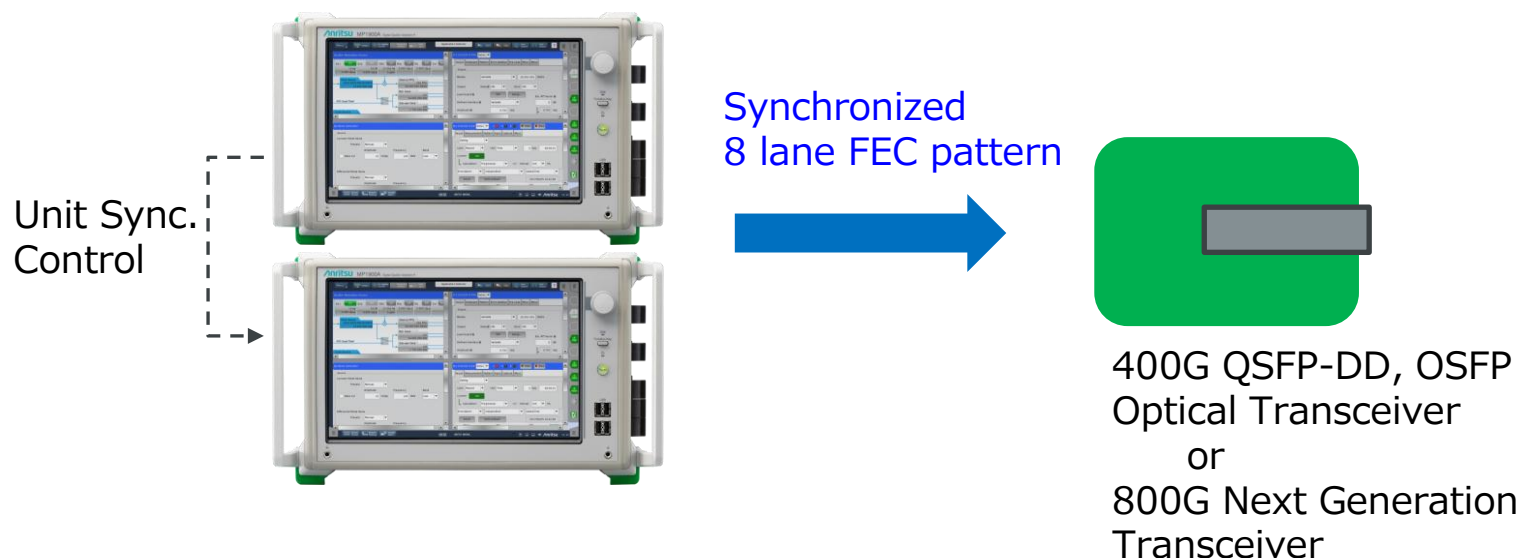
“a1b1a2b2...”パターンへの多重



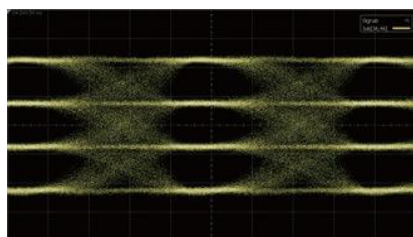
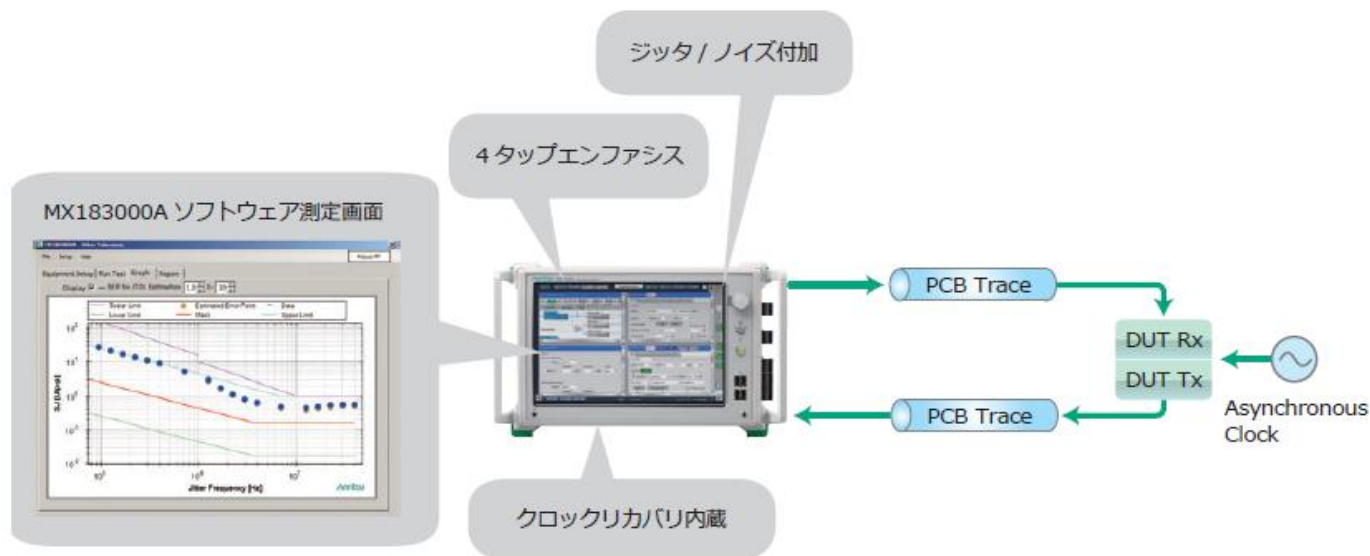
次世代テラビット - マルチチャネル・拡張性 (2/2)

8ch (4ch_53.125 Gbaud PAM4 x MP1900A 2台)同期機能により、800Gへの拡張が可能。

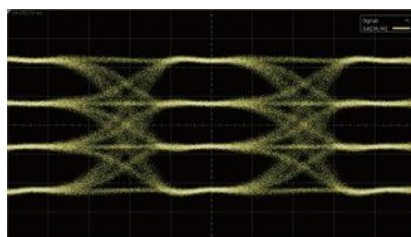
8レーンFECパターン発生機能により、QSFP-DDトランシーバのFEC評価をサポート。



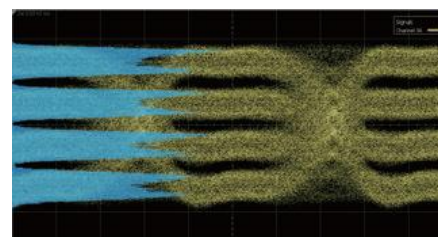
PAM4ジッタトレランステストを1台でサポート。
ジッタ/ノイズ付加機能、クロックリカバリ機能を内蔵、ジッタ耐カソフトウェア
MX183000A-PL001と組み合わせて、測定系の構築しやすさと、測定時間短縮に貢献。



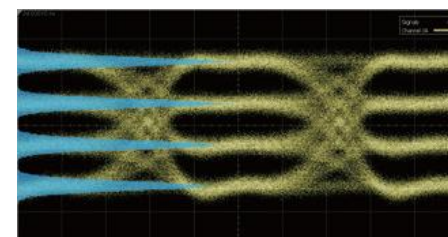
正弦波ジッタ(SJ)



ランダムジッタ(RJ)



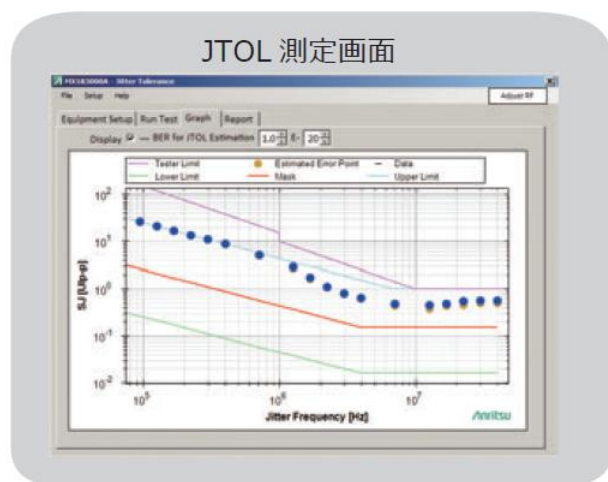
CM/DMノイズ



Whiteノイズ

DUTのBERカウンタを使用したジッタ耐力測定

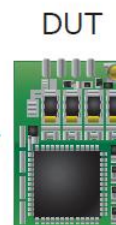
DUTにビットエラーをカウントする機能がある場合は、MP1900AのPPGと組み合わせることにより、費用対効果の高いジッタ耐力測定環境が構築可能。



取得したエラーカウント値を使用してジッタ耐力を測定
(MX183000A-PL001 Jitter tolerance software)



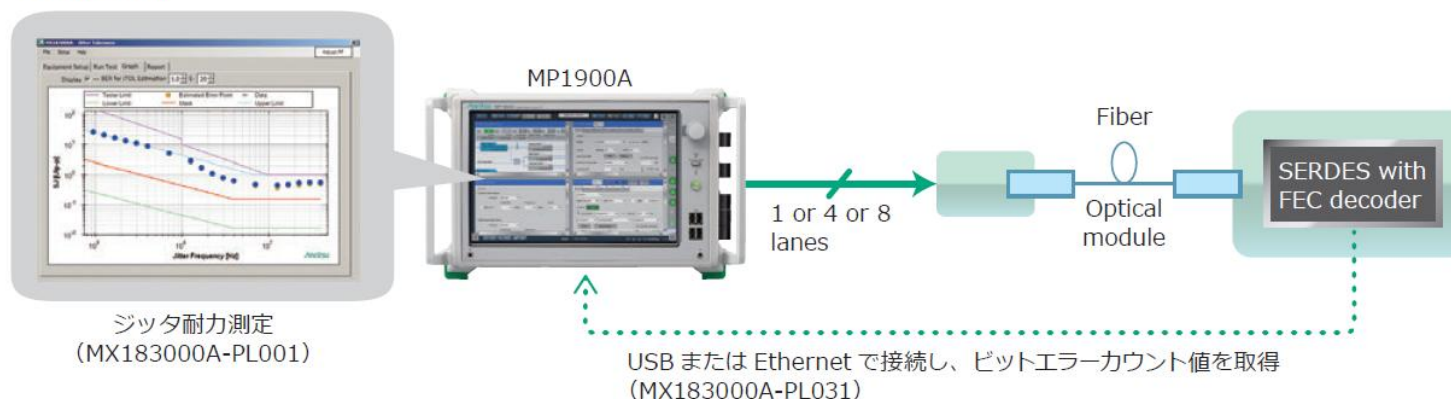
PCB Trace



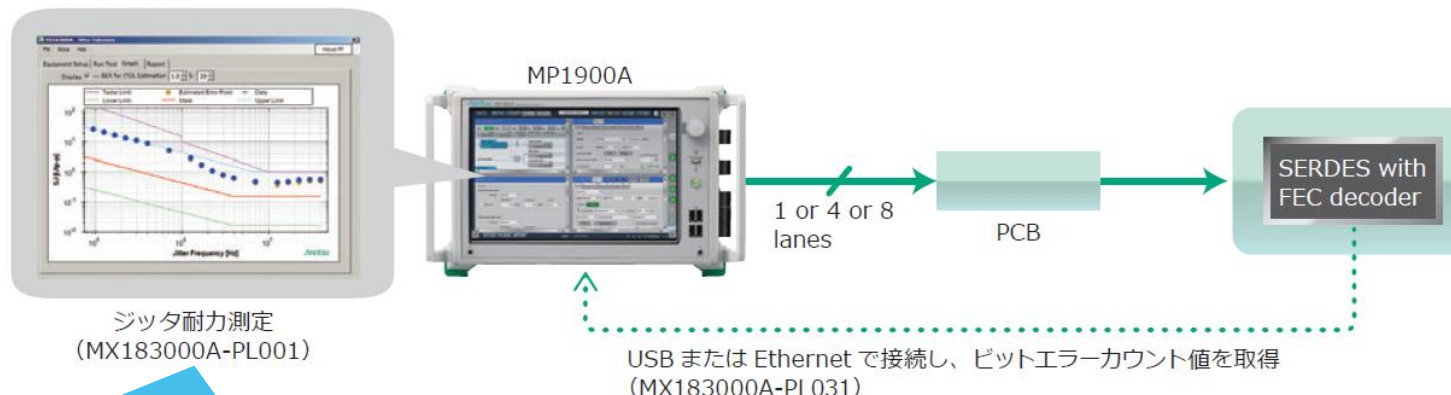
USB または Ethernet で接続し、ビットエラーカウント値を取得
(MX183000A-PL031 DUT Error Counts Import)

FECパターン発生・エラー挿入機能とDUTのビットエラーカウント読み取り機能を組み合わせることにより、FECの評価が可能。

光FEC信号伝送評価



電気FEC信号伝送評価



取得したエラーカウント値を
使用してジッタ耐力を評価

MP1900A Mainframe

MP1900A メインフレーム特長



MP1900A 正面



MP1900A側面

- 8スロット
- PPGまたはEDを合計4台まで拡張可能
- MP1900A本体4台を同期可
→2 Tbit/sまでの拡張性
- タッチスクリーン
- GPIB x1、イーサネット x2
- USB x6、HDMI x1、D-SUB x1
- Windows 10 IoT Enterprise



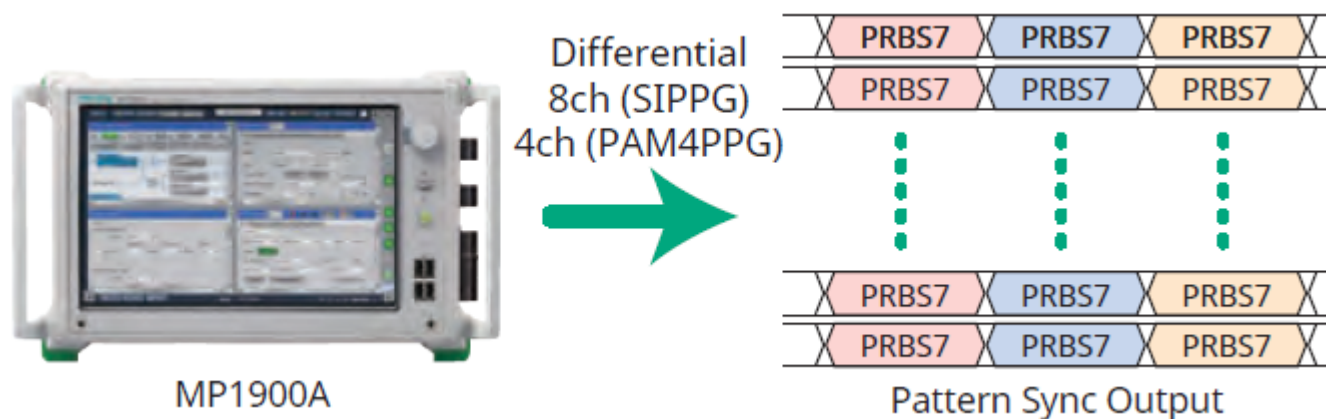
2 Tbit/sの実現性

MP1900A 4台までのマルチチャネル同期出力機能

MP1900A 8スロット本体の拡張性

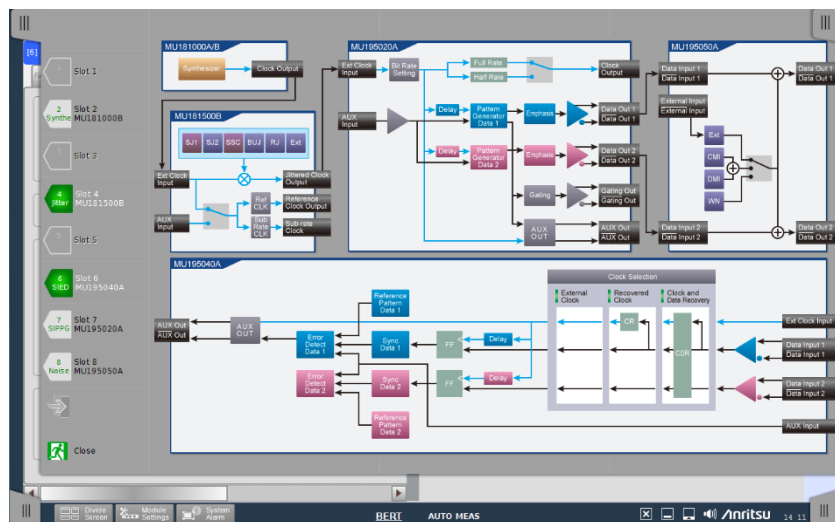
将来にわたって幅広くお使いいただけるメインフレーム

- 1台で8ch(SIPPG),4ch(PAM4 PPG)伝送が可能、将来の高ビットレート化に対応

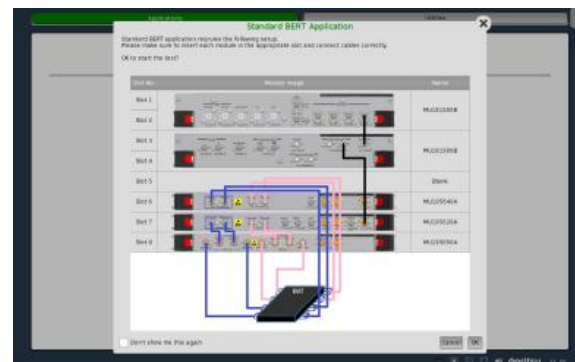


システムビュー・ユーザインタフェースとマルチウィンドウによる操作性の向上

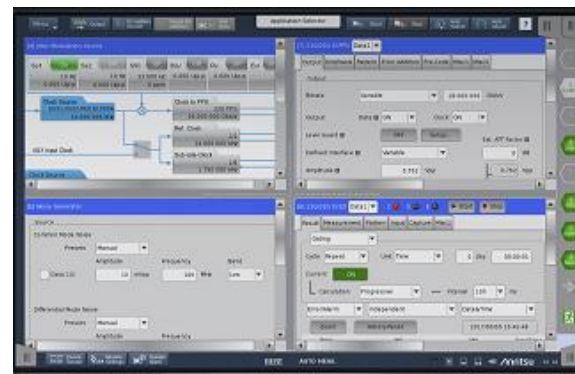
12.1インチのタッチパネル操作により直感的な操作ができるようになりました。新しく開発したシステムビュー・ユーザインタフェースは、システムの機能ブロックをわかりやすく表示することで、設定操作の導入をサポートし、各モジュールの操作を円滑にします。



システムビュー・ユーザインタフェース

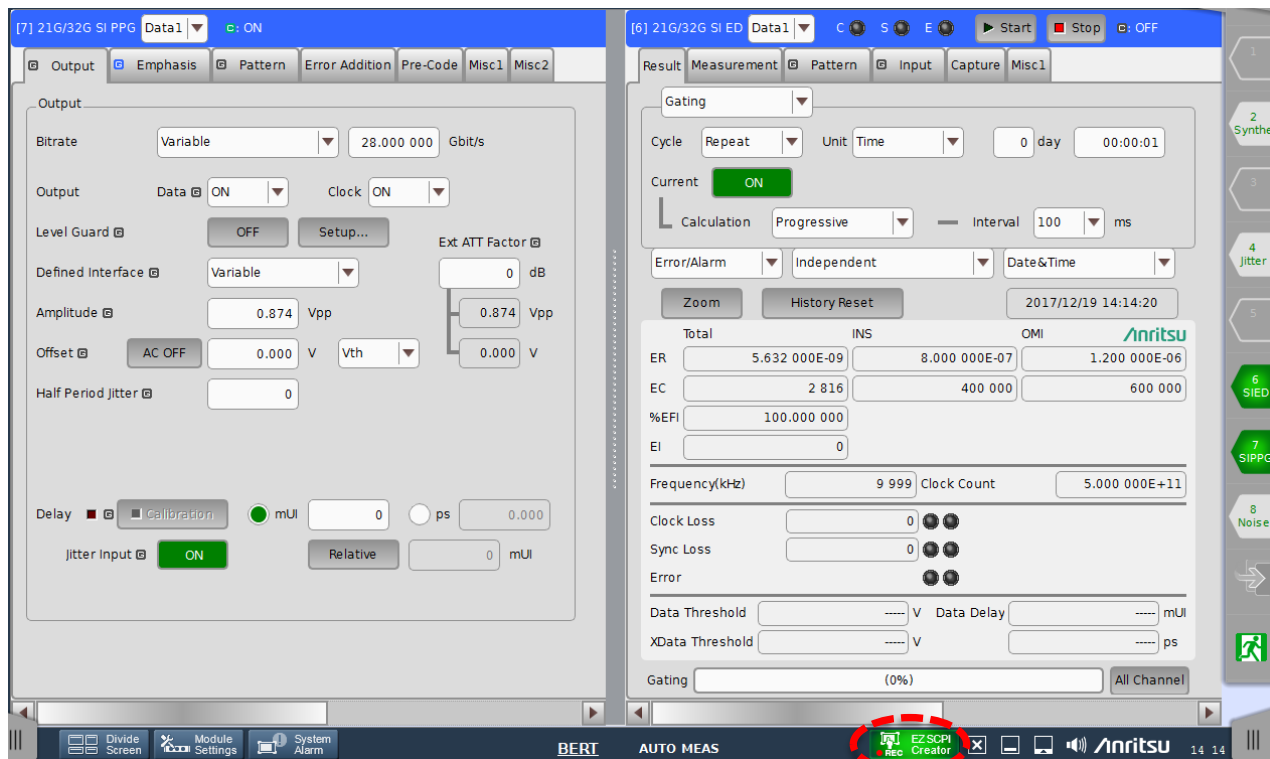


機器間接続のインストラクション



4chマルチチャネル測定結果を
1画面で同時観測

EZ SCPI Creator ON中の操作を、リモートコマンド列として自動生成します。
これにより、リモートコマンドの記述が容易になります。



EZ SCPI Creator ON

たとえば以下の操作を実施すると

- PPG Amplitude 設定
- PPG Pattern Type 設定
- PPG PRBS Length 設定
- Output On
- ED 測定スタート



操作順にリモートコマンド文を自動生成

```
:UENtry:ID 1; :MODule:ID 7; :INTERface:ID 1; :OUTPut:DATA:AMPLitude DATA,0.574
:UENtry:ID 1; :MODule:ID 7; :INTERface:ID 1; :SOURce:PATtern:TYPE PRBS
:UENtry:ID 1; :MODule:ID 7; :INTERface:ID 1; :SOURce:PATtern:PRBS:LENG 31
:SOURce:OUTPut:ASET ON
:UENtry:ID 1; :MODule:ID 6; :INTERface:ID 1; :SENSe:MEASure:STAR
```

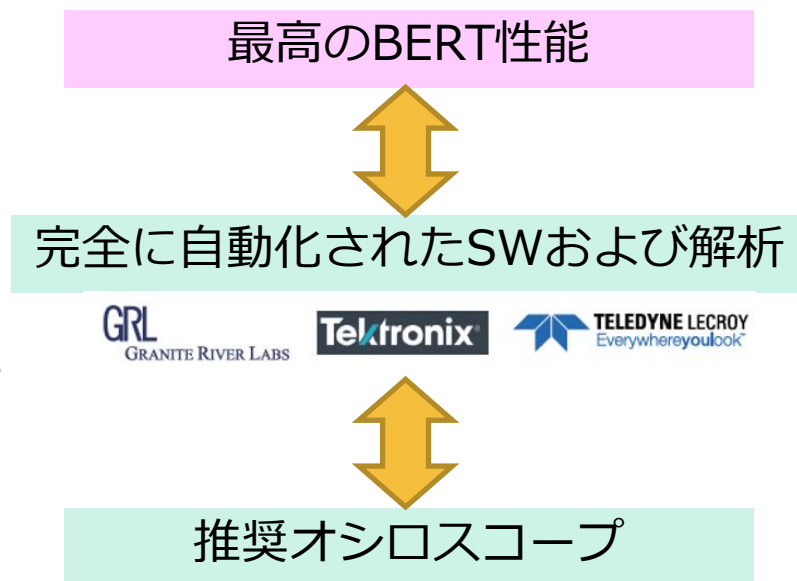
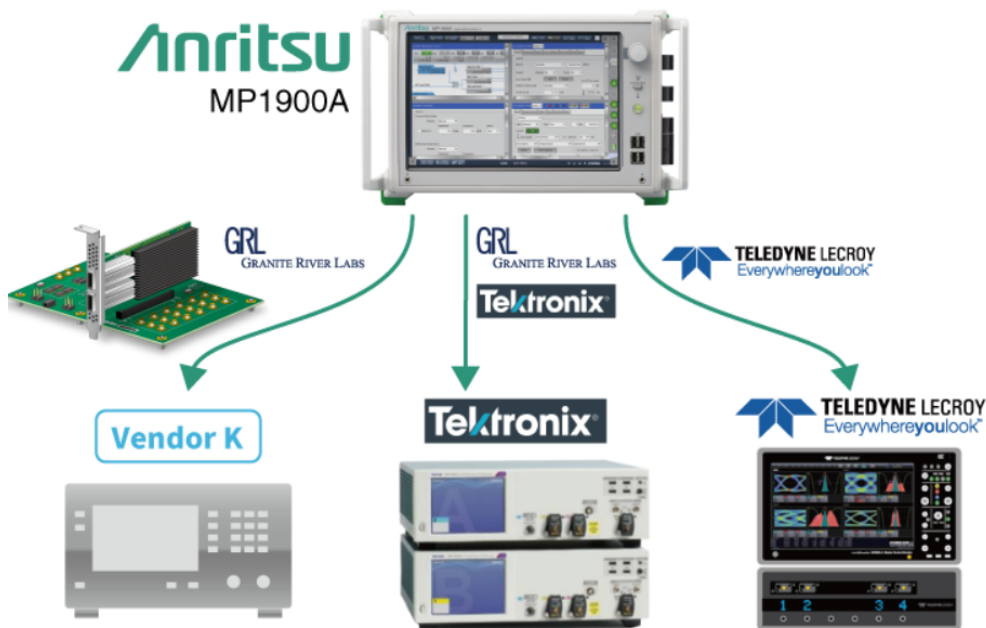
PCIe Test Solution

PCIe Tx LEQ/Rxコンプライアンステスト

- 高品質BERT MP1900Aと推奨オシロスコープの組み合わせ -

試験時間の短縮と投資費用の低減

- Teledyne LeCroy/Tektronix/Keysightリアルタイムオシロスコープとの組み合わせをサポート
- 自動化されたRx CEMおよびBase Test：キャリブレーション、Link EQおよび自動化されたTxテスト
- プロトコルウェア：リンクトレーニング/イコライゼーションおよびLTSSM解析
- PCIe1～6に対応する高拡張性32GマルチチャネルBERT



測定項目	対応ソフトウェア
トランスミッタテスト	Teledyne LeCroy, Tektronix, GRL*
Tx レスポンスタイム	MX183000A-PL021, PL025 (PCIe5) PL026 (PCIe6)
ストレス信号のキャリブレーション	Teledyne LeCroy, Tektronix, GRL*
Loopbackへのステート遷移	MX183000A-PL021, PL025 (PCIe5) PL026 (PCIe6)
Rxリンクイコライゼーションテスト	
ジッタ耐カテスト	MX183000A-PL001
PLL ループバンドテスト	Teledyne LeCroy, Tektronix, GRL*

*対応予定については弊社営業担当までお問い合わせください。

PCIeリンクトレーニング、LTSSM解析、ジッタ耐力測定 (1/5)

PCI Express PHY IPデバイスRxテストの流れ

ストレス信号
キャリブレーション

ループバック
ステータスへの移行

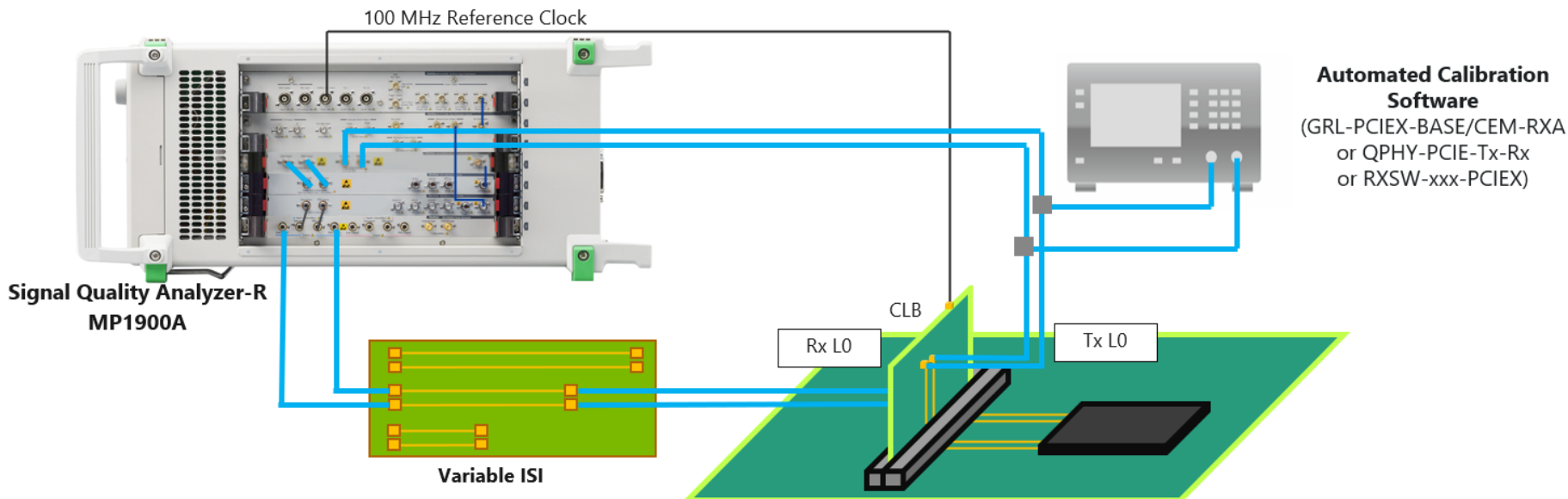
ストレス信号
入力テスト

適用可能な
ソフトウェア

自動化ソフトウェア：
GRL-PCIEX-BASE/CEM-RXA
またはQPHY-PCIE-Tx-Rx
またはRXSW-xxx-PCIEX

リンクトレーニング
ソフトウェア：
MX183000A-PL021 (PCIe1~4)
MX183000A-PL025 (PCIe5拡張)
MX183000A-PL026 (PCIe6拡張)

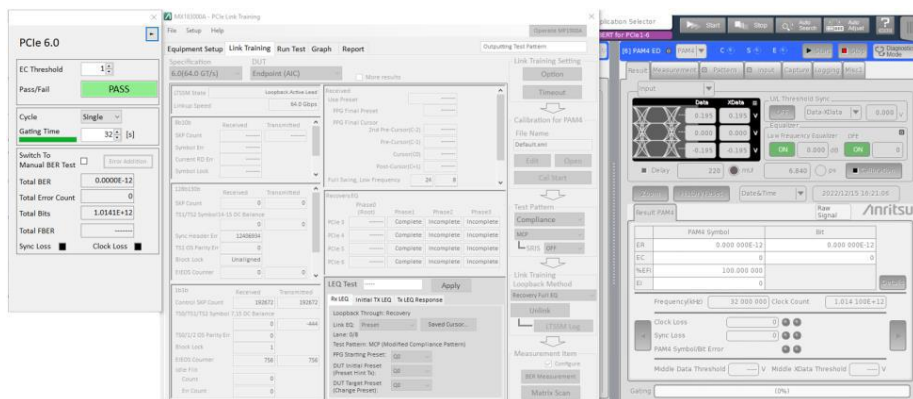
・ジッタトレランスマージンテスト：
MX183000A-PL001
または
・ジッタSweepテスト (Pass/Fail) :



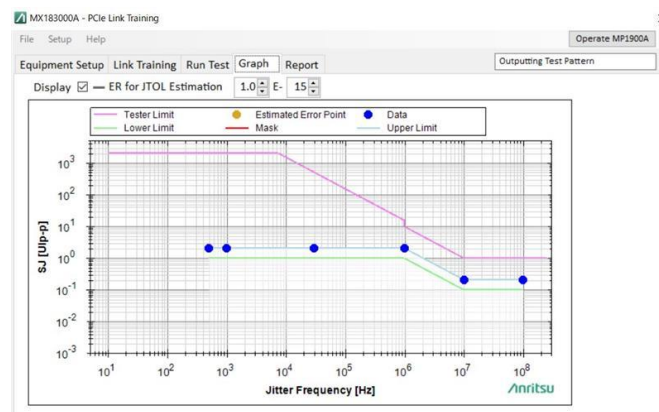
PCIeリンクトレーニング、LTSSM解析、 ジッタ耐力測定 (2/5)

PCIeリンクトレーニング MX183000A-PL021/PL025/ PL026、ジッタトレランステストソフトウェア MX183000A-PL001により、PCI Expressレーバテストに必要なとなるDUTとのリンクからジッタ耐力測定までトータルにサポートします。

リンクトレーニング設定と結果を表示



レーバのジッタ耐力を自動測定



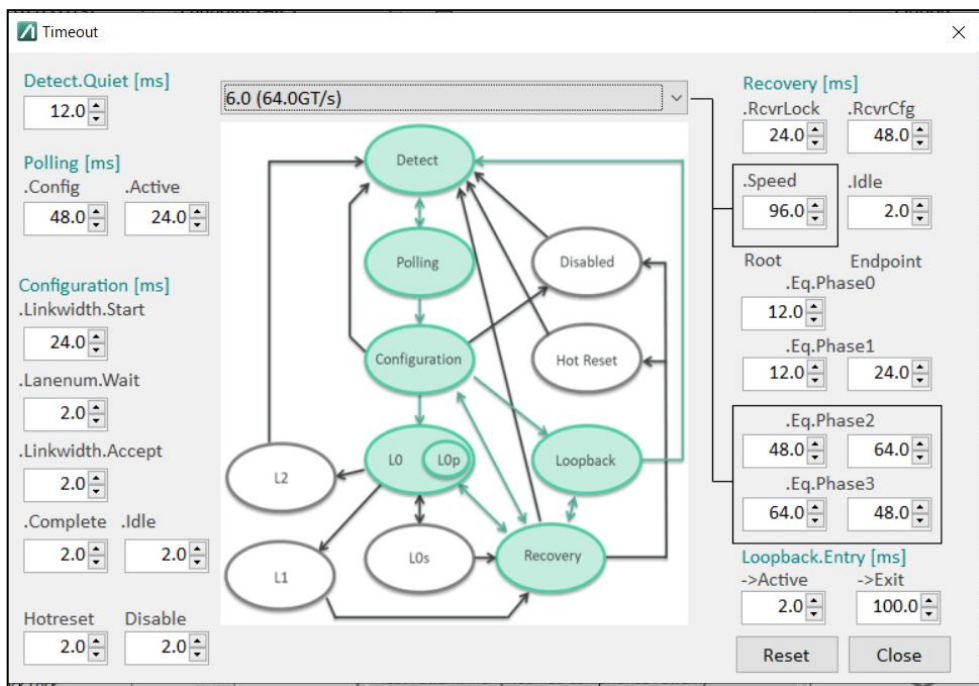
Item	MX183000A-PL021	PL025 拡張	PL026 拡張
Supported Standard	PCIe 1 (2.5 GT/s), PCIe 2 (5 GT/s), PCIe 3 (8 GT/s), PCIe 4 (16 GT/s)	PCIe 5 (32 GT/s)	PCIe 6 (64 GT/s)
Pattern	Compliance (MCP, CP), PRBS (7, 9, 10, 11, 15, 20, 23, 31)		
LTSSM State	Transition to Detect, Polling, Configuration, Recovery, Loopback		
Loopback Through	Configuration, Recovery	Config EQ 32G Config no EQ 32G Recovery EQ 32G Recovery Full EQ	Config EQ 64G Config no EQ 64G Recovery EQ 64G Recovery Full EQ
TS Setting Parameter	SKP Insertion, 8B/10B, 128B/130B, FTS, Link Number, Lane Number, Scrambling		-> +1b/1b

PCIeリンクトレーニング、LTSSM解析、 ジッタ耐力測定 (3/5)

リンクのトラブル時の原因調査に役立つLTSSM解析機能により開発期間短縮に貢献

“Detect”～“Loopback”までの各ステート遷移時間
/経路の検証が可能

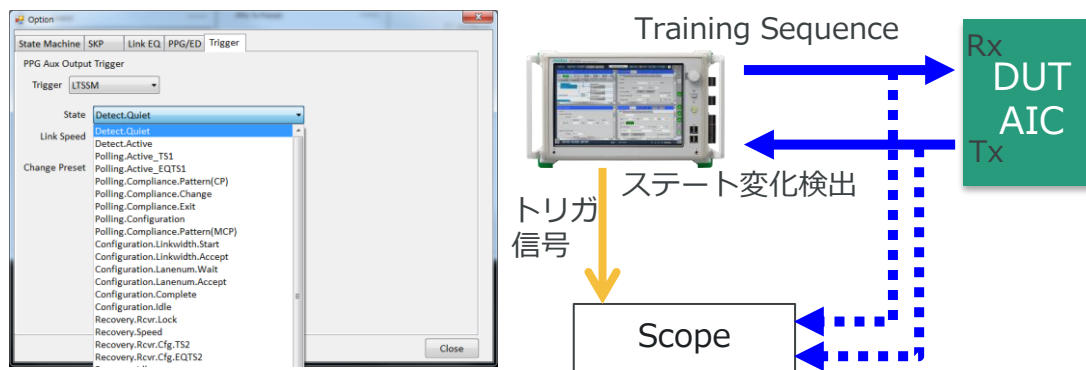
Training Log Viewerで各ステート遷移の結果
を確認可能



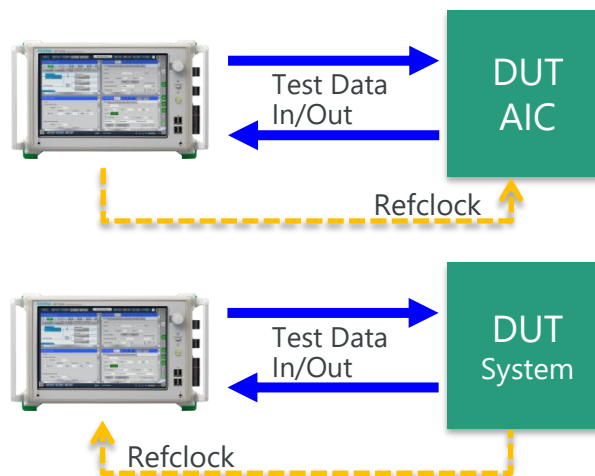
Time [ns]	ΔTime [ns]	State	Speed[GT/s]	Detect Pres
79,789,516	1,192	RECOVERY_IDLE (Fit Mode)	32.0	---
79,790,708	12	LO (Fit Mode)	32.0	---
79,790,720	2,704	RECOVERY_RCVR_LOCK	32.0	---
79,793,424	1,004	RECOVERY_RCVR_CFG_EQTS2	32.0	---
79,794,428	9,034,092	RECOVERY_RCVR_CFG_EQTS2	32.0	---
88,828,520	100,016	RECOVERY_SPEED	32.0	---
88,928,536	32	RECOVERY_SPEED	64.0	---
88,928,568	4	RECOVERY_RCVR_LOCK	64.0	---
88,928,572	8,929,104	RECOVERY_EQUALIZATION_PHASE1_TSO...	64.0	---
97,857,676	1,380	RECOVERY_EQUALIZATION_PHASE1_TSO...	64.0	---
97,859,056	8	RECOVERY_EQUALIZATION_PHASE1_TSO...	64.0	---
97,859,064	1,396	RECOVERY_EQUALIZATION_PHASE2_TSO...	64.0	0 (MP1900A) <= DUT
97,860,460	4	RECOVERY_EQUALIZATION_PHASE2_TSO...	64.0	1 (MP1900A) <= DUT
97,860,464	26,143,048	RECOVERY_EQUALIZATION_PHASE2_TSO...	64.0	0 (MP1900A) <= DUT
124,003,512	2,000,008	RECOVERY_EQUALIZATION_PHASE3_TSO...	64.0	0 (MP1900A) <= DUT
126,003,520	1,999,992	RECOVERY_EQUALIZATION_PHASE3_TSO...	64.0	1 (MP1900A) <= DUT
128,003,512	2,000,008	RECOVERY_EQUALIZATION_PHASE3_TSO...	64.0	0 (MP1900A) <= DUT
130,003,520	1,999,992	RECOVERY_EQUALIZATION_PHASE3_TSO...	64.0	1 (MP1900A) <= DUT
132,003,512	1,392	RECOVERY_RCVR_LOCK	64.0	---
132,004,904	500	RECOVERY_RCVR_CFG_TS2	64.0	---
132,005,404	1,400	LOOPBACK_ENTRY_LEAD_TS1	64.0	---
132,006,804	0	LOOPBACK_ACTIVE_LEAD	64.0	---

PCIeリンクトレーニング、LTSSM解析、 ジッタ耐力測定 (4/5)

LTSSM遷移のタイミングでトリガを発生、スコープ波形による調査が可能



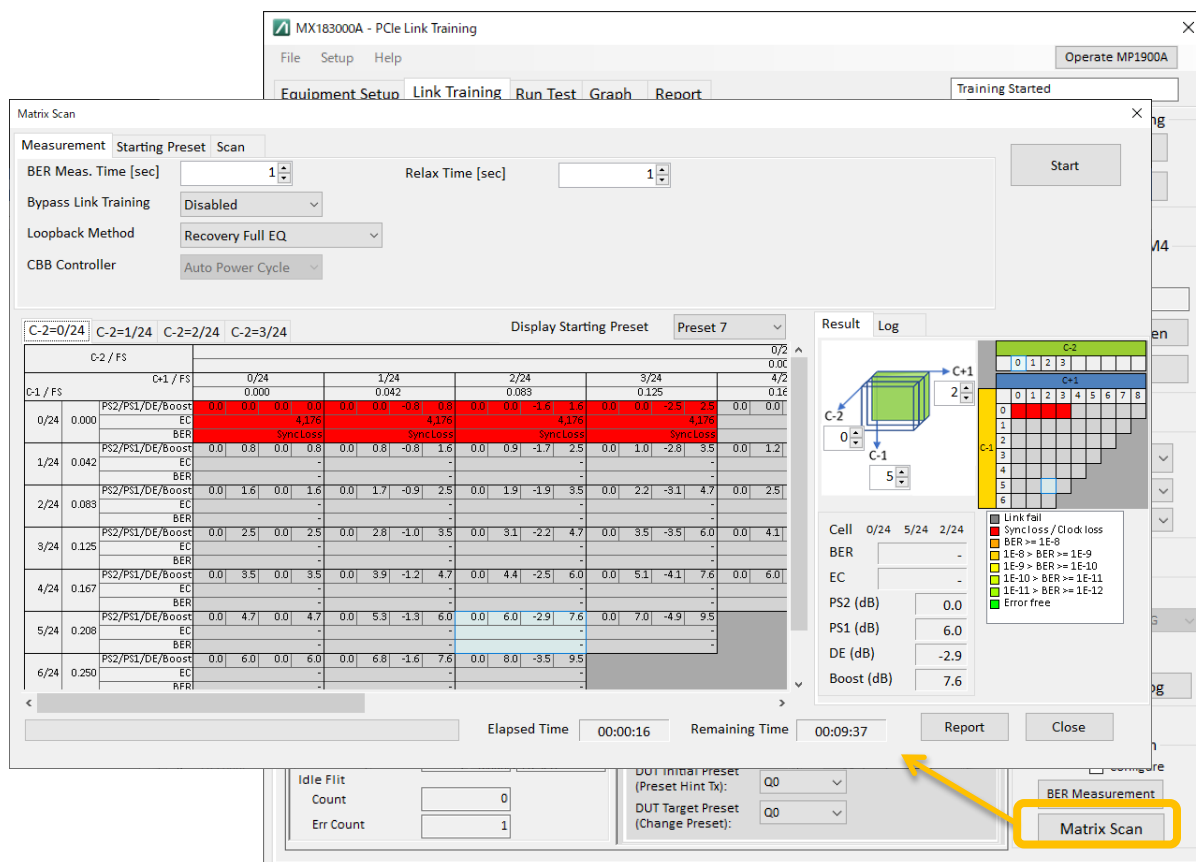
コモン/セパレート 両Ref ClockアーキテクチャとSRISテストに対応



PCI Expressリンクトレーニング、LTSSM解析、 ジッタ耐力測定 (5/5)

Matrix Scan 機能

Channel lossが大きい経路において、リンクパートナとの高品質な通信を確保するために、TxとRxのequalizerの最適な組み合わせを選ぶ必要があります。Matrix Scan機能は、Rxにとって最適なequalizerを調査し、自動的に最適なBERが得られる設定を見つけます。



各DUTのTxプリセット
のBERテスト結果を視
覚的に表示

DUT受信機のイコライジング特性確認

BER測定時のループバック後の結果から、プリセットまたはカーソルを使用して任意の設定を行い、PPG出力信号のイコライゼーションを変更することで、DUTレシーバのイコライゼーション特性を確認することができます。

PCIe 6.0

Preset Manual BER Measurement

EC Threshold 1

Pass/Fail ---

Cycle Single

Gating Time 32 [s]

Switch To Manual BER Test ☐ Error Addition

Total BER 3.6540E-06

Total Error Count 4176

Total Bits 1.0791E+09

Total FBER

Sync Loss ☐ Clock Loss ☐

Q7 : -2.9, 4.7, 0.0

Q0 : 0.0, 0.0, 0.0

Q1 : 0.0, 1.6, 0.0

Q2 : 0.0, 3.5, 0.0

Q3 : 0.0, 0.0, -1.6

Q4 : 0.0, 0.0, -3.5

Q5 : -1.3, 4.7, 0.0

Q6 : -1.6, 3.5, -3.5

Q7 : -2.9, 4.7, 0.0

Q8 : -3.5, 6.0, 0.0

Q9 : -4.4, 6.9, -1.6

Q10 : 0.0, 0.0, -9.5

Preset

Coefficient Calibrated Setting

C-2 0 0.0000 0.0000

C-1 0 0.0000 0.0000

C0 24 1.0000 1.0000

C+1 0 0.0000 0.0000

Calibrated Setting

PS2 0.0 0.0 dB

PS1 0.0 0.0 dB

DE 0.0 0.0 dB

Boost 0.0 dB

C-2=0/24 C-2=1/24 C-2=2/24 C-2=3/24

C-2	C-1	0/24	1/24	2/24	3/24	4/24	5/24	6/24	7/24	8/24
C-2		0.0000	0.0417	0.0833	0.1250	0.1667	0.2083	0.2500	0.2917	0.3333
C-1	0	0.0000	0.0417	0.0833	0.1250	0.1667	0.2083	0.2500	0.2917	0.3333
0/24	0	0.0000	0.0417	0.0833	0.1250	0.1667	0.2083	0.2500	0.2917	0.3333
1/24	0	0.0417	0.0833	0.1250	0.1667	0.2083	0.2500	0.2917	0.3333	0.3750
2/24	0	0.0833	0.1250	0.1667	0.2083	0.2500	0.2917	0.3333	0.3750	0.4167
3/24	0	0.1250	0.1667	0.2083	0.2500	0.2917	0.3333	0.3750	0.4167	0.4583
4/24	0	0.1667	0.2083	0.2500	0.2917	0.3333	0.3750	0.4167	0.4583	0.5000
5/24	0	0.2083	0.2500	0.2917	0.3333	0.3750	0.4167	0.4583	0.5000	0.5417
6/24	0	0.2500	0.2917	0.3333	0.3750	0.4167	0.4583	0.5000	0.5417	0.5833
7/24	0	0.2917	0.3333	0.3750	0.4167	0.4583	0.5000	0.5417	0.5833	0.6250
8/24	0	0.3333	0.3750	0.4167	0.4583	0.5000	0.5417	0.5833	0.6250	0.6667

Cursor

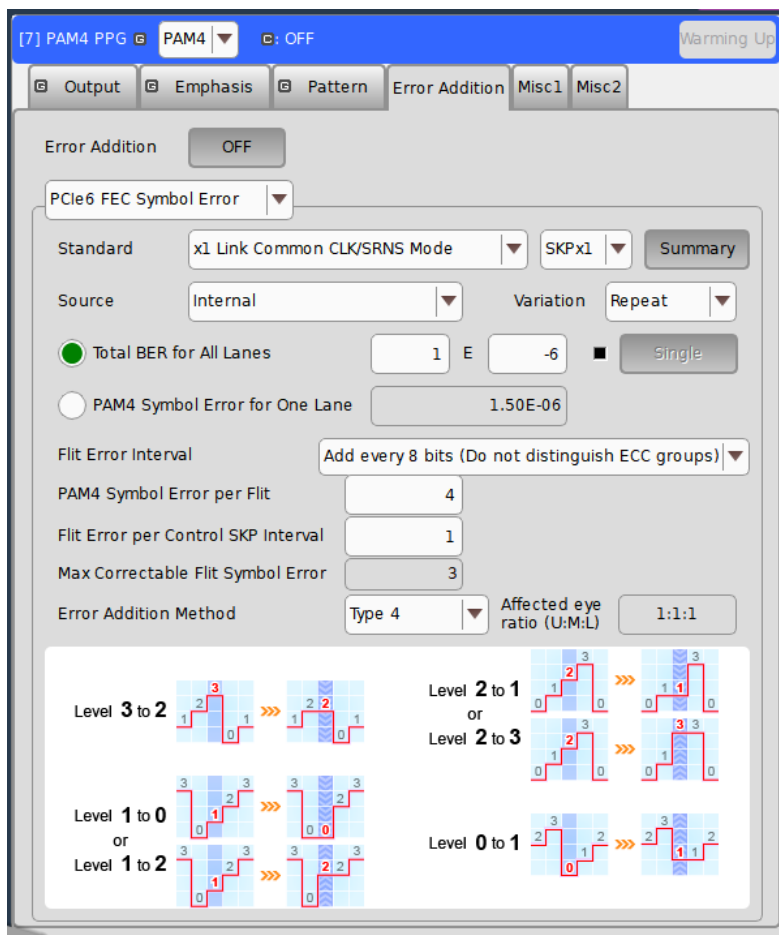
PCIeで定められているデータレートは、世代ごとに一貫して2倍に増加しています。PCIe5以前ではNRZ変調方式が採用されていましたが、PCIe6ではPAM4変調方式が採用されたため、エラー訂正とスループットの確保のためにPCIe独自のFEC（前方誤り訂正）技術が導入されています。

FECによる訂正可能なエラーは種別が異なるため、FECで訂正可能なエラーと訂正不可能なエラーを区別することが重要です。

MP1900AのFEC検証機能

1. **PPG FEC Error付加機能**(PAM4 PPG)
2. **FEC Error Distribution機能** (PAM4 ED)
3. **FEC Capture 機能** (PAM4 ED)

FEC能力の確認



主な機能

FLIT（フロー制御ユニット）データに各種エラーを付加するPPGエラー付加機能により、ストレス条件下でのDUT FEC能力の検証を支援します。

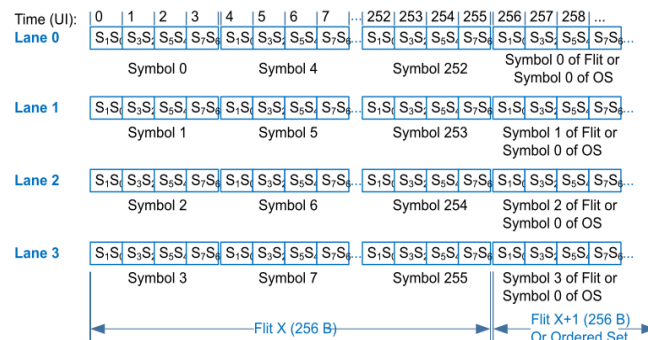


Table 4-12 Flit interleaving in a x4 Link

Description		Lane			
		0	1	2	3
512 UI	TLP Bytes [0...235]	0	1	2	3
		4	5	6	7
		8	9	10	11
		...	...	...	...
		224	225	226	227
		228	229	230	231
		232	233	234	235
		DLP 0	DLP 1	DLP 2	DLP 3
		DLP 4	DLP 5	CRC 0	CRC 1
		CRC 2	CRC 3	CRC 4	CRC 5
512 UI	DLP, CRC, ECC Bytes	CRC 6	CRC 7	ECC1 [0]	ECC2 [0]
		ECC0 [0]	ECC1 [1]	ECC2 [1]	ECC0 [1]

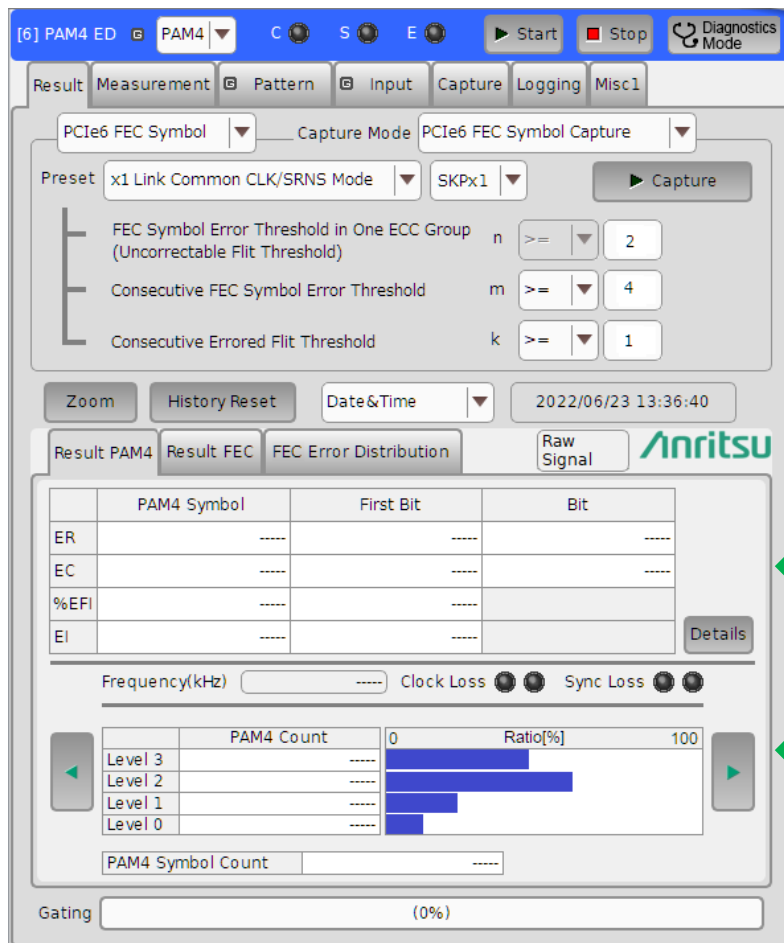
PCIe FECは3種類のインターリーブECCで構成されています。各ECCグループは1つのシンボルECCコードで修正可能であり、ECCコードはフリットの最後の6シンボルです。

リアルタイムBER測定とFEC測定

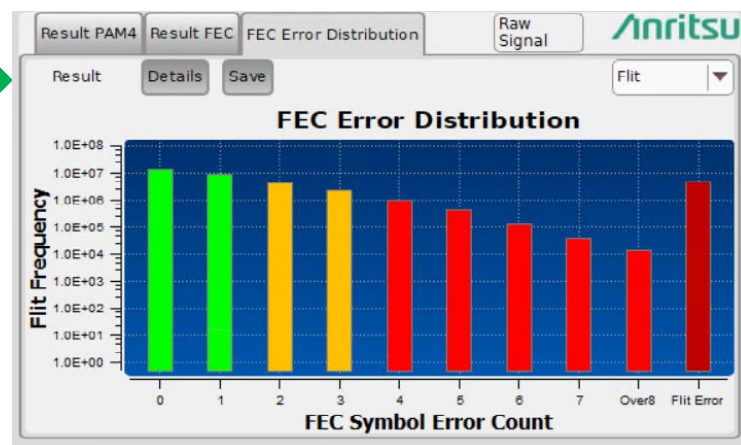
主な機能

- FEC Error Distribution機能により、訂正可能なエラーと訂正不可能なエラーを測定し、リアルタイムで表示します。これにより、FBER（First Bit Error Rate） $1E^{-6}$ のしきい値でのレーザテストでも、FECによる訂正能力を正確に評価することが可能です。

- PAM4 Symbol Error Rate/Count
- First Bit Error Rate/Count
- Bit Error Rate/Count
- Uncorrectable Flit Error Rate/Count
- FEC Symbol Error Rate/Count
- FEC Error Distribution

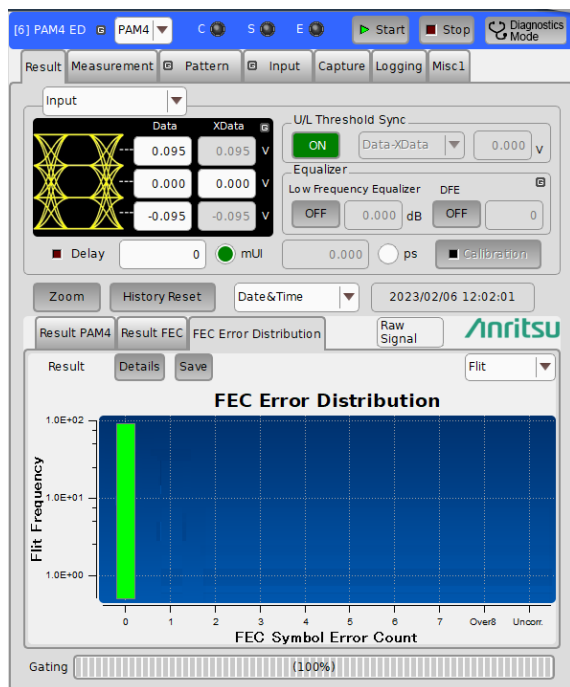


	Flit	FEC Symbol	Bit
ER	1.513 700E-01	3.997 900E-03	5.001 900E-04
EC	4 718 920	3.190 600E+07	3.199 600E+07
%EFI	0.000 000	0.000 000	
EI	10	10	

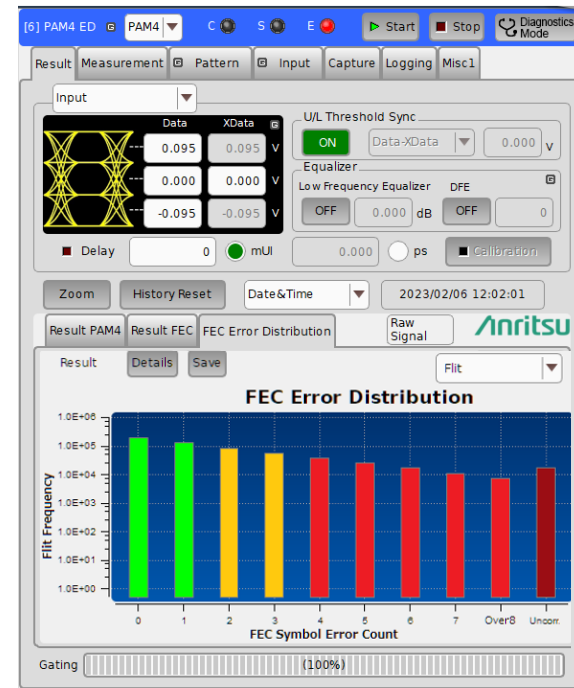
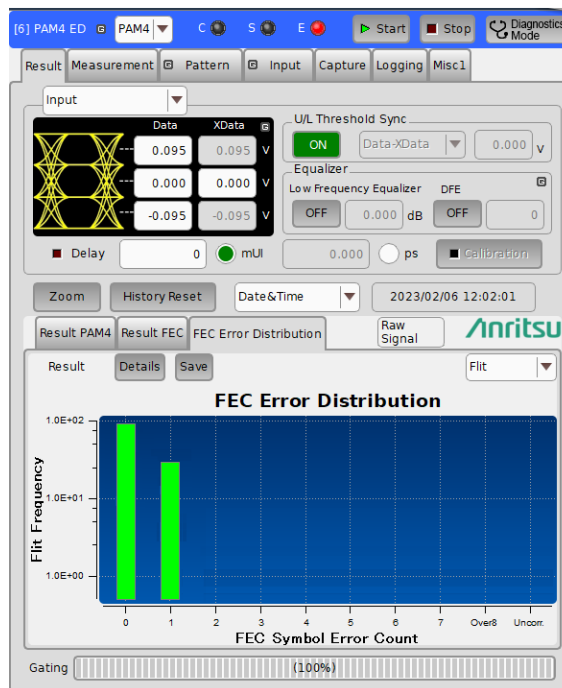


例 : Stress vs FLIT FEC Error Distribution

Error Free



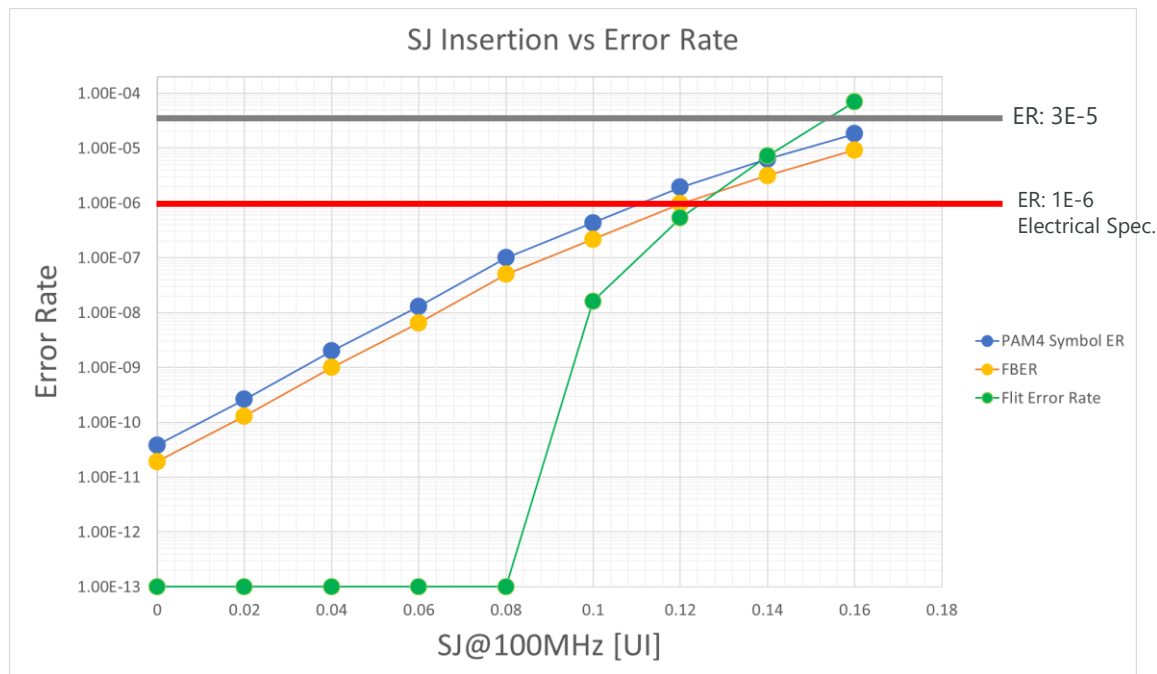
FLIT FEC Errors



Stress Injection

FEC解析を用いた検証例

このグラフは、MP1900Aを使用してFECvsBERの理論的挙動を検証した例です。FEC後のFLITエラーを 3×10^{-5} 未満に抑えるには、電気サブブロックに記載されているFBER（First Bit Error Rate） 10^{-6} 以下の規格を満たす必要があります。検証結果は、FBERが 10^{-6} 以下の場合、FLIT BERは 3×10^{-5} 以下であるという理論を証明しています。MP1900Aは実際の測定により、この挙動を証明しています。



Measurement Condition

Loss Value: 12 inch of PCIe 5 Base CBB Rev4

SSC, RJ, DMI, CMI: OFF

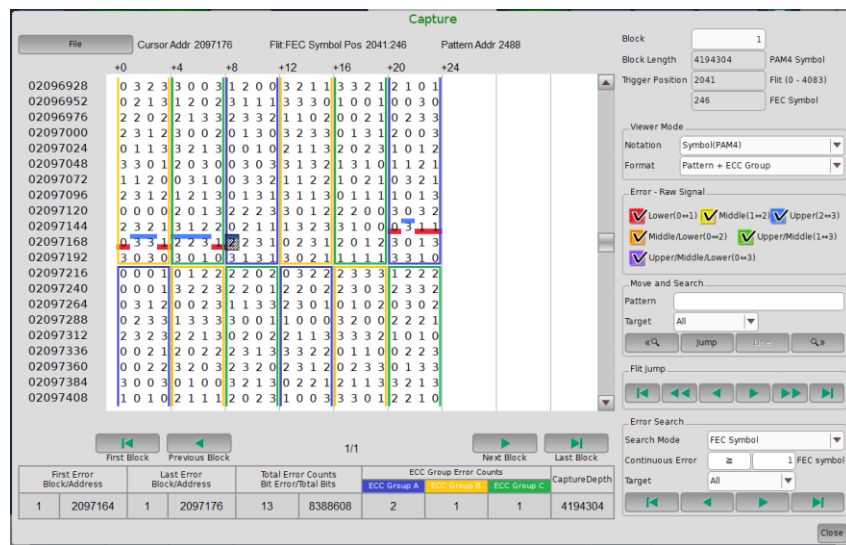
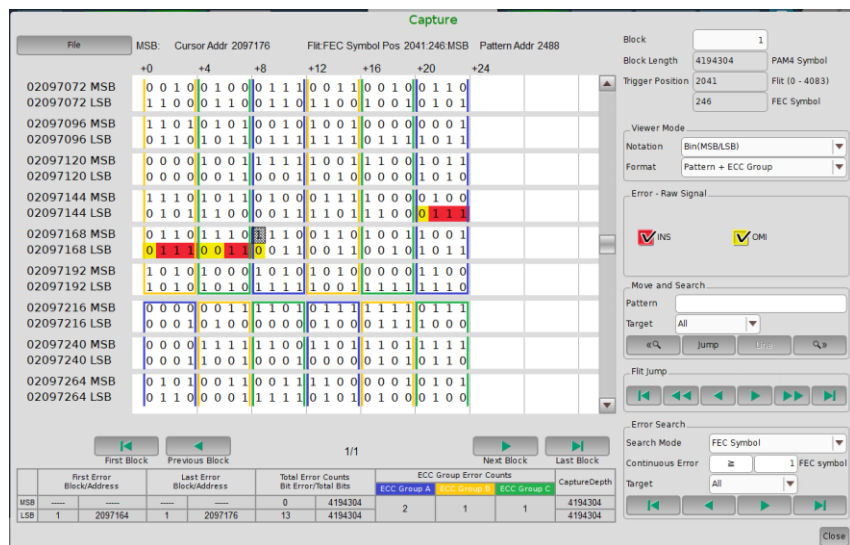
SJ: 0 to 0.16UI (Swept)

Tx Amplitude: 800 mVp-p @ before CBB Fixture

Tx EQ/DUT EQ: Best BER setting

Test Pattern: NOP FLIT x1

FECキャプチャ機能により、FLIT損失の原因となるバーストエラーやその他のエラーをキャプチャし、発生頻度の低いシステム障害の分析や原因の特定をサポートします。



1. さまざまな表示方法

- ・ MSB/LSBおよびPAM4シンボルの表示切り替えとパターン解析
- ・ 色分けされたエラーの種類とグループ識別
- ・ ビットとエラーカウントのサマリー表示

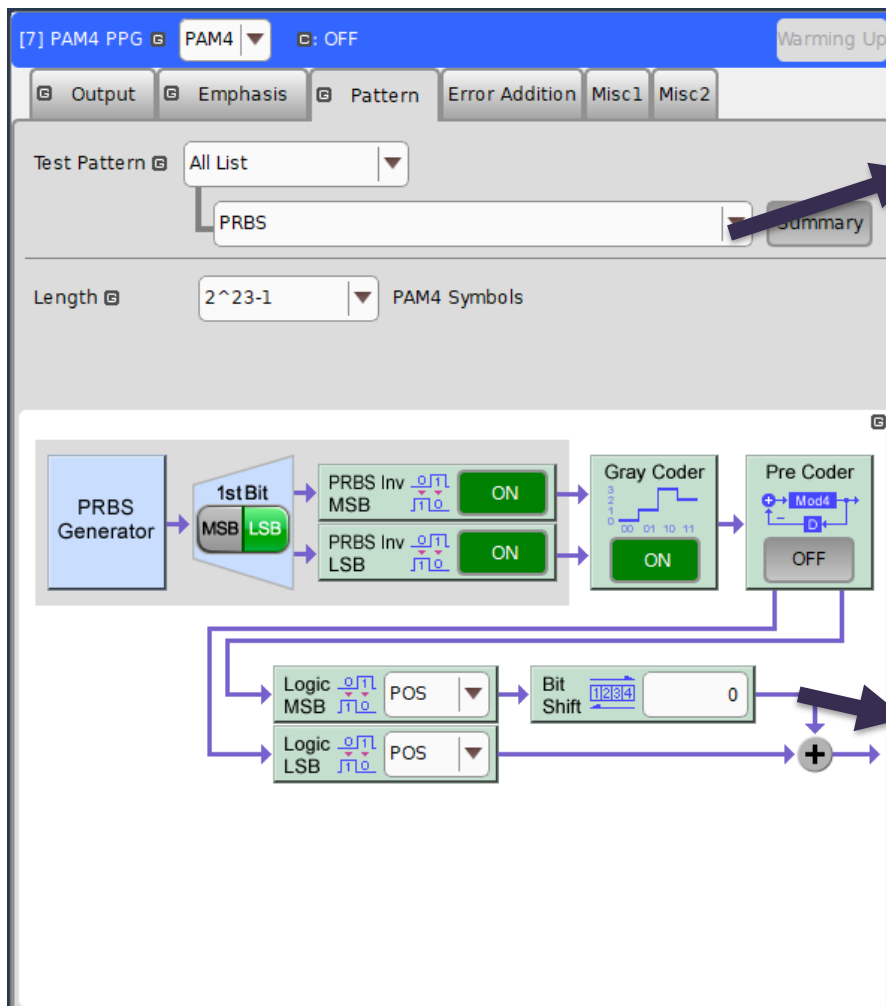
2. Patternのフィルタ検索

- ・ Captureデータの指定パターン文字列検索と連続エラーカウント検索が可能
- ・ FLIT先頭またはFLITブロック先頭位置へのジャンプが可能

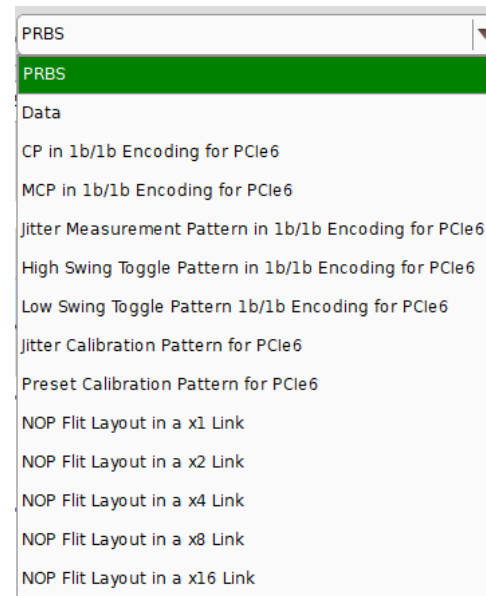
3. その他の便利な使い方

- ・ パターン同期またはエラー発生条件を使用したキャプチャ開始トリガーが設定可能
- ・ キャプチャしたデータパターンの保存と読み込みが可能

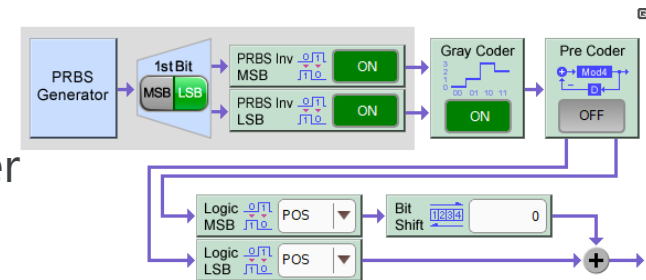
直感的な Pattern Setting



Preset Patterns



- First bit
- Polarity
- Gray Code
- Pre Code
- MSB/LSB
- Bit Shift

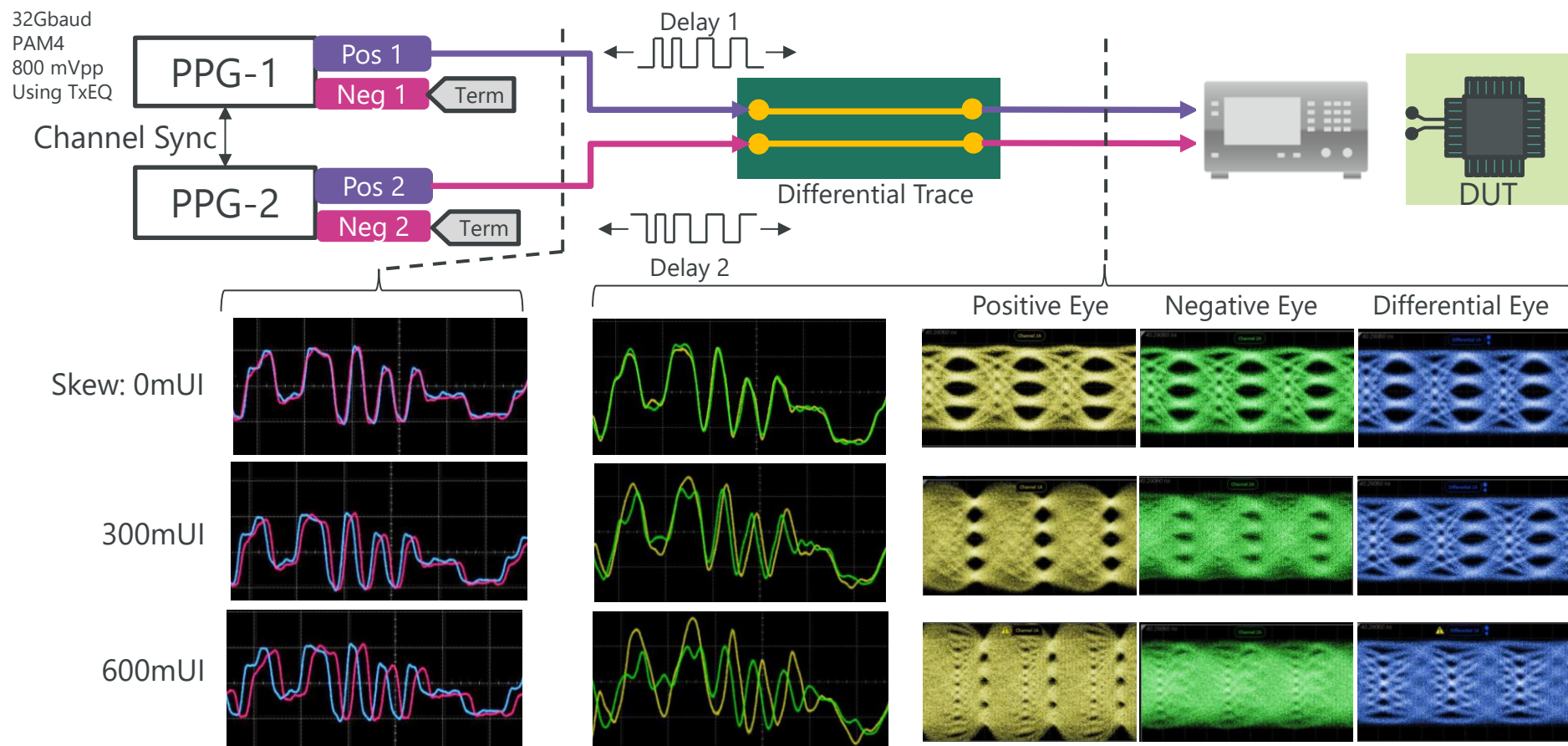


Skew Evaluation Solution

MP1900A にはマルチチャンネル同期機能があり、これにより差動スキューを調整することができます。

差動ラインでは、Positive/Negativeのラインが結合されることで、差動波形および各シングルライン上の波形の両方がスキューによって歪みます。これは非対称の歪みであるため、レシーバ (Rx) の

De-skewでは補償できず、この歪みによってシステムのBERが悪化する可能性があります。MP1900Aは、実際の機器を使用してこの検証を行うことができ、問題の検出と解決に貢献します。



*Differential skew function requires two MU196020C (Opt-50) units.

PCIe Receiver Test 推奨機器リスト (1/3)

Model	Name	Option	Qty	Remark
MP1900A	シグナル クオリティ アナライザ-R	-	1	
MU191000A	16GHz 4ポートシンセサイザ		1	
MU181500B	ジッタ変調源	-	1	
MU196020C	PAM4 PPG	001, 011, 043,(002)* ¹		
MU196040B	PAM4 ED	001, 011, 041, 043(002, 022, 023) * ¹	1	
MU195040A* ³	SI ED	001, 010または 020,011または021, 022	1	PCIe 1～3のテストに必要です。
MU195050A* ³ /MU196050B	Noise Generator	-	1	
MU196060A	32G baud NRZ/PAM4 Re-Driver	001	1	PCIe5以下の場合 System テスト用、Return Pathが18dB以上の場合に推奨

*1: Ethernet向け58 Gbaud測定に必要 *2:オプションの後付けに関しては、弊社に問い合わせください

*3: MU195040AとMU195050Aを組み合わせる場合、Vf-Km Adaptorが必要です。DUTのコネクタ形状によって、Vf-Km Adaptor または Vm-Kf Adaptorが必要です。
詳細はセレクションガイドを参照してください。

PCIe Receiver Test 推奨機器リスト (2/3)

Model	Name	Option	Qty	Remark
MX183000A-PL001	ジッタトレランステスト	-	1	
MX183000A-PL021	PCIeリンクトレーニング	-	1	PCIe1-4
MX183000A-PL025	PCIe 5 リンクトレーニング	-	1	追加するためにはPL021が必要
MX183000A-PL026	PCIe 6 リンクトレーニング			追加するためにはPL021,25が必要

Model	Name	Option	Qty	Mandatory/ Optional	Remark
J1815A	MP1900A PCIe Measurement Component Set	-	1	Optional	PCIe1～6用
Z2025A	PCIe CBB Controller	-	1	Optional	Add-in-cardテスト用 AutomationソフトからDUTのReset、電源自動投入による検証効率化、リモート環境での検証に有効 GRL社, Tektronix社のAutomation soft対応
Z2029A	PCIe 100 MHz Reference Clock Buffer	-	1	Mandatory For AIC	Add-in-cardテスト用 PCIe1～6用
J1900A	パッシブ低域周波数イコライザ	-	2	Optional	詳細はお問い合わせください。
G0447A	PCIe6 外部リドライバ	-	1	Optional	詳細はお問い合わせください。

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

PCIe Receiver Test 推奨機器リスト (3/3)

ご使用のオシロスコープに合わせてオートメーションソフトウェアをお選びください。

Model	Electrical Test	Scope Vender	Automation soft vender
QPHY-PCIE*1-TX-RX	PCIe 3/4/5/6, Tx, Rx	Teledyne LeCroy社	Teledyne LeCroy社
GRL-PXE*1-CEM-RXA GRL-PXE*1-BASE-RXA GRL-PXE*2-RXA	PCIe 3/4/5/6 BASE PCIe 3/4/5/6 CEM	Tektronix社 Keysight社	Granite River Labs社
TekRxTest	PCIe 3/4/5/6, Tx, Rx	Tektronix社	Tektronix社

*1 3/4/5/6 . *2 5/6

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

PCIe 5 (MU196060A Re-driver and MU195040A SI-ED)

Item	Specifications	Remark
Target Applications	PCIe 1-5	PAM4 PPG または SI PPG および SI EDが必須
Loss Compensation	30 dB at 16 GHz, BER <1E-12	MU196060Aを使用した場合NRZ, MCP, SSC 33kHz 5300 ppm Down spread
SKP OS Filtering	サポート	
Matrix Scan		
Jitter Tolerance		

PCIe 6 (MU196060A Re-driver and MU196040B PAM4 ED)

Item	Specifications	Remark
Target Applications	PCIe 4-6	PAM4 PPG、PAM4 EDおよびMU196060Aが必須。PCIe 1-3は Link Trainingのみをサポート。PCIe 1-3で BER measurement, Matrix scan およびJTOL を行う場合、PAM4 EDではなくSI EDを使用。
Loss Compensation	0 dB at 16 GHz, BER <1E-8, 1E-12(Typ.) 14 dB at 16 GHz, BER <1E-6, 1E-9(Typ.)	PAM4, MCP, SSC 33 kHz 5300 ppm Down spread
SKP OS Filtering	サポート(PCIe 4-6)	
Matrix Scan		
Jitter Tolerance		
PCIe 6 FEC	サポート	

USB/Thunderbolt Test solution

- SIPP PG:2.4Gbit/s~32.1Gbit/s, PAM4 PPG: 2.4 Gbaud~64.2 Gbaudの帯域をサポート
- 各社オシロスコープとMP1900Aとの組み合わせに対応するオートメーションソリューション、手持ちのオシロスコープを活用して、テストの複雑な手順・負荷を低減
- 高品質出力波形 SI PPG(Tr/Tf 12 ps, 低残留ジッタ 115 fs rms) 、 PAM4 PPG : (Tr/Tf 8.5 ps、低残留ジッタ 170 fs rms)、高感度入力SI ED (15 mV EH)
- 高性能マルチチャネルBERTより再現性の高いレシーバテストをサポート
- USB4 v2をテストする場合、PAM4 PPGモジュールの使用により対応可能
USB3.2x2をテストする場合、2chオプション追加により対応可能

SI PPG/SI ED/PAM4 PPGの対応表

	SI PPG	PAM4 PPG	SI ED
USB 3.2	✓	-	✓
USB 3.2x2	✓*1	-	✓*1
USB4 v1/Thunderbolt3/4	✓*2	✓*2	-
USB4 v2	✓*3	✓	-

*1 2chオプションが必要

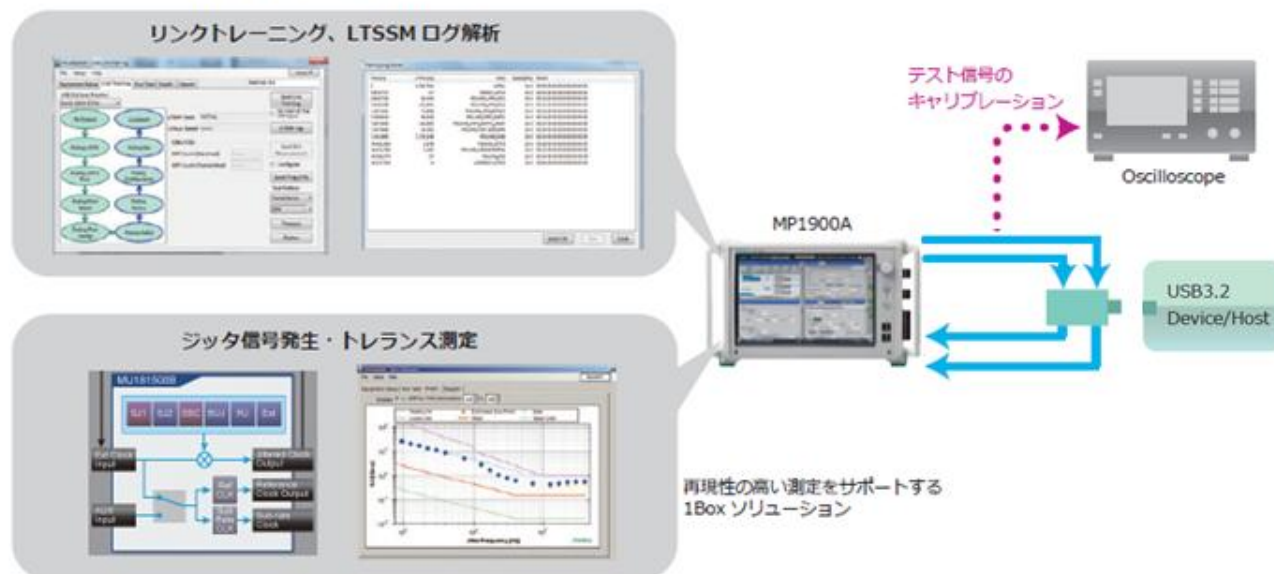
*2 いずれか一つを選択

*3 アグレッサとして使用

USB 3.2 Receiver Test Solution

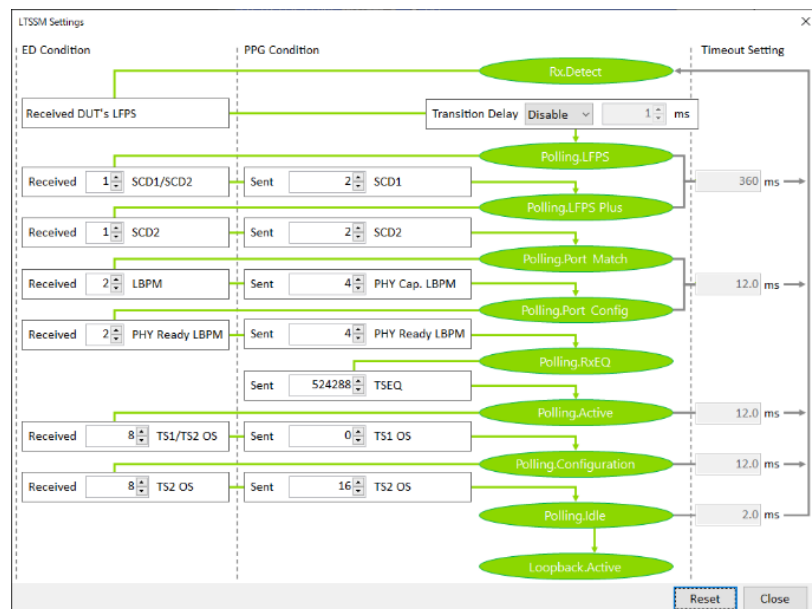
- Protocol Awareな1筐体 USB 3.2 Receiver test solution。PPG/ED が2chの場合、USB 3.2 x2にも対応
- 広帯域BERT 2.4 Gbit/s～32.1 Gbit/s、USB4 v1、Thunderbolt3/4の測定にも 1台で対応
- 低残留ジッタ高品質波形、高感度入力EDにより再現性の高い測定をサポート
- リンクトレーニング、LTSSM解析機能
- LFPS、LBPM信号の送信、受信が可能
- LFPSレシーバテストの実施が可能
- SKP Ordered Setの挿入、識別が可能
- ジッタ (SJ、RJ、BUJ、SSC) 付加とトレランス自動測定

USBレシーバテストソリューション



リンクのトラブル時の原因調査に役立つLTSSM解析機能により開発期間短縮に貢献

Rxテストに必要な“Detect”～“Loopback”までの
状態遷移をコントロール



Training Log Viewerで各ステート遷移の結果
を確認可能

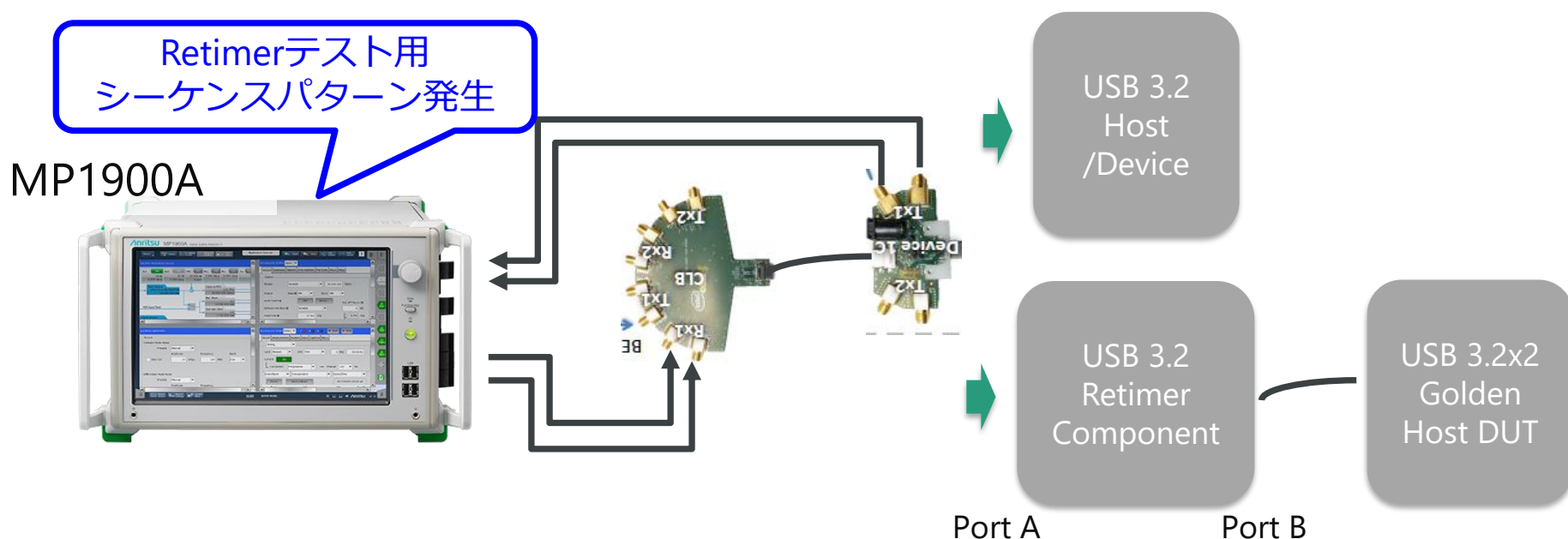
Training Log Viewer

Time [ns]	Δ Time [ns]	State	Speed[Gt/s]	Detail
0	6,945,704	INITIAL	10.0	00 00 00 00 00 00 00 00 00 00
6,945,704	24	DETECT_ACTIVE	10.0	00 02 00 00 00 00 00 00 00 00
6,945,728	69,440	POLLING_LFPS_SCD1	10.0	00 12 00 00 00 00 00 00 00 00
7,015,168	121,864	POLLING_LFPS_PLUS	10.0	00 14 00 00 00 00 00 00 00 00
7,137,032	71,808	POLLING_LFPS_ENDSCD	10.0	00 15 00 00 00 00 00 00 00 00
7,208,840	89,048	POLLING_PORT_MATCH	10.0	00 16 00 00 00 00 00 00 00 00
7,297,888	110,080	POLLING_PORT_CONFIG_READY	10.0	00 17 00 00 00 00 00 00 00 00
7,407,968	26,392	POLLING_PORT_ENDLBPM	10.0	00 18 00 00 00 00 00 00 00 00
7,434,360	7,178,248	POLLING_RXEQ	10.0	00 1A 00 00 00 00 00 00 00 00
14,612,608	2,176	POLLING_ACTIVE	10.0	00 1B 00 00 00 00 00 00 00 00
14,614,784	2,192	POLLING_CONFIGURATION	10.0	00 1C 00 00 00 00 00 00 00 00
14,616,976	24	POLLING_IDLE	10.0	00 1D 00 00 00 00 00 00 00 00
14,617,000	0	LOOPBACK_ACTIVE	10.0	00 64 00 00 00 00 00 00 00 00

Export CSV Stop Close

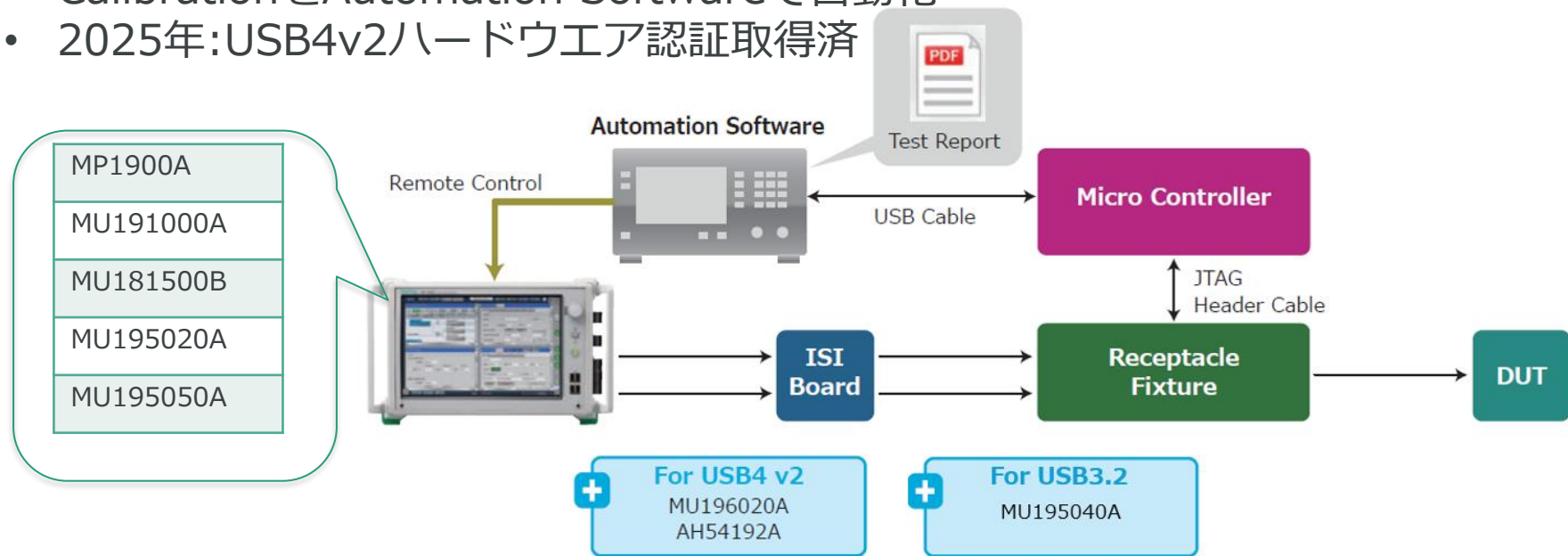
USB 3.2 Retimer のレシーバテストに対応

- USB 3.2 Retimerの各DUTタイプ(BLR/SRIS、 Embedded/Component、 Active cable)のレシーバテストをサポート
- 従来のHost/Deviceテスト構成からGolden DUT(Stable Device)の追加により実現可能
- Retimerテスト用シーケンスを編集することが可能(Optionが必要)、DUTの特徴に応じて対応可能



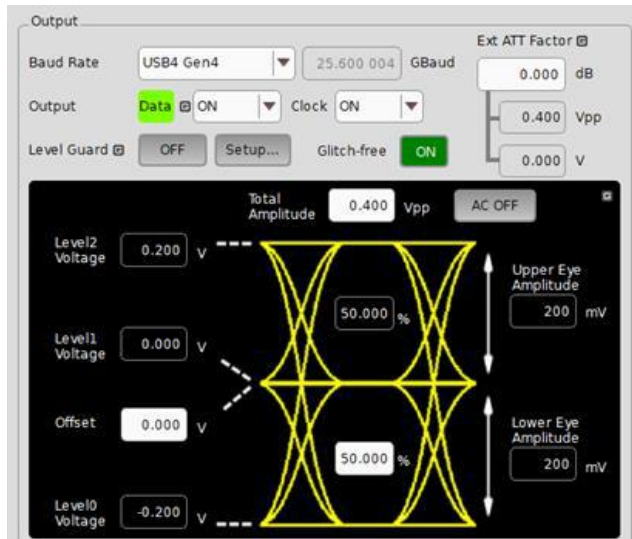
USB4 v1/v2、Thunderbolt3/4 Receiver Test

- 広帯域BERT 2.4 Gbit/s～32.1 Gbit/s、同一構成でThunderbolt3/4コンプライアンステストに対応可能。SI EDを追加することでUSB 3.2への対応も可能、さらにPAM4 PPGと外部アンプ（AH54192A）を追加することでUSB4 v2対応可能。
- 低残留ジッタ高品質波形により再現性の高い測定をサポート
- DUTのBERカウンタ読み込み制御、ループバックモードへの遷移の制御はMicro Controllerを介して、Control PCから実施。
- ジッタ (SJ、RJ、Total Jitter)、SSC、ACCM、Eye Height、Eye WidthのCalibrationをAutomation Softwareで自動化
- 2025年:USB4v2ハードウェア認証取得済

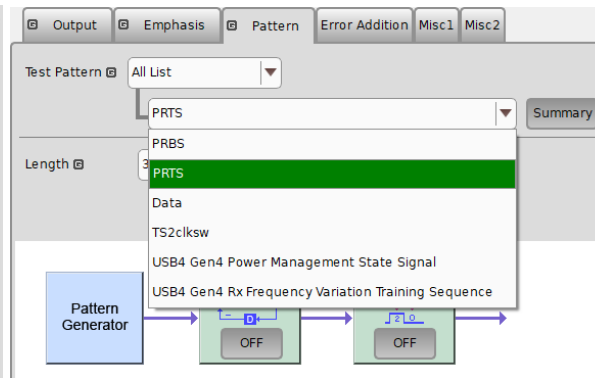


USB4 v2 Receiver Test

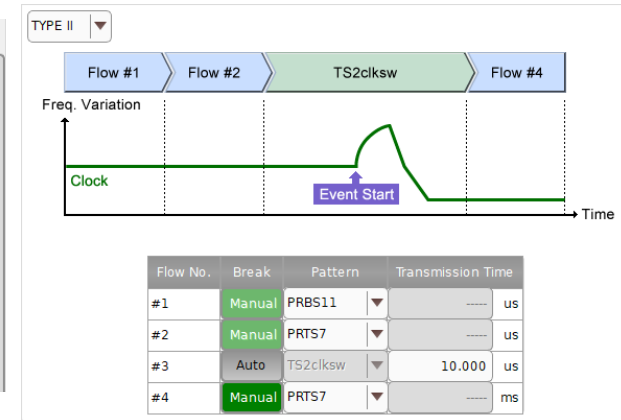
- USB4 Version 2.0 コンプライアンステストスペックに対応したパターン発生 (PRTS、TS2cksw パターン等)
- 25.6 Gbaud PAM3 信号発生をサポート、最大64.2 PAM4 へアップグレード可能
- USB 3.2、USB4 v1、Thunderbolt 3/4、USB4 v2 Receiver test を1台で サポート
- オートメーション化したキャリブレーションとレシーバテスト
各社オシロスコープ(*)に対応。テストの複雑な手順・負荷を低減します。



PAM3 信号 振幅・リニアリティ設定画面



USB4v2 テストパターン対応



Rx Frequency Variation Training Sequence
設定画面

* 対応オシロスコープ、オートメーションの予定についてはお問い合わせください。

USB Type-Cレシーバテスト 推奨機器リスト (1/4)

Model	Name	Option	USB3.2	USB3.2x2	USB4 v1	USB4 v2
MP1900A	シグナル クオリティ アナライザ-R	-	1	1	1	1
MU191000A	16GHz 4ポートシンセサイザ	-	1	1	1	1
MU181500B	ジッタ変調源	-	1	1	1	1
MU195020A	21G/32G bit/s SI PPG	010, 011	1		1	1 ^{*1}
		020, 021, 031		1		
		050	1 ^{*2}	1 ^{*2}		
MU195040A	21G/32G bit/s SI ED	010, 011, 022	1			
		020, 021, 022		1		
MU196020C	PAM4 PPG	001, 011, 045 ^{*3}			1	1
MU195050A	Noise Generator	-	1	1	1	1
MX183000A-PL001	ジッタトレランステスト	-	1	1		
MX183000A-PL022	USBリンクトレーニング	-	1	1		
MX183000A-PL023	USB 3.2 x 2 リンクトレーニング	-		1		

*1 Aggressor信号発生用。オプション-011は不要

*2 Retimerテストシーケンスパターン発生用

*3 USB4 v2時のみ

USB Type-Cレシーバテスト 推奨機器リスト (2/4)

For USB3.2/3.2 x2/4 v1

Model	Name	USB3.2	USB3.2x2	USB4 v1
J1551A	同軸スキューマッチケーブルペア (0.8 m, Kコネクタ)	2*4	4*4	3*4
K261	DCブロック			2
AH54192A	Differential linear amplifier			
-	ISI Channel			1
USB31CET	USB3.1 Type-Cテストフィクスチャ	1	1	
-	USB4 v1/TBT3テストフィクスチャ			1
-	USB4 v1/TBT3用Micro controller			1
-	K-SMP変換アダプタ			4

*4 J1821Aで代用可能

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

USB Type-Cレシーバテスト 推奨機器リスト (3/4)

For USB4 v2*5

Model	Name	Qty	Where to Buy
AH54192A	Differential linear amplifier	1	Anritsu
J1943A	MP1900A USB4 v2 Measurement Component Set*6	1	Anritsu (2026夏頃販売開始)*7
-	ISI Channel	1	Wilder Technologies or Wild River Technology
-	USB4 v2 Fixture	1	Wilder Technologies or Luxshare-ICT
-	USB4 v2 Micro Controller	1	Wilder Technologies or Granite River Labs

J1943A MP1900A USB4 v2 Measurement Component Set*6 (details)

Model	Name	Qty	Remarks
K261	DC Block	2	
J1821A	Coaxial Skew Matched Cable Pair (0.8m, K Connector)	4	Pair cable
J1949A	Coaxial Skew Matched Cable Pair (0.6m, K Connector)	1	Pair cable 近日販売開始(2026.01現在) *7
J1789A	Electrical Length Specified Coaxial Cable(0.4m, V connector)	2	
J1820A	Electrical Length Specified Coaxial Cable(0.4m, K connector)	4	
J1888A	Fixed Attenuator (6 dB, V Connector)	2	41VA-6 can also be used
J1792A	Skew matched pair semirigid cable (V-K)	1	Pair cable
J1808A	Fixed Adapter(K(f)-K(f))	2	
J1748A	Power Splitter	2	For Aggressor signal splitting
J1632A	Terminator (SMA)	2	

*5 CTS1.00認証構成、数量の変更箇所は赤字で記載しております。(2026.01 更新)

*6 CTS1.00認証構成

*7 詳細はお問い合わせください。

最新情報は [MP1900Aシリーズ セレクションガイド](#)をご確認ください。

ご使用のオシロスコープに合わせてオートメーションソフトウェアをお選びください。

Model	Electrical Test	Remark
QPHY-USB4-TX-RX	USB4/TBT3 Tx, Rx	Teledyne LeCroy社スコープ用 Teledyne LeCroy社より購入可能
QPHY-USB3.1-Tx-Rx	USB 3.2 Tx, Rx	
GRL-USB4V2-RXA	USB4 v2 TX,RX	Keysight/Tektronix社スコープ用 Granite River Labs社より購入可能
GRL-USB4-RXA	USB4/TBT3,4 RX	
GRL-USB32-RXA	USB 3.2/USB 3.2 x2 Rx	

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

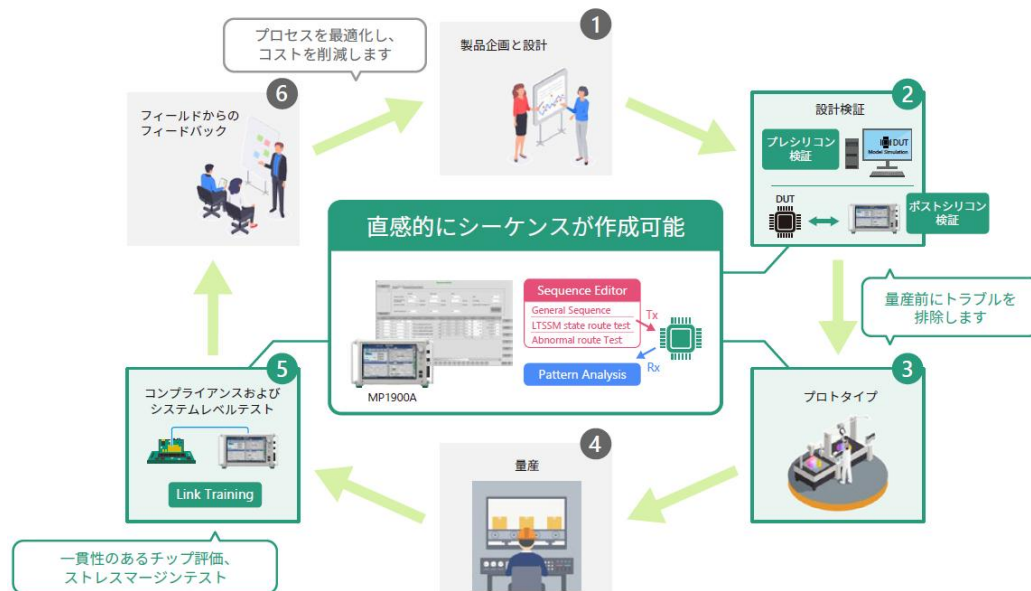
Sequence Editor Function For PCIe/CXL, USB3.2

高速Bitrateの課題に対応

Bitrateの高速化に伴い、物理層エラーとプロトコルエラーの切り分けが複雑化し、検証・デバッグの負担が増大しています。Sequence Editorは、これらのエラーを効率的に解析・切り分けることで、デバッグプロセスのスピードアップに貢献します。

コンプライアンステスト以上のマルチチャネル環境での課題解消

Sequence Editorは、1Laneだけでなく、2Lane, 4Laneにも対応しており、コンプライアンステストだけでなく実際の市場で使用される環境を再現することも可能です。これにより、実仕様環境に応じた負荷状況再現などにより潜在的な問題を事前に特定・解消することで製品を市場に投入した後のトラブルを削減します。



Unleash PCIe 6.0 USB Debugging and Validation

Model name	Name
MU196020A-051	Sequence Editor Function
MU196020A-052	Sequence Editor Function for Multi-Channel (MU196020A-051 is required for all modules)
MU196020A-056	Sequence Editor Function PCIe 6 and CXL 3 Flits Extension
MU196040B-051	PCIe Sequence Editor Pattern Analysis

Model name	Name
MU195020A-050	Sequence Editor Function
MU195020A-051	Sequence Editor Function PCIe 5 Extension (MU195020A-050 is required.)

HSB Data Analysis機能により、DUTから受信したDataを容易に表示できます

オーダーセット情報、送信個数と順序をカスタマイズが可能なことにより、テストケースの作成がスムーズになり、テスト品質の向上、不具合の現象再現に大きく寄与します。



Sequence Editor Function

Sample Use Case

- カスタムパターンとシーケンスを活用することで、DUTを非デフォルトのルートに遷移させ、LTSSMテストを広範囲に実施することが可能です。

例：Link Training中のデフォルトルートは PCIe5 Config No Equalization Loopback です。

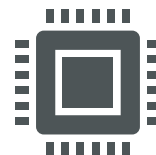
例：DUTをConfiguration中にDisabled状態に移行させた際に、その機能性をテストすることが可能です



PPG Tx



DUT Rx



6.0 (64.0GT/s)



Default Route (PCIe6 Config NoEq Loopback)

Link Speed	Pattern	Remarks
-	Electrical Idle	Detect
2.5G	8b/10b TS1	Polling.Active
2.5G	8b/10b TS2	Polling.Configuration
2.5G	8b/10b TS1	Configuration.Linkwidth.Start (Disable Link bit = 0)
2.5G	8b/10b TS1	Loopback.Entry
2.5G	8b/10b EIOS	Entry to Speed Change
-	Electrical Idle	Speed Change
32.0G	128b/130b TS1	Loopback.Entry
2.5G	128b/130b EIOS	Entry to Speed Change
-	Electrical Idle	Speed Change
64.0G	1b/1b TS1	Loopback.Entry
64.0G	1b/1b MCP	Loopback.Active

Non-default Route for Testing (Disabled)

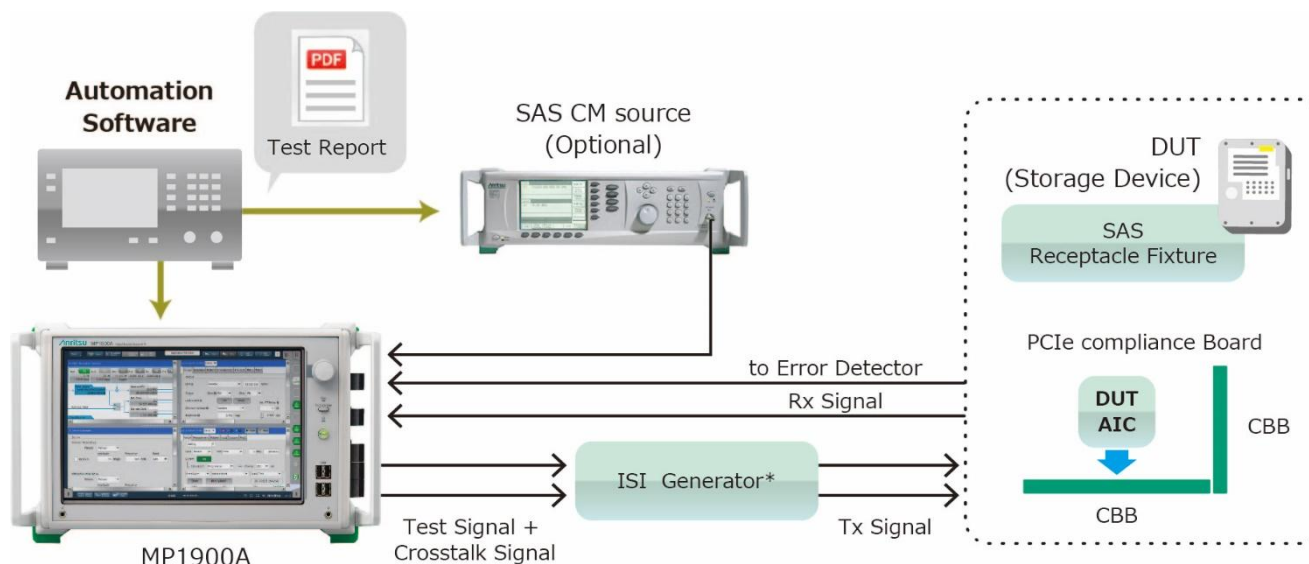
Link Speed	Pattern	Remarks
-	Electrical Idle	Detect
2.5G	8b/10b TS1	Polling.Active
2.5G	8b/10b TS2	Polling.Configuration
2.5G	8b/10b TS1	Configuration.Linkwidth.Start (Disable Link bit = 1)
2.5G	8b/10b TS1	Disabled
-	Electrical Idle	Disabled

Must send Disable Link bit = 1 to DUT

SAS Test Solution



- SAS、PCIe Receiver test を同一構成でサポート。
広帯域ビットレート 2.4 Gbit/s~32.1 Gbit/s
SAS-4(22.5 Gbit/s)、PCIe5 (32G)は構成を変更することなく測定可能。
- 各社オシロスコープとMP1900Aとの組み合わせに対応するオートメーションソリューション
手持ちのオシロスコープを活用して、テストの複雑な手順・負荷を低減。
- 高品質出力波形(Tr/Tf 12 ps、ランダムジッタ 115 fs rms)、高感度入力(15 mV EH) の高性能マルチチャネルBERTより再現性の高いレシーバテストをサポート



* Should use specified ISI generator by PCIe or SAS

SAS Receiver Test 推奨機器リスト (1/2)

Model	Name	Option	Qty	Remark
MP1900A	シグナル クオリティ アナライザ-R	-	1	
MU191000A	シンセサイザ		1	
MU181500B	ジッタ変調源	-	1	
MU195020A	21G/32G bit/s SI PPG	001*, 010, 011, 040	1	*SAS-4への拡張はopt 001追加
MU195050A	Noise Generator	-	1	
MU195040A	21G/32G bit/s SI ED	001*, 010, 011, 022	1	*SAS-4への拡張はopt 001追加
J1758A	Variable ISI Channel	-	1	
-	Mated Adapter Fixture Pair	-	1	
K261	DC block	-	2	
MG3692C	2GHz to 20GHz Signal Generator	-	1	CM試験に必要
K241C	RF Splitter	-	1	

他機器間を接続するためのケーブルが必要になります。

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

SAS Receiver Test 推奨機器リスト (2/2)

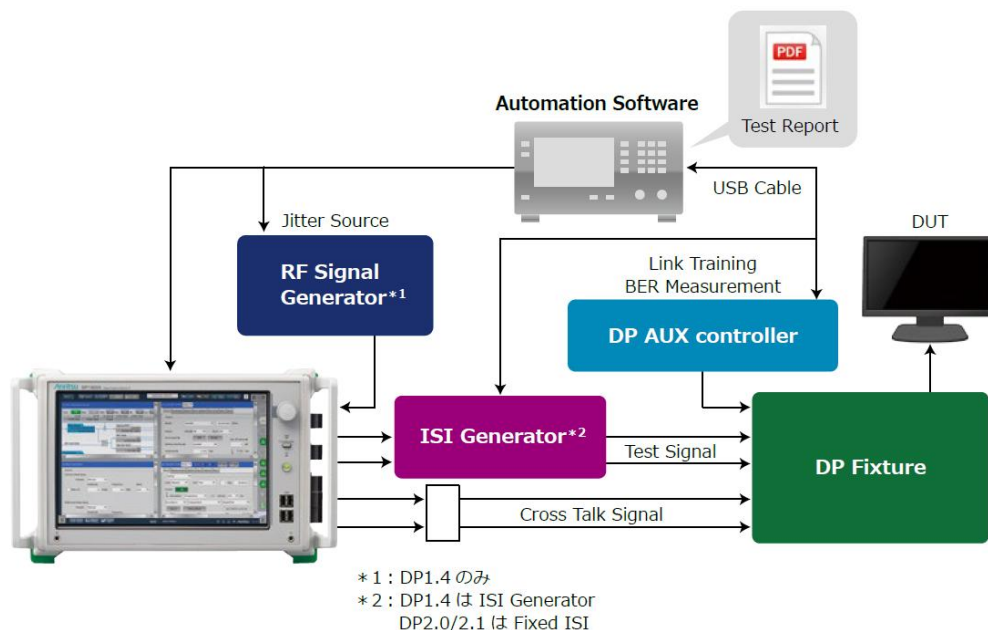
ご使用のオシロスコープに合わせてオートメーションソフトウェアをお選びください。

Model	Measurement item	Remark
GRL-SAS3-RXA	SAS3 Receiver Calibration and Test	Keysight社スコープ用 Tektronix社スコープ用 Granite River Labs社より購入可能
GRL-SAS4-RXA	SAS4 Receiver Calibration and Test	
GRL-SAS34-RXA	SAS4 and SAS3 Receiver Calibration and Test	

DisplayPort Test Solution

DisplayPort1.4/2.1 Receiver Test Solution

- 広帯域動作2.4 Gbit/s^{*1}~21 Gbit/s、ハードウェア変更なしで32.1 Gbit/sまで拡張可能。
DisplayPort2.0,2.1(20 Gbit/s)にも対応。(*1 : RBR(1.62 Gbit/s)は特定パタンのみ発生可能。)
- 各社オシロスコープとMP1900Aとの組み合わせに対応するオートメーションソリューション
手持ちのオシロスコープを活用して、複雑なコンプライアンステスト手順・負荷を低減。
- 高品質出力波形(Tr/Tf 12 ps, ランダムジッタ 115 fs rms) PPG
再現性の高いSINK(receiver)テストをサポート。
- Dual Channel PPGを1筐体に実装可能。
チャンネル間Skewを制御することで、真のCrosstalk影響を解析可能。



Model	Name	Option	DP1.2 Qty	DP2.0/2.1 Qty	Remark
MP1900A	シグナル クオリティ アナライザ-R	-	1	1	
MU191000A	シンセサイザ	-	1	1	
MU181500B	ジッタ変調源	-	1	1	
MU195020A	21G/32G bit/s SI PPG	020, 021, 031	1	1	
MU195050A	Noise Generator	-	1	1	

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

DisplayPort Receiver Test 推奨機器リスト (2/4)

DP1.4周辺機器

Item	Model Number	Description	Qty	Where to Buy
Basic Accessory	K261	Ultra Wide Band DC Block, 10 kHz - 40 GHz	2	Anritsu
	AN44182A	1:4 Power divider	2	Anritsu
	DSG815	297 MHz Jitter Source	1	RIGOL
	41KB-6	6 dB attenuator (For 297 MHz SJ)	1	Anritsu
	CLE1000-A2	Artek ISI-A2	1	aceunitech
	DPT-200 controller set	DPT-200, USB-A to USB-B cable, Power adaptor ,DisplayPort RefSource AUX Controller(OPTION)	1	UNIGRAF
	HL9450-60	Transition Time Converter (<1 GHz) 60 ps	2	HYPERLABS
	HL9450-150	Transition Time Converter (<1 GHz) 150 ps	2	HYPERLABS
	J1821A	Coaxial skew match cable(0.8 m, K connector)	8	Anritsu
	J1625A	COAXIAL CABLE 1M(SMA connector)	1	Anritsu
	J1398A	N-SMA ADAPTOR	1	Anritsu
	J1632A	TERMINATOR	6	Anritsu
For Fullsize DP Accessory	DP-TPA-P	DisplayPort Plug Adapter(For DP1.4)	1	Wilder Technology
	DP R	DisplayPort Receptacle Adapter(For DP1.4)	1	Wilder Technology
	DP-TPA-A	Display Port Aux Control Adapter	1	Wilder Technology
	DP Cable	DP cable for AUX control No length specified.	1	Don't Care
For Type-C Accessory	DPC Plug	Display Port Type-C Plug Adapter	1	Wilder Technology
	DPC Receptacle	Display Port Type-C Receptacle Adapter	1	Wilder Technology
	DPC Control board	Display Port Type-C Control Board	1	Wilder Technology
	DP-TypeC Cable	DP cable for AUX control	1	Don't Care

詳細、最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

DisplayPort Receiver Test DP2.1周辺機器

推奨機器リスト (3/4)

Item	Model Number	Description	Qty	Where to Buy
Basic Accessory	K261	Ultra Wide Band DC Block, 10 kHz - 40 GHz	2	Anritsu
	AN44182A	1:4 Power divider	2	Anritsu
	ISI-USB4	WildRiver ISI board	1	WildRiverTechnology
	DPT-200 controller set	DPT-200, USB-A to USB-B cable, Power adaptor DisplayPort RefSource AUX Controller(OPTION)	1	UNIGRAF
	J1551A	Coaxial skew match cable(0.8 m, K connector)	8	Anritsu
	J1632A	TERMINATOR	6	Anritsu
For Fullsize DP Accessory	ENH-DP-TPA-P	Enhanced DisplayPort Plug DP2.1a test adapter	1	Wilder Technology
	ENH-DP-TPA-R	Enhanced DisplayPort Receptacle DP2.1a test adapter	2	Wilder Technology
	DP-TPA-A	Display Port Aux Control Adapter	1	Wilder Technology
	DP2.1 Cable 0.8 m	For 20 Gbit/s ISI	1	Don't Care
	DP2.1 Cable 2 m	For 10 Gbit/s ISI	1	Don't Care
	DP Cable	DP cable for AUX control No length specified.	1	Don't Care
For Type-C Accessory	DPC Plug	Display Port Type-C Plug Adapter	1	Wilder Technology
	DPC Receptacle	Display Port Type-C Receptacle Adapter	2	Wilder Technology
	DPC Control board	Display Port Type-C Control Board	1	Wilder Technology
	USB-C cable 0.8 m	For 20 Gbit/s ISI	1	Don't Care
	USB-C cable 2 m	For 10 Gbit/s ISI	1	Don't Care
	DP-TypeC Cable	DP cable for AUX control	1	Don't Care

最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

Model	Measurement item	Remark
GRL-DP14-SINKAN	DisplayPort1.4 SINK	Keysight社スコープ用 Tektronix社スコープ用 Granite River Labs社より購入可能
GRL-DP21-SINK-AN	DisplayPort2.1 SINK	Keysight社スコープ用 Tektronix社スコープ用 Granite River Labs社より購入可能
QPHY-DisplayPort 2.1/1.4	DisplayPort1.4 and 2.1 SINK	Teledyne LeCroy社スコープ用 Teledyne LeCroy社より購入可能

DDR5 Test Solution

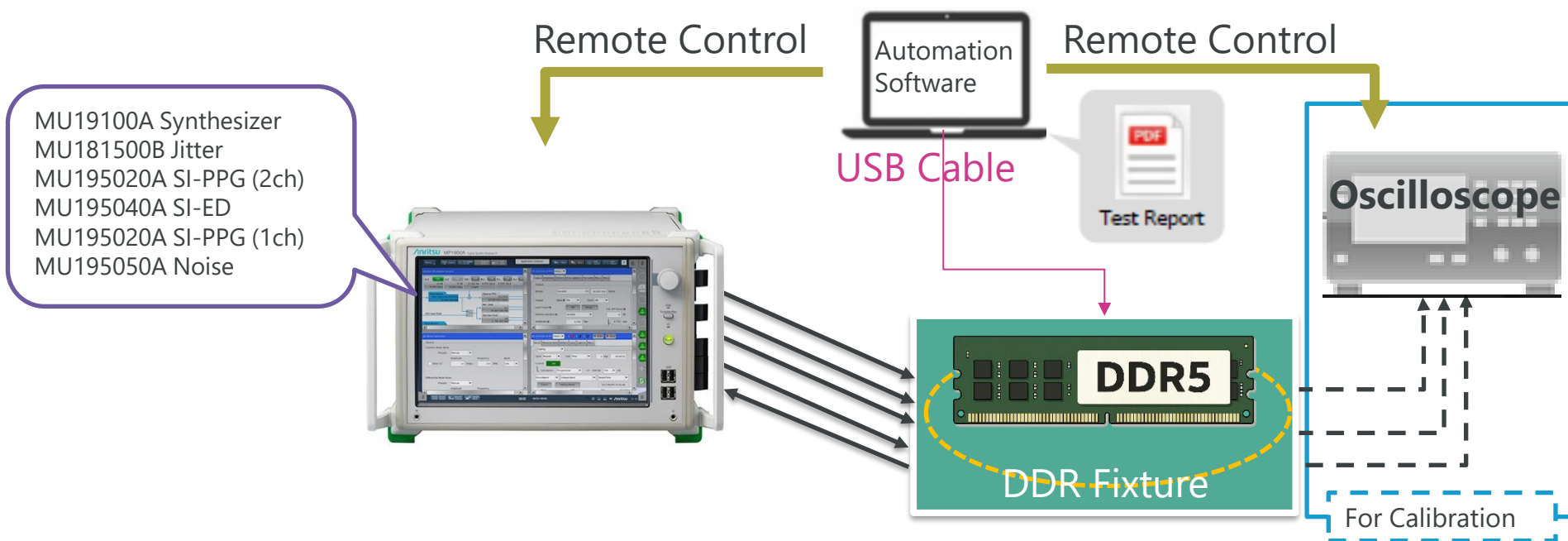
(Double Data Rate 5)

DDR5 は、ダブルデータレートシンクロナスダイナミックランダムアクセスメモリの第5世代（DDR5 SDRAM）です。業界標準化団体のJEDECによって、2021年に登場しました。

DDR5は伝送速度が最大8.4 Gbit/sにまで拡張されるとともに、高速信号の信頼性向上を目的としてDFE（Decision Feedback Equalization）などの新しい機能が採用されています。高速信号のシグナルインテグリティを保証するため新たにレシーバテストが定められました。

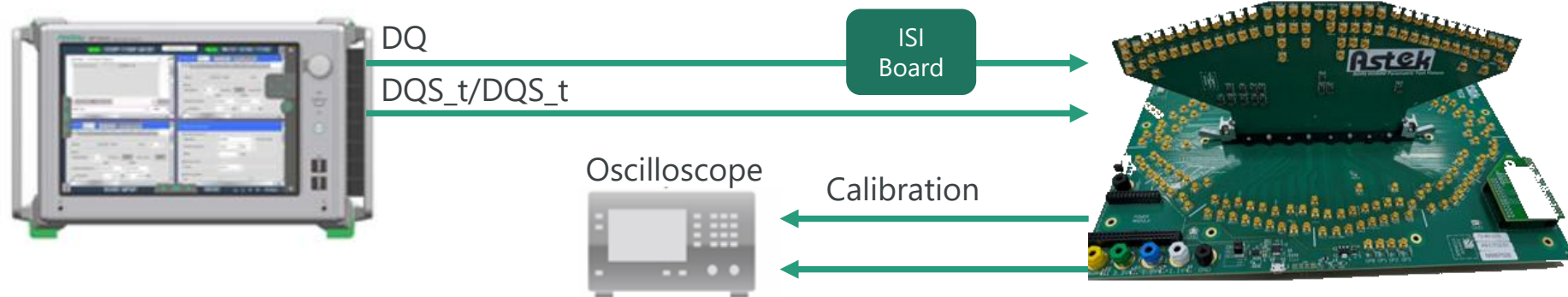
シグナル クオリティ アナライザ-R MP1900AはDDR5のレシーバテストに対応した機能・性能を有しており、規格に準じた感度試験、ストレスアイ試験をサポートします。

- JEDEC JESD79-5C に規定されている、Conformance Test (Rx DQS Jitter Sensitivity、Rx DQS Voltage Sensitivity、Rx DQ Voltage Sensitivity、Rx Stressed Eye) に対する Calibration、Measurementが可能です。
- Tektronix社の“Clarius Compliance DDR5 DRAM Receiver Test Solution”と連携することで、上記Conformance Testの短縮が可能となります。
- MP1900AのPPGマルチチャネル機能を使用することで、複数のPPGから同期した信号を出力できます。さらに、同期したDQSとDQをBurst信号として制御可能です。それにより市場環境に近い動作を再現することが可能となり、検証の品質を向上することができます。
- (PPGマルチチャネルに関する説明はこちら)

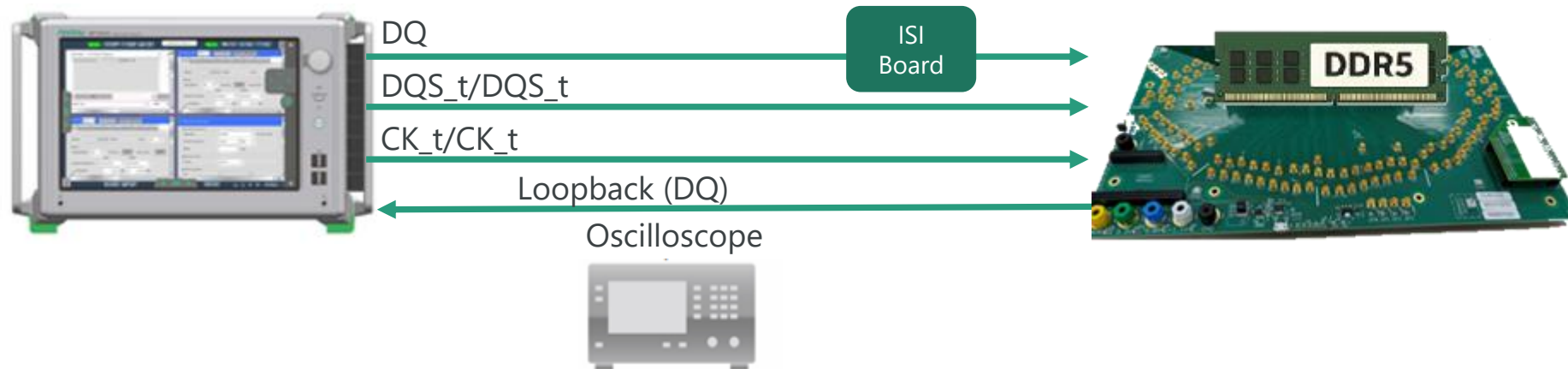


DDR5 Receiver Test Solution

Calibration Amplitude, RJ, SJ



Receiver Test Voltage Sensitivity, Jitter Sensitivity, Stressed Eye

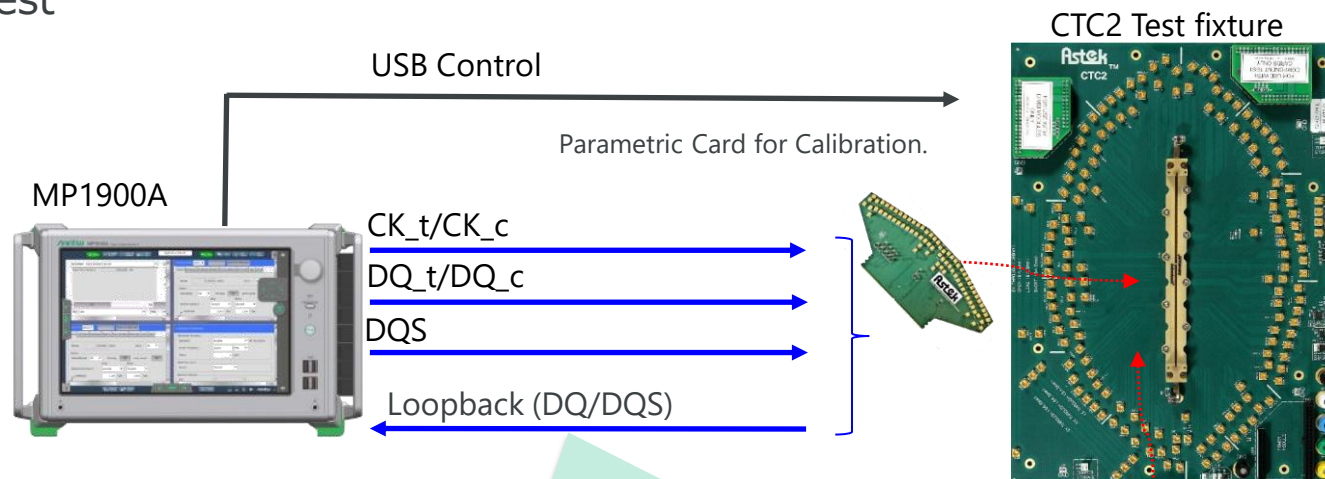


DDR5 Receiver Test Solution

MP1900AからDUTに対して所望のスク립トをロードし実行することでRDIMMメモリをループバックに設定することが可能で、以下の測定項目をサポートします。

- Voltage sensitivity
- Jitter sensitivity
- Stressed eye test

Modules for MP1900A
MU19100A Synthesizer
MU181500B Jitter
MU195020A SI-PPG(2ch)
MU195040A SI-ED
MU195020A SI-PPG(1ch)
MU195050A Noise Generator



Loopback波形



Module構成

Model	Name	Option	Qty	Remark
MP1900A	シグナル クオリティ アナライザ-R	-	1	
MU191000A	4ポートシンセサイザ	-	1	
MU181500B	ジッタ変調源	-	1	
MU195020A	21G/32G bit/s SI PPG	010,011, 030,040	1	010->020, 011->021, 030->031 に変更可能
MU195020A	21G/32G bit/s SI PPG	020,021, 031	1	
MU195040A	21G/32G bit/s SI ED	010,011	1	
MU195050A	Noise Generator	-	1	

DDR5 Receiver testには、3ch分のSIPPG出力が必要です。以下組み合わせから選択可能です

MU195020A-020 (2ch PPG) x2
または
MU195020A-020(2ch PPG) + MU195020A-010 (1ch PPG)



or



最新情報は[シグナル クオリティ アナライザ-R MP1900Aシリーズ セレクションガイド](#)をご確認ください。

Accessory

Model	Name	Qty	Remark
41KC-6	Precision Fixed Attenuator (6 dB)	3	
J1551A	Coaxial skew match cable(0.8 m, K connector)	3 Pairs	
J1439A	Coaxial cable (0.8 m, K connector)	2	
J1624A	COAXIAL CABLE 0.3 m (SMA connector)	(4)	Use MU191000A standard accessory cables (4 pcs).
J1746A	Skew match pair semirigid cable (K connector, Data Input 1)	(1 Pair)	Use MU195050A standard accessory.
	SMP to SMA adapter cable	7	
	Power Supply (2 outputs , +12 V,+3.3V)	1	
A9-AUTO-01	Reset Automation Kit	1	Contact ASTEK. https://www.astekcorp.com/
A9-CTC2-01	DDR5 CTC2 Test Fixture	1	
A9-DIMM5	DDR5 Parametric Test Card	1	

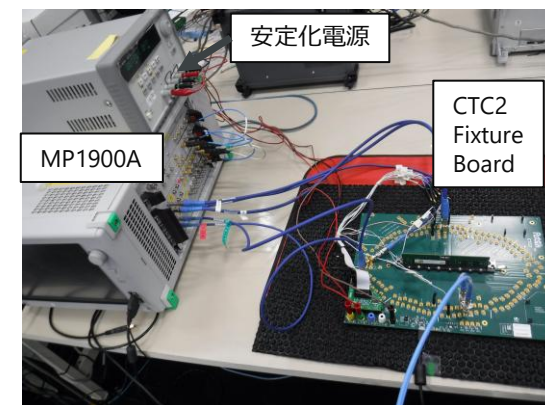
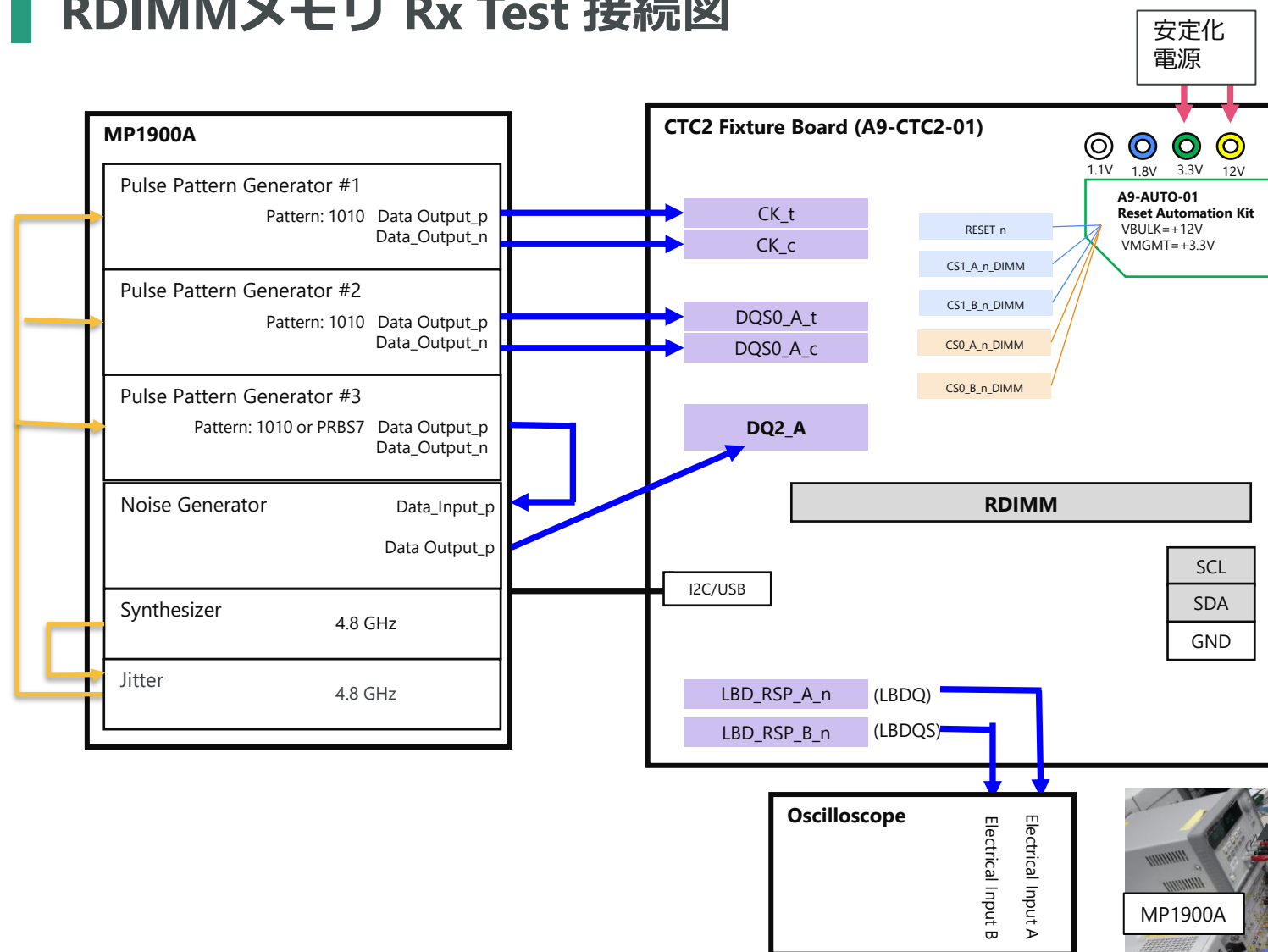
Scope

Model	Remark
DPO72304シリーズ, MSO72304シリーズ (Tektronix)	

Automation software

Name	Qty	Remark
Clarius Automation Framework	1	Contact Tektronix.
Clarius Compliance DDR5 DRAM Receiver Test Solution	1	

RDIMMメモリ Rx Test 接続図





A9-AUTO-01
Automation Kit

- 16 SMP cables
- Reset, Chip Select, and Command/Address signals on the CTC2 to automatically perform reset sequencing of a DIMM



A9-CTC2-01
CTC2 Test Fixture

- All high-speed signals are brought out to SMP connectors
- Traces are length matched to within 1 ps
- Low speed signals are brought out to 50 mil headers
- VIN Bulk and VIN Management are brought out to 50 mil headers



A9-DIMM5DDR5
Parametric Test Card

- All high-speed signals brought out to SMP connector
- All signals matched to within 1ps
- Supports DIMM testing
- 12V and 3.3V for DIMM mode

PCIe5構成からDDR5構成への拡張について

- すでにPCIe5の環境をお持ちの方は、21G/32G bit/s SI PPG MU195020Aを追加することで、DDR5ソリューション環境となります。

SLOT	Model Name	Product Name / Description
	MP1900A	SIGNAL QUALITY ANALYZER-R
1	MU191000A	シンセサイザ
2-3	MU181500B	Jitter Modulation Source
4-5	Blank or MU196060A	Blank or Re-Driver
6	MU195040A	21G/32G bit/s SI ED
7	MU195020A	21G/32G bit/s SI PPG (1ch)
8	MU195050A	Noise Generator



Appendix



オーダリングインフォメーション 主要規格

[データシート](#)を参照してください。

