

バースト信号に対応した200Mbit/s, 16chのデジタルデータアナライザ

200Mbit/s, 16 Channel Digital Data Analyzer Developed for Burst Signals

UDC 621.317.34/.74: 621.391.6/.8

香川 光明

Mitsuaki Kagawa

計測器事業本部 計測器事業部 第1開発部

石川 洋一

Yoichi Ishikawa

計測器事業本部 計測器事業部 第1開発部

長澤 直人

Naoto Nagasawa

計測器事業本部 計測器事業部 第1開発部

小川 幸治

Yukiharu Ogawa

計測器事業本部 計測器事業部 第1開発部

原田 光雄

Mitsuo Harada

計測器事業本部 計測器事業部 第1開発部

1 まえがき

近年、インターネット利用によるパソコン通信が急激に普及しており、通信容量の増大と共に従来の音声、データに加え映像・動画等を複合的に利用するマルチメディア化が進行している。こうした状況はデジタル伝送路の基本測定器であるビット誤り率測定器のニーズにも影響し、連続信号を対象とした従来器では対応できなくなってきた。

まず、通信インフラストラクチャーの変化、すなわちコア系からアクセス系の移行による影響があげられる。NTTは1994年12月「アクセス網の光化について」を発表し、き線点までの光化を2010年までに全国で完成するとの目標を示した¹⁾。これを現存のメタリック並のコストで実現するための中核技術の一つが「光レベルで回線多重を実現するPassive Double Star (以下PDSと略す。)方式技術」である。このPDS用光モジュールの機能や性能試験およびシステム実験を実施するには、マルチチャンネルのバースト信号によるBER (Bit Error Rate) 測定機能が必要であり、従来の連続信号を対象とした1チャンネルのビット誤り率測定器では対応できなかった。

次に、通信と放送のシームレス化による影響である。これらの進展により双方がネットワークを介して膨大な情報を流通する時代となった。現在こうした膨大な情報を処理するATM交換機、画像サーバ、高速並列コンピュータなど高速・高集積機器の開発が行われている。これらの機器開発分野においては、実装装置またはボード間の電気信号配線が機器性能のボトルネックになってきており、この解消策として注目されているのが光インタコネクション技術である²⁾。この光インタコネクション用モジュールを試験するためにはマルチ

チャンネルのビット誤り率測定器は当然必要だが、チャンネルごとにパターンデータやレベルおよび位相の可変が柔軟にできる機能が要求された。

さらに、SDH、ATMやマルチメディア対応のLSIの高機能化による影響がある。こうしたLSIの試験分野では各ピンに対応したパターンデータを画面上で波形入力できるパターンエディタ機能や測定パラメータを効率良く設定できるマンマシンインタフェースが要求された。

今回こうしたマルチメディア時代のビット誤り率測定器として要求されているマルチチャンネル、バースト信号および操作性の向上に対応した200Mbit/s, 16チャンネルのビット誤り率測定器であるMP1630B デジタルデータアナライザを開発した。図1に外観を示す。



図1 外観図

External view of MP1630B Digital Data Analyzer

本稿では本器の代表的アプリケーション分野であるPDS伝送技術への対応を中心に述べる。

2 PDS光加入者伝送方式の概要

アクセス網の光化の技術として、PDS伝送方式がある³⁾。この方式は、NTTの局内に設置された光加入者端局装置(SLT: Subscriber Line Terminal)と各家庭などに設置された光加入者終端装置(ONU: Optical Network Unit)の間に光ファイバを分岐する受動素子の光スプリッター(SC: Star Coupler)を設置し、局からユーザーまでのネットワークを光化することを特徴としている。すなわち、1つのSLTを複数のONUで共有するため、低コストで光アクセスネットワークの構築が可能となる。

PDS伝送方式では、SLTから送出された下りの信号が、すべてのONUに伝送され、各ONUでは必要な信号だけを分離し受信できるように各ONUへの信号が多重化されている。逆に、ONUからSLTへ送出される上りの信号は、各ONUの送出する信号が重ならないように時分割多重(TDMA: Time Domain Multiplex Access)されている。また、下りの信号と上りの信号は、1本の光ファイバで伝送される。

PDS伝送方式には、大別すると低速システムと高速システムがある。低速システムは、電話サービス、INSネット64サ

ービス、低速専用線サービスやOCNサービス等64kbit/sから1.5Mbit/s程度までのサービスの提供を目的としている。低速システムの1つである新光アクセスシステム(システム)がNTTによって開発され、1998年3月から商用化が始まった。このシステムは、10回線程度を収容する集合型のONUを使用することで、従来のメタリック設備と同等のコストで通信サービスを提供することが可能となる。また、下りの信号と上りの信号を交互に伝送するピンポン方式を採用し、1.3 μ mの波長で双方向伝送を実現している。伝送ビットレートは、49.152Mbit/sであり伝送容量はBチャンネル換算で256チャンネル相当である。図2にシステムの概要を示す。

高速システムは、高速インターネットアクセス実現のため、現在の64kbit/sを10Mbit/s程度まで回線速度を高速化する必要があった。そのため、ATM技術に対応したATM-PDSシステムが開発された。本ATM-PDSはFSAN(Full Service Access Network)にてデファクトスタンダード化され、さらにITUで勧告に向け審議される予定である。このシステムでは、上り信号(1.3 μ m)と下り信号(1.5 μ m)が波長多重(WDM: Wavelength Division Multiplex)され、双方向伝送される。伝送ビットレートは、155.52Mbit/sである。電話や映像などの各種サービスが、ATMセルの形で多重化されユーザーに提供される。

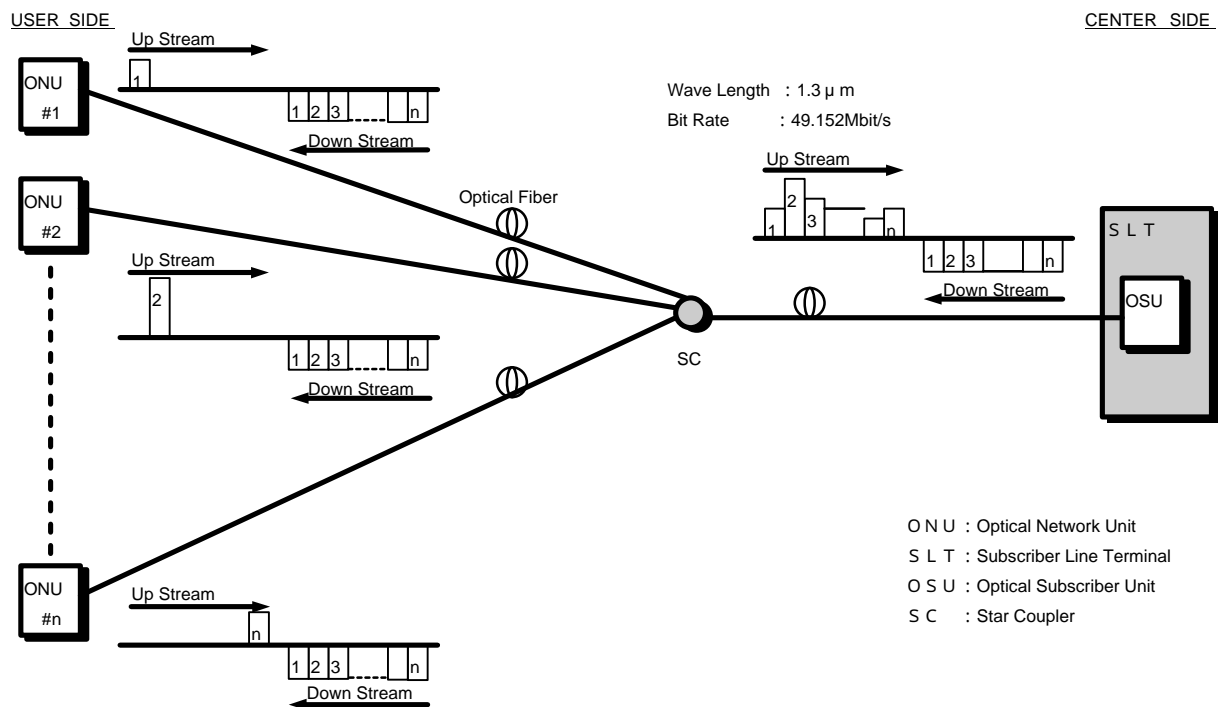


図2 システムの概要
Overview of system

3 開発方針

3.1 マルチチャンネル化

従来の1チャンネル構成のビット誤り率測定器を使用してマルチチャンネルのデジタルデバイスを評価する場合には、測定対象チャンネルを1チャンネルずつ切替えて評価するか、1チャンネルのビット誤り率測定器を複数台使用して行う必要があった。しかし、これらの方法では測定時間、設備投資、評価スペースの増加を余儀なくされていた。また前者の場合には、チャンネル相互間のクロストークの影響を検証することができないという欠点があった。こうした状況からマルチチャンネル同時測定はユーザの切実な要請であった。

このような市場要求に対し、マルチチャンネルパターン発生器はこれまでにいくつか発表されているが⁴⁾、マルチチャンネルでデータの解析を行うビット誤り率測定器は存在しなかった。そのため、本器は市場要求へのソリューションとなるマルチチャンネルデータ解析用測定器を目指し、ハードウェアの高集積化を最大限図り、一筐体に16チャンネルの独立したパルスパターン発生部（以下PPGと記す。）と誤り検出部（以下EDと記す。）を組み込むこととし、さらに各チャンネルにそれぞれ独自のパターン、レベル、位相等測定パラメータの設定を可能とする。

3.2 汎用/専用を1台で対応

顧客ニーズからビット誤り率測定器を大別すると、従来器を多チャンネル化した汎用ビット誤り率測定器と、前記PDS伝送方式に代表されるバーストのセル構成のデータに対応した専用ビット誤り率測定器に分類できる。

後者を実現するには、各試験データを複数のブロックから構成したバーストデータとし、各データ相互の位相タイミングをTDMAで出力する必要がある。また主信号のデータとクロックのほかに、PDS用のE/O、O/Eモジュールに必要とされる光出力のON/OFFタイミング信号やAGC回路のリセット信号が必要である。このように専用測定器は、汎用測定器に比較して制御信号や設定パラメータが多くなり、結果的にユーザの専門性が要求される測定器となる。

本器においてはこの2つのアプリケーションを1つの測定器で実現すると共に良好な操作性を確保するため、測定器を使用する前に汎用か専用かを選択できるようにする。

3.3 大型LCDによる分析データのマクロ表示

16チャンネルの同時測定を行ったとしても、その結果を一度

に表示できなければその優位性が損なわれてしまう。そこで、16チャンネル分の評価結果を一画面に表示するために10.4インチ大型TFT方式カラーLCDを使い、鮮明で情報量の豊富な画面構成を実現する。また、本器においてはBER測定の結果をできるだけわかりやすい形に分析してユーザに提供することを目指し、指定誤り率によるアイ開口測定結果を上記大型LCDに表示する。

3.4 使いやすさを追求したユーザインタフェース

マルチチャンネル化、送受信一筐体化、高機能化に伴い設定パラメータが大幅に増加するため、操作性の向上は不可欠となる。本器では使いやすさを追求したユーザインタフェースを設計するにあたり、次の項目を方針とした。

(1) グラフィック表示画面による直感的な操作方法として定評のあるGUI (Graphical User Interface) を採用し、さらに大型カラーLCDやタッチスクリーンを組み合わせることで操作性の向上をはかる。

(2) 従来のワンキー/ワンパラメータ(キースイッチとパラメータが1対1に対応する)の優れた操作性も踏襲する。

(3) 膨大な測定条件パラメータを簡単に扱うために、チャンネル間の同一パラメータの一括設定機能や送受信同一パラメータの一括設定機能を装備する。

(4) GUIの利点を最大限に活かし、プログラマブルパターンの編集機能をより簡単かつ強力にする。

4 設計の要点

4.1 マルチチャンネル化を実現する要素技術

(1) 大容量ASICによる高集積化とLowパワー化

16チャンネルのためにはコンパクトな回路設計が重要となる。従来の方法で16チャンネル分の送受信器を構成すると仮定した場合、本器のプリント板(約800cm²)で換算して約8枚が必要と予想されたが、本器はこの機能を送信部1枚、受信部1枚の計2枚での構成を目指した。さらに、新しい機能であるバーストでの誤り測定を取り入れ、実装効率にして約6倍を達成している。一方、消費電力においては従来の1チャンネルタイプの約2倍に押さえることを目標とした。

この高集積化とLowパワー化を実現するためGaAs ASIC4種類とCMOS ASIC1種類を新規開発した。本器の高速デジタル処理機能のほとんどがこれらのASICで達成されている。今回開発した5品種の概要を表1に示す。

GaAs ASICは従来の高速ECL ASICに比べ集積規模で2倍以

表1 ASICの機能一覧表
ASIC's function table

品名	機能	ゲート規模	有効ゲート	使用ゲート(使用率)	使用数
Timing Generator	信号発生タイミングの生成	GaAs 40K	20K	18K (90 %)	2個
Pattern Analyzer	パターン発生および誤り検出	GaAs 40K	20K	20K (100 %)	16個
Burst Sync	同期検出	GaAs 40K	20K	20K (100 %)	2個
Counter1	エラーカウント	GaAs 40K	20K	16K (80 %)	2個
Counter2	エラーカウント	CMOS 80K	56K	53K (95 %)	1個

上(最大で10倍),消費電力で1/3という優位性がある。

本器のGaAs ASICは,そのほとんどの回路が最大200MHzで動作するため,論理回路での遅延に注意を払って設計した。例えば,順序型論理回路を構成する場合,ゲート3段ごとにDタイプFlip Flop回路でリタイミングし,遅延圧縮を行った。さらに,ASIC間のインタフェースではASICの持つ絶対遅延量が影響するため,詳細な遅延最適化設計を行った。特にASIC間でフィードバックループのある回路(図3)の遅延量の制御は非常に厳しくなる。このため,本器ではASICのインタフェース部分に絶対遅延量の異なるクロックを用意することで遅延量の調整を行っている。

(2) EMCを考慮した多極同軸コネクタの開発

一筐体で16チャンネルビット誤り率測定器を実現するためにクリアしなければならない問題の一つに外部接続用多極同軸コネクタの小型化があった。200MHzで最大振幅5V(High終端時)の16チャンネル出力信号に用いるケーブルおよびコネクタは大きなスペースを必要とするとともに,放射妨害波のアンテナとなる可能性がある。すなわち省スペース化と放射妨害波対策が大きな課題であった。

本器は,これらの課題を解決するために小型の同軸ケーブルを外部接続用として採用し,さらにこのコネクタをまとめる小型シェルを開発した。

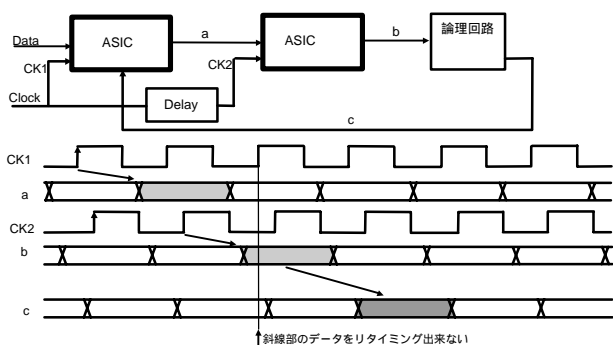


図3 フィードバック回路における位相
Signal phase of feedback circuit

本器におけるこのシェルの効果は以下の3つである。

- (1) 着脱可能な小型多極同軸コネクタおよびケーブルアセンブリーの実現。
- (2) 良好な高周波特性の確保(1GHzでLoss 3dB以下)。
- (3) EMI規格であるEN55011 Level1を満足し,CEマーク基準以下に落とす。

4.2 パースト信号のBER測定

(1) PDS信号の発生とエラー検出

PDS伝送システムにおいては,下り方向(Down-Stream)と上り方向(Up-Stream)の2種類の試験が要求されている。この双方の要求に対応するため,本器では,PPGユニットおよびEDユニットでさまざまな信号の発生および測定機能を実現した。

まずPPGユニットは,最大16チャンネル分の独立した信号を発生することが可能である。下り方向の試験ではSLT側からの信号を試験するために,各チャンネルごとに生成したパターンをTDMAしてシリアルデータとして出力する。また,上り方向の試験では各ONU側からの信号を試験するために,最大16チャンネル分のパラレルデータを出力する。

一方,EDユニットは,最大16チャンネル分の独立した信号を同時に測定することが可能である。下り方向の試験では各ONUからの信号をパラレルデータとして受信し,各チャンネルごとに独立してBER測定を行う。また,上り方向の試験ではSLT側からの信号をシリアルデータとして受信し,EDユニット内部で各チャンネルにデータを分配し,各チャンネルごとに独立してBER測定を行う。

PPGユニットが発生するPONパターンは,各チャンネルごとにPRパターン(1010の交番パターン),OH(Overhead)およびINFO(Information)パターンで構成される。OH/INFO部分は,最大7ブロックに分割でき,各ブロックごとにPRBS(擬似ランダム)パターンもしくはPRGM(プログラマブル)パターンを選択することができる。各チャンネル信号は,

0.01ms ~ 10ms までのパースト周期の設定に従い、パターン発生時間とパターン休止時間が繰り返し出力される。また、各チャンネルの信号の重なりを防ぐためガードタイム(GT)をビット単位で設定できる。そのため、ONUからSCまでの光ファイバの配線長によるチャンネル間の遅延差を吸収することが可能である。

EDユニットでは、PR部分はインビビットしOH/INFO部分についてのみBER測定を行っている。測定領域の指定は、PPGユニットが出力する各チャンネル毎の有効データタイミング信号(パーストイネーブル信号)により行う。このパーストイネーブル信号は、被測定物の遅延ビット分を補正するため、各チャンネルごとにビットシフトができる。この機能により、ビット合わせを行いパターンの同期を行う。さらに、ビット遅延を自動的に設定する“Auto Adjust”アプリケーションソフトウェアも開発した。図4にPONパターンによるPDSシステム(上り線路)の試験例を示す。

(2) 汎用性のあるMIXパターン

MIXパターンは、Row/Columnの構成で最大32ブロックに分割し、各Column単位にブロック長と発生するパターンの種別(PRGMパターン/PRBSパターン)を選択することができるパターンである。図5にMIXパターンの設定画面を示す。このMIXパターンは、SDH/SONET等のRow/Column構成のパターンを発生・測定するために実現した機能である。SDH/SONETのフレーム構造を実現する場合には、MIXパターンを9Row x 2Columnの18ブロックで構成する。STM-1/OC-3の場合、OH部分(SOH)は第1Columnのビット長を

9bytes(72bits)とし、パターンの種別をPRGMパターンに設定する。INFO部分(STM-1 Payload)は第2Columnのビット長を261bytes(2,088bits)としパターンの種別をPRBSパターンに設定する。図6にSTM-1のフレーム構成を示す。

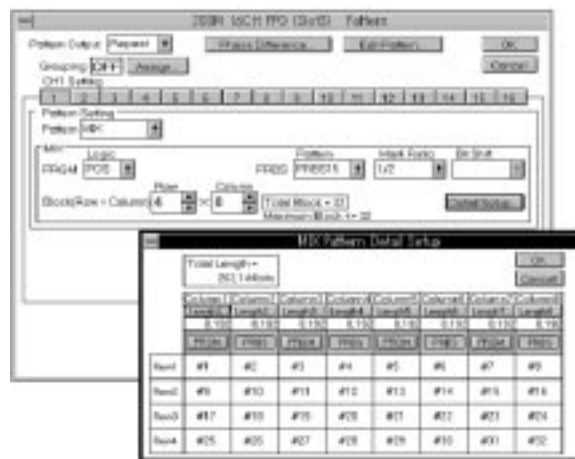


図5 MIXパターンの設定画面
MIX pattern setting screen

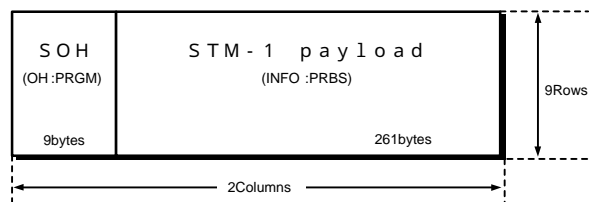


図6 STM-1信号構成
Frame structure of STM-1

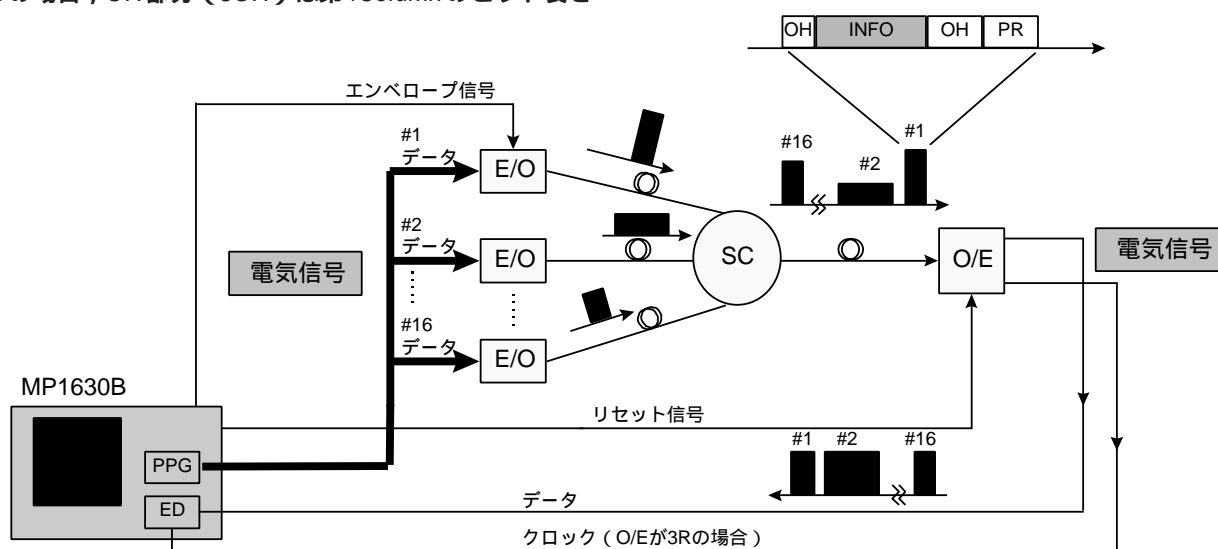


図4 PDSシステム(上り線路)の試験例
Example of test structure for PDS System (Up Stream)

4.3 操作性の向上

(1) 新しいOSの採用

GUI自体の操作性を考慮し、GUIの世界標準とも言えるMicrosoft® Windows® operating systemをOSとして採用した。これにより身近にある使い慣れたパソコンの操作性をそのまま取り入れることができ、より使いやすいユーザインタフェースを実現した。

(2) ワンキー/ワンパラメータ機能

従来のビット誤り率測定器のユーザインタフェースは設定キーと7セグメントLEDで構成しており、各設定条件が一つ一つのキーに割り当てられていた。そのため、操作性においてユーザから好評を得ていた。一方、本器では設定数の多さにより従来器とは異なる画面構成を取らざる得なくなった。そこで、従来器において好評を得ていたワンキー/ワンパラメータのユーザインタフェースをイメージしたCustomize画面(図7)を考案した。本画面は入出力信号のレベルや位相などのパラメータを最大6つまで自由に定義でき、さらに測定結果も同時表示可能とした。この結果、ユーザが頻繁に変更するパラメータを本画面に定義することで、GUIの欠点ともいえる煩雑な画面切り替え操作や階層の深さを軽減した。また、パラメータを連続的に変更しながら測定結果を観測するといった従来機種の良い操作性も踏襲できた。

(3) 設定のグループ化

本器では、最大16チャンネルごとに独立した試験条件の設定が可能である。しかし、複数のチャンネル間で同一の設定状態で使用する場合に、同じ設定を16回繰り返すのでは操作が煩雑になる。そのため、本器では同一に設定したい複数のチャンネルとパラメータを“グループ”としてあらかじめ最大8グループまで定義することにより、定義されたグループに対して

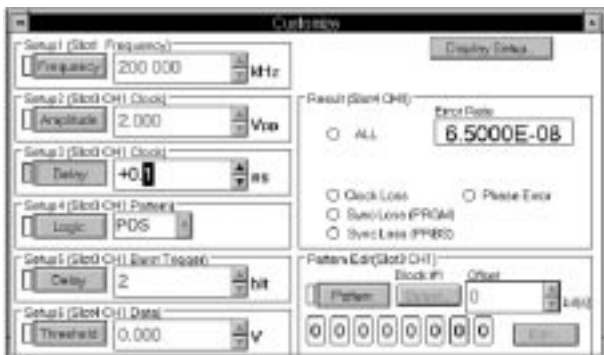


図7 Customize画面
Customize screen

は一度の操作でチャンネル間の同一設定が可能となるグループ機能を採用した。本機能により、簡単かつ柔軟性のある操作が実現できた。

(4) パターンエディタ

従来のビット誤り率測定器では、複雑なプログラマブルパターンを編集するためには外部のパソコン上で動作するアプリケーションソフトウェアを必要とした。本器ではGUIの利点の活かした使いやすく、かつ強力なプログラマブルパターンの編集機能を標準で装備した。表示モードには横方向に時間軸を取り、各チャンネルを横一列に表示するTimeモード、指定の1チャンネルをメモリダンプイメージで表示するDumpモード、さらに16チャンネルのパターンを16ビットの平行データとして表示するStateモードがあり、用途に応じて使い分けすることができる。いずれも編集したいパターンにカーソルを移動し、キー入力、タッチスクリーン、マウスのいずれかで直接変更するスクリーンエディット方式であり、パターン検索機能やWindows®の標準操作であるカット&ペースト機能により、高機能かつ簡単な操作が実現できた。図8にパターンエディタ画面を示す。

4.4 アイマージン測定とグラフィック表示

デジタル通信における伝送品質の評価は、ビットエラー測定により行われる。伝送するデジタル信号は、伝送経路のノイズ等により劣化するが、受信部において波形整形をする際には、その信号のアイ開口幅が広いほど有利になる。従来は、アイ開口幅評価をオシロスコープを使用した波形観測で行っていたが、この方法では 10^{-3} 程度以下のビットエラーの発生を検出することは不可能であった。つまり、観測波形

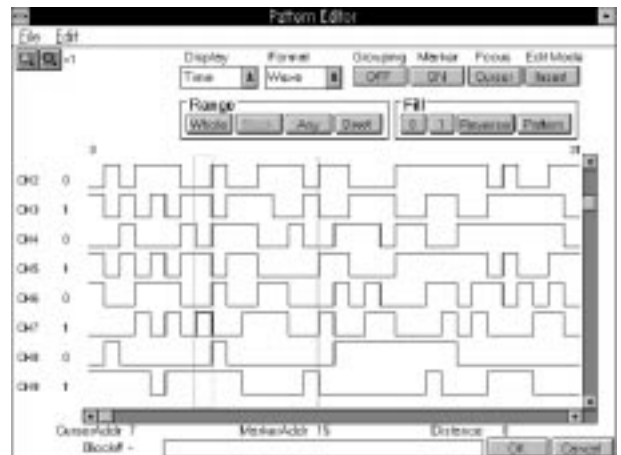


図8 パターンエディタ画面
Screen of pattern editor

に異常が無くてもビットエラーが発生していることがあった。この問題を解決するために、本器ではBER測定を各Threshold電圧および時間軸に対して行い、アイ開口幅を測定するアイダイアグラム機能を本器に内蔵した。

このアイダイアグラム測定は、データ入力信号のThreshold電圧およびクロック位相を微小値ずつ変化させながらBER測定を繰り返し実行するため、従来のソフトウェアによるエラーレート計算方法で本機能を実行すると膨大な測定時間がかかることが予想された。そこで本器では、処理時間を短縮するために、ハードウェアで構成したエラーレート判定回路を付加し、エラー判定の所要時間の短縮を行った。これにより、従来方式でアイダイアグラム測定を行った場合に比べて約1/5の処理時間の評価を可能とした。また、大型カラーLCDを採用したことにより、図9にあるように視覚的にも優れた結果表示を実現できた。

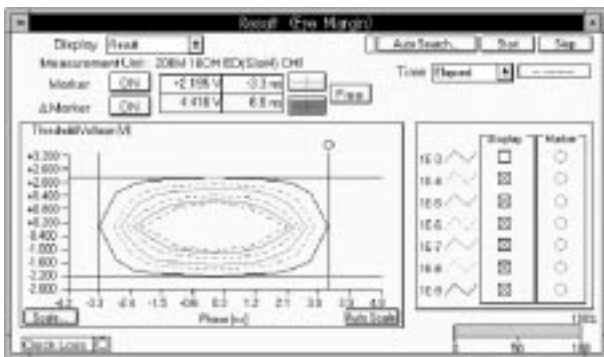


図9 アイダイアグラム測定結果画面
Result of eye diagram measurement

5 機器構成

5.1 ハードウェア構成

本器はメインフレームとプラグインユニットおよび各種オプションにより構成される。メインフレームは10.4インチのタッチスクリーン付TFT方式カラーLCDを装備しており、基本操作はこのパネルにより行うことができる。プラグインユニットは本体の背面から挿入することが可能であり、その構成およびオプションを図10に示す。

5.2 ソフトウェア構成

本器のソフトウェア構成を図11に示す。外部インターフェースを制御するためのWindows®上のソフトウェアと測定およびハードウェア制御を行うためのリアルタイム処理を実行するソフトウェアの2部構成となっている。両者間のインタフェ

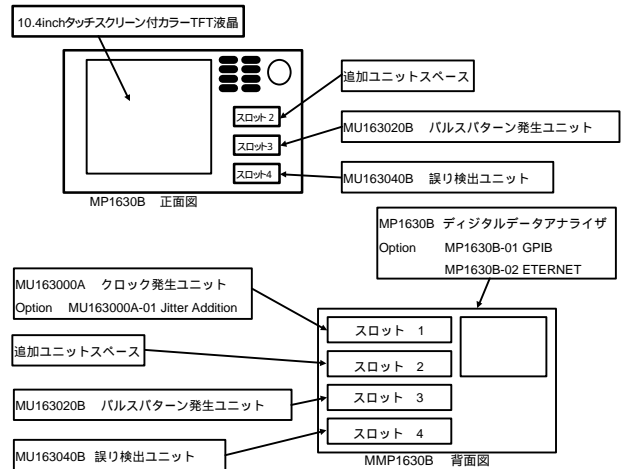


図10 MP1630Bのブロック図
Block diagram of MP1630B

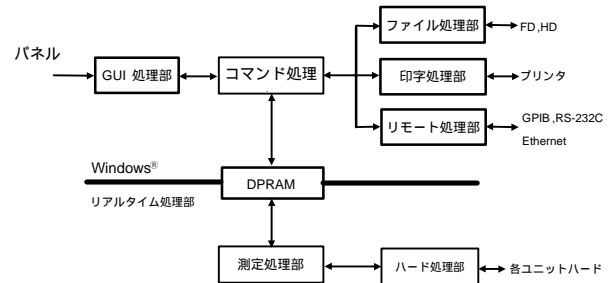


図11 ソフトウェア構成図
Software composition chart

ースはDPRAMを介して行っている。

- ・GUI処理部

キー入力情報をコマンド処理部へ通知したり、各種測定条件および結果データの表示を行う。

- ・コマンド処理部

他モジュールからの各種処理要求を順次処理し、必要に応じて他モジュールに対して動作指示を行う。

- ・ファイル処理部

フロッピーディスクや内蔵ハードディスクに関する測定条件、測定結果の格納/読み出し処理を行う。

- ・印字処理部

外部プリンタへの印字データの編集・出力を行う。

- ・リモート処理部

RS-232C, GPIB (オプション), Ethernet (オプション) 入出力を処理する。

- ・測定処理部

ビットエラーの集計/演算等の各種測定処理を行う。

・ハード処理部

各ユニットごとに独立して、ハードウェアに対する設定処理を行う。

6 主要規格

表2にMP1630Bの主な規格を示す。

7 応用例

7.1 光インタコネクション用モジュールの試験

高速大容量通信の基盤となる、高密度・高スループットな配線技術として現在注目されている光インタコネクション用LDの評価に、本器の応用が可能である。

光インタコネクションとは、ボード間や信号間インタフェースといった機器内配線を光化することによりスループット密度の向上、雑音耐力の向上やEMC対策など利点の多いインタフェース技術である。その実現には、マルチチャネルモジュールの入出力の光化が不可欠であり、その光源および受光器の特性評価を行う場合に、マルチチャネル構成の外部変調信号源および誤り検出器が必要となる。本器は、図12のように光アッテネータと組み合わせ、O/Eコンバータの受光パワ

ーとBERの関係や最小受光感度測定が可能である。

7.2 移動体通信 (CDMA) 用のR&D

次世代デジタル携帯電話サービスの根幹技術となるCDMAの送信データと拡散/逆拡散信号源として2台の本器を使用することにより、研究・開発分野での応用が可能である。本器の1台を、ベースバンド信号のBER測定用に使用し、もう1台を拡散/逆拡散信号源として使用する。2台の本器を使用することで、16キャリア分の送受信が同時に評価ができる(図13)。

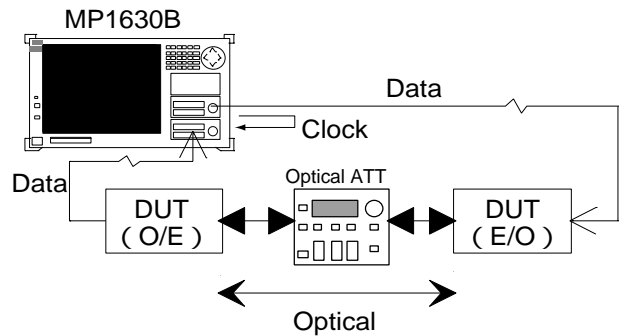


図12 光インタコネクション用モジュールの評価例
Example of test structure for optical inter-connection module

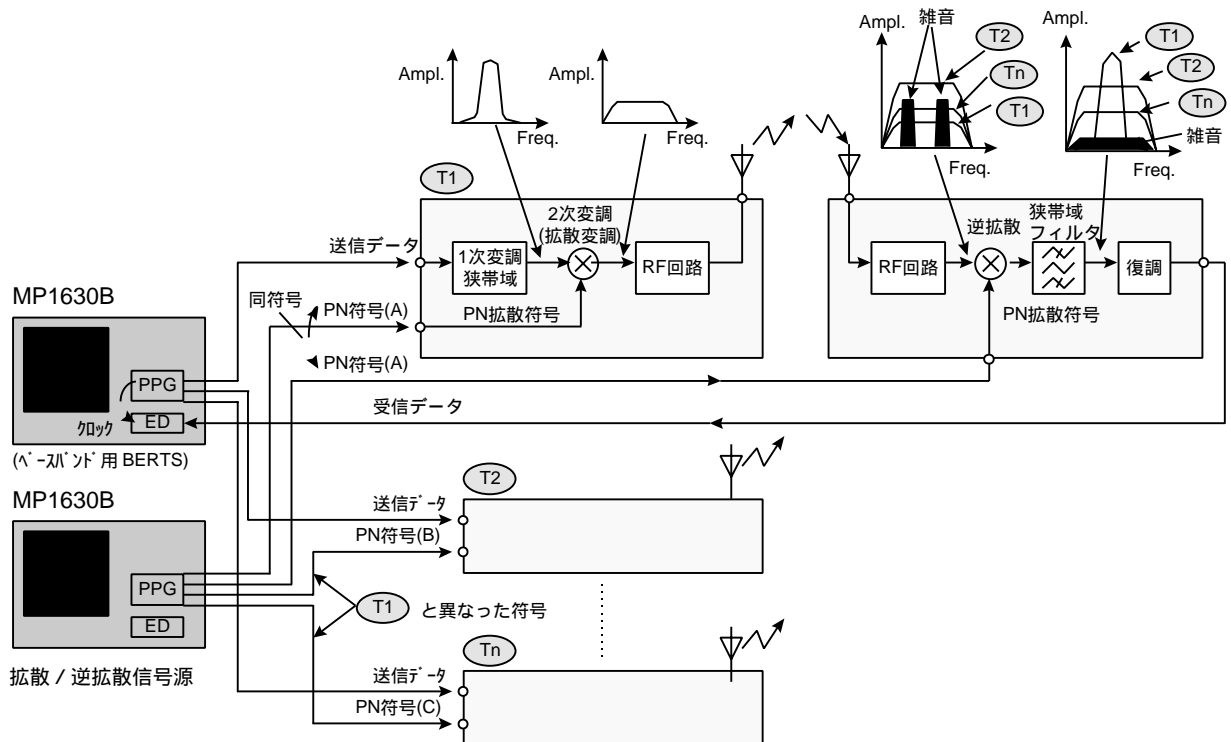
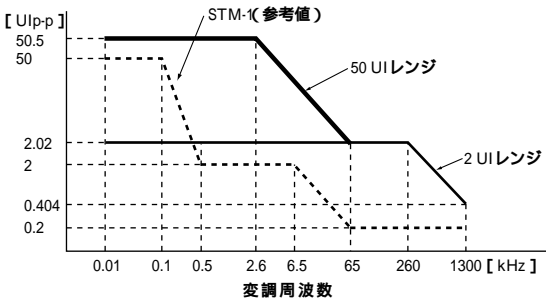


図13 CDMA 移動体通信の評価例
Example of test structure for CDMA

表2 MP1630Bの主要規格
Major specification of MP1630B

<p>クロック</p>	<p>内部 動作周波数：10kHz～200MHz（精度：±2ppm） 分解能：1kHzステップ（>1～200MHz），100Hzステップ（10kHz～1MHz）</p> <p>外部 入力周波数範囲：10kHz～200MHz 入力レベル：AC，0.5～2.0Vp-p（50Ω），BNCコネクタ</p> <p>外部（ロック時） 入力周波数：10MHz±100ppm，64kHz±100ppm 入力レベル：AC，0.5～2.0Vp-p（50Ω），BNCコネクタ</p>
<p>ジッタ変調機能 （オプション）</p>	<p>外部変調入力 変調周波数範囲：10Hz～1.3MHz 入力レベル範囲（正弦波）：-1V～+1V（75Ω），BNCコネクタ リファレンス出力（ジッタ無付加出力）：AC，1Vp-p（50Ω），SMA ジッタ量：0～50.5UIp-p（クロック周波数：>100～200MHz）*50UI/2UIレンジに切り換え可能</p> 
<p>試験パターン （パルスパターン発生器， 誤り検出器）</p>	<p>PRBSパターン：2ⁿ-1（n：7，9，11，15，20，23，31），マーク率可変，論理反転可 ゼロ置換パターン：2ⁿ（n：7，9，11，15），パターン長：n～2ⁿ-1，論理反転可 プログラマブルパターン（PRGM）：2～65,536ビット/CHのビット長，論理反転可 ミックスパターン：PRBSパターンブロックとプログラマブルパターンブロックの混合，論理反転可 *ブロック数：2～32 [PRGMビット長/ブロック：8～8,192ビット] PRBSビット長/ブロック：8～131,072ビット（ブロック数に依存）</p> <p>PONパターン [ミックスパターン（PRGM+PRBS）の先頭にプリアンブルを挿入したTDMA試験パターン] プリアンブル（1010・・・）：0～64ビット，ガードタイム：-2,097,083～2,097,067ビット（1ビット分解能） バーストモード：内部（バースト長：0.01～10ms），外部（イネーブル長：8～2,097,144ビット）</p> <p>パターン編集機能 編集モード：ダンプ，タイミングダイヤグラム，ステートテーブル 編集結果ストレージ：内蔵のHDまたはFDに記憶可能</p>
<p>エラー挿入</p>	<p>各チャンネル，同時または独立にオン/オフが可能 エラーの種類：ノーマル，バースト ノーマルモード（内部：サイクリックまたはシングル，外部） 誤り率：10⁻ⁿ（n：3～9） 挿入エリア：全エリア，選択ブロック（MIXパターンまたはPONパターン） バーストモード（内部・外部） 誤り率：10⁻ⁿ（n：2～9） 内部イネーブル長：20～140ms（分解能：20ms） 内部サイクル：1～10s（分解能：1s） 外部モード：外部信号がイネーブル期間中に，指定の誤り率のエラーを挿入</p>
<p>データ/クロック出力</p>	<p>出力数：16（多極コネクタ），出力のオン/オフと論理反転可 出力波形：NRZ（データ），RZ（クロック） 出力レベル：ECL，PECL，TTL，LVTTTL，VAR VAR可変範囲 振幅：0.5～5V（10mVステップ，ハイインピーダンス），0.25～2.5V（5mVステップ，50Ω） オフセット：-4.5～+5V（5mVステップ，ハイインピーダンス），-2.25V～+2.5V（2.5mVステップ，50Ω） 立上り/立下り時間（代表値）：1.3ns（1Vp-p，50Ω 終端） クロック遅延：-5～+5ns（100psステップ） データスキュー：-5～+5ns（100psステップ）</p>
<p>データ/クロック入力</p>	<p>入力数：各16，論理反転可，多極コネクタ 入力波形：NRZ（データ），RZ（クロック） 入力レベル：ECL，PECL，TTL，LVTTTL，VAR VAR入力範囲 振幅：0.5～5V（50Ω） スレショルドレベル：-5～+5V（5mVステップ，50Ω で終端） クロック遅延：-5～+5ns（100psステップ）</p>

8 むすび

本デジタルデータアナライザは当社で培われたビット誤り率測定器技術をベースとして最新ASICの設計技術とWindows[®]によるGUIとの合体によって達成された。特に大容量GaAs ASICについては、当社で初めての採用であり、シリコンバイポーラASICと異なった設計プロセスおよび高速化技術に多大な労力をはらった。

本デジタルデータアナライザは、通信用途だけでなく半導体デバイス(ASIC, FPGA, CCD)のほか、次世代コンピュータインタフェースの開発、製造等のアプリケーションに貢献できるものと確信しており、こうした新市場での機能・性能に関する御要望や御指摘を賜れば幸いである。

今後、GTTH(Gigabit To The Home)の開発やギガビット帯の光インタコネクションの研究・開発が盛んになると予想される。また、コンピュータ、バックボーンにGigabit EthernetやFibre Channelの導入が進むものと思われる。今後こうした市場の動向に注力して開発を進めていくつもりである。

参考文献

- 1) 石原廣司：NTT技術ジャーナル，Vol.1，No.6，1995
- 2) 花谷昌一ほか：装置間光インタコネクトの伝送特性，信学技報 OCS93-32
- 3) 山下一郎，金田哲也，張替一雄：経済的な光アクセスネットワークを実現するPDS技術，NTT技術ジャーナル，1997.4
- 4) 香川ほか：3GHzマルチチャネルデータ発生器，アンリツテクニカル 60号(1990-9)
- 5) 鹿田實：家庭までギガビット環境に変える「GTTH」の世界，コンピュータ&ネットワークLAN，1998.1

商 標

Microsoft[®]，Windows[®]は米国Microsoft Corporationの米国及びその他の国における登録商標です。