

1台でSTM-16/OC-48まで対応可能なSDH/PDH/ATM,SONET/ATMアナライザMP1552/1555シリーズ

MP1552/1555 SDH/PDH/ATM, SONET/ATM Analyzer Series for STM-16/OC-48

UDC 621.317.34/.74

小畑章浩	Akihiro Obata	計測器事業部 第1開発部
田桐修	Osamu Tagiri	計測器事業部 第1開発部
増田宏	Hiroshi Masuda	計測器事業部 第1開発部
浜田宏一	Hirokazu Hamada	計測器事業部 第1開発部
小川剛	Tsuyoshi Ogawa	計測器事業部 第1開発部

1 まえがき

1995年頃から同期デジタルハイアラキー(SDH: Synchronous Digital Hierarchy)の新同期網インタフェースは普及期に入っている。1996年に製品化したMP1550A/B PDH/SDHアナライザ¹⁾は、PDH(Presynchronous Digital Hierarchy)とSDH(622Mbit/sまで)双方の測定機能を有しており、ITU-T勧告に準拠した誤り分析やジッタ・ワンダ測定が可能である。さらに操作性やそのポータビリティにおいて高い評価を受け、主に保守用として数多く使用されている。

一方、欧州、北米、日本のネットワークで適用されてきた多重化方法がそれぞれ異なっており、その地域に対応できるインタフェースを持った測定器の要求が寄せられてきた。さらに、広帯域ISDNでの非同期転送モード(ATM: Asynchronous Transfer Mode)への対応としてATMパターンの発生および測定の要求が寄せられている。また、通信の高速化・大容量化に伴い保守用としてSTM-16までの一体型測定器が求められている。

今回開発したMP1552A/B SDH/PDH/ATMアナライザとMP1555A/B SONET/ATMアナライザは、プラグインユニット構成により欧州、北米の両方のネットワークシステムに対応可能なインタフェースユニットやジッタ、ATMユニットを用意し、ユーザがコストミニマムで最適な組み合わせを選択できるようにした測定器である。さらに、SDHで蓄積した技



図1 MP1552A/B SDH/PDH/ATMアナライザ外観図
External view of MP1552A/B SDH/PDH/ATM analyzer

術をもとに北米系の同期デジタルハイアラキー(SONET: Synchronous Optical Network)や国内ハイアラキーにも対応できる測定器である。図1に外観を示し、以下に開発の概要について述べる。

2 開発方針

2.1 小型で機能拡張性に富む構成

SDH/SONETの装置は多種多様化しており、ユーザすべての要求を同時に満足できる測定器を作るとは、コストの肥大、機器の大型化、および操作性の低下を招き、ユーザの支持は得られない。コストミニマムで最適な機能をユーザに提供する必要がある。また、近年ITU-T勧告では新たな勧告が追加されており、今後かなりの追加または変更が発生す

ると考えられ、測定器はこの変更に対応する必要がある。これらの条件を満たすため、プラグインユニット方式を採用し、小型で機能拡張性に富む測定器を開発する。

ユーザの主な使用形態を考慮し、以下の11種類のユニットの開発を行う。

- 1) 2M/8M/34M/139M/156M ユニット
- 2) 1.5M/45M/52M ユニット
- 3) ATM ユニット
- 4) ジッタ 2/8/34/139M 156/622M ユニット
- 5) ジッタ 1.5/45/52M 156/622M ユニット
- 6) ジッタ 2/8/34/139M 1.5/45/52M 156/622M ユニット
- 7) 2.5G ユニット (1.31) ユニット
- 8) 2.5G ユニット (1.55) ユニット
- 9) 2.5G ユニット (1.31/1.55) ユニット
- 10) ジッタ 2.5G ユニット
- 11) Add/Drop ユニット

2.2 1.5M から 2.5G まで全マッピングに対応

PDH/SDH の保守用測定器として開発した MP1550A/B はインタフェースの種類、機能共にヨーロッパ、アジア、南米市場から高く評価されている。

一方、北米、日本の市場からは MP1550A/B と同様の機能を持ち北米、日本のインタフェースを持った保守用測定器が強く望まれている。そのような状況から本器は次のインタフェースと機能を具備することとした。

1) PDH は MP1550A/B を踏襲し 2Mbit/s, 8Mbit/s, 34Mbit/s, 139Mbit/s のインタフェースを装備する。

2) 北米のインタフェースである 1.5Mbit/s, 45Mbit/s を装備する。

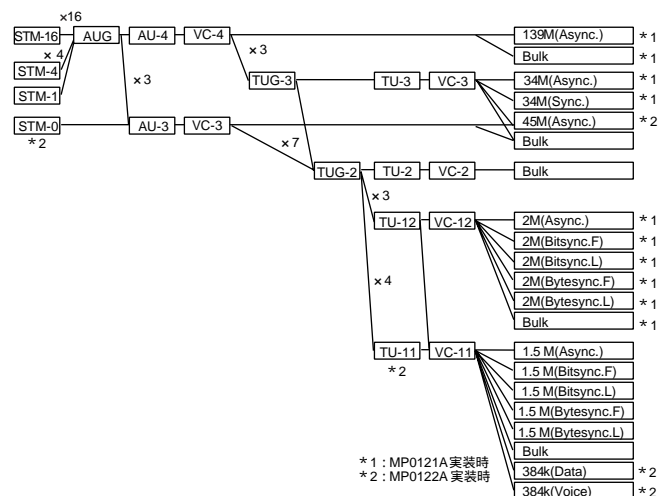
3) SDH/SONET は 52Mbit/s, 156Mbit/s, 622Mbit/s, 2,488Mbit/s を装備する。

4) ハイアラキーは SDH/SONET, 日本に対応する。

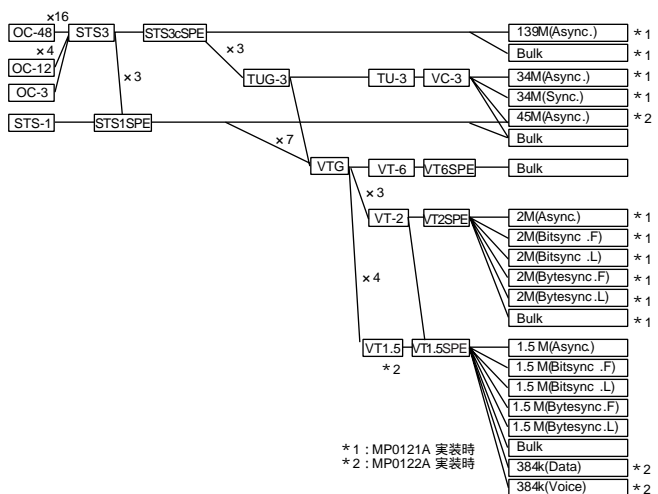
図2に本器のマッピングを示す。

2.3 全ビットレートのジッタ/ワンドの発生/測定

PDH/SDH 伝送装置のジッタ/ワンドについて規格化している ITU-T 勧告には、2M 系ハイアラキーに関する Rec.G.823, 同 1.5M 系の G.824, 同 SDH 系の G.825 があり、市場の成熟と共に、これらの規格の内容すべてに適合する測定要求が高まって来ている。一方、MP1550A/B では 2M 系ハイアラキーを中心に 622Mbit/s までのジッタ発生/測定並びに、2Mbit/s のワンド TIE (Time Interval Error) 測定のための部分的対応をして来た。



SDH マッピングストラクチャ
SDH Mapping structure



SONET マッピングストラクチャ
SONET Mapping structure

図2 マッピングストラクチャ
Mapping structure

本器では、次の機能を装備強化することで前述規格に完全準拠し、ユーザ要求を満たす。

1) 本器で新たに追加となった 1.5M 系ハイアラキーと SDH 2.5Gbit/s のビットレートにジッタ発生/測定機能を装備する。

2) ワンド発生/測定機能を 1.5Mbit/s から 2.5Gbit/s までの PDH/DSn/SDH 全ビットレートに装備する。

3) ITU-T G.813 に規定されたワンド測定評価法である MTIE (Maximum Time Interval Error), TDEV (Time DEVIation) 測定を実現する。

2.4 充実した ATM 機能

ATM 網の建設が、現在、世界各国で進められている。ATM 網は、PDH/DSn/SDH といったさまざまな物理インタフェー

ス上に構築されており、1台で総合的な試験を行う保守用の測定器にとって、物理インタフェースの試験機能とともにATM試験機能をもつことは必須である。このような状況から本器では、次のようなATM試験機能を具備することとした。

1) 物理インタフェースとして、1.5Mbit/s、2Mbit/s、34Mbit/s、45Mbit/s、139Mbit/s、52Mbit/s、156Mbit/s、622Mbit/sに対応する。

2) ATMレイヤでは、ITU-T勧告O.191で規定されているテストセルを用いた試験のほかに、F4/F5フローに対応したOAM (Operations and Maintenance) セルの発生および検出が可能である。AAL (ATM Adaptation Layer) では、AAL1、AAL2、AAL3/4、AAL5のフォーマットに対応する。

3) 試験用として1チャンネルのVPI/VCI (Virtual Path Identifier/ Virtual Channel Identifier) のセル流が送出できるほかに、10チャンネルの異なるVPI/VCIのセル流をバックグラウンドとして同時に送出可能とする。

4) 1チャンネルのVPI/VCIに対するエラーおよびアラームの測定に加えて、受信したセルから最大1,023チャンネルのVPI/VCIを自動的に検出し、チャンネル毎のセル数、ノンコンフォーミングセル数、アラームの有無をモニタし、さらにAALタイプを自動判別する。

5) ATMセルの揺らぎ測定として、ITU-T勧告I.356に準拠した1ポイントCDV (Cell Delay Variation) 測定、2ポイントCDV測定に対応する。

2.5 光スイッチャブルユニットへの対応

光送信部は、1ユニットでSDHインターフェースの光波長帯1,310nmと1,550nmの両方のアプリケーションに対応するために、各波長帯のレーザーダイオード (LD) を搭載し光スイッチャブルユニットを実現する。ユニットには光カプラを内蔵することで1出力から各波長帯の光信号を選択可能とする。

この構成をとることで、波長切り替え時の接栓の付け替えという煩わしい作業を解消する。

3 設計の要点

3.1 小型、軽量化

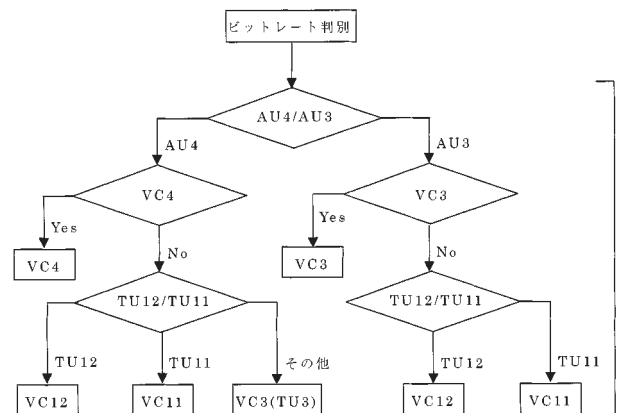
小型、軽量化を実現するために、部品選定、部品実装の面から検討をおこなった。MP1550A/Bで小型、軽量化を行ったが、ATM機能や2.5G機能が追加されるにあたり、さらなる小型化を目指した。MP1550A/Bでは多極コネクタや同軸コネクタがかなりの実装面積を使っていたため、ピンの高密度化が可能

なプレスヒット型のコネクタを採用した。また、同軸コネクタも多極タイプを採用した。多ピンタイプのゲートアレーではBGA (Ball Grid Array) タイプのパッケージを採用し実装面積の縮小に注力した。

3.2 オートセットアップ機能

SDH回線の保守を行う際には、多種多様にあるマッピングのうち、回線がどのようなマッピングであるのか特定できない状態で回線評価を行わなければならない場合が少なからずある。このような場合、回線評価の前にマッピングの解析を行わなければならないが、これに多大な時間が費やされているのが現状である。本器は、回線評価を素早く容易に行うために、マッピングを自動的に検出し、そのマッピングに合致した測定条件を設定する機能を有する。試験パターンが挿入されている場合 (Out-of-Service) には、試験パターンの判別も同時に行う。

オートセットアップ機能の基本的なフローを図3に示す。このフローに示されるように、受信信号から、LOS (Loss of Signal)、LOF (Loss of Frame) を検出することにより、ビットレートを判別し、その後、マッピングを判別する。マッピングを短時間で判別できるようにするために、判断を3ステップ程度で行うようにした。このフローに従ったマッピングの検出をビットレートに応じてAU3 (Administrative Unit-3) とTUG3 (Tributary Unit Group-3) の組合せの数だけ行い、その結果からマッピングのテーブルを作成する。このテーブルから下位階層 (VC11 (Virtual Container-11) / VC12 (Virtual Container-12)) のマッピングを選択し、本器に設定する。Out-



*:ビットレートに応じて繰返し

図3 オートセットアップフロー図
Flow chart of Auto setup

of-Serviceの場合は、この選択されたマッピングに対してのみ試験パターンの判断を行う。本器では送信信号を作成する際に、下位階層のマッピングに試験パターンを挿入するため、前述の手順に従うことにより、本器が信号源の場合にオートセットアップにかかる時間をより短縮することが可能となった。

3.3 SONET, DS1, DS3 機能

本器では、北米系のPDH信号である1.5Mbit/s, 45Mbit/sに対応するとともに、SONETのマッピングにも対応する。

本器の1.5Mbit/sおよび45Mbit/sの出力波形は、ANSI (American National Standards Institute) の規格T1.102に準拠している。T1.102では、1.5Mbit/sおよび45Mbit/sの波形をクロスコネクットのポイントで規定している。このポイントは、図4のクロスコネクットの概要図においてX点で示される位置であり、1.5Mbit/sの場合は装置A出力後655feetの回線ケーブルを通過した位置、また45Mbit/sの場合は450feetの回線ケーブルを通過した位置である。測定器としては、装置Aの代わりとしてA点に接続したときに、クロスコネクットのポイントでの波形が規格を満たすのみではなく、クロスコネクットのポイントに直接接続できるような波形の出力も必要とされる。そのため、本器では、1.5Mbit/s用として655feet, 45Mbit/s用として450feetの擬似ケーブル回路を内蔵した。45Mbit/sにおいては、450feetの擬似ケーブル回路を2回路シリアルに内蔵することにより、クロスコネクットのポイントからさらに450feet経由した位置、すなわちB点の波形を出力することも可能とした。B点の波形を出力することを可能としたことで、本器は、装置Bを評価する際に回線ケーブルを介することなく直接接続することが可能である。

このように擬似ケーブル回路の内蔵は、回線上の様々なポイントへの本器の接続を可能としたため、装置のみの評価だけでなく、回線ケーブルを含めた装置の評価を可能とした。

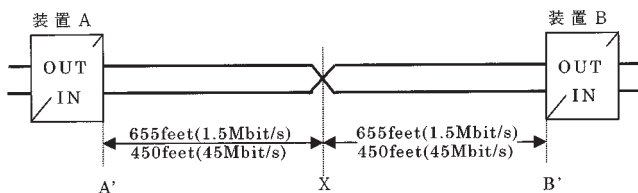


図4 クロスコネクットの概要図
Schematic drawing of Cross-connects

3.4 ATM 試験機能

ATM回線中には、ITU-T勧告O.191で規定されているテストセル、各AALタイプのフォーマットにしたがったセル、VP (Virtual Path) レベルやVC (Virtual channel) レベルに対応したOAMセル、アイドルセル等、様々なセルが混在している。そのため、ATM試験機能をもつ測定器において、これらのセルを混在させて発生させることは必須である。本器では、セルを混在させて発生するために、セルの種類を区別するためのコントロールワードのフィールドを追加し、このコントロールワードにしたがってセルを発生する方法を採用した。

セルは53バイトで構成されており、本器内部では2バイトを1ワードとして27ワードで扱っている。27ワードで扱うと1バイトの余りが存在することになる。この余った1バイトをコントロールワードとして使用することとした。コントロールワードを含んだセルのフォーマットを図5に示す。

このコントロールワードには、セルの種類を識別する値やPRBSパターン等の試験パターンを付加する場合の付加位置が書き込まれており、この値にしたがって試験パターンやシーケンスナンバーの付加を行う。AAL3/4やAAL5のフォーマットにしたがったセルを発生する際には、フレームデータの先頭セル、中間セル、最終セルといったセルの種類によって試験パターンの位置が異なる。従来は、セル単位で設定することやフレームデータ長を固定とすることで試験パターンの挿入位置が固定的になるようにしていたが、本器では、コントロールワードを使用することにより、異なった位置への試験

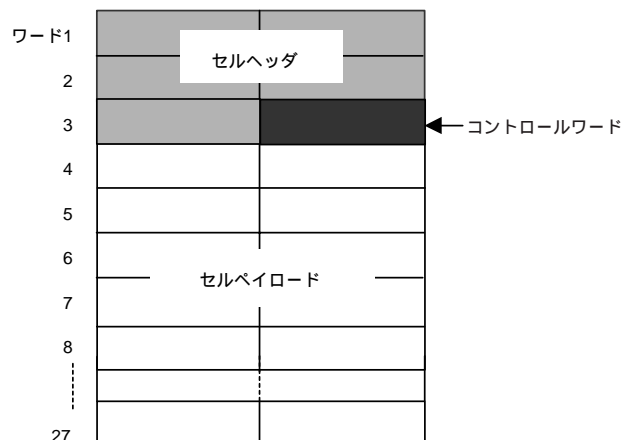


図5 コントロールワードを含むセル構成
Cell structure with Control word

パターンの挿入を可能とし、各AALタイプのデータ設定を任意の長さのフレームデータ単位で行うことを可能とした。

3.5 光パワーメータ機能

光受信部は、測定点の信号解析をおこなうと同時に受光している光パワーをモニターしたいという要求に応えるために、2.5Gbit/sの受光増幅回路に光パワーメータ回路を搭載した。ITU-T G.958に準拠するためには、受光範囲28 ~ -9dBm以上を達成できる高感度型のAPD（アバランシェ ホトダイオード）受光器を採用する必要がある。これに光パワーメータ回路を追加するためには、次の課題があげられた。

1) 高感度化のために光増倍効果のあるAPDを採用するために、50V程度の逆バイアス印加用の高圧発生回路が必要である。

2) APDに発生する光電流 (I_{opt}) は、高電圧が印加されている端子が電流検出点となるため、従来の方式である検出電流を直接I-V変換する回路構成は難しい。これに代わる光電流検出回路が必要である。

3) APDの光増倍特性が受光レベルに依存し変化するため、光電流はリニアにตอบสนองしない。図6にその特性を示す。

これらの課題を解決するために採用した回路構成を図7に示す。

APDの逆バイアス用高圧発生回路には、昇圧タイプのDC/DCコンバータICを採用し実装の効率化を図っている。

次に、光電流検出回路を従来方式からカレントミラー方式にすることで、APDに発生する光電流 (I_{opt}) とほぼ同量の電流 (I_{opt}') を間接的に検出し、I-V変換回路に供給可能な回路を実現している。光電流がリニアな応答特性を示さない

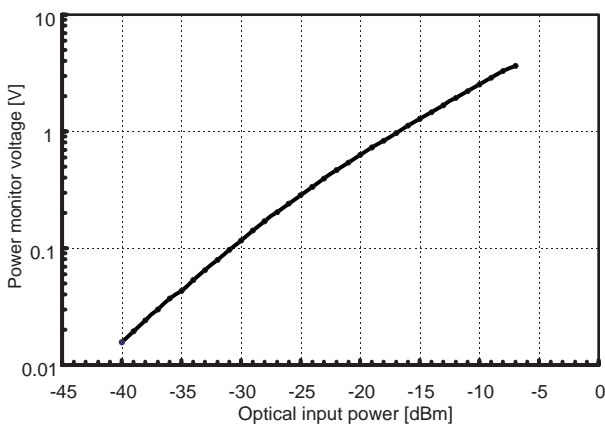


図6 光パワーモニター電圧の特性
Optical power monitor voltage characteristics

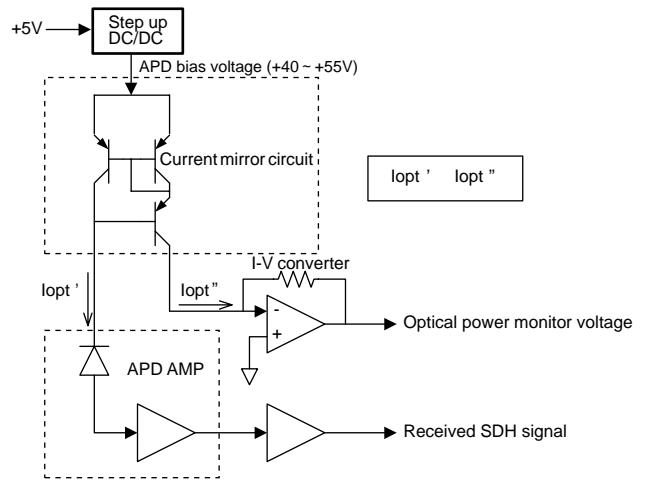


図7 光パワーメータ回路の構成
Optical powermeter circuit structure

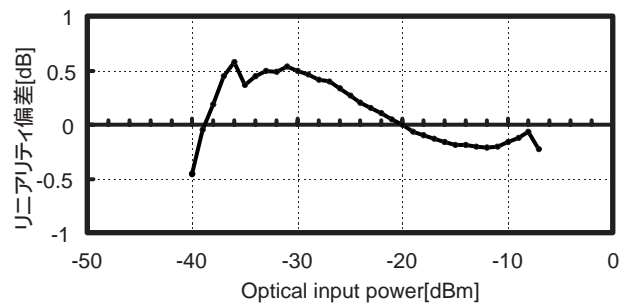


図8 リニアリティ偏差の特性
Linearity deviation characteristics

という課題に対しては、実測結果をもとに2次多項式で最適化をおこない、演算処理をして表示することで解決している。

以上の回路構成をとることで、受光範囲 - 28 ~ - 9dBmの高感度化を達成させながら、光パワー測定精度 ± 2 dB (- 20dBm 測定点において)、リニアリティ ± 2 dB (- 30 ~ - 9dBm の測定範囲において) の光パワーメータ機能を実現させている。その結果を図8に示す。

3.6 周波数変動測定

本器は、精度 ± 0.1 ppm、検出範囲 $\pm 1,000$ ppm (2.5Gbit/s は ± 100 ppm) で周波数測定機能を持っている。さらに、この機能の応用として、周波数変動測定機能を備えた。これにより経時変化による周波数変動の偏移をグラフィック表示することで視覚的に認識できる。

3.7 ITU - Tに適合したワンダ発生

ITU-T Rec.G.824, G.825のワンダトレランス要求規格に適合

させるため、16.384MHz VCXO を使用したPLL を基準信号源とし、このループに最大約23 μsp-p のワング変調を印加する。この基準周波数を所望のビットレートまで上げることにより必要なワング変調振幅を得る。ワング発生回路は1.5M/2M の基準周波数に16.384MHz の信号をロックさせ、このPLL に正弦波ワング変調を加えている。基準PLL の周波数を2.5GHzまで上げることで変調度を増大させている。変調周波数特性の上限値はこのPLL のカットオフ周波数で決まるが、カットオフ値を上げると残留ジッタが増大し、下げるとPLL の引込み安定化時間が長くなり、安定度が低下する。この2点を勘案して、両者の欠点を生じない中間の特性に定数を合せ込むことにより、動作の安定性を確保した。しかし、この場合に、残留ジッタを押さえ込むというねらいのために、周波数特性の伸びが確保できなくなる。これを克服するために、次式による振幅設定値の補正を行い、良好な周波数特性の直線性を確保した。補正係数をa、ワング周波数をfで表す。aは個別ユニット毎に算出し、補正用EEPROM に書き込んでおく。bは固定値である。

$$\text{補正後の設定値} = (af + b) \times \text{設定値} \quad (\text{式1})$$

3.8 ワング測定

ITU-T G.813 のワング測定条件では、測定上限周波数10Hz をカバーするために、サンプリング周期にマージンを持って 1/30s としている。MP1552A/B は、これに準拠した測定を行うため、 $t_s = 25\text{ms}$ としている。測定開始後の各観測時間における位相変動量であるTIE (Time Interval Error) は、A/D コンバータとラップアラウンドカウンタの2つの値から求まるように構成しており、A/D コンバータとラップアラウンドカウンタの値は、ハードウェアにより、内蔵のRAM に500ms のインターバルで書き込んでいる。

PD (Phase Detector) + ADC (AD Converter) コンバータの測定ダイナミックレンジは、 $2.59 \mu\text{s}$ あり、これを1としたとき、1/4以下になった場合、や3/4以上になった場合ラップアラウンドカウンタをインクリメントして、位相検出位置を $\pm 1.29 \mu\text{s}$ 分 (1/4) 戻す。つまり、測定中に、ダイナミックレンジの中心 (1/2) から $+ 0.647 \mu\text{s}$ (1/4) 以上離れたら、ラップアラウンドカウンタを + 1 して位相検出位置を中心から $- 0.647 \mu\text{s}$ の位置に入力信号の極性を反転することにより戻す。これを繰り返すことにより、無限の位相検出をおこなっている。この時の様子を図9に示す。

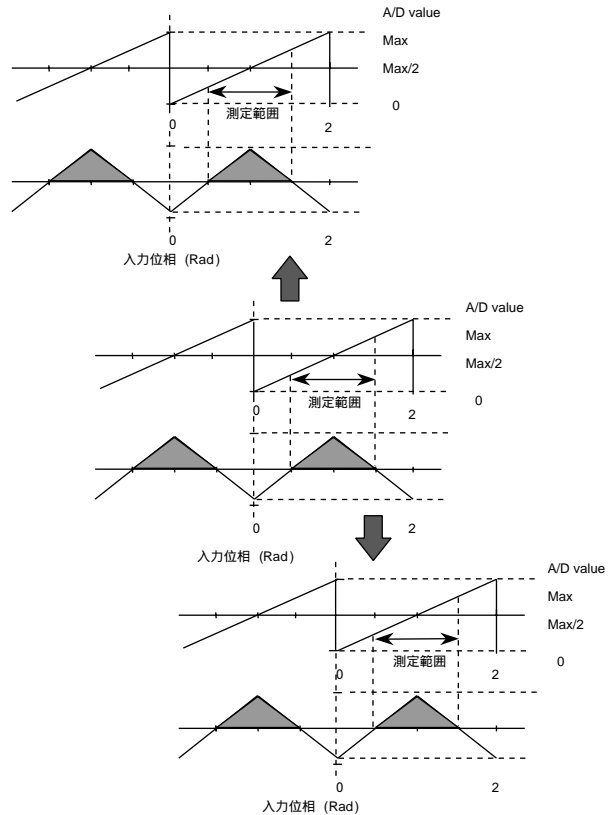


図9 PDの測定範囲とラップアラウンドカウンタのしくみ
Measurement limits of PD and principle of lap around counter

3.8.1 RAMのデータ

ワング測定部は、図10のブロック図に示すとおり、PDとADCおよびラップアラウンドカウンタで構成している。それらのデータは、3組のRAMに書き込まれるが、16 bit ADCの上位8 bitのデータをRAM1に、下位8 bitをRAM2に書き込み、ラップアラウンドカウンタ8 bitのデータはRAM3に書き込まれる。ADコンバータは、符号なし16 bit データで、RAM1データ(8 bit) + RAM2データ(8 bit) = 16 bit により計算し、ラッ

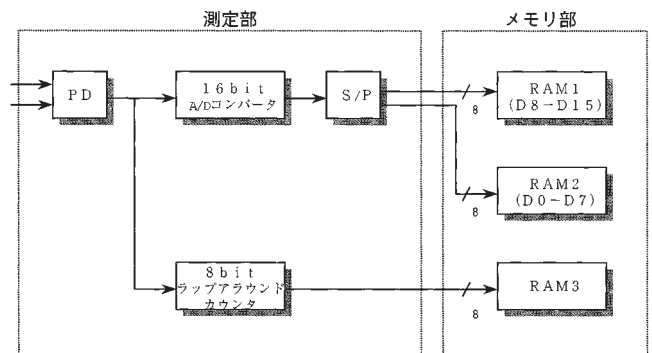


図10 Wander 測定部、メモリ部 ブロック図
Block diagram of wander measurement part and memory part

ブアラウンドカウンタ8 bitのデータは、MSBを符号bit、下位7 bitをデータbitとして計算する。

3.8.2 RAM リード

ワンダ測定の結果は、500ms 割り込みで、RAM にデータを書き込んでおり、サンプリング周期25msの設定時に、12,000秒分のデータ(12,000 × 40 = 480,000)を保存できる。RAM への書き込みは、ハードウェアで行っているため、CPU 側は、読み出しタイミング時に読み出すRAM を選択し、20個分のデータを読み出す。その時、RAM データ読み出しのワークエリアは、512k byte と少ないため、RAM の上位アドレスをバンク切り換えによって変えて読みだしを行う。その時の手順を図11に示す。また、RAM 周辺の回路を図12に示す。

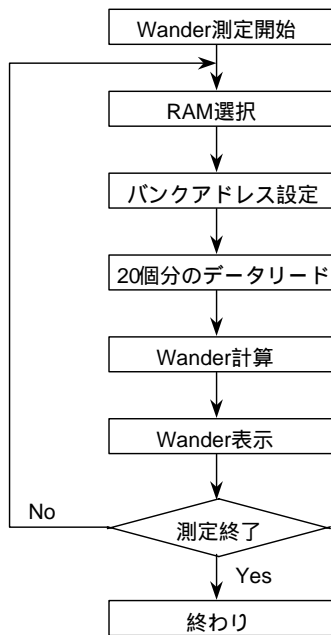


図11 RAM リード手順
Process of RAM reading

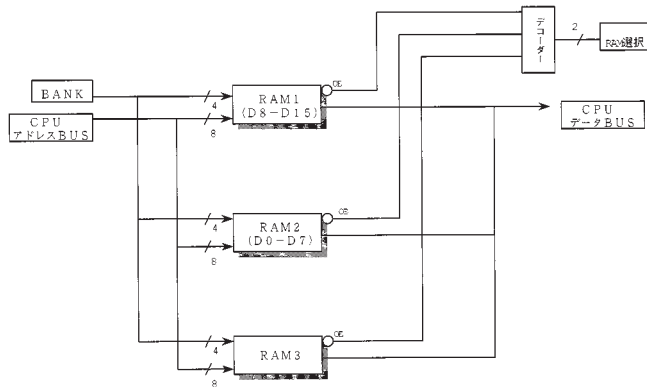


図12 RAM 周辺回路ブロック図
Circuit block diagram of RAM peripheral

3.8.3 Filter 計算

ワンダ測定結果の表示において、以下の3種類のフィルタによって帯域制限した結果を表示する。

これによりポインタ変動のような速い位相偏移と、その他のゆっくりとした位相変動との切り分け測定を可能とする。

1. DC - 10Hz : 測定データをそのまま計算して表示。
2. DC - 0.01Hz : 0.01Hz デジタルLPF の計算を行い表示する。
3. 0.01 - 10Hz : 1の結果から2の結果を引いて表示する。

3.8.4 0.01Hz LPF の構成

0.01Hz LPF は、FIR (Finite impulse response) と間引き(decimation)を用いて実現する。サンプリング周波数40Hzのデータから0.01HzのFIR フィルタを実現しようとするとき、フィルタのタップ数が非常に多くなり、入力1サンプル当たりの演算量も多く必要となるため、0.01Hz LPF は、サンプリング周波数を1Hzにし、カットオフ周波数を $\pi/3.13$ にするFIR (Finite impulse response) と1/4間引き(decimation)を用いて実現する。フィルタ全体のブロック図を図13に、また、FIRフィルタのブロック図および係数を図14に示す。

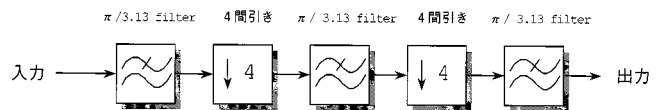


図13 0.01Hz LPF 全体ブロック図
Overall block diagram of 0.01Hz LPF

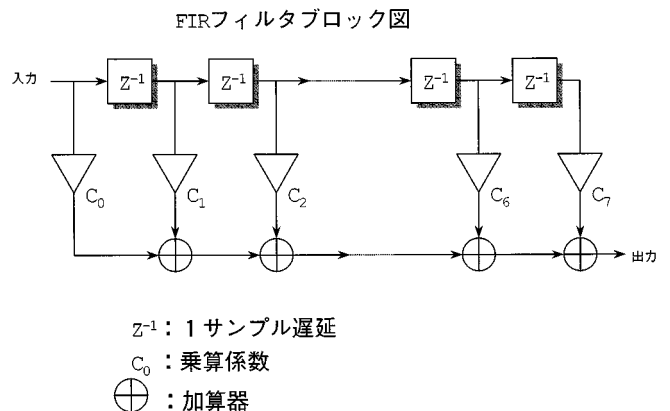


図14 FIR フィルタブロック図
Block diagram of 8 FIR filter

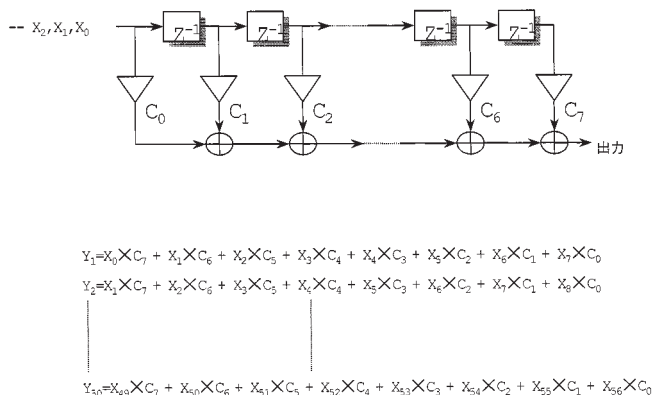


図15 FIRフィルタの計算例
Sample of FIR filter calculation

3.8.5 FIRフィルタの計算

FIRフィルタの計算は、必要とする特性に合せた8個の係数を図15のC₀からC₇に当てはめる。Z⁻¹は、入力サンプルデータを1サンプルシフトさせる遅延器で、X₀からX₁, X₂と順に入力していき、出力Y₁, Y₂,...と順に求めていく。その様子を図15に示す。図15からも判る様にサンプルデータが8個揃った時点ではじめて、FIRフィルタの結果が求まる。

3.8.6 1/4間引き

1/4間引きは、サンプルデータ列において、4つに1個のサンプルを使用し、残りの3つは無視するもので、サンプリング周波数を下げる目的のために使用する。

3.9 MTIE/TDIV測定

MP1552A/Bは、マニュアルワンダ測定のほか、ITU-T G.813に準拠したTDEV, MTIEの測定が可能である。MTIE, TDEVは、外部のパーソナルコンピュータが

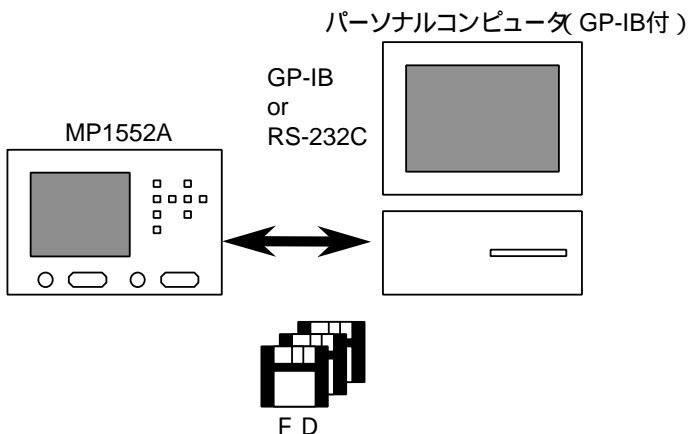


図16 MITE/TDEV測定構成図
Component diagram of MTIE/TIVE measurement

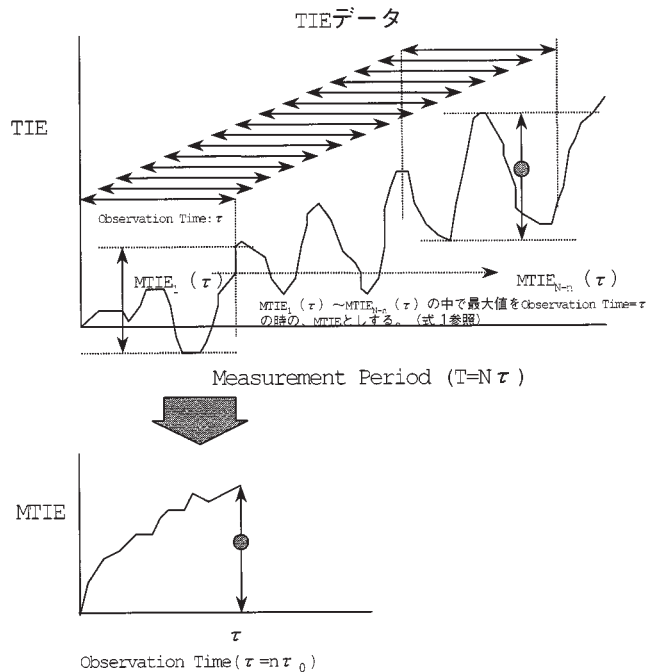


図17 TIE MTIEの求め方
Answering method from TIE to MITE

MP1552A/Bとの間で、ワンダ測定データ(TIE)の通信(GP-IB or FD or RS-232C)を行い、このデータをもとに外部PC上に用意したアプリケーションソフトウェアMX150001Aで計算し表示する。その時の構成を図16に示す。

3.9.1 MTIE測定

MTIE測定は、TIEデータをもとにして、(式1)により計算を行い表示する。測定結果をグラフにした時、横軸になるのが、Observation time (= n)で、MTIEは、measurement period (T)の全TIEデータをもとに求める。つまり、の間隔でTIEの最大値をもとめ、0 ~ T(N)まで、スライドさせて測定する。(図17参照)

$$MTIE(n^0) = \max_{1 \leq k \leq N-n} (\max_{k \leq i \leq k+n} X(i) - \min_{k \leq i \leq k+n} X(i)), n = 1, 2, \dots, N-1 \quad (式1)$$

3.9.2 TDEV測定の概要

TDEV測定は、TIEデータをもとにして、(式4)により計算を行い表示する。MTIEと異なり測定結果をグラフにした時、横軸になるのが、Integration time ()で、TDEVは、最大Integration timeの12倍のmeasurement period (T)の全TIEデータをもとに求める。例えば、 = 1,000秒のTDEV (1,000)は、12倍即ち、12,000秒 (40サンプル/秒 × 1,000秒 × 12 = 480,000サンプル)分の測定データを使って、(式4)に当てはめて計算を行う。

3.9.3 三重差分法²⁾によるTDEV計算

測定総サンプル数がN点あると、サンプリングデータ列をX(N)で表す。各サンプルデータは基準信号との位相差とする。

$$X(0), X(1), X(2), X(3), \dots, X(N-1) \quad (式2)$$

サンプリングデータを累計して記憶しておき、これをW(n)で表す。

$$\{W(0), W(1), W(2), \dots, W(N-1)\} =$$

$$\{X(0), X(0)+X(1), X(0)+X(1)+X(2), \dots, \sum_{k=0}^{N-1} X(k)\} \quad (式3)$$

ただし、W(-1)=0とする。

三重差分法によるTDEVの定義式はW(n)を使って以下のようになる。

$$TDEV(nT) = \sqrt{\frac{1}{6n^2(N-3n+1)} \sum_{m=0}^{N-3n} y_n^2(m)} \quad (式4)$$

$$y_n(m) = W(m+3n-1) - 3W(m+2n-1) + 3W(m+n-1) - W(m-1)$$

T: サンプリング周期

TDEV(nT) 計算の概要を $\sum_{m=0}^{N-3n} y_n^2(m)$ の部分で示す。

例えば $n = \frac{N}{3}$ のとき

$$y_n^2(0) = \{W(N-1) - 3W(\frac{2}{3}N-1) + 3W(\frac{1}{3}N-1) - W(-1)\}^2 \quad (式5)$$

ここで、W(N-1)の項はnが1からN/3まで、どの時点のTDEV計算においても出現する。(式4)を忠実に進めていたのでは、TDEV全時点の計算にW(N-1)が必要なので、計算を開始するには測定終了までの全データが必要になる。また、TDEV($\frac{N}{3}T$)まで計算し終えるまでは、全体を把握することができないので、MP1552A/B TDEV測定は式(4)を式(6)の様に変形する。

3.9.4 TDEVの定義式の変形

新たに関数を定義し三重差分におけるTDEVの定義式(式4)を下記のように変形する。

$$T_n(K) = \sum_{m=0}^{K-1} y_n^2(m)$$

$$TDEV(nT) = \sqrt{\frac{1}{6n^2} \frac{1}{K} \sum_{m=0}^{K-1} y_n^2(m)} = \sqrt{\frac{1}{6n^2} T_n(K)} \quad (式6)$$

(式6)ではT_n(k)のKの値を1からN-3n+1まで増加させながらTDEVを求める。例えば、表示ポイント30秒においては、40Hz × 30秒 = 1200ポイントのデータをもとに計算を行う。この時の、表示可能なTDEVは、N/3 = 30/3 = 10秒以下

下の表示ポイントになる。

例えば、n = 10秒におけるTDEV(10)は、(式7)となる。

$$y_{800}^2(0) = \{W(1199) - 3W(799) + 3W(399) - W(-1)\}^2$$

$$T_{400}(1) = \frac{1}{1} y_{400}^2(0) \quad (式7)$$

この計算式を利用することによって、処理効率を向上しTDEV表示までの待ち時間を短縮できる。

4 装置構成

4.1 ハードウェアの構成

本アナライザの構成例を表1に示す。本体部は正面に1つ側面に5つのユニット収容スロットを有し、正面に622MまでのSDH/SONETの物理インタフェース、側面はPDH/DSnの物理インタフェース、2.5Gの物理インタフェースおよびPDH・DSn/SDH/SONETの測定機能をもったユニットを装着可能とする。したがってユーザは測定対象とするネットワークエレメントや測定項目に応じて最適な測定システムを構築できる。

表1 ハードウェア構成
Hardware construction

ユニット	スロット1	スロット2	スロット3	スロット4/5
MP0121A : 2/8/34/139/156M				
MP0122A : 1.5/45/52M				
MP0123A : ATM				
MP0124A / MP0125A / MP0126A ジッタ				
MP0127A / MP0128A / MP0129A 2.5G				
MP0130A : 2.5G ジッタ				
MP0131A : Add/Drop				

4.2 ソフトウェアの構成

本装置のソフトウェア構成を図18に示す。

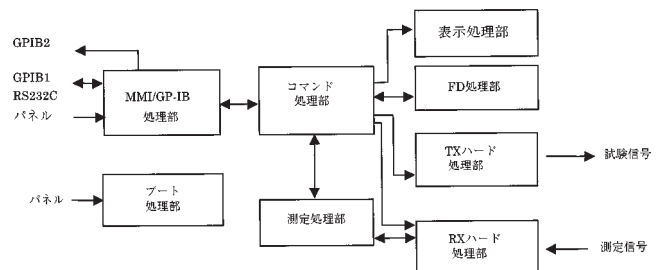


図18 ソフトウェア構成
Software composition

1) MMI/GP-IB 処理部

キー入力またはGP-IB (RS-232C) 入出力を処理する。また、入力結果をコマンド処理部へ通知する。

2) コマンド処理部

他モジュールからの各種処理要求を順次処理し、必要に応じて他モジュールに対し動作指示を与える。

3) TXハード処理部

設定に従った送信部のハードウェアのアクセスを行い、所定の信号出力処理を行う。

4) RXハード処理部

設定に従った受信部のハードウェアのアクセスを行い、所定の信号受信処理を行う。

5) 測定処理部

誤り検出ユニットのハードウェア設定とエラー/アラーム測定を行う。また、測定結果をEL画面上に表示する。

6) 表示処理部

キー操作に関する表示およびサブCPUで行う測定結果表示を除くEL画面への表示処理を行う。

7) FD 処理部

フロッピーディスクに関する処理を行う。

8) ブート処理部

ファームウェアプログラムをフロッピーディスクから内部EE-PROMへ格納する。

5 規 格

本アナライザの主要規格を表2に示す。

6 むすび

SDHおよびSONETインタフェースは日本を始め欧米先進国はもちろん、最近では東南アジアや中南米諸国においても保守対象の高速化が進んでいる。その中、プラグインユニット構成によりSTM-16/OC-48まで1筐体で対応できるSDH/SONET測定器を開発した。SONETマッピングや日本マッピング、さらにATMにも対応したことで、SDH/SONET通信装置やSDH/SONETをベースとしたATM通信装置の建設・保守における試験器として国内外での活躍が期待される。また、周波数カウンタ機能や光パワーメータ機能などを実現することにより、保守要求への対応強化を図った。特にプラグインユニット構成を採用したにもかかわらずMP1550A/Bの優れたポータビリティを継承できたことは、今後のSDH/SONET保守用測定器に少なからず影響を与えるものと確信している。

参考文献

- 1) 中村, 小畑ほか: “2 ~ 622Mbit/s対応のMP1550A/B PDH/SDH アナライザ”, アンリツテクニカル, 72号
- 2) GREENHOLL, C.A.: “Estimating the modified Allan variance”, Proc.1995 IEEE Frequency Control Symposium, pp346-353, 1995
- 3) 亀山, 田桐, 石部: “タイムデビエーション測定装置”, 特許公開番号, H10-178420, 1996

表2 MP1552A/Bの主要性能
Specifications of MP1552A/B

PDH	ビットレート	2.048, 8.448, 34.368, 139.264Mbit/s
	レベル/ウェーブフォーム	ITU-TG.703 準拠 (20dB モニタリングポイント含む)
	フレームフォーマット	フレーム無し, フレーム付き: MUX/DEMUX機能有り (オプション)
	エラー付加	ビット (全体, 試験パターン), コード, Eビット,
	アラーム付加	LOS, LOF, AIS, RDI, RDI(MF)
	エラー測定	フレーム, コード, CRC-4, Eビット, ビット
	アラーム測定	電源断, LOS, AIS, LOF, MFロス, RDI, RDI(MF), 同期外れ
DSn	ビットレート	1.544, 44.736Mbit/s
	レベル/ウェーブフォーム	ANSI T1.102 準拠 (20dB モニタリングポイント含む)
	フレームフォーマット	フレーム無し, フレーム付き: MUX/DEMUX機能有り (オプション)
	エラー付加	ビット (全体, 試験パターン), コード, パリティ, CRC-6, Cビット, REI
	アラーム付加	LSO, LOF, AIS, RDI,
	エラー測定	フレーム, コード, パリティ, CRC-6, Cビット, REI, ビット
	アラーム測定	電源断, LOS, AIS, LOF, RDI, 同期外れ
SDH/ SONET	ビットレート	51.84, 155.52, 622.08, 2,488.320Mbit/s
	レベル/ウェーブフォーム	52M(電気: B3ZS): ANSIT1.102, 52M (光, 1.31)
		156M (電気CMI, NRZ): ITU-T G703, 156M (光, 1.31, 1.55)
		622M (電気, NRZ), 622M (光, 1.31, 1.55)
		2.5G (電気, NRZ), 2.5G (光, 1.31, 1.55)
	マッピング	図2
	エラー付加	ビット(全体, 試験パターン), フレーム, B1, B2, B3, BIP-2, MS-REI, HP-REI, LP-REI
	アラーム付加	LOS, LOF, MS-AIS, MS-RDI, AU-AIS, AU-LOP, HP-RDI, TU-AIS, TU-LOP, TU-LOM, LP-RDI, LP-RFI
エラー測定	B1, B2, B3, BIP-2, MS-REI, HP-REI, LP-REI, LP-REI, ビット	
アラーム測定	電源断, LOS, LOF, OOF, MS-AIS, MS-RDI, AU-AIS, AU-LOP, HP-RDI, TU-AIS, TU-LOP, TU-LOM, LP-RDI, LP-RFI, 同期外れ	
モニタ	SOH, POH, K1/K2, ポインタ, パストレース (TIM アラームを検出)	
ジッタ	ビットレート	1.544, 2.048, 8.448, 34.368, 44.736, 139.264, 51.840, 155.520, 622.08, 2,488.320Mbit/s
	変調周波数 / 振幅	ジッタ発生: 0.1Hz ~ 20MHz / 0 ~ 800UIp-p ジッタ測定: 2Hz ~ 20MHz / 0 ~ 32.00UIp-p
	周波数オフセット	± 999.9ppm/ステップ0.1ppm(ジッタオフ), ± 70.0ppm/ステップ0.1ppm(ジッタオン)
	周波数測定	分解能0.1ppm
	自動測定	ジッタ耐力, 伝送特性, マッピングジッタ
ATM	ビットレート	1.544, 2.048, 34.368, 44.736, 139.264, 51.840, 155.520, 622.08Mbit/s
	マッピング	AAL1, AAL2, AAL3/4, AAL5, O.191
	エラー付加	AAL1: 廃棄セル, SNP, PRBS, ワード, AAL2: P, SN, OSF, HEC, PRBS, AAL3/4: SN, CRC10, セグメントタイプ, LI, アポート, CPI, B/E タグ不一致, BA サイズ, AL, レングス, PRBS, AAL5: フレームサイズ, レングス, CRC32, アポート, PRBS
	アラーム付加	LCD, VP/VC AIS, VP/VC RDI, VP/VC CC, VP/VC ループバックセル
	エラー測定	AAL1: 廃棄セル, SNP, 非補正SNP, PRBS, AAL2: P, OSF, SN, HEC, PRBS, AAL3/4: CRC10, SN, ST, LI, アポート, 廃棄PDU, CPI, B/E タグ不一致, BA サイズ, AL, レングス, アンデリバードPDU, PRBS, AAL5: フレームサイズ, レングス, CRC32, アポート, PRBS
アラーム測定	LCD, VP/VC AIS, VP/VC RDI, VP/VC LOC	
一般	プリンタ	内部/外部
	その他	FDD, RS-232C, GP-IB, ブザー, 時計
	寸法, 重量	320(W)× 177(H)× 350(D)mm, 約10kg (ユニット, オプション含まず)