

W-CDMA リアルタイム復調&BER/BLER 測定機能の開発

W-CDMA Real-Time Demodulation and BER/BLER Measurement Function

UDC 621.317.72/.757/.76

藤井 誠	Makoto Fujii	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部
木邨伸一	Shin-ichi Kimura	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部
亀田圭司	Keiji Kameda	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部
後藤剛秀	Yoshihide Goto	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部
井上 剛	Goh Inoue	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部
三崎裕司	Yuji Misaki	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部
富田浩二	Koji Tomita	ワイヤレスメジャメント ソリューションズ	開発本部	第2開発部

1 まえがき

W-CDMA 方式を採用した、いわゆる 3G と呼ばれる第 3 世代携帯電話システムの運用が 2001 年に始まった。本方式は高速性を活かした動画・データ伝送を特徴とし、今後の主流になると考えられている。アンリツは、この W-CDMA 用の基地局・移動端末の開発・製造向け測定器として、MG3681A デジタル変調信号発生器（以下単に MG3681A 信号発生器）や MS8609A デジタル移動無線送信機テスト（以下単に MS8609A 送信機テスト）を 2000 年末に開発した。ところで、移動端末の受信系モジュールの受信感度試験は、NF（Noise Figure）測定により行われてきた。これは受信モジュールの RF から IF への周波数変換部において周波数ブロックごとの NF 測定を行い、これらの信号経路の総合 NF を算出する方法である。ところが NF 測定を行う際に周辺からの影響や測定インピーダンスの不整合などが原因で、この計算から得られる受信感度と 3GPP 規格にある移動端末完成時に行われる BER（Bit Error Ratio）測定による受信感度試験結果とで相関がとれないため、モジュール段階での評価方法が課題となっていた。また、W-CDMA のサービスが開始されると、ユーザーより小型・低消費電力が要望されるようになった。この要望に対し、周波数変換部を無くし、RF 信号を直接ベースバンド信号へ変換するダイレクトコンバージョン方式を採用した 1 チップによる受信モジュールが開発された。周波数変換部を無くしたため、これまで周波数ブロックごとに

行われてきた NF 測定を行うことが困難となり、モジュール段階での新しい評価方法がモジュールメーカから所望されていた。そこでこのような場合においても、BER/BLER（BLock Error Ratio）測定による評価試験が行える W-CDMA 信号の復調・復号機能を搭載した復調ユニットを開発し、MS8609A 送信機テストに搭載した。これにより MS8609A 送信機テストは従来の機能に加えて、MG3681A 信号発生器との組み合わせによる、受信モジュールの評価が行えるようになった。

図 1 に MS8609A 送信機テストの外観を示す。



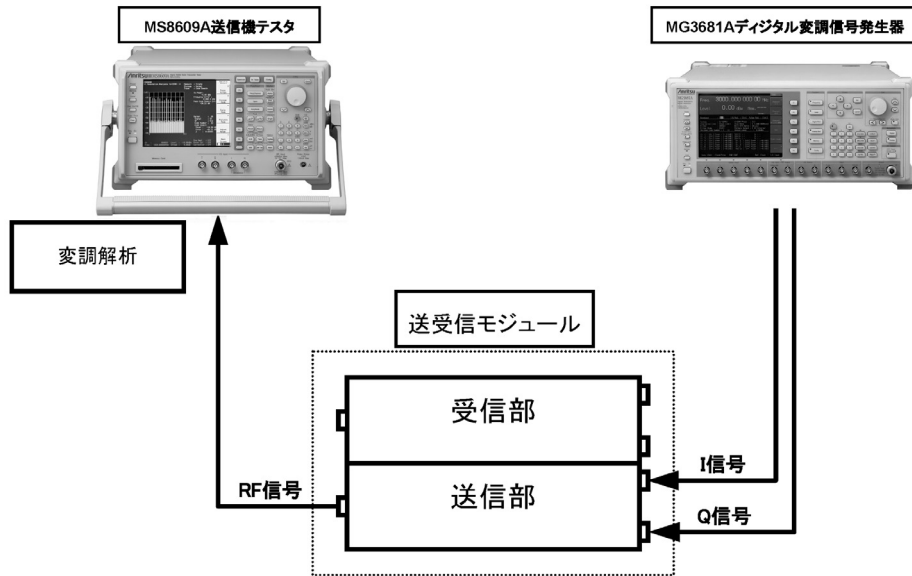
図 1 MS8609A 送信機テストの外観
External view of MS8609A Digital Mobile Radio Transmitter Tester

2 開発方針

本ユニットの開発方針は以下の 2 点である。

(1) 送受信モジュールの評価を MG3681A 信号発生器と

送信系評価



受信系評価

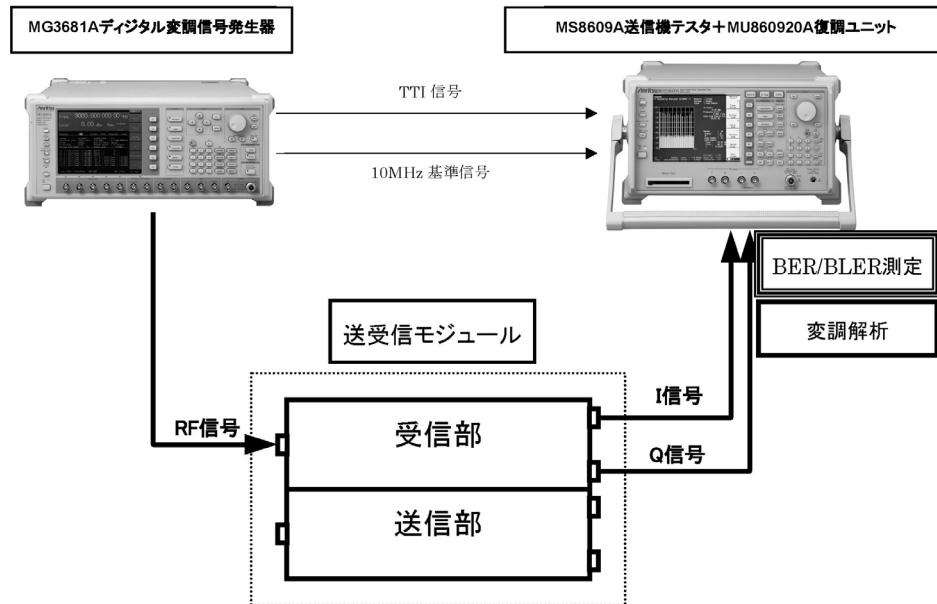


図2 モジュールの評価形態

Block diagram of DUT measurement

MS8609A 送信機テストの組み合わせで行えるようにする。

MS8609A 送信機テストによる評価形態を図2に示す。モジュール段階での評価は、図中に示すように、送信部では変調解析による評価を行い、受信部ではそれに加えて、BER/BLER 測定による評価を行う。復調ユニットを開発するにあたり、MS8609A 送信機テストに内蔵可能な構成とした。これにより、モジュールの評価項目である変調解析と BER/BLER

測定を MS8609A 送信機テストにより行えるようにし、ユーザの利便性向上を図った。

(2) リアルタイム処理

単に入力される信号の逆拡散・復号を行うのみであれば、従来行われていた、AD 変換後のデータをメモリに蓄積し、それに対し後から演算を行う方法でもよい。しかし、復号後のデータに対して、BER/BLER 測定を行う場合には、従来行われていたこの方法ではメモリ長以上の連続データを取得でき

ず、連続データを要求する BER/BLER 測定には対応できない。また、この方法は、外部のパラメータ変更などの変化に対する応答が悪く、測定時の時間効率が悪い。このため、演算の処理速度が要求される逆拡散、および演算規模が大きいピタビ/ターボ復号のそれぞれを FPGA により行うことで、リアルタイム処理を実現可能とした。

3 回路構成

(1) 評価形態図

MU860920A 復調ユニットは図 2 に示した評価形態の受信系評価を行うためのものである。評価対象となるのは図中のモジュールの内、RF 信号から I、Q 信号を生成する受信部である。モジュールの受信部は、MG3681A 信号発生器からの RF 信号を受信し、I、Q 信号を MS8609A 送信機テストに出力する。MU860920A 復調ユニットはこの I、Q 信号を入力して逆拡散・復号を行う。MG3681A 信号発生器はまた、MU860920A 復調ユニットで使用する同期用信号である TTI (Transmission Time Interval) 信号を供給する。

(2) ブロック図

復調ユニットのブロック図を図 3 に示す。

I、Q 信号は、アンチエイリアシングフィルタを通過後、ADC によりデジタル信号に変換される。デジタル変換されたデータは、Filter 部を通過後、Despreader FPGA の制御下にある Wave Memory

に取り込まれる。このデータを元に Detector DSP はフレームのタイミング同期を行う。10MHz 基準信号により MG3681A 信号発生器と MS8609A 送信機テストの間で同期を行っているため、フレームのタイミング同期はその後行う必要がない (図 2 参照)。フレームのタイミング同期を行った後、ADC で取り込まれたデータは逆拡散され、Detector DSP で復調される。復調されたデータは Decoder DSP および Decoder FPGA で復号され、そのデータに対し、BER FPGA で BER 測定が行われる。BLER 測定は Decoder DSP で行う。

4 設計の要点

図 3 MU860920A 復調ユニットのブロック図のうち、主要なブロックを設計の要点として以下に示す。

(1) Despreader FPGA

W-CDMA 信号の復調に必要な機能に逆拡散処理が挙げられる。MU860920A 復調ユニットは BER/BLER 測定のために、リアルタイム処理が求められており、その実現手段として FPGA を選択した。本 Despreader FPGA は主に 4 つの機能を持つ。

- ・ 波形キャプチャリング
- ・ 逆拡散
- ・ RMS 測定
- ・ 復調ユニットハードウェアインタフェース

Despreader FPGA は MG3681A 信号発生器からの TTI 信号に同期して動作する。波形キャプチャリ

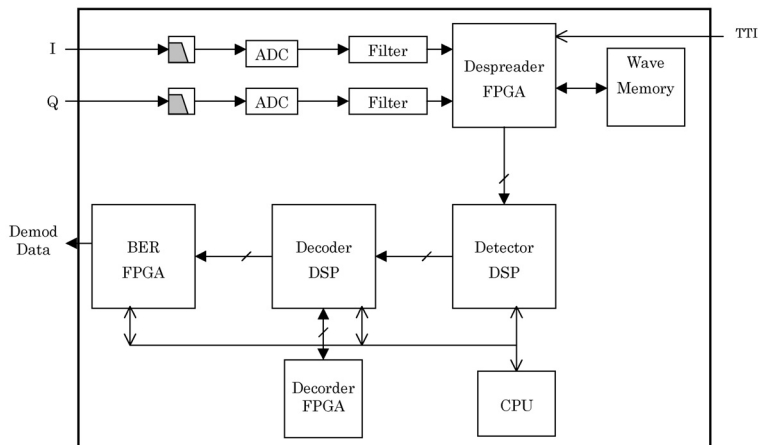


図 3 MU860920A 復調ユニットのブロック図
Block diagram of MU860920A Demodulation Unit

ングは、前段の ADC 部、Filter 部からデジタル化された I、Q 信号を Wave Memory に書き込む機能である。このとき TTI 信号をトリガとして、Wave Memory 部書き込む際のアドレスが Despreader FPGA 内部に記録される。逆拡散は、TTI 信号に同期しながら W-CDMA 信号を逆拡散する機能である。これにより、多重化された信号から特定のチャネルを復調する。また、TTI 信号と逆拡散のタイミングを調整できる。RMS 測定は、I、Q 信号の 2 乗積算値を演算し、逆拡散前の信号電力であるトータルパワーを求める機能である。復調ユニットハードウェアインタフェースは復調ユニット上に配置されるデバイス (Filter 部など) を制御する機能である。

(2) Detector/Decoder DSP

DSP 部は、Detector DSP と Decoder DSP とで構成され、主に Decoder FPGA、BER FPGA に転送するデータの変換処理を行っている。

Detector DSP は、主に 2 つの機能を有する。1 つは入力信号に対してスクランブルコードの同期を行う機能である。本機能は、入力信号からスクランブルコードを除去し、復調するチャネルを抽出するために逆拡散処理のタイミングを求める。Detector DSP は、Despreader FPGA にタイミングの設定を行うことにより、Despreader FPGA から復調に必要なチャネルデータを受信する。もう 1 つは、Despreader FPGA から逆拡散されたパイロットチャネルである CPICH (Common Pilot Channel)、および復調する DPCH (Dedicated Physical Channel) を受信し、CPICH を基準とした位相軌跡法により、周波数補正を行い、Decoder DSP に転送する機能である。転送される DPCH のデータはターボ復号あるいはビタビ復号処理で軟判定処理を行うため、DPCH の受信レベルであるコードパワーの RMS 値をもとに、それぞれ 6 あるいは 4 ビットに正規化される。

Decoder DSP は、Detector DSP からのチャネルデータに対して、デインターリーブ、レートマッチ処理といった復号前処理を行い、Decoder FPGA へ転送するデータを作成する。その後、Decoder FPGA でターボおよびビタビ復号処理を行い、復号

されたデータに対して CRC 演算により BLER 測定を行う。さらに BER 測定を行うために復号されたデータから CRC ビットを除いたデータを BER FPGA へ転送する。本 DSP は復号処理をスルーとすることでターボ符号あるいは畳み込み符号で誤り訂正されていないデータに対しても BER FPGA に BER 測定を行わせることが可能である。このため測定対象からの受信データに対し、誤り訂正による処理利得が付加されない状態で評価を行うことが可能である。

(3) Decoder FPGA

W-CDMA 方式では、畳み込み符号とターボ符号の 2 種類の誤り訂正符号が採用されている。低速の音声通信には畳み込み符号が、また、高速のデータ通信にはターボ符号が使用され、目的に応じて使い分けられる。Decoder FPGA ではこの畳み込み符号化あるいはターボ符号化された復調データに対して、それぞれビタビ復号、ターボ復号を行う。この復号機能を実現するにあたり、リアルタイム処理が要求されることから処理速度の速いハードウェアで実現する必要があること、また、IP (Intellectual Property) を用いて設計期間の短縮を図れることから FPGA を採用した。さらに部品実装面積縮小のため、ビタビ/ターボ復号を 1 つの FPGA で実現した。

ビタビ復号部では、規格により拘束長：9、符号化率：1/3 で畳み込み符号化されたデータに対して軟判定ビタビ復号を行う。ビタビ復号はトレリス残存パスメモリ長を大きくすると復号性能が向上するが、ある程度の大きさで復号性能の向上は見られなくなる。また、メモリも消費することになりハードウェア規模が大きくなる。一般的にこのパスメモリ長は拘束長の 3～5 倍 (27～45) で十分と言われているが、その値では要求性能を満たすことができなかったため、パスメモリ長の値は拘束長の 7 倍 (63) にした。パスメモリ長と BER 測定の測定結果を図 4 に示す。

ターボ復号部では、規格により拘束長：4、符号化率：1/3、インターリーブ長：40～5114 でターボ符号化されたデータに対してターボ復号を行う。ターボ復号は 6 ビット軟判定復号、Max-Log Map (logarithmic 'maximum a posteriori') アルゴリズム

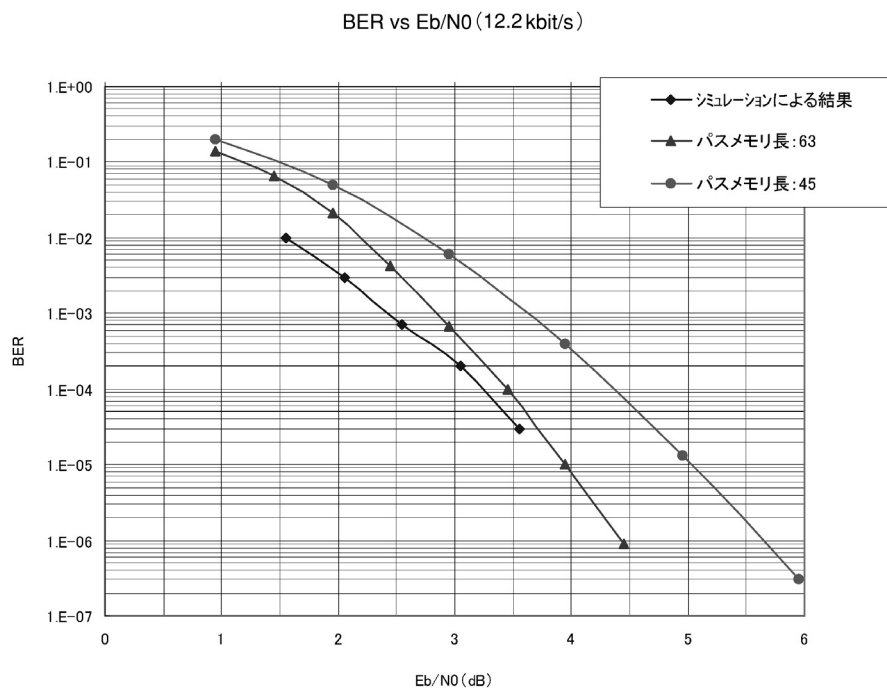


図4 パスメモリ長と BER 測定
Memory path length and BER measurement

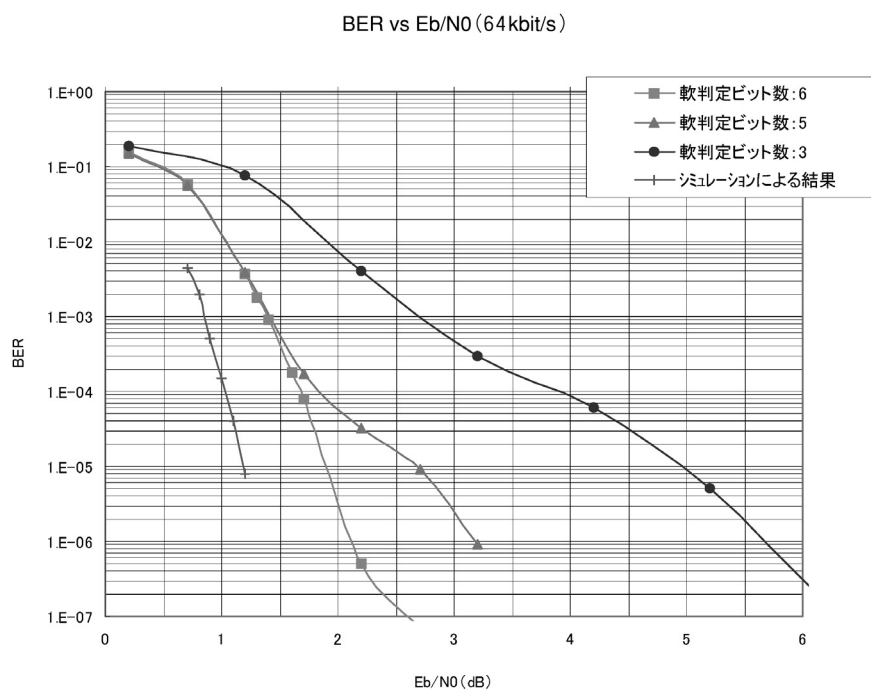


図5 軟判定ビット数と BER 測定
Soft decision bit length and BER measurement

ムを用いている。当初は軟判定復号ビット数を3ビットとしていたが、要求性能を満たすことができなかったため、軟判定ビット数は6ビットとした。軟判定ビット数とBER測定の測定結果を図5に示す。また、ターボ復号では繰返し復号を行い、繰返し回数の増加とともに復号性能が向上するが、処理

遅延は大きくなる。但し、この繰返し回数を増やしてもある程度回数で性能の向上は見られなくなる。このことを考慮して繰返し回数は8回とした。(図4, 5のシミュレーションによる結果は、“TSGR4 (99) 581 : Simulation results for UE performance requirements”による。)

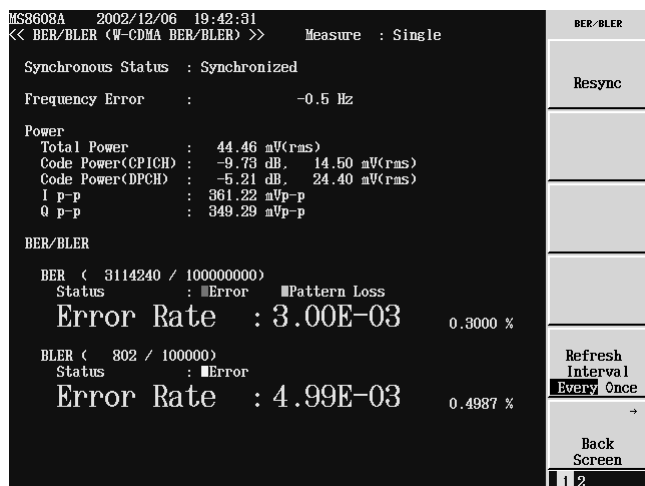


図6 測定画面

Display of measurement items

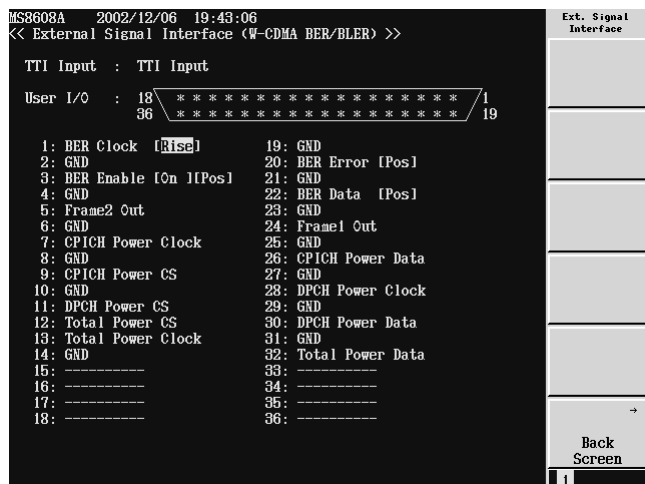


図7 User I/O コネクタのピン配置

Pin assign of User I/O connector

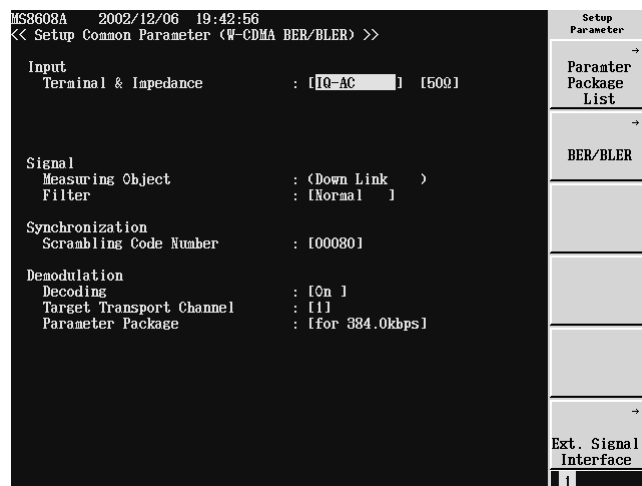


図8 パラメータ設定画面

Parameter setting

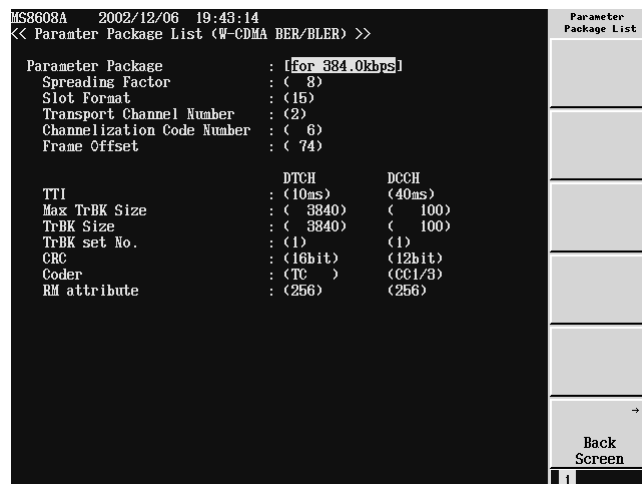


図9 復調パラメータの画面

Demodulation parameter setting

5 機能

MS8609A に MU860920A 復調ユニットを装着し、MX860920A W-CDMA BER/BLER 測定ソフトウェアをインストールすることにより、W-CDMA 用受信モジュールの BER/BLER 測定を行うことが可能となる。

●測定画面（図6）

・パワー測定

トータルパワーに加え、CPICH、DPCH の両コードパワーを絶対値および、トータルパワーとの相対値を dB 単位で表示している。また、適正な I、Q 入力レベルであるかを判断するために I、Q 信号のピーク電圧の表示も行っている。

・BER/BLER 測定

Decoding 機能がオフの場合には BER 測定のみを、

Decoding 機能がオンの場合には BER および BLER 測定を行う仕様とした。ユーザが測定長を選択できるように、BER 測定のビット数、BLER 測定のブロック数は独立に設定できる仕様とした。また、BER/BLER 測定の表示は全測定数に対するエラーレート表示と全エラー数を示すエラーカウント数表示を切替え可能とした。

●背面外部出力（図7）

MS8609A 送信機テストの背面に多極コネクタ（User I/O）を追加し、下記に示す信号を出力できるようにした。User I/O のピン配置は画面上で確認が可能である。

・外部 BERT 用出力

外部 BERT（Bit Error Rate Tester）での BER 測定用に Clock、Data、Enable 出力を持つ。それぞれに対し極性を選択できるほか、Enable 信号は On/Off の選

扱が可能である。また、MU860920A 復調ユニットでの BER 測定時にエラーを検出した場合、MS8609A 送信機テストの外部からモニタするためのエラー出力を持つ。この出力は、MS8609A 送信機テストで復号されたデータを外部で記録するために使用することが可能である。

- ・ AGC (Auto Gain Control) 用パワー出力

MS8609A 送信機テストに投入された I, Q 信号のトータルパワーとコードパワーの電圧値を 12 ビットのデジタル信号で出力する仕様とした。この出力を用いて、測定対象のレベル設定に反映させることが可能である。

- パラメータ設定 (図 8, 9)

MX860920A W-CDMA BER/BLER 測定ソフトウェアは、3GPP の測定項目のうち、データの伝送速度に依存するパラメータは伝送速度ごとの既定値として、伝送速度を選択することにより設定される仕様とした。これにより、パラメータ設定を簡易化している。既定値のパラメータは図 9 のように別画面で一覧として確認可能である。

- ソフトウェア

MS8609A 送信機テストに搭載した MU860920A 復調ユニットと MX860920A W-CDMA BER/BLER 測定ソフトウェアは入力信号をリアルタイムに復調・復号し、BER/BLER 測定、および測定結果の表示を行わ

なければならない。そのため、画面表示、ハードウェア設定、各種測定、および演算を行うためにプロセッサを複数設け、各プロセッサに役割を分担する仕様とし、これによりリアルタイム処理を実現した。図 10 にプロセッサ間の関係を示す。

- ・ 本体制御部

MX860920A W-CDMA BER/BLER 測定ソフトウェアは MS8609A 送信機テスト本体の制御部に、ボード制御部を制御する処理を追加している。この制御部は本体解析部の制御とパネル入力、画面表示などのユーザインタフェース機能を備える。

- ・ 本体解析部

本体解析部は MS8609A 送信機テストでの一部測定と復調ユニット制御部へのデータ転送、および復調ユニットで測定された結果の受信、集計処理、そのほか演算機能を備える。

- ・ ボード制御部

ボード制御部は、復調ユニットにおける各デバイス (Detector DSP, Decoder DSP, BER FPGA) を制御し、測定結果を本体解析部へと転送する機能を備える。

- ・ ボード解析部

Detector DSP, Decoder DSP, BER FPGA を含むボード解析部は入力された信号をリアルタイムに復調・復号し、同時に各種測定機能を備える。

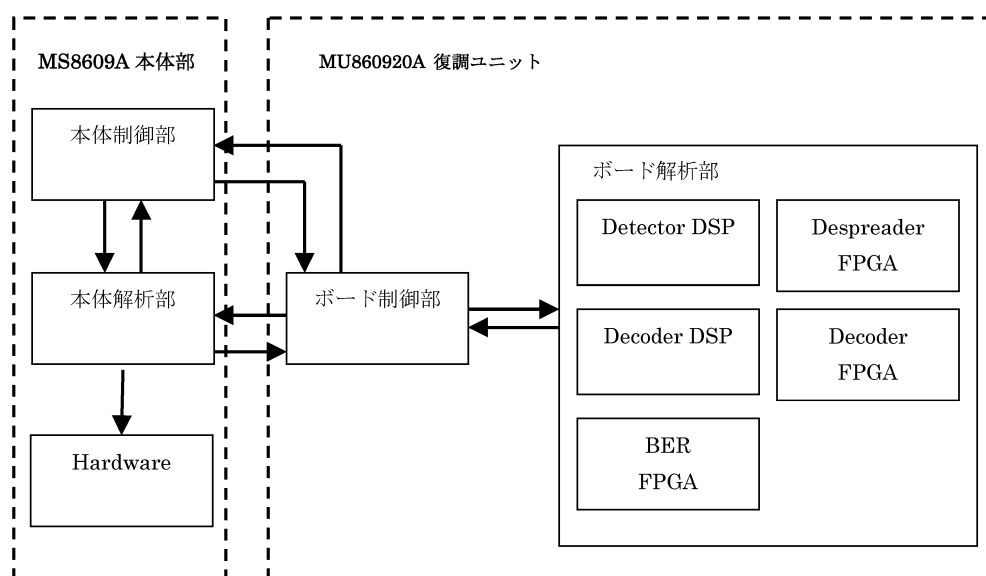


図 10 各プロセッサ間の関係
Relationship of processors

6 規格

表 1 に MX860920A の規格を記す。

表 1 主要規格
Specifications

IQ 入力	入力方式	Balance, Unbalance の選択可能
	入力インピーダンス	1M Ω (並列容量<100pF), 50 Ω の選択可能
	入力レベル範囲 (Balance)	差動電圧範囲: 0.1 to 1V _{pp} (入力端子にて) 同相電圧範囲: $\pm$ 2.5V (入力端子にて)
	入力レベル範囲 (Unbalance)	0.1 to 1V _{pp} (入力端子にて) DC 結合 / AC 結合の切替可能
レベル 測定	Total Power	I, Q 端子に入力された Total Power ($\sqrt{I^2+Q^2}$, 単位 V _{rms}) を測定・表示
	Code Power	I, Q 端子に入力された Code 別 (CPICH, DPCH) の Power ($\sqrt{I^2+Q^2}$, 単位 V _{rms}) と Total Power との 相対値 (単位 dB) を測定・表示
	I, Q レベル	I, Q 端子に入力された入力電圧 (peak to peak 値) を測定し表示
BER 測定	測定 Bit 数	1000 ~ 100M 個, 1Step
	測定 PN タイプ	PN9, PN15 の選択が可能。
	測定結果表示	誤り Bit 数表示, 誤り率 (指数, %) 表示の選択が可能。 誤り発生時 (Error) および PN 同期外れ時 (Pattern Loss) の警告表示が可能 設定された測定 Bit 数に対する進捗度表示 (Progress) が可能。(単位: 分数)
BLER 測定	測定 Block 数	10 ~ 100000 個, 1Step
	測定結果表示	誤り Block 数表示, 誤り率 (指数, %) 表示の選択が可能。 誤り発生時 (Error) の警告表示が可能。 設定された測定 Bit 数に対する進捗度表示 (Progress) が可能。(単位: 分数)
測定対象		Down Link
フィルタ選択		3 種類 (Normal, ACP, No Filter) の選択が可能
同期	Scrambling Code Number	0x00000000h ~ 0x0003FFFFh, 0x00000001h step
復調	Decoding	ON/OFF が可能
	Target Transport Channel	1 ~ Transport Channel Number まで
	Parameter Package	1 ~ 4 (12.2 kbit/s, 64.0 kbit/s, 144.0 kbit/s, 384.0 kbit/s) の設定パラメータファイルの選択が可能。
外部 入出力	TTI 信号入力	MG3681A から出力される Super Frame Clock の入力端子
	復調データ出力	外部 BER 測定用出力 Data (Pos, Neg 切替), Clock (Rise, Fall 切替), Enable (Pos, Neg 切替&ON/OFF 可能), Error (BER 測定時の誤り発生時のイベント出力, Pos, Neg 切替) の 4 種類の信号を出力することができる。
	復調フレームクロック出力	フレームタイミング信号 Frame1 (10ms 固定周期, Pos) と Frame2 (復調データのフレームの区切り信号, Pos) を出力することができる。
	AGC 用データ出力	測定電圧相当のデジタルデータ出力。 Total Power, Code Power (CPICH, DPCH) の 3 種類を出力できる。 それぞれ, Data, Clock, CS を持ち, 12bit, Serial 信号 (Full scale=+2.5V) を出力する。

7 むすび

従来の NF 測定法に代わり，W-CDMA の受信モジュールの評価方法として，端末完成品評価試験と同等の BER/BLER 試験による試験方法が行える測定器を実現した。MG3681A と組み合わせた評価システムを構築することにより，部品・モジュールメーカーはもとより，端末メーカーの受入検査などに採用されることを期待している。

参考文献

- 1) 木名瀬，杉田，土井，河野，山田，秋山，小林：
“高性能と拡張性を備えたデジタル変調信号発生器の開発”，アンリツテクニカル 79 号，pp. 52 - 61 (2000.10)
- 2) 田河，飯吉，岡田，白居，亀田：
“次世代システムに対応した MS8608A デジタル移動無線送信機テスト”，アンリツテクニカル 79 号，pp. 35 - 42 (2000.10)