乗算器と2進カウンタを使用した高分解能ダイレクトディジタルシンセサイザ

High-Resolution Direct Digital Synthesizer using Multiplier and Binary Counter

UDC 681.78

内野政治 Masaharu U	chino 技術統轄本部	研究所	情報通信計測研究部
-----------------	--------------	-----	-----------

まえがき

限られた周波数分解能のなかで任意の周波数の正弦波信 号を発生できる周波数シンセサイザは電子装置の心臓部で ある¹⁾。Direct Digital Synthesizer (DDS) はディジタル 回路の高集積化,高速化に伴い,長足の進歩を遂げた周波 数シンセサイザである^{2),3),4)}。

発振周波数 f_c をクロック周波数 f_s で正規化した値 f_c/f_s を設定周波数 ν とする。図1に従来広く用いられて いるDDSの構成を示す。設定周波数を加算器とレジスタ[†]か ら成るアキュムレータに入力し、クロック周期ごとに累算 を繰り返すことによって、時刻 tにおける位相 $\nu[f_st] - [\nu[f_st]]$ を計算する。ここで、記号 [x] はxを超 えない最大の整数を意味する⁵⁾。簡単のため、位相をクロッ ク周期に対する相対値すなわち、位相角度を 2π で除した値 であらわす⁶⁾。

位相はメモリ内に保持された三角関数の表であるLook Up Table (LUT)を介して,正弦波の瞬時値に変換される。 LUT の出力はディジタル-アナログ (DA)変換され,周 波数 *f_c* の正弦波信号となる。以降は,このような原理に基 づくDDSを加算型DDSと呼ぶ。 ディジタル伝送路で発生するビット誤りを検出,訂正す るシステムは,送信側の符号器と受信側の復号器で構成さ れる。符号器は毎秒 m ビットで入力される情報ビットに 基づいて,毎秒 k ビットで冗長ビットを計算し,これを情 報ビットに付加した毎秒 m+k ビットの送信符号を伝送 路に送出する。受信側において,復号器は受信された毎秒 m+k ビットのビット列から情報ビットを復元する。伝 送路上での伝送速度を f_r とすると,符号器に入力される情 報ビットの転送速度はその m/(m+k) 倍となる。 $f_r = f_s$ とすると,符号器や復号器は設定周波数が m/(m+k) の DDSを必要とする。実用上有用な整数 m+k, kの組み は多数知られており⁷⁾, m+k は必ずしも2の冪乗になる とは限らない。

一例として,最も簡単な場合の m = 1, k = 2を考える
と,設定周波数 ν =1/3 は

$$1/3 = 4^{-1} + 4^{-2} + 4^{-3} + \dots \tag{1}$$

となる。有限2進小数では1/3をあらわすことができないので、2進法によるDDSではクロック周波数を3分周した 周波数を発生できない。

すなわち、 $\nu = 1/3$ を小数点以下 2 *l* ビットの 2 進小数 $1/3 \simeq 4^{-1} + 4^{-2} + 4^{-3} + \dots + 4^{-l}$ (2)



[†]レジスタはクロック周波数*f*_sによって駆動されているD型フリップフロップであり、クロックの立ち上がりエッジにおける入力データを出力に 転送し、クロック周期1/*f*_sの間、この状態を維持するものとする。

で近似し、21ビットの加算器を使って加算を繰り返すと、4¹ / f_s 秒後の加算器の出力は必ず0になってしまう。ところが、

4 mod $3 = 1, 4^2 \mod 3 = 1, 4^3 \mod 3 = 1, ...$ (3) であるから、 $4^l / f_s$ 秒後の位相 $4^l / 3 - [4^l / 3]$ は1/3で ある。これは位相誤差が1/3すなわち、角度にして120度に もなることを意味する。このような現象を発生させないた め、加算器のビット数すなわちDDSの周波数分解能を十分 大きくし、次のビット数以上とする必要がある。

DA 変換器ビット数 + $\log_2($ 装置寿命 × f_s) (4)

一方,DDSでは最大動作周波数も重要であり,高い周波数分解能を維持しつつ,最大動作周波数を向上させる方法として,パイプライン化されたアキュムレータを使ったDDSが提案されている^{8,9}。

本論文において、筆者は上記方法とは別の手段による高 速で高分解能なDDSを提案する¹⁰⁾。それは図2のようなク ロック周波数 f_s で連続動作するKビット2進カウンタと、 乗算器から構成されるDDSであり、乗算型DDSと呼ぶ。 乗算器は設定周波数 ν とカウンタ出力 [f_st]の積の小数 部である位相 ν [f_st]-[ν [f_st]]をLビットに量子化し た値 $Q(\nu$ [f_st])をLUTに送出している。設定周波数の 有効ビット数は約 $L+K - \log_2 K$ となり、2進カウンタ は同じビット数の加算器よりも高速化が容易なので、高分 解能と高速動作を両立できる。周波数分解能76ビットの場 合、乗算器は76ビット加算器よりも約3倍高速である。

本論文では、第2節において、加算型DDSにおける周波 数分解能、最大動作速度を分析する。第3節において、乗 算型DDSの原理および乗算器の回路構成を示す。第4節に おいて、基準正弦波に対するLUT出力の誤差評価を基に乗 算型DDSの性能を分析する。乗算型DDSを集積回路化す る際、LUTの占有面積が問題になるので、第5節ではLUT の圧縮を論じ、その影響を考察する。第6節では実用的な 乗算型DDSのモデルを提示し,最大動作周波数,論理素子数などを,同じ周波数分解能の加算型DDSと対比する。

2 _{加算型DDS}

1ビットの数 $X \ge Y$ の和は 2ビットの数になるので、 その最上位ビット (MSB) を C_o ,最下位ビット (LSB) をSとする。半加算器は次の演算を行う¹¹⁾。

$$S + 2C_o = X + Y \tag{5}$$

全加算器は2つの半加算器と1つのORゲートによって構成 され,次の演算を行う¹¹⁾。

$$S + 2C_o = C_i + X + Y \tag{6}$$

ここで, *C_i*は桁上げ信号の入力ビット, *C_o*は桁上げ信号 の出力ビットをあらわす。 *M*ビット加算器はLSBを出力 する1個の半加算器, LSB以外のビットを出力する *M*-1 個の全加算器から構成される。

M ビット加算器を使用した加算型DDSにおいて、レジスタ出力の全ビットが1のときに、1を加えて、加算器出力の全ビットが0になる場合を考える。最初に加算器出力 $のLSBが0になり、それから<math>T_c$ 秒が経過すると2ビット目 が0になり、最終的にはMSBが0になり、M ビットの加算が完了する。したがって、加算時間は (M-1) T_c であ る。ここで、 T_c はLSBからMSBに向け伝播する桁上げ信 号の1ビット当たりの伝播遅延時間であり、このような場 合でも、アキュムレータは正常動作しなければならない。 したがって、レジスタのセットアップ時間を無視しても、 DDSの最大動作周波数は約1/(MT_c) である。Mはビッ ト数であらわしたDDSの周波数分解能でもあるので、高い 周波数分解能と高速動作を両立させることは困難である。 近年では、飛躍的に向上した集積度を生かし、パイプライ ン化されたアキュムレータを採用したDDSも開発され⁸、



図 2 乗算型ダイレクトディジタルシンセサイザ Multiplicative configuration of direct digital synthesizer

最大動作周波数1/Tcが実現されている。しかしなが ら, *M*ビットの周波数分解能を得るためには,約*M*²ビッ ト分のレジスタが必要となる。高速化の代償として、ビッ ト数で表わした周波数分解能の平方に比例する消費電力増 加を支払ったことになる。

乗算型 DDS

図2の乗算型DDSにおいて、クロック周波数 fs で連続 動作する Kビット2進カウンタの時刻 tにおける出力 $[f_st] = n$ および,設定周波数 $f_c / f_s = \nu$ はそれぞれ次の ように2進数表示される。

$$b_0(n) + b_1(n)2^1 + b_2(n)2^2 + \dots + b_{K-1}(n)2^{K-1} \quad (7)$$
$$u_12^{-1} + u_22^{-2} + u_32^{-3} + \dots \quad (8)$$

ここで、 b_0 、 b_1 、... および u_1 、 u_2 、... は各ビットであ り、0または1の値をとる。乗算器はカウンタ出力と設定 周波数との積の小数部である位相 vn-[vn] をクロック周 期ごとに計算し、位相を L ビット量子化した値QをLUT に送出する。

始めに、L=7、K=8の場合を例として、乗算器の動 作を説明する。式(7)と式(8)の積は次のようになる。

 $\nu n = b_0 \nu + 2^1 b_1 \nu + 2^2 b_2 \nu + \dots + 2^7 b_7 \nu$ 式 (9) の右辺を図3のようにあらわす。図中下から*i*+1 行目の要素は式 (9) 右辺第i + 1項をあらわし, b_i = 0の とき行全体が零になり、 $b_i = 1$ のときは図中表示される値

となる。図はn=255の場合を示している。図中太線枠外の 左側に対応する値 r は整数となる。 u8, u9,... がすべて 0の場合,太線枠外の右側に対応する値 β は最小値 0 をと り, u₈, u₉,... がすべて1の場合, 最大値 8 × 2⁻⁷をと る。太線枠内のl列目に含まれる1の総数 $\sum_{i=0}^{7} b_i u_{i+l}$ を重 み *v*₇₋₁ とする。以上から,式(9)は次のように整理される。

 $\nu n = r + (v_6 2^{-1} + v_5 2^{-2} + \dots + v_0 2^{-7}) + \beta \qquad (10)$ βは常に0以上2⁻⁴以下であるので、十分小さいとして無視 し、LUTには次の7ビット量子化値を送出する。

 $Q = (v_0 + v_1 2^1 + v_2 2^2 + \dots + v_6 2^6) \mod 2^7$ (11)

3.1 動作原理

一般には、量子化値 $Q(\nu n)$ を以下の方法により計算する。

$$\nu n = \left\{ \sum_{l=0}^{K-2} 2^{l} \left(\sum_{i=1}^{K-1-l} u_{i}b_{i+l} \right) \right\} + \left\{ \sum_{l=1}^{L} 2^{-l} \left(\sum_{i=0}^{K-1} u_{i+l}b_{i} \right) \right\} + \left\{ 2^{-L} \sum_{l=1}^{\infty} 2^{-l} \left(\sum_{i=0}^{K-1} u_{i+L+l}b_{i} \right) \right\}$$
(12)

式(12)において、第1項は正整数である。量子化値を第 2項から.

$$Q(\nu n) = \{\sum_{l=0}^{L-1} 2^l \sum_{i=0}^{K-1} u_{i+L-l} b_i\} \mod 2^L$$
(13)

とする。第3項の総和を $\beta(\nu n)$ と記し、量子化誤差と呼 ぶ。第3項の小括弧内の総和は0以上K以下だから、量子 化誤差は0以上 $K2^{-L}$ 以下になる。

								-			- Q			>		
				r				v_6	v_5	v_4	v_3	v_2	v_1	v_0	-	β
$2^{7}b_{7}\nu$	u_1	u_2	u_3	u_4	u_5	u_6	u_7	u_8	u_9	$ u_{10} $	$ u_{11} $	u_{12}	u_{13}	$ u_{14} $	u_{15}	$u_{16} \cdot \cdot$
$2^6 b_6 \nu$	1	u_1	u_2	u_3	u_4	u_5	u_6	$ u_7 $	u_8	u_9	u_{10}	$ u_{11} $	u_{12}	u_{13}	u_{14}	u_{15} · ·
$2^5b_5\nu$			u_1	u_2	u_3	u_4	u_5	u_6	u_7	u_8	u_9	u_{10}	u_{11}	u_{12}	u_{13}	u_{14} · ·
$2^4 b_4 \nu$				u_1	u_2	u_3	u_4	u_5	u_6	u_7	u_8	u_9	u_{10}	u_{11}	u_{12}	u_{13} · ·
$2^3b_3\nu$				•	u_1	u_2	u_3	u_4	u_5	u_6	u_7	u_8	u_9	$ u_{10} $	u_{11}	u_{12} .
$2^2b_2\nu$						u_1	u_2	u_3	u_4	u_5	u_6	u_7	u_8	u_9	u_{10}	u_{11} .
$2^1b_1\nu$						•	u_1	u_2	u_3	u_4	u_5	u_6	u_7	u_8	u_9	u_{10} .
$b_0 \nu$								$\lfloor u_1 \rfloor$	u_2	u_3	u_4	$\lfloor u_5 \rfloor$	u_6	$\lfloor u_7 \rfloor$	u_8	$u_9\cdots$
Scale: 2^7	2^{6}	2^{5}	2^{4}	2^{3}	2^{2}	2^{1}	1	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}	$2^{-9} \cdot \cdot$
$\nu = u_1 2$	$2^{-1} + \frac{1}{2}$	$u_2 2^{-2}$	$^{2} + u_{2}$	32^{-3} -	$+ \cdots$,	$[f_s t]$	mod	$2^8 =$	$= b_0 +$	$b_1 2^1$ -	$+ b_2 2$	$^{2} + \cdot$	$\cdots + b$	$_{7}2^{7}$	

(9)

図3 8ビット2進カウンタ出力 [f_st] と設定周波数 ν の積の計算 Calculations for product of 8-bit binary counter output $[f_s t]$ and setup frequency ν したがって,式(12)は次のようにまとめられる。

 $\nu n = r(\nu n) + 2^{-L}Q(\nu n) + \beta(\nu n)$ (14)

ここで, r(*vn*) は整数であり,式(12)の第1項と第2項 の整数部分との和である。

乗算器の回路構成を図4に示す。図中の記号⊗は重み検 出回路(Weight Detection Circuit)であり、重み

 $v_{L-l} = b_0 u_l + b_1 u_{l+1} + \dots + b_{K-1} u_{l+K-1}$ (15) を出力する。重みは0以上K以下の整数値をとるので、重み を表わすのに必要なビット数は $N = [\log_2 K] + 1$ である。 重み検出回路はK個の2入力ANDゲートと、ANDゲート 出力中の1の総数を検出する加算器により構成される。 式(13)右辺は各重み検出回路の出力をlビットシフトし

た後, Lビット加算した総和

 $Q(\nu n) = (v_0 + v_1 2^1 + v_2 2^2 + \dots + v_{L-1} 2^{L-1}) \mod 2^L$ (16) であり、図4中の L入力の Lビット加算器がこの総和を 計算する。

LUT は複素平面上の単位円を 2^L 等分した値 C_0 , C_1 , ..., $C_{2^{L}-1}$ を保持している数表である。

 $C_k = e^{j2\pi(\alpha + k2^{-L})} \tag{17}$

ここで、 α は初期位相を意味する実定数である。式(13) の量子化値をLUTのアドレス入力 kとすると、LUTから は $C_{Q(\nu n)}$ が出力され、LUTに続くDA変換器からは、発振 周波数 f_c の正弦波を近似する信号が出力される。

3.2 周波数切り換え時の位相連続化

図2の構成では設定周波数を切り換えた際に大きな位相 不連続が発生する。すなわち,たとえ $\nu \sim \nu'$ であって も, $Q(\nu n) \geq Q(\nu'(n+1))$ との差が大きくなってし まうことがある。

これを解決するため、LビットレジスタとLビット加

算器から成る図5の回路を図2の乗算器とLUTの間に挿入する。設定周波数 ν の状態下でカウンタ出力がmとなった後に、カウンタを1にプリセットし、当時に設定周波数を ν' に更新する。また、量子化値 $Q(\nu m)$ を新たに付加したLビットレジスタに保存する。この結果LUTには位相が連続した

 $(Q(\nu m) + Q(\nu' i)) \mod 2^L$, i = 1, 2, 3, ... (18) が送出される。ここで, i はプリセットした後のカウンタ出力をあらわす。



図 5 設定周波数を切り換えた際に位相の連続性を維持するための 付加回路 Optional circuit maintaining phase continuity at exchanging setup frequency

4 性能の評価

4.1 波形誤差,位相誤差

複素平面上において、LUT出力 $C_{Q(\nu n)}$ と基準正弦波 $e^{j2\pi\nu n}$ との距離を波形誤差 $w(\nu n)$ と呼び、次式で定める。

$$w(\nu n) = |C_{Q(\nu n)} - e^{j2\pi\nu n}|$$
(19)

0以上 m / f_s 未満の時間範囲において,常に $w(\nu n) << 1$ であれば,LUTからは基準正弦波を近似する正弦波形が出力されたことになる。

Multiplier in multiplicative direct digital synthesizer

LUT出力と、基準正弦波との位相誤差 $p(\nu n)$ を次式で定める。

$$p(\nu n) = \frac{1}{2\pi} \arg(C_{Q(\nu n)} e^{-j2\pi\nu n})$$
(20)

ここで、 $\arg(z)$ は複素数zの偏角を意味し、 $-\pi$ 以上 π 未満の値をとる。

複素平面上の3点0, $C_{Q(\nu n)}$, $e^{j2\pi\nu n}$ を頂点とする二等辺 三角形について,単位円周上の2点 $C_{Q(\nu n)}$, $e^{j2\pi\nu n}$ を結ぶ 辺の長さは $w(\nu n)$ であり,その辺の中点をPとする。直角 三角形0, p, $e^{j2\pi\nu n}$ を考え,原点と $e^{j2\pi\nu n}$ を結ぶ斜辺の長 さが1であり, $e^{j2\pi\nu n}$ とりを結ぶ辺の長さが $w(\nu n)$ /2であ ることから,波形誤差と位相誤差の間には次の関係がある。

$$\psi(\nu n)/2 = |\sin \pi p(\nu n)| \tag{21}$$

4.2 誤差評価

式 (12) 右辺第3項の量子化誤差 $\beta(\nu n)$ を原因とする 位相誤差を評価するため,式 (14) を次のように変形する。

$$2^{-L}Q(\nu n) = -r(\nu n) - \beta(\nu n)$$
 (22)

式 (22),式 (17) を式 (20) に代入し, r(*vn*) が整数で あることを用いると位相誤差は次式で与えられる。

$$p(\nu n) = \frac{1}{2\pi} \arg(e^{j2\pi(\alpha - \beta(\nu n))})$$
(23)

|α| << 1 かつK2^{-L} << 1 のとき,式 (23) は次のように 単純化される。

$$p(\nu n) = \alpha - \beta(\nu n) \tag{24}$$

位相誤差の絶対値を最小にするため、 $\alpha = K2^{-L-1}$ とす れば、位相誤差の絶対値を常に $K2^{-L-1}$ 以下にできる。式 (19)の波形誤差は式 (21)から。

$$w(\nu n) = 2|\sin \pi (\beta(\nu n) - K2^{-L-1})|$$
 (25)
となり、 π K2^{-L}以下である。

0以上 m / f_s 以下の時間範囲における周波数誤差の時間平 均値は $-\beta$ (νm) f_s / m だから,0以上 $2^{K} / f_s$ 未満の時間 範囲における周波数誤差の時間平均値は $\pm f_s / 2^{L+K-\log_2 K}$ の 範囲内にある。これは,設定周波数の有効ビット数が下記 の値となることを示している。

$$\simeq L + K - \log_2 K \tag{26}$$

一方,加算型DDSはビット数であらわした周波数分解能に 等しいビット数の加算器を必要とする。

LUT の 圧縮 とその 影響

理想的な乗算器から出力される量子化値は次式で与えら れる。

 $Q_{ideal}(\nu n) = [\nu n 2^L] \mod 2^L \tag{27}$

式 (27) の乗算器を使った乗算型 DDS の位相誤差は, α = 2^{-L-1} のとき ± 2^{-L-1} の範囲内にある。前節の考察から, 式 (13) の乗算器を使った乗算型 DDS の位相誤差, 波形誤差 は式 (27) のそれよりも *K* 倍劣化していることがわかった。

したがって,式(13)の量子化値 L ビットの下位 $\log_2 K ビットは誤差を含んだ無効なビットである。この無$ 効なビットを0に置き換える処置を行えば,LUTのサイズ $を <math>2^L$ 語から 2^{L-D} 語に飛躍的に圧縮できる。ここで,Dは 0に置き換える処置を行ったビット数であり,

 $[Q(\nu n)2^{-D}]2^{D}$

がLUTに送出される。

この処置を行った際の位相誤差は

$$p'(\nu n) = \frac{1}{2\pi} \arg(C_{[Q(\nu n)2^{-D}]2^{D}} e^{-j2\pi\nu n})$$
(29)

で与えられる。0以上2^D未満の整数

$$\gamma(\nu n) = Q(\nu n) - [Q(\nu n)2^{-D}]2^{D}$$
 (30)
を導入すると式 (29) は式 (17) から

$$p'(\nu n) = \frac{1}{2\pi} \arg(e^{j2\pi(\alpha + 2^{-L}Q(\nu n) - \nu n - 2^{-L}\gamma(\nu n))})$$
(31)

となる。式(14)を使うと式(31)は次のようになる。

 $p'(\nu n) = \alpha - \left(\beta(\nu n) + \gamma(\nu n)2^{-L}\right) \tag{32}$

式 (32) 右辺の小括弧の内部は0以上 $(K+2^D) 2^{-L}$ 未満 であるので, $\alpha = (K+2^D) 2^{-L-1}$ とすれば, 位相誤差の 絶対値を常に α 以下にできる。

量子化値の上位 L-DビットがLUTに送出されるので、 LUT は複素平面上の単位円を 2^{L-D} 等分した値 C'_0 , C'_1 ,..., $C'_{2^{L-D-1}}$ を保持していればよい。

$$C'_{i} = e^{j2\pi(K2^{-L-1} + (i+\frac{1}{2})2^{-L+D})}$$
(33)

 C'_i を保持するLUTは C'_i を保持するLUTの 2^{-D} のサイズ で済み、この圧縮による影響は位相誤差、波形誤差の1+ $2^D/K$ 倍の増加すぎない。これの影響で、設定周波数の 有効ビット数は下記の値となる。

$$\simeq L + K - \log_2(K + 2^D) \tag{34}$$

90

6.1 乗算型 DDS の構成例

K=63の乗算型DDSの構成例を以下に示す。この場合、 図4の重み検出回路の出力はどれも常に63以下となるので、重み検出回路は6ビット以下の加算器で構成される。 また、14ビットDA変換器を想定し、L=20とする。

LUTには D =4の圧縮を行い,LUTのサイズを1M語から64 k 語に圧縮する。これによって,位相誤差と波形誤差は圧縮前と比べ25%増加し,設定周波数の有効ビット数は約76.7ビットとなる。

図6は63ビット重み検出回路の一部分であり、カウンタ 出力の下位側ビットb₀、b₁,...,b₂₃に関連する部分を示 している。図中の&記号はANDゲートである。63ビット重 み検出回路の第1階層は63個のANDゲートから構成され る。式(6)から、1個の全加算器は3ビットの重み検出回 路になるので、63ビット重み検出回路の第2階層は21個の 全加算器から構成される。各重み検出回路の出力v₀ ,...,v₁₄は6ビットの値、v₁₅,...,v₁₉についてはそれ ぞれ5,...,1ビットの値が20入力20ビット加算器に出力 される。

図7は20入力20ビット加算器であり、v0,..., v19に ビットシフトを伴う式(13)の演算を行なう。桁上げ信号 の累積遅延時間が19*T*_cを超えないように、階層の途中に レジスタを挿入する。この加算器の出力が量子化値*Q*とな り、*Q*の上位16ビットはLUTに送られる。

表 1 の Proposed Multiplier の列に本乗算器が必要とする 論理素子の個数,最大動作周波数,レイテンシ[†]等を示す。

6.2 加算型 DDS との対比

前節構成例の乗算型DDSと同等の周波数分解能を図1の 加算型DDSで得ようとすれば、76ビットのアキュムレータ が必要であり、表1のConventional Accumulatorの列に必 要とする論理素子等を示す。76ビット加算器を使用してい るので、このアキュムレータの最大動作周波数は1/ (75 T_c)となり、構成例の1/3程度である。

乗算型DDSでは、図7のように、乗算器をクロック周波 数 f_s で駆動されるレジスタによって階層状に分割し、各階 層内の演算処理がクロック周期 $1/f_s$ 以内に完了できる構 造をとっている。この構造によって、乗算器が複雑化して も、階層を増やすことで各階層内の演算処理時間を抑制し、 最大動作周波数を低下させずに周波数分解能を向上させて いる。このため、構成例の最大動作周波数は20ビット加算 器の最大動作周波数となり、カウンタ出力がnからn+1へ変化してから、量子化値が $Q(\nu n)$ から $Q(\nu (n+1))$ に変化するまでのレイテンシとは無関係になる。

加算型DDSにおいては、アキュムレータをパイプライン 化することによって、最大動作周波数1/T_cを達成できる⁸。 パイプライン化アキュムレータは縦76横76の升目に76×76 個のレジスタを配置し、1個の半加算器と75個の全加算器 を対角線上に配置する。レジスタの個数を削減する場合は、 レイテンシ76/f_sの間、設定周波数を一定に保つ必要がある ⁸⁾。一方、乗算型DDSは上述のような構造ではないので、第 3.2節の位相連続化回路を付加すれば、設定周波数をレイテ ンシに係わらず頻繁に変更できる。LUTへの出力を16ビッ トとするとき、76ビットのパイプライン化アキュムレータは 表1のPipelined Accumulatorの列のようになる。

Weight detection circuit for weights v_0 , v_1, \ldots, v_{L-1}

† 設定周波数が変更されたとき、その変更が量子化値に反映されるまでの遅延時間。

図 7 20入力, 20ビットの加算器 20-port, 20-bit adder

ರ ಬ ರ ರ

1 個の K ビット2進カウンタと、L ビット出力の乗算器
と、2^L 語のLUT とから構成される乗算型 DDS を提案した。
乗算型 DDS の乗算器は加算型 DDSのアキュムレータに対応し、周波数分解能76 ビットの場合、高速であるが約3200

表1 提案乗算器,パイプライン化アキュムレータ, 通常のアキュムレータとの性能比較表

Comparison of proposed multiplier, pipelined accumulator, and conventional accumulator

	Proposed	Pipelined	Conventional
Item	Multiplier	Accumulator	Accumulator
AND Gates	1260	0	0
EXOR Gates	127	0	0
Half Adders	399	1	1
Full Adders	1232	75	75
Registers	488	3198	76
Delay Time	$6/f_s$	$76/f_s$	$1 \neq f_s$
Freq.Resolution	76-bit	76-bit	76-bit
Maxmum Operating Freq.	$1/(19T_c)$	$1 / T_c$	$1/(75 T_c)$

個のレジスタを必要とするパイプライン化アキュムレータ と、低速であるが76個のレジスタで済む従来のアキュム レータの中間に位置する。

乗算型DDSを集積回路化する際、 2^{L} 語のLUTが占有す るチップ上の面積は無視できないので、LUTを 2^{L-D} 語に 圧縮する際の影響を分析し、周波数分解能がL + K $-\log_2(K+2^D)$ ビット相当になることを示した。した がって、圧縮によるビット数の劣化は $\log_2(1+2^D/K)$ であり、実用上重要な $K >> 2^D$ の場合、圧縮による周波数 分解能劣化は無視できることを示した。

乗算型 DDS はカウンタがオーバーフローしない範囲内で, 周波数分解能が L + K - log₂ K ビット相当の正弦波を発 生でき,原子発振器用 DDS¹²⁰ や合成正弦波方式ガウス雑音 発生器¹³⁰ などに適する。今後は,パイプライン化アキュム レータと乗算器を同一条件で実現し,実機による検証に基 づいた性能比較を実施する計画である。

参考文献

- V. Manassewitsch, Frequency synthesizers: theory and design, Jhon Wiley & Sons, 1976.
- J. Tierney, C. M. Rader, B. Gold, "Digital frequency synthesizer," IEEE Trans. on Audio and Electroacoustics, Vol. 19, No. 1, pp. 48-57, 1971.
- V. Reinhardt, K. Could, K. MacNab, M. Bustamante, "A short survey of frequency synthesizer techniques," Proc., 40th annual frequency control symposium, pp. 355-365, 1986.
- V. F. Kroupa, "Direct digital frequency synthesizers," IEEE Press, 1999.
- I. Niven, H. S. Zuckerman, and H. L. Montogomery, An introduction to the theory of numbers, 4th. ed., Jhon Wiley & Sons, 1991.
- 内野政治,望月健,"ディジタル信号処理を使った周波数安定度 測定方法,"電子情報通信学会論文誌B, Vol. J85-B, No. 7, pp. 1031-1041, 2002.
- V. S. Pless, W. C. Huffman, Handbook of coding theory, Elsevier Science B. V., The Netherlands, 1998.

- F. Lu, H. Samueli, J. Yuan, and C. Svensson, "A 700-MHz 24-b pipelined accumulator in 1.2-μ m CMOS for applications as a numerically controlled oscillator," IEEE J. of Solid-State Circuits, Vol. 28, No. 8, August 1993.
- 9) R. Ertl, J. Baier, "Increasing the frequency resolution of NCO systems using a circuit based on a digital adder," IEEE Trans. on Circuits and Systems – part II, Vol. 43, No. 3, pp. 266-269, 1996.
- 10) 特開 2001-298327, 周波数シンセサイザおよびガウス雑音発生装置.
- D. A. Patterson, J. L. Hennessy, Computer architecture a quantitative approach, 2nd ed., Morgan Kaufmann Publishers Inc., 1996.
- C. Audoin and B. Guinot, The measurement of time, Cambridge University Press, 2001.
- 内野政治,石部和彦,"代数的整数周波数合成正弦波の瞬時値確 率分布,"電子情報通信学会論文誌B, Vol. J83-B, No. 8, pp. 1203-1205, 2000.