

# 32 Gbit/s Pulse Pattern Generator / Error Detector の開発

Development of 32 Gbit/s Pulse Pattern Generator / Error Detector

和田 健 Takeshi Wada, 青葉 亘 Wataru Aoba, 齋藤岳人 Taketo Saito, 佐々木浩輔 Kosuke Sasaki

**[要 旨]** クラウドコンピューティングや高画質映像配信の需要が高まることで、サーバやストレージに求められる伝送速度はますます高速化し、基幹通信網の伝送容量も急激に増加している。これらの要求に応えるため、物理層デバイスやモジュールに求められる伝送速度も高速化しており、品質確保のためのシグナルインテグリティ解析はますます重要になってきている。MU18302xA/MU18304xA 32 Gbit/s Pulse Pattern Generator / Error Detector は、32.1 Gbit/s までの超高速インターコネクタ向け PCB とデバイス開発に必須の BER 測定およびクロストーク試験をマルチチャネルで同時測定でき、より正確で理想的なシグナルインテグリティ解析を可能にした。

**[Summary]** With the increasing demand for cloud computing and high-definition video streaming, storage and server transfer speeds are increasing, and the transmission capacities of core communications networks are also increasing rapidly too. To meet these trends, the transfer speeds of physical-layer devices and modules are increasing and signal quality analysis is becoming more important in assuring service quality. The MU18302xA/MU18304xA 32 Gbit/s Pulse Pattern Generator/Error Detector support the multi-channel simultaneous BER measurements and crosstalk tests required for development of PC boards and devices targeting ultra-high-speed interconnects up to 32.1 Gbit/s for even more accurate ideal signal quality analysis.

## 1 まえがき

近年、クラウドコンピューティングや、スマートフォン、LTE サービスの立ち上がりにより、データセンターで用いられるハイエンドサーバやストレージデータ伝送のボトルネックは機器内インターコネクタになってきている。このボトルネック解消のため、Fibre Channel, InfiniBand, PCI Express, Serial Attached SCSI(SAS)など機器内インターコネクタは高 Bit rate 化/多レーン化が進み、より高速/高密度/低消費電力を目指した技術革新が行われている。

また、長距離通信市場でも高 Bit rate 化、WDM 化に次ぐ大容量伝送技術としてデジタルコヒーレント、多値化の研究開発と、40G/100G キャリアネットワーク普及に向けた次世代の光モジュール/デバイスの研究開発が活発に行われており、測定器への要求も、「高 Bit rate・マルチチャネル」が高まっている。

当社は、光モジュールや高速デバイス品質の評価・管理を目的とした幅広い測定需要に応えるため、MP1800A Signal Quality Analyzer(以下、「SQA」)をリリースしているが、新たな市場要求に対応すべく、SQA のプラグインモジュールであり、1 筐体あたり最大 8ch、32.1 Gbit/s までの測定を可能にした、MU183020A/21A 32 Gbit/s PPG(以下、「32G PPG」)と、MU183040A/41A 32 Gbit/s ED(以下、「32G ED」)を新たに開発した。32G PPG は、高精度なジッタトレランス試験のため SJ(Sinusoidal Jitter), RJ

(Random Jitter), BUJ(Bounded Uncorrelated Jitter), SSC(Spread Spectrum Clock)を同時に付加できる MU181500B Jitter Modulation Source(以下、「ジッタ変調源」)と、高速信号の減衰を補正してアイの開口を保持する MP1825B 4 Tap Emphasis(以下、「Emphasis」)に連動させ、最高 32.1 Gbit/s のシグナルインテグリティ解析を可能とした。本稿では 32G PPG/ED の開発方針、システム設計、主要性能、測定アプリケーション例について解説する。

## 2 開発方針

高 Bit rate 対応・マルチチャネル・低価格化・1BOX 化を実現するため、以下の方針で開発した。

- ・ 高 Bit rate 対応  
既に実用化されている主要アプリケーションのうち、1 レーン当たりの最高 Bit rate は 100GbE デバイスの 28 Gbit/s であるが、今後実用化が進むと考えられる 100G 長距離伝送のための 32.1 Gbit/s に対応する。
- ・ マルチチャネル  
インターコネクタ評価用に 32G PPG を 8ch まで同期でき、32G PPG/ED の組み合わせでは、1 筐体に 4ch の 32G PPG と ED を同時実装できる。

- ・ 低価格化

SQA の既存 14G PPG/ED モジュール等を使用して 28 Gbit/s を構成した場合に比べ、半分以上の価格にするため、回路の簡素化と調整の自動化をする。

- ・ 1 Box での機能性

SQA は 1 台あたりプラグインモジュールを 6slot 搭載できる。そこで、マルチチャネル化に加え、別の機能を備えたモジュールとの連動や、自動制御の活用により、1Box で自由度の高い測定アプリケーションを構築できる。

### 3 システム設計

#### 3.1 全体ブロック

32G PPG の基本構成を図 1 に示す。32G ED はデータ処理方向が 32G PPG とは逆になるだけで基本構成は変わらない。32G PPG/ED にはそれぞれ大容量 FPGA を搭載し、2ch 分の論理処理をし、機能追加にも柔軟に対応できる構成とした。また、FPGA にはソフトコアの CPU を搭載し SQA 本体とのインタフェースである Ethernet 通信を一体化させることで実装面積の削減により小型化を可能にした。

クロック制御部では、入力された周波数に応じて自動的に内部データ処理に必要な通信または分周クロックを自動的に生成することで操作性を簡単にした。

RF 部には新規開発した高周波モジュールをパッケージ化し、高品質な波形出力、高感度の入力特性を実現した。

Multi 同期制御部では、次項で説明するマルチチャネル対応のための Module 間同期を実現した。

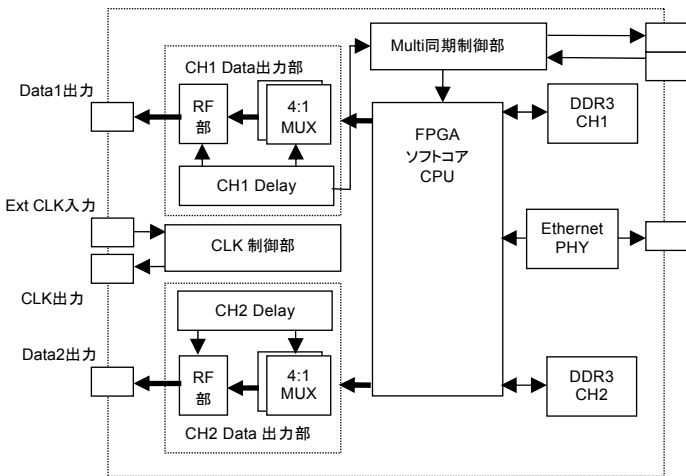


図 1 32G PPG 基本構成  
32G PPG structure

#### 3.2 マルチチャネル対応

Infiniband に用いられる AOC (Active Optical Cable) は 4ch 双方向の 8ch, 次世代モジュールの CFP2/4 では、100GbE 4ch の信号が用いられる。これら多レーンで構成されるアプリケーションにおいてはスキュー耐力、クロストークの影響等を十分に確認する必要がある。

32G PPG は複数のモジュールを実装し、多レーンを使用したさまざまなアプリケーションに対応するため、複数チャネルのパターンを連結し生成/受信できるコンビネーション機能 (図 2), 複数チャネルのパターン発生タイミングをそろえるチャンネルシンクロナイゼーション機能 (図 3) を持つ。

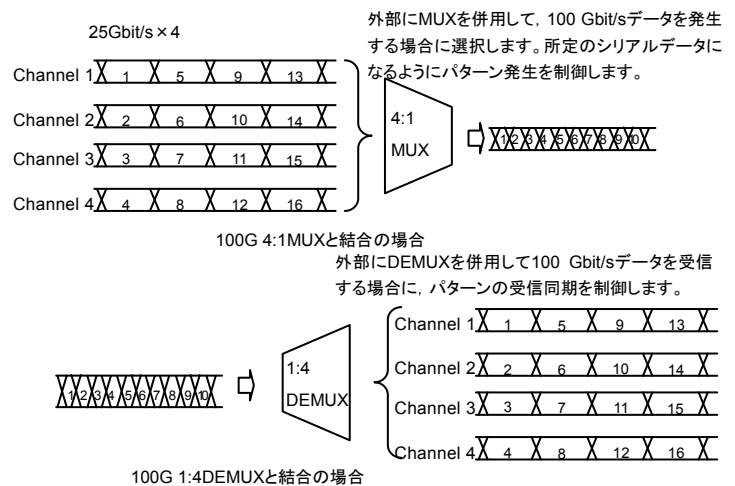


図 2 コンビネーションパターン生成/受信  
Combination pattern generation/reception

チャンネルシンクロナイゼーション機能 (図 3) は、最大 8ch のデータパターンの発生タイミングをそろえることができる。

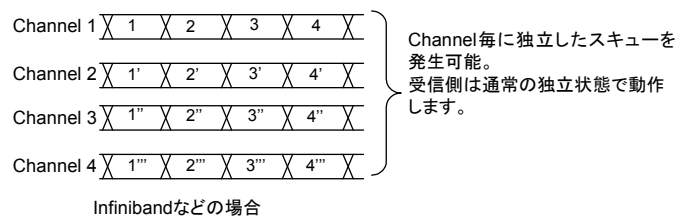


図 3 チャンネルシンクロナイゼーションパターン生成  
Channel synchronization pattern generation

図 4 に 32G PPG のマルチチャネルブロック図を示す。2ch で構成される 32G PPG は内部で分周器したクロックより FPGA と MUX にて多重化し、データ生成を実現する。同一モジュールの 2ch は共通クロックが使用され 8:2MUX から出力される分周クロックの位相を PD (Phase Detector) にて検波し、クロック位相を揃えデータの発生タイミングを一致させる。

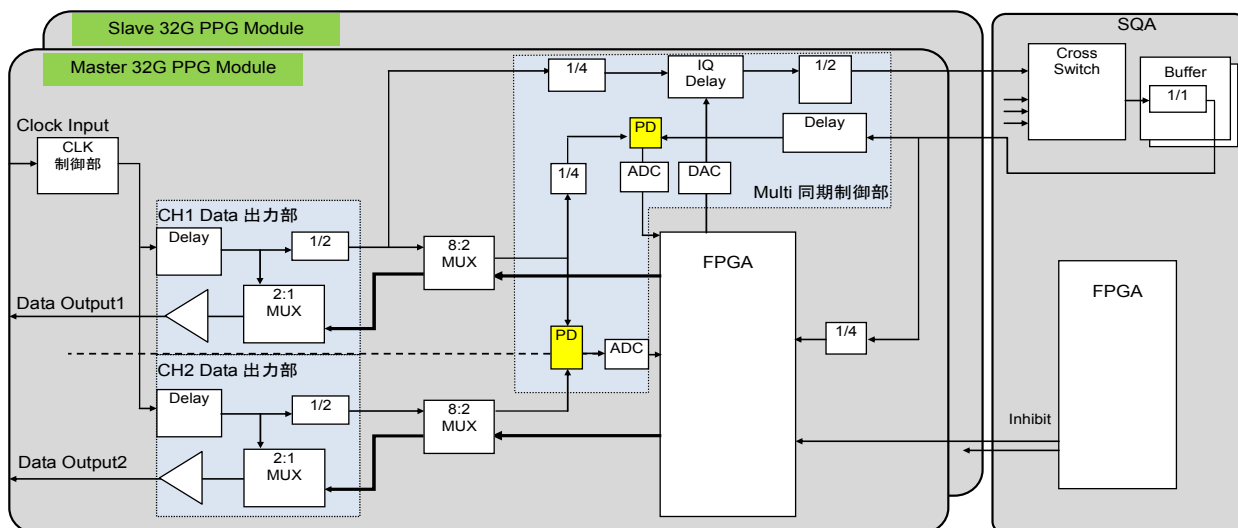


図 4 32G PPG マルチチャネルブロック図  
32G PPG multi channel block diagram

異なるモジュール間の同期に関しては Master となる 32G PPG の分周クロックを SQA 本体の Cross Switch を使用し、すべてのモジュールに分配する。PD にてモジュール内部のクロックと分配されたクロックの位相検波を行い、Slave 32G PPG はソフトウェア経由でモニタされる Master の電圧と同じ電圧値になるようクロックの分周器を制御し、各モジュールの内部クロック分周タイミングを一致させデータ発生順列を合わせることでマルチチャネル制御を実現した。

### 3.3 小型化と省電力化

図 5 に示されるように、既存のモジュールで 28 Gbit/s の PPG または ED を構成する場合、14G PPG または ED を 2 枚と多重/分離するための MUX/DEMUX モジュールを組み合わせて 28 Gbit/s を実現していた。このため、28 Gbit/s 2ch を実現するためには、計 6 スロットの実装スペースが必要になっていた。今回下記の取り組みにより既存モジュール比 1/6 の小型化、1/4 の省電力化を実現した。

- ・ 既存モジュールでは別々だったデータ処理部と多重化/分離部の一部を 1 個の FPGA に集約した
- ・ 電子ディレイに必須の FilterBank を 1/4 に集積化した
- ・ InP HBT プロセス半導体による RF 回路部の集積化 (MUX, DEMUX, リミットアンプなど)

これにより、SQA 本体 1 台あたりのチャンネル数は最大 8ch になり、ジッタ変調源も 1 台に搭載され、将来的なアプリケーションへの対応幅も広がった。

小型化イメージ (2ch PPG SQA シリーズ パネル正面)

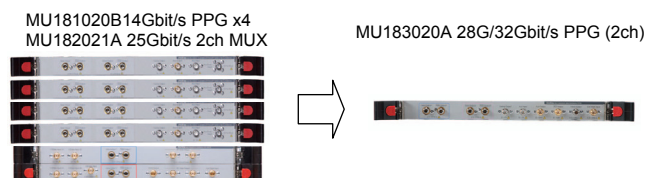


図 5 既存モジュールとの比較  
Comparison with existing module

## 4 ハードウェア主要性能

### 4.1 低ジッタ、高品質波形

32G PPG は測定アプリケーションに合わせ、出力性能をオプション選択でき、最大 3.5 Vp-p (シングルエンド) まで出力できる。また、クロスポイントは 20 から 80% まで制御可能であるため、EML (Electro-absorption Modulator Integrated Laser Diode) や位相変調器の直接駆動ができる。

図 6 に示されるように、データ出力波形は、残留ジッタが 32.1 Gbit/s で 500 fs rms 以下 (実測値) と低ジッタであり、波形ひずみも小さい。これらの性能は、新規開発された、InP HBT プロセスによる MUX IC<sup>1)</sup> (図 7) や Limiting AMP の採用と、これらの IC を高周波モジュールに実装することで実現した。InP HBT プロセスの単体トランジスタ性能は最大発振周波数は 479 GHz、遮断周波数は 233 GHz と高速性に優れており、このプロセスを用いて作製した MUX IC の 100 Gbit/s 動作時の出力振幅は 540 mVp-p かつ、十分な Eye 開口を実現している。図 8 に 100 Gbit/s 動作時の波形を示す。このように 32.1 Gbit/s を動作をさせるには十分な動作マージンを確保しているため、低ジッタ化を実現できる。低ジッタな PPG 出

力性能により、ジッタ変調源と組み合わせて、微小なジッタから付加することができ、高精度なジッタトレランス試験ができる。

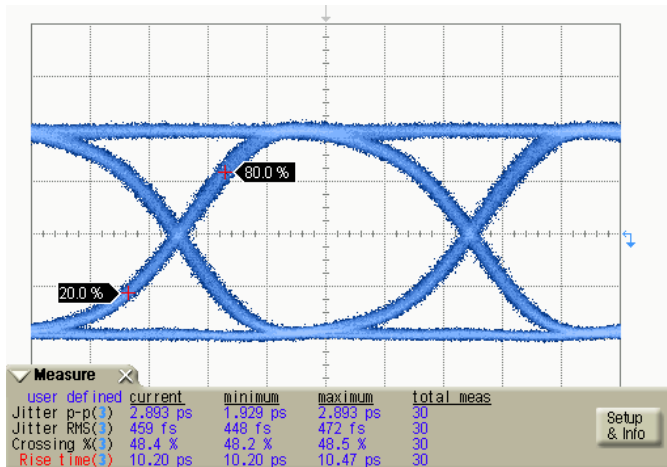


図6 32G PPG 32.1 Gbit/s 3.5 Vp-p の波形  
32G PPG 32.1 Gbit/s 3.5 Vp-p waveform

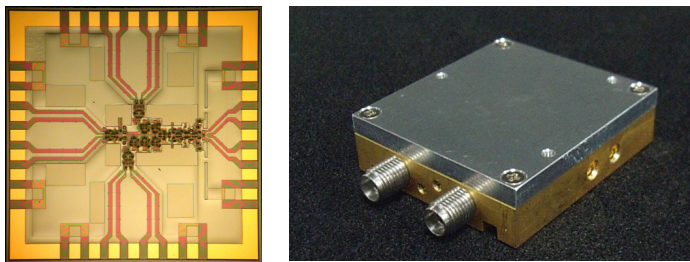


図7 2:1 MUX のチップ写真と高周波モジュールの外観  
2:1 MUX chip picture and RF module appearance

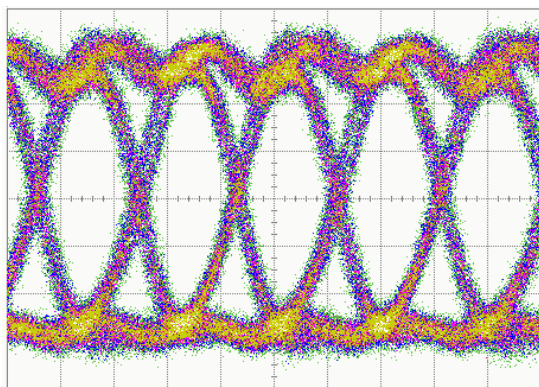


図8 2:1 MUX の 100 Gbit/s 波形 (5 ps/Div, 100 mV/div)  
2:1 MUX 100 Gbit/s waveform (5 ps/Div, 100 mV/div)

## 4.2 高入力感度, 広位相マージン

32G ED は高感度入力性能により、低振幅信号も正確に測定ができる。32G PPG と同様に、新規開発した InP HBT プロセスの Limiting AMP と DEMUX IC を採用し、それらを小型モジュール化することで、図9に示されるように、32.1 Gbit/s 時の入力感度 50 mVp-p 以下、位相マージン 690 mUI 以上(共に 32G PPG/ED 折り返しの実測値)を実現した。また、32G ED に入力されるデータ信号の閾値電圧と位相を検出し、常にエラーレートが最小となるよう、閾値電圧設定と位相設定をトラッキングするオートアジャスト機能を採用した。この結果、周囲温度による入力信号位相の変化や、入力データのオフセットが変化した場合でも、長時間安定した BER 測定ができる。

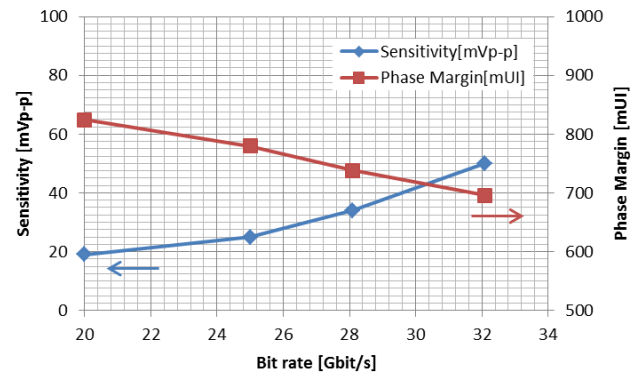


図9 32G ED の感度と位相マージン  
32G ED input sensitivity and phase margin

## 4.3 高い直線性を持つ位相可変回路

位相可変器(PPG の場合、図4の Data 出力部に搭載された Delay)は高い直線性を持っている。位相可変器は SQA 開発当初から IQ 変調方式を採用している。IQ 変調器の特徴として、周波数によらず位相を何周期も可変でき、機械式の位相可変器よりも小型化できるメリットがある。

図10に位相可変器のブロック図を示す。ここでは、IQ 変調器前後のクロックを 1/32 分周させ、その分周クロックを EXOR で位相比較して、その出力電圧を ADC にて検出している。この検出電圧に応じて、IQ 変調器にフィードバックをかけることにより、位相制御の直線性を高めている。

図11に位相設定の直線性を示す。位相設定範囲は-1000 から +1000 mUI まで設定でき、直線性誤差が 1000 mUI 設定に対して 25 mUI 以下(実測値)と小さいことから、正確な位相マージン測定やバスタブ/ジッタ特性を精度良く測定できる。また、位相可変器は各チャンネルを独立して制御ができるため、位相差のある複数信号の測定にも対応可能である。

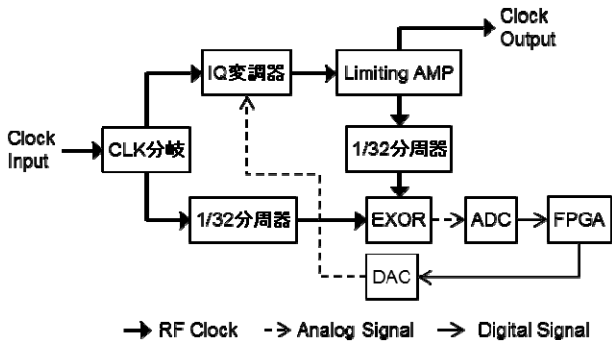


図 10 位相可変器のブロック図  
Phase shifter block diagram

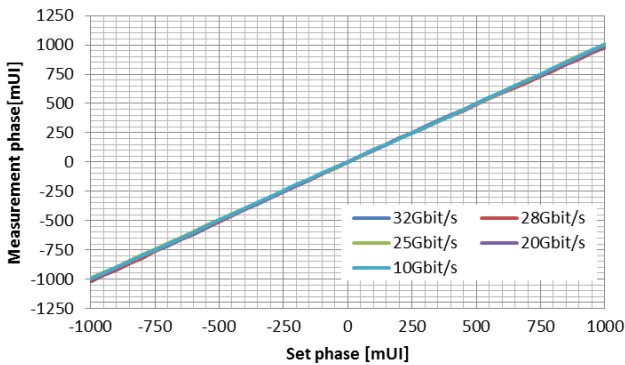


図 11 位相可変器の特性  
phase shifter character

## 5 ソフトウェアシステム設計

### 5.1 ソフトウェアブロック

SQA シリーズは本体にプラグインモジュールを追加するハードウェア構成であることから、ソフトウェア構成は各モジュールに独立性を持たせている。ただし、コンビネーション機能や他のモジュールとの連動(5.4 参照)においては共通部を経由し、他のモジュールを制御できる。

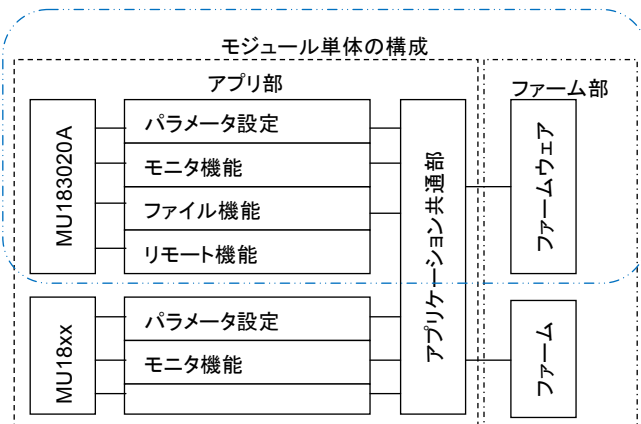


図 12 ソフトウェアブロック  
Software block diagram

図 12 にソフトウェアの全体ブロックを示す。各モジュールのソフトウェア構成は GUI によるパラメータ設定、および結果表示やリモート制御を行うアプリ部と、ハード制御を行うファーム部に別れている。

### 5.2 既存機種との互換性

32G PPG/ED の各パラメータ設定画面、結果表示画面は既存 SQA シリーズの 14G PPG/ED のイメージと、操作性を継承しているため、従来の SQA ユーザーは今までどおりの操作ができる。同様に、リモートコマンドも 14G PPG/ED と互換性を持つため、ユーザーが作成したプログラムを修正することで再利用できる。

### 5.3 マルチチャネルの結果表示画面

MU183040A は 2ch まで、MU183041A は 4ch のデータインタフェースを持ち、チャンネルごとに BER 測定ができるため BER 測定結果はチャンネル毎の結果と、1~4 すべてのチャンネルの結果を同時に表示する。図 13 に 4ch ED の BER 測定結果例を示す。これにより、マルチチャネルを同時に測定したとき、測定結果を一目で確認できる。また、コンビネーション機能を使い、1ch あたり 32.1 Gbit/s のデータを x2 (2 チャンネル同時転送) または x4 (4 チャンネル同時転送) したシリアルデータの BER 測定を行ったときは、測定結果もチャンネル数のシリアルデータのトータル結果(図 13 左側)と、各チャンネル毎の結果(図 13 右側)を表示する。

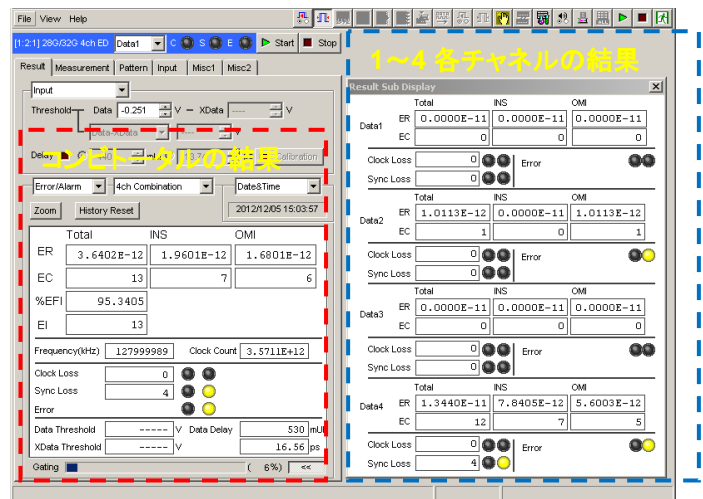


図 13 BER 測定結果  
BER measurement result

#### 5.4 シンセ、ジッタ変調源モジュールとの連動

32G PPGは、SQAシリーズのMU181000A/Bシンセサイザ(以下、「シンセサイザ」)や、ジッタ変調源と連動動作できる。シンセサイザと連動させると、32G PPGの設定画面からビットレートを設定できる。また、ジッタ変調源と連動すると、32G PPGの出力ビットレートに応じたSJ/RJ/BUJジッタをデータ出力に印加できる。

図14に32G PPGとシンセサイザが連動したときのビットレート設定のデータの流れを示す。複数のモジュールにまたがる設定は、アプリケーション共通部を介して行われる。

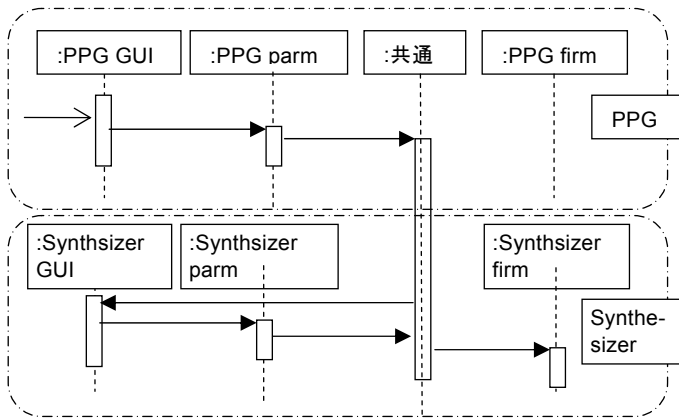


図14 32G PPGとシンセサイザ連動時のデータの流れ  
Data sequence of linked 32G PPG and Synthesizer

### 6 測定アプリケーション例

IEEE802.3baにて標準化が進められている通信方式をはじめとして、マルチチャネル信号を用いた100 Gbit/sを超えるデータ伝送が実現、検討されており、32G PPG/EDは、3および4章に記したマルチチャネル対応、位相可変回路によって、精度の高い評価を実現できる。

#### 6.1 100GbE用光モジュールの評価例

図15に28 Gbit/s x4のCFP2評価例を示す。4ch 32G PPG/EDを使用して、CFP2などの次世代通信用光モジュールの評価が可能である。光モジュールは、小型化、内部回路の集積化が進み、ジッタや入力感度試験などに加え、チャンネル間のクロストーク試験も重要になってきている。32G PPG/EDは4chの同期と、パターンや位相を個別に設定できる機能により、個々のチャンネル性能やチャンネル間の影響についても容易に評価ができる。

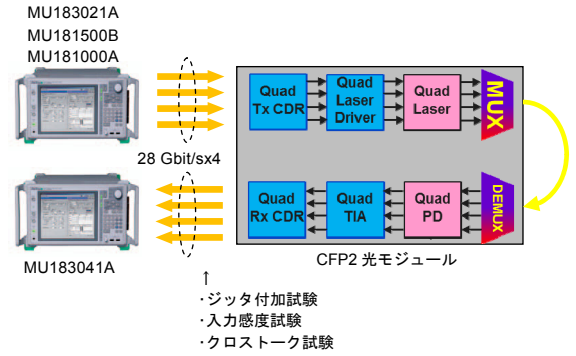


図15 CFP2光モジュールの評価例  
CFP2 optical modulator evaluation

#### 6.2 AOCの評価

MU183021Aは同期機能の一つであるチャンネルシンクロナイゼーション機能を用いて、Infinibandなどの高速インタフェースで使われるAOCの双方向評価に最適である。

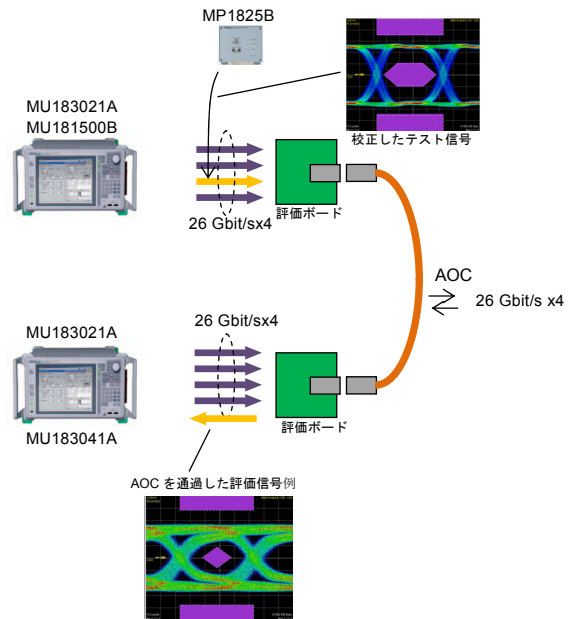


図16 AOCの評価例  
AOC evaluation

図16に26 Gbit/s x4のAOC評価例を示す。ジッタ変調源とEmphasisとを組み合わせ、テスト規格に合わせた信号品質の校正を行った上で、双方向からのクロストーク影響も含めた伝送特性を評価することができる。このテストでは、双方向からそれぞれ26 Gbit/s x4を入力し、そのうち評価を行う1信号について校正をしたのちに、AOC通過後の性能を評価している。ジッタ変調源によるジッタの付加とEmphasisによる伝送路の損失影響をコントロールすることで、測定対象の動作マージンなどを、より正確に測定できる。

## 7 むすび

高 Bit rate・マルチチャネルに対応し、次世代の光モジュール／デバイスの研究開発に貢献する 32G PPG/ED を開発した。SQA シリーズの各種モジュールと組み合わせることで、多彩なアプリケーションに対応が可能となり、最大 8ch 32.1 Gbit/s でのシグナルインテグリティ解析が可能となった。

これからもマルチチャネル、超高速信号、ジッタ評価など最適なソリューションの提供を通じて、ますます複雑化する高速デバイス、モジュール等の評価時間の短縮と評価品質の向上に貢献していく。

### 参考文献

- 1) Yutaka ARAYASHIKI, Yukio OHKUBO, Taisuke MATSUMOTO, Yoshiaki AMANO, Akio TAKAGI, Yutaka MATSUOKA: "A 120-Gbit/s 1.27-W 520-mVpp 2:1 Multiplexer IC Using Self-Aligned InP/InGaAs/InP DHBTs with Emitter Mesa Passivation" IEICE TRANS. ELECTRON., Vol.E93, No.8, 2010.

---

### 執筆者



和田 健  
R&D 統括本部  
商品開発本部  
第 1 商品開発部



青葉 亘  
R&D 統括本部  
商品開発本部  
第 1 商品開発部



齋藤 岳人  
R&D 統括本部  
商品開発本部  
第 1 商品開発部



佐々木 浩輔  
R&D 統括本部  
商品開発本部  
第 1 商品開発部

公知