

# HSPA Evolution 機能に対応した MD8480C の開発

Development of MD8480C supporting HSPA Evolution function

俵 康弘 Yasuhiro Tawara, 上沢貴秋 Takaaki Kamisawa, 梅澤伸光 Nobumitsu Umezawa,  
大原千賀子 Chikako Ohara, 渡邊俊行 Toshiyuki Watanabe

**[要 旨]** 昨今の移動通信市場では、LTE への移行が進む一方で、既存の UMTS 設備をアップグレードし、W-CDMA HSPA Evolution を採用するキャリアも少なからず存在する。MD8480C は、UMTS 基地局をシミュレーションし、移動通信端末 (UE) のチップセットやプロトコルの開発において、移動機の符号・復号処理の機能試験、音声通話・データ通信 (回線交換・パケット)・移動通信端末対向などの試験機能を提供している。本開発により本機は、64QAM, MIMO, DC-HSDPA といった 3GPP Release7,8 の HSPA Evolution 機能に対応した。

**[Summary]** The wireless communication standard is recently shifting to LTE (Long Term Evolution) in the mobile communication market. However, many telecommunications carriers are upgrading the existing equipment of UMTS and using W-CDMA HSPA Evolution. The MD8480C simulates the UMTS base station and provides the test such as encoding/decoding of UE, voice call, data communication (call switching, packet), and MS-to-MS for the development of chipset and protocol in the mobile terminal (UE). The MD8480C supports the HSPA Evolution in Release7 and 8 such as 64QAM, MIMO, and DC-HSDPA by this development.

## 1 まえがき

昨今スマートフォンに代表されるデータ端末の普及拡大により、移動通信ネットワークにおけるデータ通信量が急増している。こうした状況に対応するため、3GPP では LTE (Long Term Evolution) の仕様を策定し、米国や韓国、日本などでサービスが始まっている。ただし、LTE の対応には基地局のハードウェア変更が必要なことから LTE への全面移行には莫大な投資が必要となる。そのため既存 UMTS 設備に対しソフトウェアのアップデートにて対応できる HSPA (High Speed Packet Access) Evolution への対応も並行して進んでいる。

HSPA Evolution には、高速スループット対応 (64QAM, MIMO, DC-HSDPA (Dual Cell High Speed Downlink Packet Access), Uplink 16QAM) だけでなく、消費電力や無線リソース改善 (CPC), Enhanced Cell FACH といった機能改善も含まれている。MD8480C は UMTS 基地局シミュレータとしてこれらの HSPA Evolution 機能に対応した。また GSM との Inter-RAT 試験や、MD8430A を使用した LTE との Lossless Inter-RAT 試験も可能である。

本稿では MD8480C にて実現した HSPA Evolution 機能や、その実現手段を解説する。



図1 MD8480C シグナリングテスタ  
MD8480C Signalling Tester

## 2 開発方針

MD8480C における HSPA Evolution 機能の開発方針は以下の4点である。

- (1) 既存機能に対し、互換性があること。
- (2) ユーザーコストを抑えるため、ハードウェア改造は、最小限にすること。
- (3) 高速スループット対応 (下り:43.2 Mbps, 上り:11.52 Mbps) を含んだ Release7, 8 機能が実現できること。
- (4) 3GPP 規格は、原則として 3 ヶ月単位に更新されるため規格変更に対応可能なこと。

### 3 ハードウェアシステム設計

MD8480C のボード構成を図 2 に示す。

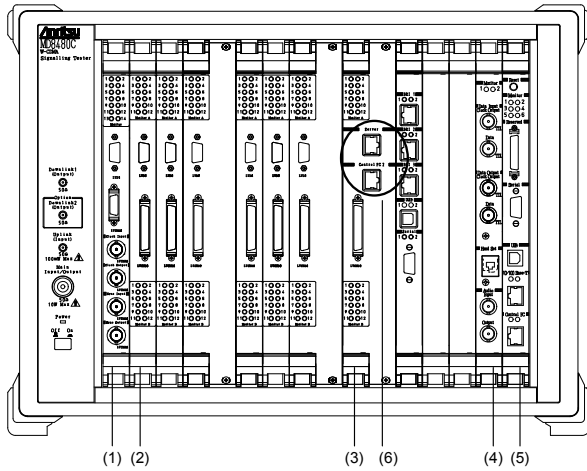


図 2 MD8480C 正面図  
Front View of MD8480C

MD8480C は、主に電源ユニット、RF ユニット、デジタル制御ボードから構成されている。

デジタル制御ボードの標準的なものは、以下である。

- (1) Timing Generator
- (2) BTS ボード
- (3) L2 ボード
- (4) Voice Codec
- (5) CPU ボード

これらの中で HSPA Evolution 機能対応のため、RF ユニット、BTS ボード及び L2 ボードの改造を行った。

#### 3.1 RF ユニット

RF 性能に関する HSPA Evolution の規格は

- ・ 信号帯域幅 5 MHz(DC-HSDPA 時 10 MHz)
- ・ データ変調方式 QPSK, 16QAM, 64QAM
- ・ MIMO, DC-HSDPA

である。

変調方式が 64QAM 時、通信品質を確保するために、Downlink 信号品質を改善した SG(信号発生器)ユニットを新たに開発した。

#### 3.2 BTS, L2 ボード

BTS ボードは、レイヤ 1(物理レイヤ)の処理を行い、L2 ボードは、レイヤ 2(MAC/RLC)の処理を行っている。

Release7, 8 の規格より Downlink と Uplink の最大スループットは下記のように拡張された。

<MIMO, DC-HSDPA >

14.4 Mbps → 43.2 Mbps

<Uplink 16QAM>

5.76 Mbps → 11.52 Mbps

BTS ボード、L2 ボードにおいて、従来の 2 倍以上の処理を行う必要があった。そこで、この高速化処理に対応するには、メモリ、通信速度、処理速度が BTS, L2 両ボードで不足するため、一部の FPGA を低消費電力、大容量の FPGA に置き換えた。また CPU ボードに搭載していた 10/100M イーサネットポートに加え、L2 ボードにギガビットイーサネットポート(図 2(6))を実装した。

### 4 ソフトウェアシステム設計

#### 4.1 ソフトウェア構成

図 3 に MD8480C のソフトウェア構成を示す。ユーザーは、あらかじめ動作を規定したシナリオを作成する。その後、制御 PC 上の GUI 部でシナリオを実行する。シナリオ実行部では、指定されたシナリオに記述された手順に従い、プリミティブと呼ばれるプロトコル間の通信メッセージにより、各レイヤの制御やシグナリングメッセージの送受信を行う。

MD8480C 本体の各処理部では、受信したプリミティブの内容に従ってデータの送受信やハードウェアの制御を行う。

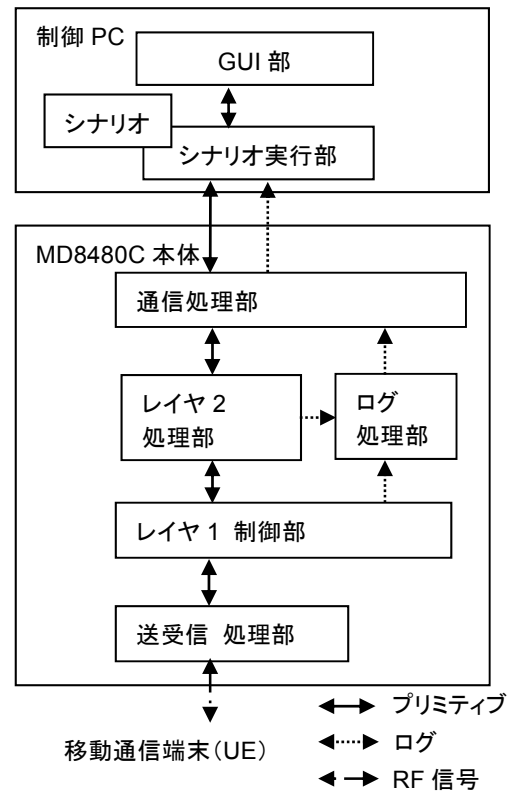


図 3 ソフトウェアブロック図

Software block diagram

## 4.2 PCI 通信時間の削減

図 4 に MD8480C 内のデータ通信構造を示す。ボード間通信やボード内の DSP 間通信は PCI 通信により実現していたが、高速スループット対応のため通信時間が増大し、PCI 通信速度が不足する。そのため PCI 通信の一部を FPGA 経由に置き換え、PCI 通信と同時並行で行うことにより解消させた。またデータサーバとのアクセスは通信処理部から行っていたが、L2 ボードにギガビットイーサネットポートを付加し、L2 ボードから直接アクセスを行うことにより、データスループットの向上と通信時間の削減を行った。

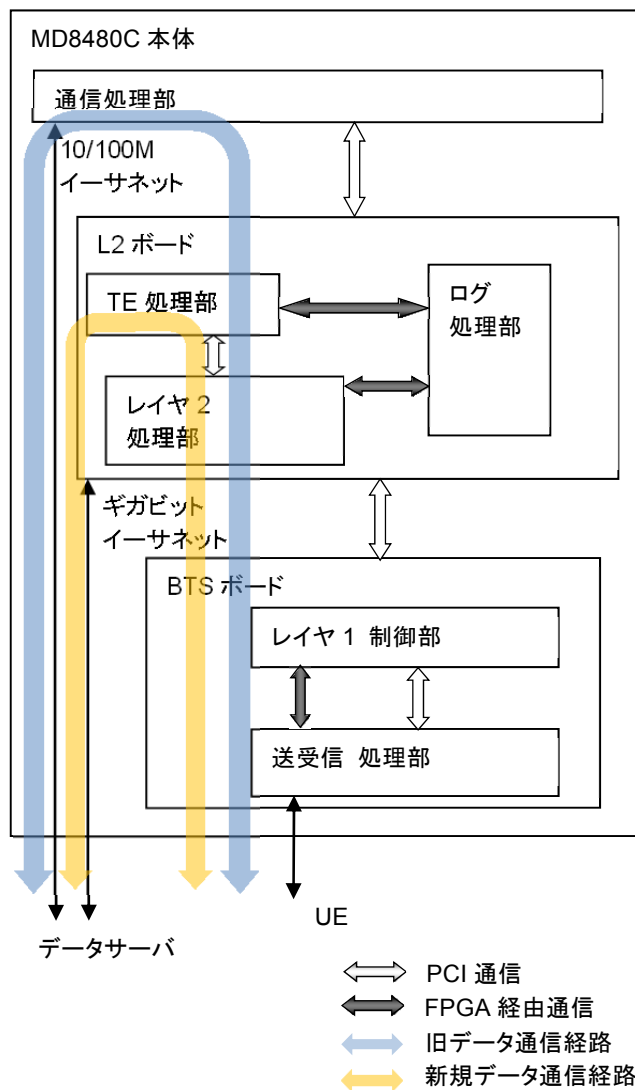


図 4 MD8480C 通信構造  
MD8480C communication structure

## 5 機能追加, 改善

### 5.1 GUI と WNS Evolution

#### 5.1.1 Control Software

MD8480C は、外部接続する PC 上のアプリケーションソフトウェアである Control Software より制御を行う。Control Software からは、図 5 に示す画面よりデジタル IQ 出力や RF ユニット等の接続の設定、物理チャネルのパワーやチャネルライゼーションコード、タイミングの設定を行える。MIMO や DC-HSDPA による新たな接続経路の設定は、従来の MD8480C ユーザーも違和感なく使用できるように、操作性を維持しつつ追加した。また、測定機能では、MIMO や DC-HSDPA 特有のパラメータについても、測定を行うことを可能とした。

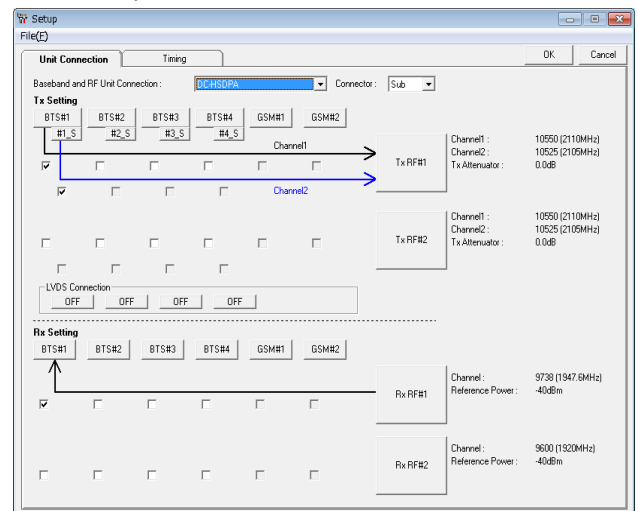


図 5 Control Software の Setup 画面 (DC-HSDPA 時)  
Setup Window of Control Software (DC-HSDPA)

#### 5.1.2 WNS Evolution

WNS (Wireless Network Simulator) Evolution は、Control Software と同じ PC 上にインストールをして使用し、GUI の操作のみで基地局動作のシミュレーションを実現するアプリケーションソフトウェアである。移動通信端末と接続を行うシナリオの作成は、様々なレイヤの知識を必要とするが、WNS Evolution を使用すると、シナリオを作成しなくても図 6 に示すように音声試験、パケット接続試験、SMS 試験、Rx Diversity 試験、フェージング環境試験、AWGN (Additive White Gaussian Noise)、OCNS (Orthogonal Channel Noise Simulator) を付加した試験等を PC 上の画面操作で行うことができる。パケット接続試験では、64QAM、DC-HSDPA、CPC 機能を使用した HSPA Evolution 機能試験にも対応した。

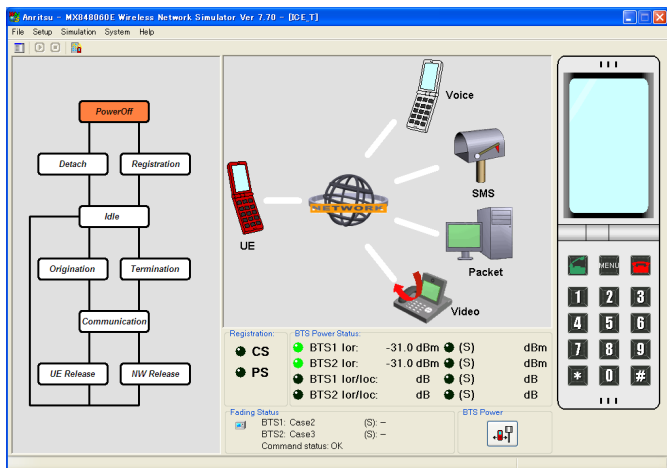


図 6 WNS Evolution の画面  
WNS Evolution Window

## 5.2 MIMO, DC-HSDPA

MIMO と DC-HSDPA は、図 7 のようにデータ (HS-DSCH) を従来の 2 倍送信することによりデータスループットを増加させている。このためコーディング処理を 2 回行う必要が出てくる。

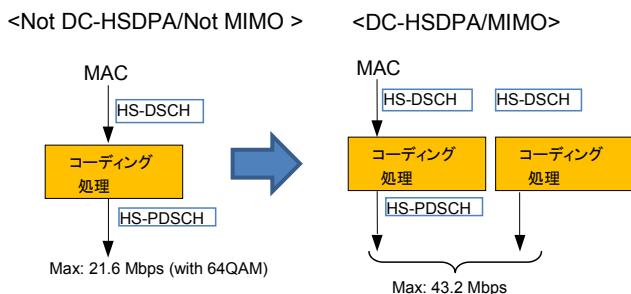


図 7 レイヤ 1 コーディング処理  
Coding processing of Layer1

従来、コーディング処理は DSP で行い、変復調は FPGA で行っていたが、コーディング処理を 2 回行うには、DSP の処理時間やメモリが不足していた。そのため FPGA にコーディング処理を移すことで高速スループット処理とレイテンシーの短縮を達成した (図 8)。

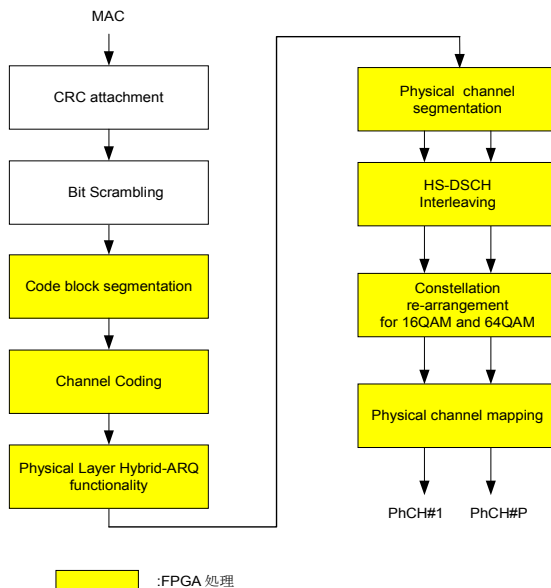


図 8 レイヤ 1 コーディング処理詳細

The details of coding processing of Layer1

## 5.3 Uplink 16QAM

高速スループットに対応するために追加された受信機能は

- (1) 変調方式の高次化 (16QAM)
  - (2) Power Boost モードの追加
- である。

(1) は従来対応していた変調方式 BPSK, QPSK (BPSK を I 相 Q 相に適用) に加え 16QAM (4PAM を I 相 Q 相に適用) が追加された。

16QAM の信号を受信する場合、従来の受信処理では処理時間が間に合わなかったため、処理の高速化を行った。従来の受信処理は逆拡散や正規化等の入力に近い部分を FPGA で演算し、デコード処理を DSP で演算していたが、デコード処理の一部を FPGA に移行することで処理時間を短縮し高速化を実現した (図 9)。

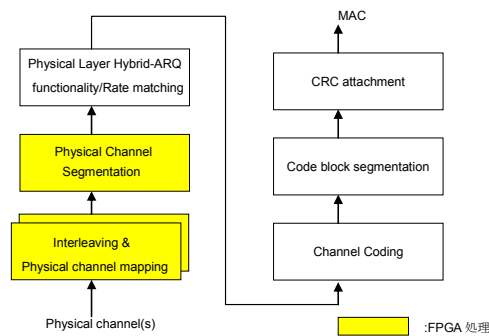


図 9 E-DCH デコード処理

Decoding processing of E-DCH

(2)はパイロット信号とデータ信号のレベル差が大きくなる信号の組み合わせ(Power Boostモード)に対応するため、同期追跡の性能改善を図った。従来の同期追跡はパイロット信号(Uplink DPCCH)のみを使っていたが、Power Boostモード時には、パイロット信号のパワーが相対的に小さくなるため、タイミング合わせの性能が劣化してしまう。これを解決するために、パイロット信号に加え、E-DPCCHを使用して同期追跡をすることで追跡性能を改善し、受信性能を高めた。

上記の受信性能改善により、Uplink 16QAM, Power Boost時の受信が正常に受信できるようになり、HSUPA(High Speed Uplink Packet Access)でのスループットが従来の2倍(11.52 Mbps)まで受信可能となった。

#### 5.4 Enhanced Log 機能

HSPA Evolutionによるスループットの増加に伴い、プリミティブの通信記録(以下Traceデータ)をリアルタイムに解析表示することが困難になってきたため、ユーザーの所望するTraceデータのみを取得する機能に対応した。

本機能はTraceデータに対してトリガをかけ、トリガ周辺のTraceデータをTraceログファイル(\*.log)へ出力する。

例えば、図10のようにTraceデータ(PHY\_CRCERR\_IND)を基準として指定範囲のTraceデータのみをTraceログファイル(\*.log)へ出力させることが可能となる。

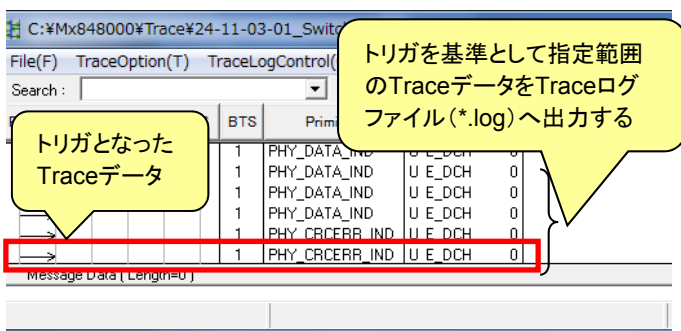


図10 Enhanced Log 機能イメージ図  
Enhanced Log function image figure

#### 5.5 フェージング環境試験

MD8480Cはアンリツ製フェージングシミュレータ(MF6900A)を使用することによって3GPPの測定規格で定義されるマルチパスフェージング伝播路等の伝播環境試験が可能である。

MF6900Aは外部フェージングシミュレータとして使用され、MD8480Cの前面に搭載されるLVDSコネクタとMF6900Aの背面に搭載されるLVDSコネクタを専用のケーブルで接続することに

よりMD8480Cの各BTSボードとMF6900Aの通信が可能となる。MD8480C 1台とMF6900A 1台で最大4つのBTSボードの信号に対してフェージング環境試験が可能である。

MD8480Cの各BTSボードで生成されたデジタルベースバンド信号はMF6900Aに転送され、1キャリア毎に伝播モデル(図11のチャンネル#1, 2)を演算後、各BTSボードに転送され戻される。その後、そのデジタルベースバンド信号はAWGNの加算後、RFから出力される。

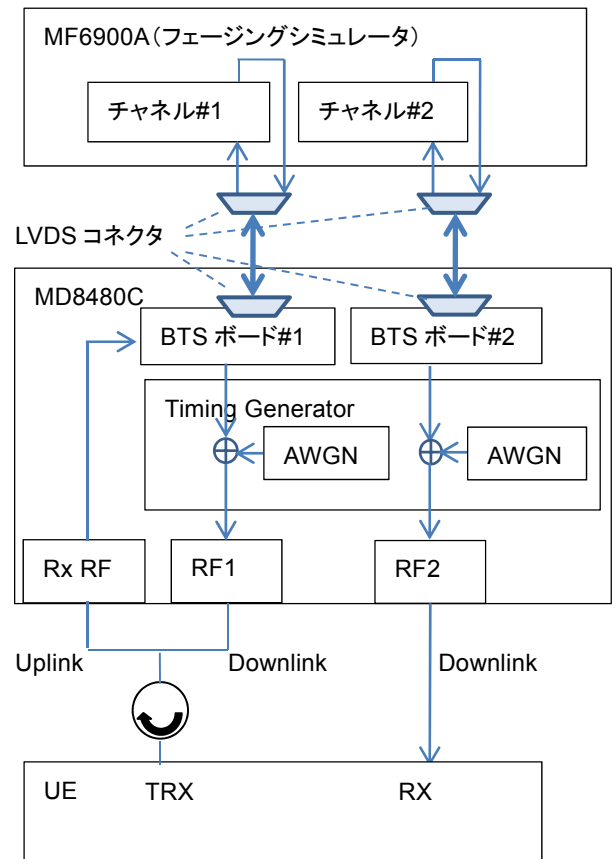


図11 フェージング環境試験の接続例(Rx Diversity試験)  
Connection example of the fading environment examination (Rx Diversity examination)

DC-HSDPA時には1つのBTSボードは2キャリア分のデジタルベースバンド信号を出力する。そこで2キャリア分のデジタルベースバンド信号をMF6900Aに送受信するために通信方法の変更をおこなった。

従来1キャリア分のデジタルベースバンド信号はクロック、データのペアでI相、Q相独立に転送(データ2本、クロック2本の合計4本)していたが、I相Q相を束ねて、データ3本、クロック1本にすることにより、従来クロックとして使用していた1信号線をデータとして

使用するように変更した。また、信号を同期させるためのヘッダー信号を3本のデータ信号線で1つにまとめ、効率良くデータを転送できるようになった。このような通信方法の変更により信号の転送速度と信号線の数を変えずに倍の信号容量を転送することが可能になった。上記の通信方式の変更が可能になったのはBTSボードのハードウェア改造時にフロントコネクタからFPGAまでの複数の信号線の等長性や信号波形を改善したからである。以上のような理由で2キャリア分のデジタルベースバンド信号を通信できるようになった。

また1つのBTSボードからMF6900Aに送られた2キャリア分のデジタルベースバンド信号はキャリア毎に別々の伝播モデルを演算後、同一ボードに戻され、AWGNを加算後、RFから出力される。

このようにしてDC-HSDPA時にもフェージング環境試験ができるように対応した。また、Tx Diversity時の複数アンテナを使用する試験についても2つのBTSボードを使用することによりフェージング環境を構築することが可能である。

## 6 むすび

HSPA Evolutionに対応する移動体通信市場において、チップセットやプロトコルの開発に貢献すべくMD8480Cを改良した。

MD8480Cは、W-CDMA→HSPA→HSPA Evolutionという進化を遂げてきたUMTSの技術検証に不可欠な試験ツールとして、世界の主要なチップセットベンダー、端末ベンダーに採用されている。

また、パフォーマンス試験や、事業者受け入れ検証向けのシステムを実現するための主要コンポーネントとして利用されており、UMTSのサービス品質の向上に貢献している。

アンリツは、今もまだ進化しつづめるUMTSの新たな技術の検証に必要なソリューションを提供していく。

## 参考文献

- 1) 荒井, 亀田, 上沢, 深澤:  
“移動体通信端末試験装置及び移動体通信端末試験方法”,  
特開 2012-142670 (2012.7)
- 2) 荒井, 亀田, 上沢, 深澤:  
“移動体通信端末試験装置及び移動体通信端末試験方法”,  
特開 2012-142671 (2012.7)

## 執筆者



俵 康弘  
R&D 統轄本部  
商品開発本部  
第2 商品開発部



上沢 貴秋  
R&D 統轄本部  
商品開発本部  
第2 商品開発部



梅澤 伸光  
R&D 統轄本部  
商品開発本部  
第2 商品開発部



大原 千賀子  
R&D 統轄本部  
商品開発本部  
第2 商品開発部



渡邊 俊行  
R&D 統轄本部  
商品開発本部  
第2 商品開発部

公知