

多様な通信方式に対応可能なトランスポートテストプラットフォームの開発

Development of transport test platform which has capability for multiple communication protocols

杉山 修 Osamu Sugiyama, 亀山祥弘 Yoshihiro Kameyama, 古家隆志 Takashi Furuya, 伊藤智宏 Tomohiro Ito

【要 旨】 近年のスマートフォンの普及に伴うモバイルデータの急増によって、IP パケットトラフィックが増大している。一方、基幹網では高信頼性、広帯域を特徴とした OTN(Optical Transport Network)が普及している。OTN においては IP トラフィックだけでなくさまざまな通信方式を効率的に収納できる機能の拡張や、さらなる広帯域化が求められている。こうした背景の下、さまざまな通信規格から構成される光ネットワークの評価を行う需要が高まっており、MT1000A ネットワークマスタプロと、MT1100A ネットワークフレックスを開発した。

1 まえがき

光通信ネットワーク市場では、ネットワークのオール IP 化の流れの中で、既存ネットワークと統合し、既存インフラを効率的に活用できる OTN 化が進んでいる¹⁾。またモバイルデータの急増に対処すべくモバイルバックホールの広帯域化が急務となっており、コア／メロネットワークに 100 ギガビットイーサネット、100G OTN 等の新技術の実装も急ピッチで進んでいる²⁾。

このような背景の中、光ネットワークの敷設・保守の分野では、複数の通信規格に準拠した伝送装置を評価することができるトランスポートネットワークテストの要求が高まること予想される。また、高ビットレートのネットワークでは、収容されるデータ容量とクライアントの多さから、特に高い信頼性が求められ、研究／開発、製造、開通、保守のすべての段階において機器やネットワークを正確に検証できることが求められる^{3)~6)}。

これらの要求に応え、1 台で各種通信方式のシステムを評価することができ、しかも小型かつ軽量でバッテリー駆動が可能な MT1000A ネットワークマスタプロと MT1100A ネットワークフレックスを開発した。MT1000A は、1 台の測定器で 1.5 Mbps から 10 Gbps のビットレートのさまざまな通信規格によって構成される機器やネットワークの評価を行うことができる。バッテリー駆動に対応したことで通信事業者の局舎に簡単に持ち運ぶことができ、敷設・保守用途での使用が可能となった。MT1100A は、最新のネットワーク技術に対応し、1.5 Mbps から 100 Gbps までの通信ネットワークの研究／開発、機器製造からネットワーク開通・保守までの伝送試験を 1 台でサポートする。1 台で 100 Gbps × 4 ポートをサポートしているため、将来の 400G における 100G クライアント信号の生成／解析も可能である。幅広い市場での評価に対応するために SDH/SONET/PDH/DSn, イーサネット, FC(Fibre Channel), OTN のように既存のネットワークから最新のネットワークまでをカ

バーする多様なプロトコルを搭載した。OTN では、これらをクライアント信号としてマッピングすることができ、マッピングされたクライアント信号についても詳細な測定を実施できる。多彩なプロトコルやマッピングへの対応のため、搭載した大規模 FPGA(Field Programmable Gate Array)では複数のコンフィグレーションファイルを用意する必要がある。これらの複数のソースコードの共通化を行うことで、開発効率とメンテナンス性の向上を実現した。

2 開発方針

- (1) モバイルフロントホールからコアネットワークまでのさまざまなネットワークや伝送装置に対して、R&D、製造、I&M(Installation and Maintenance)のさまざまな市場における検証を可能にする。
- (2) 一台の測定器で多様なネットワークや市場に対応するために、各市場の要求に柔軟に対応でき、誰もが容易に操作できるプラットフォームを構築する。

これらの方針実現に向けて、(a)容易に機能を追加できる拡張性、(b)オペレータのスキルによらない使い易い操作性、(c)各種通信方式への対応、をプラットフォーム設計の重点課題として開発に取り組んだ。

2.1 拡張性の高いプラットフォームの採用

MT1000A が主対象とする I&M 市場では機能拡張のみならず可搬性が重要視される。拡張性と可搬性を両立させるため、制御部と測定部をモジュールで分け、測定モジュールをアタッチメント構造として取り換え可能な構造を採用する。これにより、将来、新たな測定モジュールを追加する場合でも、既存測定モジュールと共通の制御モジュールを使用することができる。

一方、MT1100A が主対象とする R&D 市場、製造市場ではお客様の開発環境に合わせて測定ポート数を容易に増やせるように測定部をスタックブル構造とする。また、将来の 400G への対応も考慮し、100G を最大 4 ポートまで拡張できる構造とする。

2.2 使い易い操作性

MT1000A および MT1100A の特長である機能の多様性と拡張性を実現しようとする、設定項目や測定項目の増加による操作性の悪化を招く。多機能かつシンプルな操作性を両立させるためにはユーザの評価に必要な情報だけを効率よく画面に配置した方が良いため、プロトコルごと、あるいは評価項目ごとにアプリケーションソフトウェアを分割する方式を採用する。その際、個々のアプリケーションの操作性の統一感が失われないように、アプリケーションを起動する「アプリケーションセクタ」と、過去に保存したテスト結果を表示する「結果ファイルブラウザ」と、DUT と接続するインターフェースパラメータを設定する「設定」と、テスト時間などの試験条件パラメータを設定する「テスト」と、測定結果を表示するための「結果」とからなる GUI の概念モデルを定義し、すべてのアプリケーションで一貫した操作性となるように設計する。

2.3 大規模 FPGA の開発効率とメンテナンス性向上

MT1000A/MT1100A では多彩なプロトコルへの対応、複雑な OTN マッピングのサポートを FPGA を用いて実現している。大規模な FPGA を採用しているものの、多くのマッピング構造に対応するためには、FPGA の容量の制約から、すべての機能を 1 つの FPGA コンフィグレーションファイルに収めることはできず、多数のコンフィグレーションファイルに分割することになる。これらを効率良く設計しメンテナンスが行えるようにするため、すべてのコンフィグレーションファイルに対する共通ソースコードを用意し、この共通ソースコードの中で必要な回路だけを有効にすることでマッピングが構成され、パラメータを記述するように設計する。

3 機器構成

3.1 MT1000A ネットワークマスタープロ

MT1000A は、高い視認性と測定アプリケーションごとの最適な操作性を提供するために 9 インチ LCD タッチパネルを採用し、すべての機能をタッチ操作で行えるようにした。物理的なボタンは電源スイッチのみとし、小型化と大画面化を両立させた。さらに持ち運びによる使用を考慮して、バッテリー駆動を可能とした(最大 6 時間使用可能)。MT1000A は背面に測定モジュールを装着し、測定モジュールとの組み合わせで測定できる構造とし、その第一弾として MU100010A 10G マルチレートモジュールを開発した。MU100010A は測定インタフェースとして SFP/SFP+, RJ45, BNC, RJ48, バンタムコネクタを備え、1.5 Mbps から 10 Gbps までのビットレートをカバーする。すべての測定インタフェースに送受

2ポートずつの測定ポートを用意し、これら 2ポートが独立して動作するようにした。MT1000A の外観を図 1、図 2 に示す。

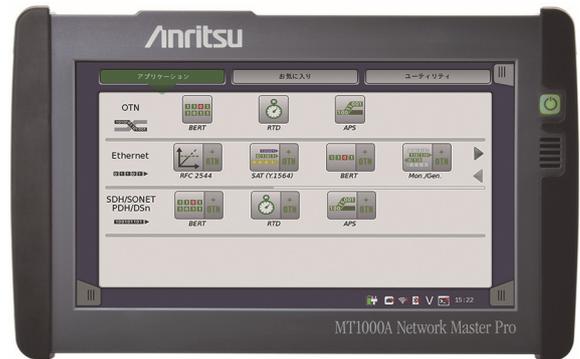


図 1 MT1000A 正面

257 (W) × 164 (H) × 77 (D) mm



図 2 MT1000A/MU100010A インタフェースパネル

3.2 MT1100A ネットワークマスターフレックス

MT1100A は 12 インチ LCD タッチパネルを備え、MT1000A の GUI と共通にすることで完全互換の操作性とした。MT1100A と電源モジュールで測定モジュールを挟み込む構造とし、測定モジュールを 2 モジュールまで重ねて実装できるようにした。電源モジュールは持ち運びによる使用に対応するためのバッテリー実装が可能な MU110001A バッテリー/AC 電源モジュールと、主に据え置きによる使用のための MU110002A AC 大容量電源モジュールを用意した。測定モジュールとして MU110010A 10G マルチレートモジュール、MU110011A 100G マルチレートモジュール、MU110012A 40G/100G モジュール CFP2 の 3 モジュールを開発した。MU110010A は MT1000A 用の MU100010A とハードウェアを共通化し、MT1100A に対応させたモジュールで、SFP/SFP+, RJ45, BNC, RJ48 の測定インタフェースを備え、1.5 Mbps から 10 Gbps までのビットレートをカバーし、MU110011A は CFP, QSFP+, SFP/SFP+, RJ45 の測定インタフェースを備え、10 Mbps から 100 Gbps までのビットレートをカバーする。MU110012A は CFP2, CXP, QSFP+の測定インタフェースを 2 ポートずつ備え、より高密度に 40 Gbps から 100 Gbps までをカバーする。これらの外観を図 3、図 4、図 5、図 6 に示す。



図3 MT1100A 外観

320 (W) × 225 (H) × 188 (D) mm
(MT1100A + MU110011A + MU110001A の場合)



図4 MU110010A インタフェースパネル



図5 MU110011A インタフェースパネル



図6 MU110012A インタフェースパネル

ローラ側に格納し、コントローラ側から測定モジュールの FPGA をコンフィグレーションするようにした。さらに、将来の拡張性を踏まえ、搭載モジュール数を制限しない構造とし、かつ通信バスの信号品質を保つため、FPGA を介してチェーンする構造とした。また、ソフトウェアがアクセスするためのアドレスの振り分けは測定モジュール上の FPGA のレジスタに書き込むようにした。

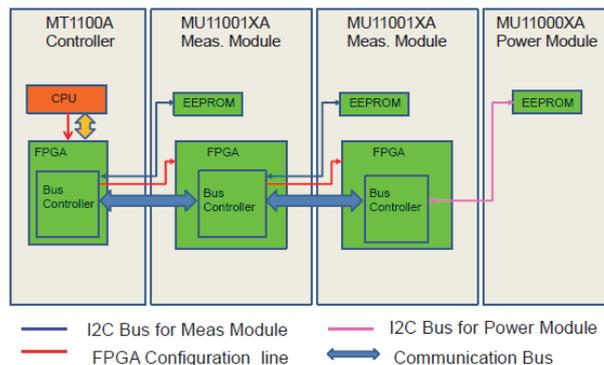


図7 スタックブル構造接続概要図

具体的実現方法について説明する。測定モジュール上のモジュール情報格納用 EEPROM と FPGA のコンフィグレーション用の信号線を 1 つ前のモジュールと接続している。電源投入後、MT1100A が、1 枚目の測定モジュール上の EEPROM からモジュール情報を読み出し、FPGA をコンフィグレーションする。これにより、コントローラモジュールと 1 枚目のモジュールと FPGA の通信が可能となり、この FPGA のレジスタに 1 枚目用のアドレス値を書き込む。その後、1 枚目の測定モジュール上の FPGA 経由で 2 枚目のモジュール上の EEPROM を読み出し、1 枚目の FPGA 経由で 2 枚目の FPGA をコンフィグレーションをし、2 枚目用のアドレスの値を書き込む。

この方法の採用により、今後搭載する測定モジュール数を増加することが可能となった。また、従来のスロット型筐体では、新規モジュールを開発する際のモジュールサイズがスロットサイズによって制限され問題となっていたが、スタックブル構造を採用したことで、各測定モジュールの厚みにも制限がなくなり、今後追加される測定モジュールのハードウェア開発にも柔軟に対応できる。

4.2 操作性に優れた GUI

MT1000A/MT1100A は、すべての測定アプリケーション間で一貫した操作性を実現するために概念モデルを定義している。この概念モデルは、デスクトップとワークスペースの 2 つの機能レベルからなる。

4 設計の要点

4.1 MT1100A スタックブル構造

I&M 市場では小型軽量が要求され、また R&D 市場および製造市場では複数モジュールの装着が要求される。従来のスロット型筐体の構造を用いて複数のスロットに対応しようとする、I&M 市場の小型の要求には応えられない。そこで、MT1100A では、スタッキング構造を採用し、各測定モジュールの両端にコネクタを搭載し、このコネクタで各モジュール間を接続し、図 7 のように各測定モジュールに電源ラインおよび通信・制御信号を供給するようにした。この構造により、ユーザは使用用途に合わせて搭載するモジュールの種類や数を自由に選択することができるようになった。

また、インストールの簡略化、および部品点数を削減しコストを抑える目的から FPGA などのコンフィグレーションファイルは、コント

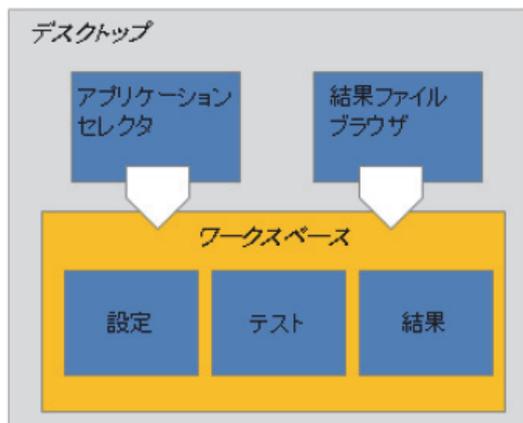


図8 GUI概念モデル

デスクトップは、起動直後に表示されるいわばエントリレベルであり、新しいアプリケーションを起動する「アプリケーションセクタ」と、過去に保存したテスト結果を表示する「結果ファイルブラウザ」、およびワークスペースから構成される。

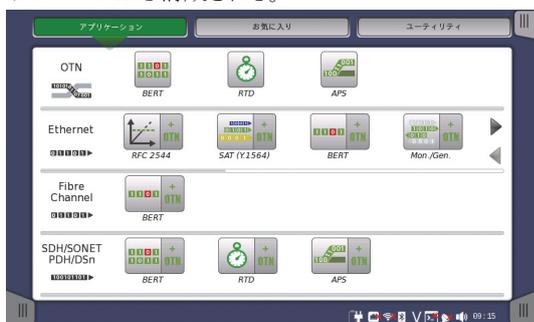


図9 アプリケーションセクタ画面例



図10 結果ブラウザ画面例

ワークスペースは起動されたアプリケーションの実体を指し、これはさらに3つの領域から構成される。1番目にDUTと接続するインタフェースパラメータを設定する「設定」、2番目にテスト時間などの試験条件パラメータを設定する「テスト」、最後に測定結果を表示するための「結果」である。

デスクトップ内あるいはワークスペース内の各領域を移動するための操作方法は、画面の上下左右に常に表示されているタブで行うようになっている。

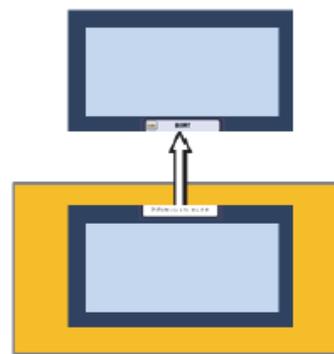


図11 デスクトップにおける画面遷移(上下)

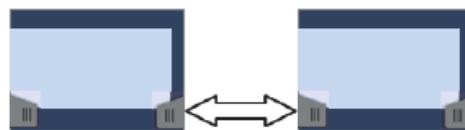


図12 デスクトップにおける画面遷移(左右)

ワークスペース内では、これのタブ操作に加えて画面下に常に表示される「設定」「テスト」「結果」文字ラベルをタッチすることで横方向の遷移をすることもできる。

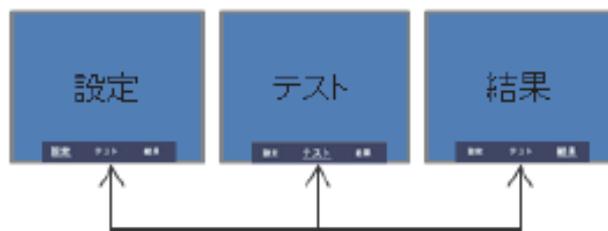


図13 ワークスペースにおける補助画面遷移

これらの画面構成を実装するソフトウェアはフレームワークと呼ばれる共通ライブラリとして提供されている。アプリケーション開発者は、フレームワークの提供するAPI(Application Program Interface)を使って、「設定」、「テスト」、「結果」の各領域の中にアプリケーション固有の画面を追加登録する。これにより、アプリケーション開発者はアプリケーション固有の機能設計に集中できると同時に、一貫した操作性を損なうことなく、新規アプリケーションを追加できる。



図14 ワークスペースの一例(RFC 2544の設定画面)



図 15 ワークスペースの一例(RFC 2544 のテスト画面)



図 16 ワークスペースの一例(RFC 2544 の結果画面)

フレームワークの実装にはオブジェクト指向設計を適用しており、概念モデルの詳細はフレームワークが提供する API のベースクラスに隠蔽されている。アプリケーション開発者はこのベースクラスを継承した subclasses を実装するだけで、概念モデルをまったく意識する必要がない。このようにして MT1000A/MT1100A ではさまざまなアプリケーション追加の拡張性と、一貫した操作性を両立させた。

4.3 複雑化するネットワークへの対応

4.3.1 OTN マッピング

いろいろな分野で最適化された通信の信号、プロトコルが開発され、実用化されている。さらにプロトコル間を連携する仕組みや、長距離伝送への対応も検討されてきた。新たにプロトコルが開発され、実用化されている中で、従来技術も継続的に運用されている。近年では、進化しつつも新旧のプロトコルが共存する複雑化したネットワークが構築されている。図 17 のとおりに、TDM, SAN, モバイルバックホール等、それぞれの分野において最適化された通信方式やプロトコルが実用化されており、またこれらのプロトコル間を連携する仕組みや長距離伝送に対応する新たな開発も行われてきた。このように、現状のネットワークは、新旧のプロトコルが複雑に共存する中で進化を続けている状況にある。

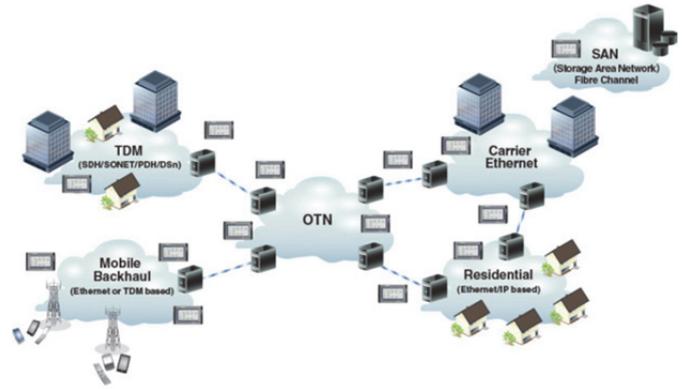


図 17 プロトコル間の関わりと、MT1000A/MT1100A の関わり

MT1000A/MT1100A は、多くの分野で普及しているイーサネット、ストレージネットワークで使用される FC、従来技術としてコア、アクセスネットワークで使用されている SDH/SONET/PDH/DSn、コアネットワークにおいて長距離を高品質で伝送可能な OTN の各種通信方式の評価に対応した。OTN では、イーサネット、FC、SDH/SONET、および擬似ランダムパターン信号をクライアント信号としたマッピングに対応し、そのクライアント信号においても、通常のイーサネット、FC、SDH/SONET の生成・測定と同じ機能を利用することができる。これにより、被測定対象に対して実運用に近い状態の OTN 信号を提供できるだけでなく、マッピングされたクライアント信号についても詳細な測定を実施することが可能となっている。図 18 に MU110011A/MU110012A での OTU4 時の対応マッピングを示す。

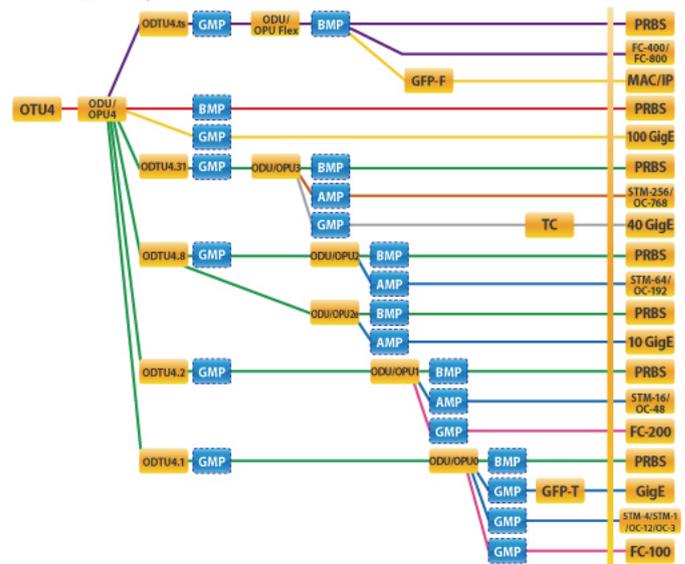


図 18 OTU4 対応マッピング

4.3.2 FPGA 使用効率, メンテナンス性向上

OTN には, OTU1, OTU2, OTU3, OTU4 など複数のビットレートが定義されており, それぞれ前述したようなマッピング (多重化) が行われる。MU110011A/MU110012A では, 大規模 FPGA を搭載し, これらのマッピングに準拠した OTN 信号の発生, 受信解析を実現している。大規模 FPGA を採用しているものの, 多くのマッピング構造に対応するためには, FPGA の容量の制約から, すべての機能を1つのFPGAコンフィグレーションファイルに収めることはできない。そのため, マッピングごとにコンフィグレーションファイルを用意し, 画面設定に合わせて書き換えていく方法を採用した。必要とするコンフィグレーションファイルは 40 種類以上もあり, これらに対応する個別のソースコードを個々に用意しようとすると, 多くの時間と複雑なメンテナンスが必要となってしまう。

そこで, より効率の良い設計とメンテナンスが行えるように, すべてのコンフィグレーションファイルに対する共通ソースコードを用意し, この共通ソースコードの中で必要な回路だけを有効にすることによりマッピングが構成されるようにパラメータを記述した。OTN のフレーム構造の特性として, ビットレートによらずフレームフォーマットが同じであるため, OTN のマッピング構造実現には多くのソースコードを共用して, データストリームのビット幅の共通化やエラー挿入回路などに適用することが可能となる。実質的にマッピングごとにソースコードを用意する必要がなくなり, FPGA の使用効率, メンテナンス性が向上した。

4.3.3 FPGA 間を高速・広帯域なインタフェースで接続

MU110011A/MU110012A ではさらに, イーサネット信号のフル機能を維持したまま OTU4 や OTU3 フレームのクライアント信号としてマッピングできる。これを実現するために, 1 つの測定モジュール中に2つのFPGAを実装し, 一方のFPGAをOTNのフレーム/デフレーム用としてもう一方をクライアント信号生成/解析用として使用する。このとき, 2つのFPGA間は, Interlaken プロトコルによって 103 Gbps 以上の帯域を確保しながら, データをやりとりしている⁷⁾。図 19 に示すように, FPGA 間を接続している信号線にはスキューが発生してしまうが, 上記プロトコルによりデスクュー (Deskew) することで位相が保証され, ギア・ボックス (GearBox) でクロック同期化およびビット幅の調整を行っている。

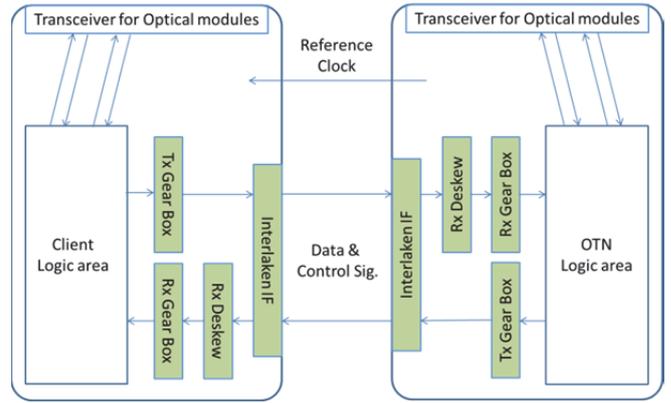


図 19 FPGA 間高速インタフェースブロック図

4.3.4 パーシャルリコンフィグレーションによる多彩なアプリケーションへの対応

前述したように, MT1000A/MT1100A では多くの通信方式の信号やプロトコルに対応している。さらに, アプリケーションの切り替えや測定開始・停止などが測定ポート間で影響しないように設計しているため, 複数の測定ポートを独立に使用できる。

今回, この測定ポート間で影響しないような設計にはパーシャルリコンフィグレーションの技術を利用している。この技術は, FPGA 内部を複数の領域に分割し, それぞれの領域ごとに用意された FPGA コンフィグレーションファイルが必要なときに指定された領域にのみコンフィグレーションする技術である。従来は, FPGA の全領域をコンフィグレーションする必要があったため, 仮に複数のポートに対応していても, アプリケーション切り替え等で全ポートの制御を一時停止しなければならなかった。

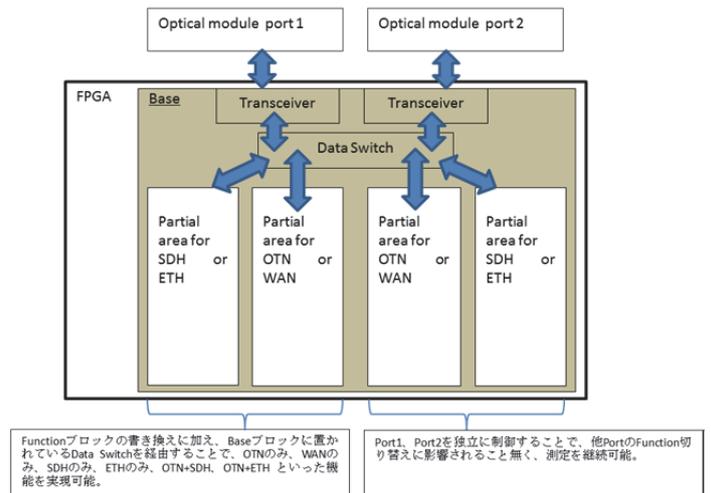


図 20 MU100010A/MU110010A パーシャル領域割り当て

図 20 に, 本開発で用いたパーシャルリコンフィグレーションの MU100010A/MU110010A のパーシャル領域の割り当てを示す。FPGA の内部は, ベース領域と各パーシャル領域に分かれ, 合計

4つのパーシャル領域を設け、1ポートにつき2つのパーシャル領域を割り当てている。ベース領域は、一度書き込みが行われると電源が切られるまで書き換えが行われない領域で、CPUとのインタフェース、高速トランシーバブロック、各種IOピン、データセクタ、外部デバイスとのインタフェースや制御ブロックなどが配置されている。一方、パーシャル領域は、ベース領域およびほかのパーシャル領域との接続方法、FPGA内部リソース割り当てを規定し、その規定に沿っていれば、自由度の高い設計、回路配置が可能となっている。さらに、複数のポートで機能差のないアプリケーションを実現し、かつ開発効率、メンテナンス効率をよくするために、パーシャル領域のソースコードを共用している。

このパーシャルリコンフィグレーションを利用することで、ほかのポートの測定、設定に影響することなく、当該ポートのアプリケーション切り替えや設定が可能になり、被測定対象物の挟み込み試験やパススルーモードでの信号モニタなどへ容易に対応することができた。

5 むすび

近年のスマートフォンの普及に伴うモバイルデータの急増により、基幹網ではオールIP化、既存ネットワークの統合、高信頼性、広帯域化が求められOTNが普及している。こういった背景の下、さまざまな通信方式やビットレートの伝送装置やネットワークを評価できるトランスポートネットワークテスタへの要求に応え、1.5 Mbpsから10 Gbpsのビットレートの通信プロトコル評価可能で、小型でバッテリー駆動可能なネットワークの開通・保守に貢献するMT1000Aと、1.5 Mbpsから100Gのビットレートの評価可能なネットワークの開通・保守および通信装置の開発・製造に貢献するMT1100Aを開発した。

両機種の拡張性のあるハードウェア・ソフトウェアのプラットフォームを活かして、今後も高速化・複雑化していく光ネットワークに対して、容易かつ正確に評価できる測定アプリケーションを提供し、光ネットワークの評価品質の向上に貢献していきたい。

参考文献

- 1) Andrew Schmitt, "OTN and Packet Optical Hardware Biannual Market Size, Share, and Forecasts: 1st Edition", March 2013
- 2) Matthias Machowinski, Andrew Schmitt, "1G/10G/40G/100G Networking Ports Market Size and Forecasts: 1st Edition 2013", April 2013
- 3) ITU-T G.709, "Network Node Interface for the Optical Transport Network (OTN)", February 2012
- 4) ITU-T G.783, "Characteristics of Synchronous Digital Hierarchy (SDH) equipment functional blocks", March 2006
- 5) IEEE Std 802.3™-2012, "IEEE Standard for Ethernet"
- 6) INCITS 373-2003, "Fibre Channel Framing and Signaling Interface"
- 7) "Interlaken Protocol Definition, A Joint Specification of Cortina Systems and Cisco Systems", October 2008

※ イーサネットは、富士ゼロックス株式会社の登録商標です。

執筆者



杉山 修
R&D 統轄本部
商品開発本部
第1商品開発部



亀山 祥弘
マーケティング本部
プロダクトマーケティング部
プロジェクトチーム1



古家 隆志
マーケティング本部
プロダクトマーケティング部
プロジェクトチーム1



伊藤 智宏
R&D 統轄本部
商品開発本部
第1商品開発部

公知