

高性能 InP 系 DHBT を用いた 高速通信システム計測用機能モジュールの開発

荒屋敷豊 Yutaka Arayashiki, 大久保幸夫 Yukio Ohkubo, 神園隆司 Takashi Kamizono, 天野好章 Yoshiaki Amano, 佐々木尚史 Naoshi Sasaki

[要 旨] 次世代通信方式の伝送実験に必要とされる高速通信システム計測用機能モジュールの開発を行った。本モジュールに内蔵する IC の開発には高速性、信頼性に優れた InP 系 DHBT プロセスを適用した。本稿では、開発した InP 系 DHBT プロセスについて紹介するとともに、このプロセスを用いて製作した IC をモジュール化し、64 GBaud 2 bit DAC, 64 Gbit/s 2:1MUX, 1:2DEMUX などを開発したので紹介する。

1 まえがき

クラウドコンピューティングサービスやスマートフォンの普及によりサーバーやコアネットワークの伝送容量拡張が要求されている。そのため OIF や IEEE などの規格団体や各種先端研究機関において、QAM(Quadrature Amplitude Modulation)伝送方式や NRZ(Non Return Zero)伝送方式などを用いた次世代通信方式が検討されている。これらの伝送実験ではビットエラーレートの測定が重要である。弊社で提供しているシグナル クオリティ アナライザ(型名:MP1800A)および高速通信システム計測用機能モジュールを用いることで次世代通信方式の研究開発で伝送実験系の構築が可能となる。高速通信システム計測用機能モジュールには高速性、高信頼性を備えた集積回路(IC)が必要となるが、市場では入手が困難である。そのため弊社では高速性、信頼性に優れたデバイス作製技術として、InP 系 DHBT(Double Hetero-junction Bipolar Transistor)プロセス技術を開発した¹⁾。そしてこのプロセス技術を用いて各種 IC を開発し、高速通信システム計測用機能モジュールに適用した。

本稿では、はじめに InP 系 DHBT プロセス技術について紹介する。次に開発した各種高速通信システム計測用機能モジュールについて紹介する。

2 InP 系 DHBT プロセス技術

2.1 デバイスへの要求性能とデバイス構造

高速通信システム計測用機能モジュールは基本計測器の性能を強化および補完するためのモジュールであり、高速、高機能のカスタム IC を内蔵している。近年 IC の高集積化が進んでおり、基本デバイスであるトランジスタには、高速性だけでなく、高均一性も要求されている。InP/InGaAs/InP 構造の DHBT は、InP 系の優れた材料特性により高速化が可能である。さらに FET(Field Effect

Transistor)系と比較して特性の均一性が優位で、なおかつ耐圧も確保し易い。そのため、高速通信システム計測用機能モジュールの基本デバイスとして最適と考える。

GaAs 系 HBT では信頼性を確保するためにエミッタ周辺に空乏化した薄いエミッタ層を残すレッジ構造を採用するのが一般的である。一方、InP 系 DHBT ではエッチングの制御性が低いためにレッジ層の厚さがばらつき均一なトランジスタの形成が難しい。そこで弊社ではエミッタ InP 層中にエッチストップ層(ESL)を挿入した独自の層構造を採用している¹⁾。ESL として 2 nm のごく薄い InGaAs 層を挿入することにより、選択ウエットエッチング法でレッジ構造の形成が可能になる。開発した InP 系 DHBT の断面構造を図 1 に示す。エミッタの周辺にレッジが安定して形成されていることが分かる。

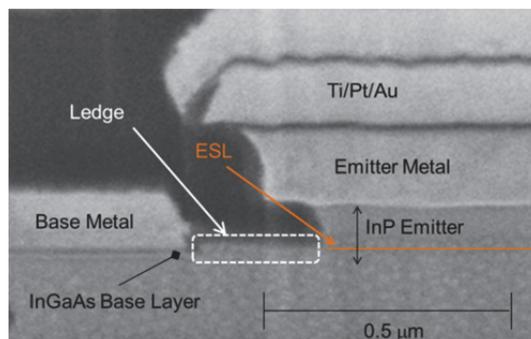


図 1 InP 系 DHBT の断面構造

2.2 デバイス特性

開発した InP 系 DHBT の電流電圧特性を図 2 に示す。エミッタサイズは $1 \times 5 \mu\text{m}^2$ である。同図より、耐圧は 6 V 以上であり、さらにオフセット電圧や立ち上り電圧が小さく良好な特性であることが分かる。また、DHBT の電流増幅率 h_{FE} のウエハ面内バラツキ(σ)は 1.5% 以下で十分に小さく、ESL により優れた均一性を実現できている。次に高周波特性の指標である遮断周波数 f_T と最大発振周波数 f_{max} のコレクタ電流依存性を図 3 に示す。 $I_C = 10 \text{ mA}$ での f_T/f_{max} は 229/408 GHz であり、高速通信システム計測用機能モ

ジュールを実現するには十分に大きな値である。最後に信頼性の指標である平均故障時間(MTTF)の評価結果のアレニウスプロットを図4に示す。高温動作試験から導出した DHBT の接合温度 T_j が 125°C での MTTF は 1.5×10^7 時間であり十分な信頼性を保有していることがわかる。

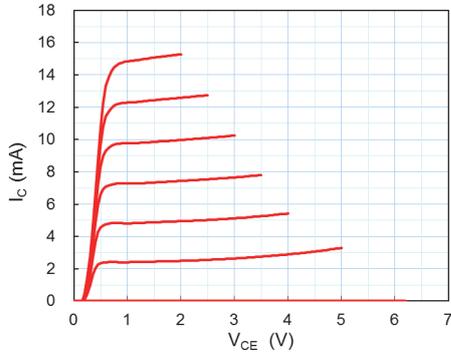


図2 電流電圧特性

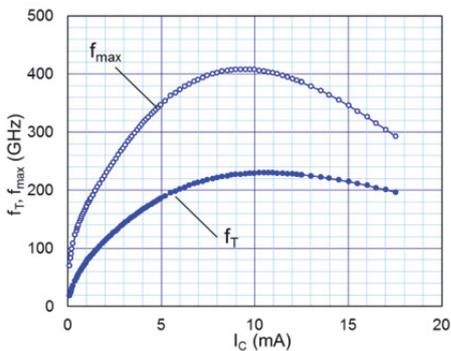


図3 コレクタ電流に対する高周波特性

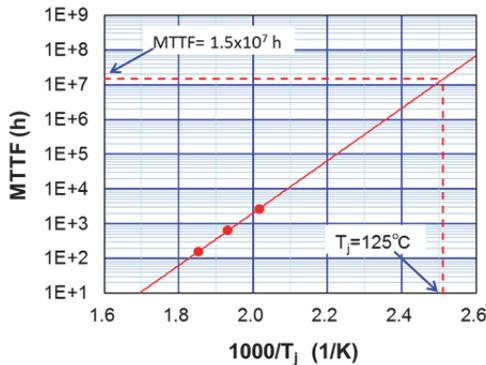


図4 MTTF のアレニウスプロット

3 高速通信システム計測用機能モジュール

開発した InP DHBT プロセスを用いて IC を設計、製造し、金属パッケージに実装することによって各種高速通信システム計測用機能モジュールを開発した。

IC の受動素子には、低シート抵抗の InP 半導体層抵抗、高

シート抵抗の WSiN 抵抗、SiN 膜を層間絶縁膜に用いた MIM(Metal-Insulator-Metal)容量を使用した。配線については、回路構成の難易度に応じて二層 Au 配線と三層 Au 配線を IC ごとに使い分けた。また、IC の放熱および回路動作の安定性確保を目的としてビアホールを用いた。

モジュール内での同軸コネクタと IC の接続には、高周波特性に優れた G-CPW(Grounded Coplanar Waveguide)を用いた。同軸コネクタは、超高速信号端子には V コネクタを、その他の端子には K コネクタをそれぞれ用いた。

これらの条件で開発された各種高速通信システム計測用機能モジュールを次に紹介する。

3.1 64 GBaud 2-bit DAC with MUX (型名 : G0361A)

本モジュールは、最新の高速インタフェース規格で必要とされる PAM4(4-level Pulse Amplitude Modulation)信号が発生できるデジタル-アナログ変換器(DAC)である。図5に本 DAC のブロック図を示す。本 DAC はクロックバッファ、2 つのハーフレート動作 2:1 マルチプレクサ(MUX)、DAC コアによって構成されている。IC 内部に 2 つの MUX を備えることによって MP1800A による駆動で高速 PAM4 信号出力を可能にしている。さらに DAC コアには PAM4 信号の波形歪を抑制する技術が用いられている²⁾。図6に本 DAC のチップ写真を示す。IC に使用したトランジスタ数は 282 個である。IC サイズは $2 \text{ mm} \times 3 \text{ mm}$ である。図7に本モジュールの外観図を示す。モジュールに 4 つのデータ信号、1 つのクロック信号を MP1800A から印加することによって差動の PAM4 信号を出力できる。本モジュールの最大動作ボーレートは 64 GBaud である。消費電力および電源電圧はそれぞれ 2.1 W、 -3.7 V である。図8に 56, 64 GBaud 動作時の PAM4 信号の出力波形を示す。出力振幅は 800 mV である。

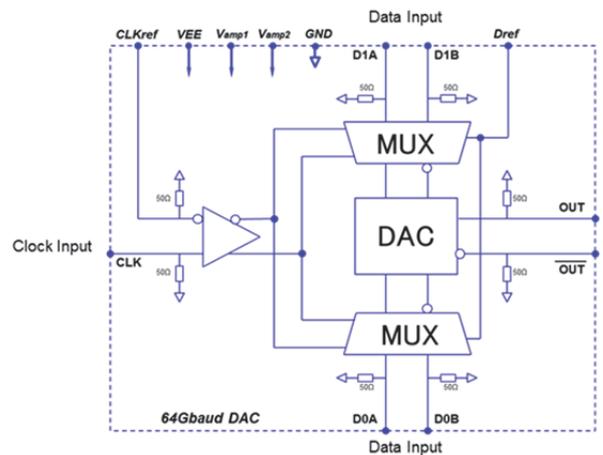


図5 DAC ブロック図

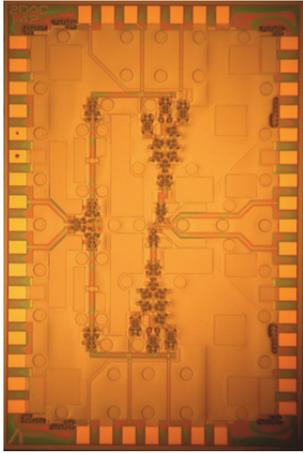
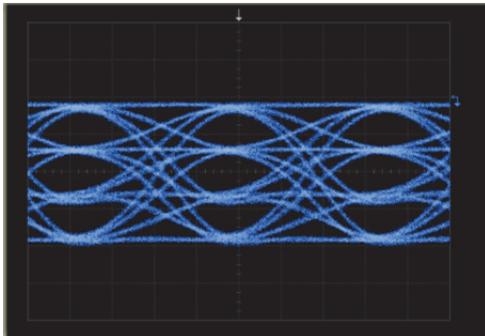


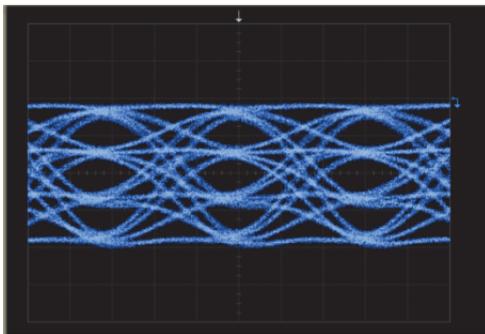
図6 DACチップ写真



図7 DACモジュール写真



(a) 56 GBaud



(b) 64 GBaud

図8 PAM4信号の出力波形(200 mV/div., 5 ps/div.)

3.2 64 Gbit/s 2:1 MUX (型名 : AH64175A)

本モジュールは、外部から入力される2つのNRZ信号を2倍の速度のNRZ信号に変換するMUXである。図9に本MUXのブロック図を示す。本MUXは2つのデータバッファ、クロックバッファ、MUXコア、出力バッファによって構成されている。IC設計は高速性を重視し、CSD(Clock Signal Distribution)技術³⁾を用いた。図10に本MUXのチップ写真を示す。ICに使用したトランジスタ数は122個である。ICサイズは2 mm×2 mmである。図11に本モジュールの外観図を示す。モジュールに2つのデータ信号、1つのクロック信号をMP1800Aから印加することによって差動のNRZ信号を出力できる。本モジュールの最大動作ビットレートは64 Gbit/sである。消費電力および電源電圧はそれぞれ1.2 W、-3.5 Vである。図12に56, 64 Gbit/s動作時の出力波形を示す。56 Gbit/s動作時の出力振幅およびジッタRMSは427 mV, 260 fsであり、64 Gbit/s動作時の出力振幅およびジッタRMSは402 mV, 349 fsである。

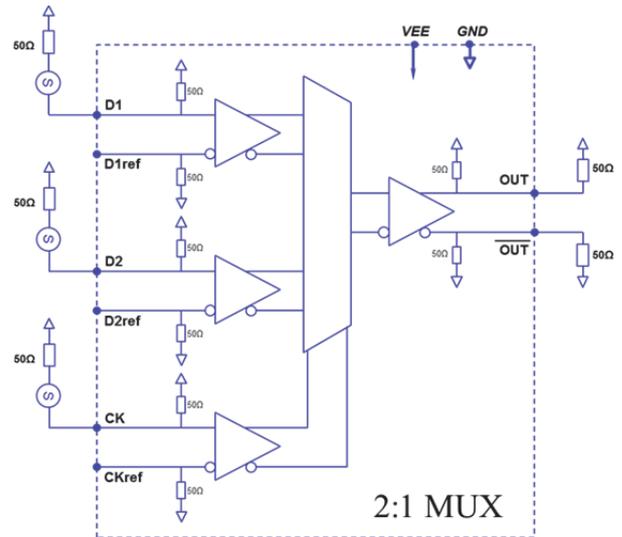


図9 MUXブロック図

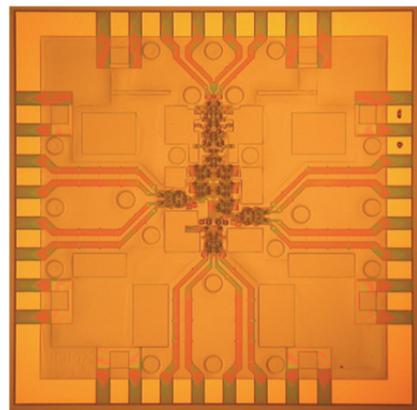
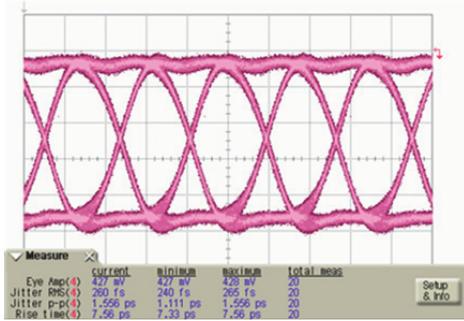


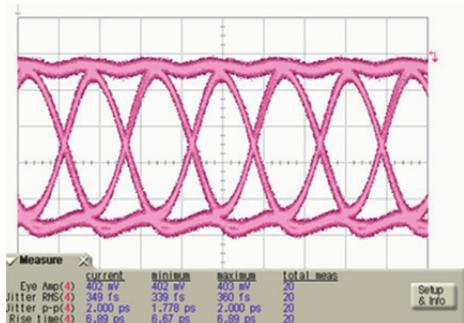
図10 MUXチップ写真



図 11 MUX モジュール写真



(a) 56 Gbit/s



(b) 64 Gbit/s

図 12 MUX モジュールの出力波形

3.3 64 Gbit/s 1:2 DEMUX (型名 : AH64176A)

本モジュールは、外部から出力される高速 NRZ 信号を 1/2 の速度の 2 つの NRZ 信号に分離するデマルチプレクサ (DEMUX) である。図 13 に本 DEMUX のブロック図を示す。本 DEMUX はデータバッファ、クロックバッファ、DEMUX コアおよび 2 つの出力バッファによって構成されている。IC 設計は MUX と同様に高速性を重視し、CSD (Clock Signal Distribution) 技術および DSD (Data Signal Distribution) 技術を用いて、さらに、モジュール化を容易にするためにパターンレイアウトを熟慮した⁴⁾。図 14 に本 DEMUX のチップ写真を示す。IC に使用したトランジスタ数は 124 個である。IC サイズは 2 mm × 2 mm である。図 15 に本モジュールの外観図を示す。モジュールに高速 NRZ 信号とクロック信号を印加することによって分離した 2 つの NRZ 信号を出力できる。本モジュールの

最大動作ビットレートは 64 Gbit/s である。消費電力および電源電圧はそれぞれ 1.5 W, -3.5 V である。図 16 に 20, 64 Gbit/s 入力時の 10, 32 Gbit/s の出力波形を示す。20 Gbit/s 動作時の出力振幅およびジッタ RMS は 349 mV, 257 fs であり、64 Gbit/s 動作時の出力振幅およびジッタ RMS は 339 mV, 366 fs である。

MP1800A, 64 Gbit/s 2:1 MUX および 64 Gbit/s 1:2 DEMUX を用いることによって最大 64 Gbit/s の NRZ 信号のビットエラーレート測定が可能となる。

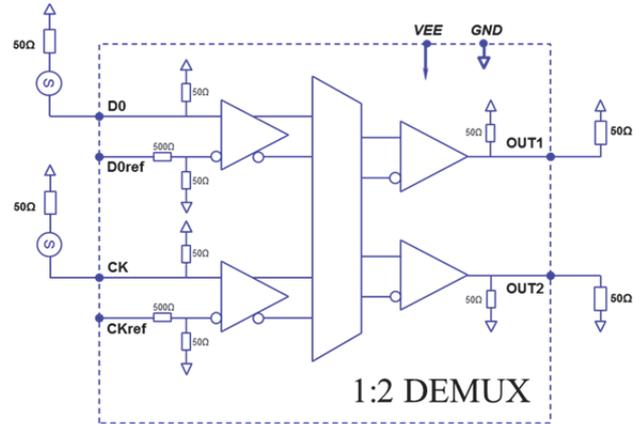


図 13 DEMUX ブロック図

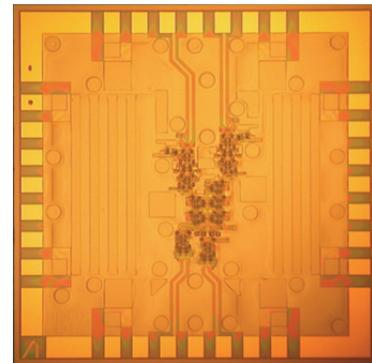


図 14 DEMUX チップ写真

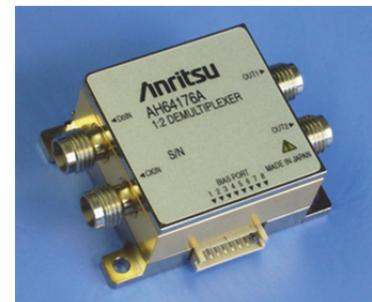
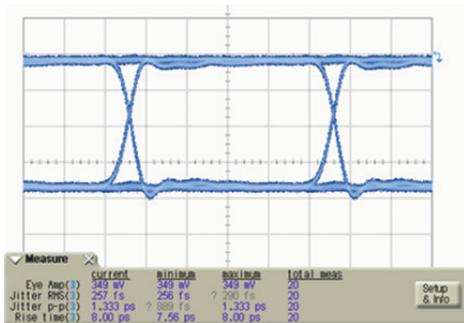
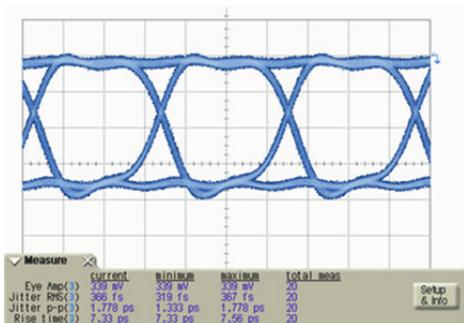


図 15 DEMUX モジュール写真



(a) 入力 20 Gbit/s, 出力 10 Gbit/s



(b) 入力 64 Gbit/s, 出力 32 Gbit/s

図 16 DEMUX モジュールの出力波形

3.4 差動 2 分岐アンプ (型名 : AH54172A)

ビットエラーレート測定等で複数のクロック信号が必要となる場合、パワーディバイダを用いてクロック信号を 2 つに分岐することが一般的である。しかしパワーディバイダは 6 dB の損失があるため出力レベルの低下が問題となることがある。その解決策は、能動素子でクロック信号を分岐することである。本モジュールはクロック信号を 2 つの差動信号に分離するアンプで形成されている。図 17 に本アンプのブロック図を示す。本アンプは入力バッファ、信号分配部および 2 つの出力バッファで構成されている。図 18 に本アンプのチップ写真を示す。IC に使用したトランジスタ数は 42 個である。IC サイズは 1.5 mm × 2 mm である。図 19 に本モジュールの外観図を示す。図 20 に小信号周波数特性を示す。直流利得は 17 dB であり 3 dB 帯域は 40 GHz である。消費電力および電源電圧はそれぞれ 0.6 W, -3.5 V である。図 21 に 10, 30 GHz のクロック信号を入力した際の出力波形を示す。10, 30 GHz 動作時の出力振幅はそれぞれ 850, 780 mV である。

本モジュールは 32 GHz のクロック信号分岐に十分な特性を有しており、64 GBaud DAC や 64 Gbit/s MUX/DEMUX へのクロック供給に好適である。

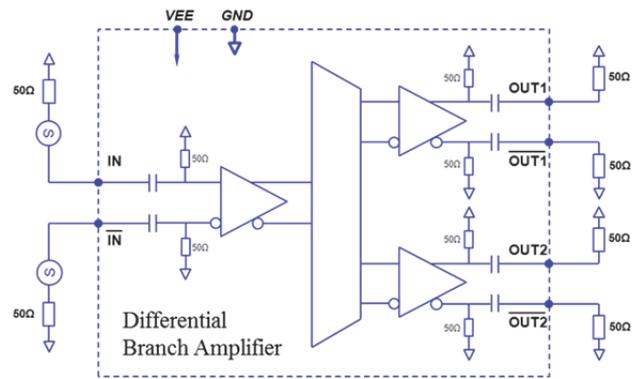


図 17 差動 2 分岐アンプのブロック図

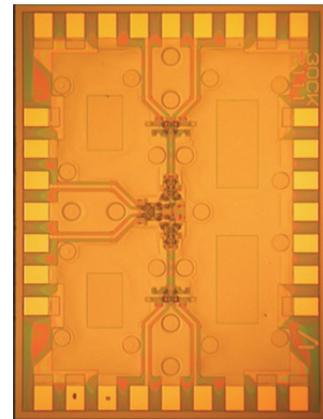


図 18 差動 2 分岐アンプチップ写真



図 19 差動 2 分岐アンプモジュール写真

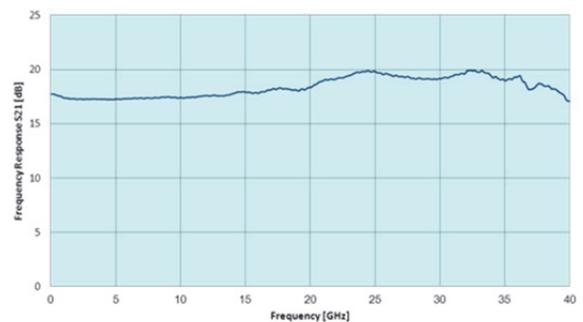
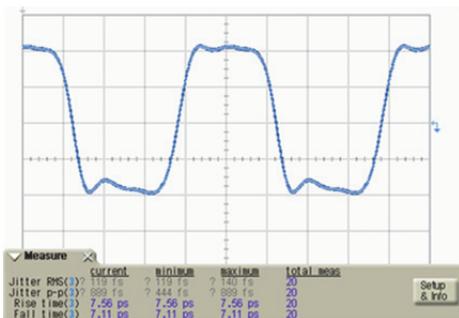
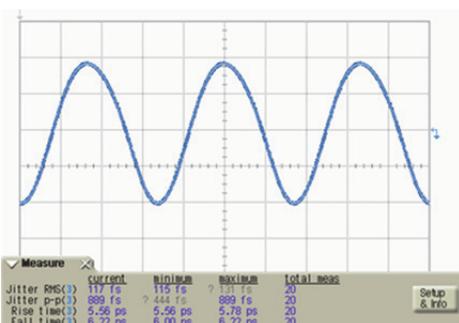


図 20 差動 2 分岐アンプの小信号特性(S21)



(a) 10 GHz



(b) 30 GHz

図 21 差動 2 分岐アンプの出力波形

4) Y. Arayashiki, T. Kamizono, Y. Ohkubo, T. Matsumoto, Y. Amano, and Y. Matsuoka, "High-Bitrate-Measurement-System-Oriented Lower-Jitter 113-Gbit/s 2:1 Multiplexer and 1:2 Demultiplexer Modules Using 1- μ m InP/InGaAs/InP Double Heterojunction Bipolar Transistors," IEICE, Trans. Electron. Vol. E96-C, pp. 912-919, June 2013

執筆者



荒屋 敷豊
デバイス開発センター
高速デバイス開発部



大久保 幸夫
デバイス開発センター
高速デバイス開発部



神園 隆司
デバイス開発センター
高速デバイス開発部



天野 好章
デバイス開発センター
高速デバイス開発部



佐々木 尚史
デバイス開発センター
高速デバイス開発部

4 まとめ

高速性、信頼性に優れた InP 系 DHBT を開発した。そして各種高速伝送実験のビットエラーレート測定を行うシグナル クオリティアナライザとともに使用する高速通信システム計測用機能モジュールの開発を本 InP 系 DHBT を用いて行った。開発した各種モジュールは最先端の高速伝送実験で使用するのに最適である。

参考文献

1) Y. Matsuoka, Y. Ohkubo, T. Matsumoto, T. Koji, Y. Amano, and A. Takagi, "On the Emitter Resistance of High-Performance GaAs- and InP-Based Heterojunction Bipolar Transistors", Jpn. J. Appl. Phys. Vol. 47, pp. 4441- 4447, June 2008

2) Y. Arayashiki, M. Ikeda, Y. Amano, "80 GBd 6-bit DAC in InP DHBT for arbitrary waveform generator," IET, Electronics letters, Vol. 52, No.23, pp. 1937-1938, 2016

3) Y. Arayashiki, Y. Ohkubo, T. Matsumoto, Y. Amano, A. Takagi, and Y. Matsuoka, "A 120-Gbit/s 1.27 W 520-mVpp 2:1 Multiplexer IC using Self-Aligned InP/InGaAs/InP DHBTs with Emitter Mesa Passivation," IEICE, Trans. Electron. Vol. E93-C, pp. 1273-1278, August 2010

公知