128G PAM4 BERT の開発

佐々木浩輔　Kosuke Sasaki，柴田和也　Kazuya Shibata，岩井達也　Tatsuya Iwai，相原康人　Yasuhito Aihara，
大沼弘季　Hiroyiki Onuma，山根一浩　Kazuhiro Yamane

［要　旨］　クラウドコンピューティングサービスの普及により，データセンタの情報量は急速に増大している。サーバーやネットワーク機器の通信速度を高速化するため，高速インタフェースに使用される信号は，従来の NRZ 方式から，シンボルレートを上げずに伝送容量を増加させる PAM(Pulse Amplitude Modulation)4 方式の採用が主流になってきている。そこで，これらPAM4伝送の市場要求に取り組むため，PAM4 BERT(Bit Error Rate Tester)の開発を行い，100 Gbit/s を超える PAM4 通信規格の測定に対応した。

1　はじめに

近年，データセンタの情報量は急速に増大しており，物理層デバイス・モジュールに求められる伝送速度も高速化が進んでいる。そのため，OIF-CEI(Optical Internetworking Forum Common Electrical Interface)や IEEE802.3 といったネットワーク機器間のインタフェースを規定する標準規格では，従来の NRZ(Non-Return-to-Zero)方式からシンボルレートを上げずに伝送容量を増加させる PAM4 方式の採用が主流になってきており，その通信速度も CEI-112G-VSR-PAM4[1)]の 112 Gbit/s(56 Gbaud)や IEEE802.3bs[2)]の 106.25 Gbit/s(53.125 Gbaud)など，100 Gbit/s を超えるものも規格化されている。また，PCI-SIG が，2021 年の標準化を目指している PCIe-Gen6[3)]から PAM4 の採用を発表するなど PAM4 信号を使用した通信の需要が高まっている。

PAM4 信号は，1 タイムスロット当り 4 値の電圧レベル(0,1,2,3)で伝送する。そのため，1 タイムスロット当り 2 値の電圧レベル(0,1)で伝送する従来の NRZ 伝送に対して，1 シンボル当たりの情報量が 2 倍になる。電圧振幅を等しくしたとき，PAM4 信号の各電圧レベル間の振幅はNRZ信号の1/3となることにより，送信側には高性能な波形品質，受信側には高感度な入力性能が求められる。また，ハード性能だけではなく信号品質評価のためのさまざまな解析機能が求められる。

これらの要求に応えるために，PAM4 信号と NRZ 信号に対応した 128G PAM4 BERT(Bit Error Rate Tester)を開発し，業界初の 116 Gbit/s PAM4 信号のエラーフリー測定を実現した。128G PAM4 BERT は MP1900A Signal Qualituy Analyzer-R シリーズの最新モジュール MU196020A PAM4 PPG（以下，PAM4 PPG: Pulse Pattern Generator），MU196040B PAM4 ED（以下，PAM4 ED; Error Detector），すでにリリース済みのモジュールである MU181000B 12.5 GHz 4port Synthesizer（以下，シンセサイザ），MU181500B Jitter Modulation Source（以下，Jitter Module）で構成されており，これらモジュールを MP1900A に入れることでワンボックステストソリューションとして提供可能である。

PAM4 PPG は，IEEE 802.3cd[4)]で規格化されている Signal to Noise and Distortion Ratio（以下，SNDR）が 33 dB 以上となるなど高品質な波形を実現し，各種規格向け DUT(Device Under Test)のストレス試験を行うための ISI(Inter-Symbol Interference)発生機能などを具備している。また PAM4 ED は，受信感度が 58.2 Gbaud において 50 mV（各 Eye Height）以下の業界最高レベルの感度を実現し，エラー解析のための検証機能を多数用意した。

本稿ではこれら 128G PAM4 BERT 要素技術の設計における要点について解説する。

2　PAM4 PPG 概要

2.1　出力波形特性

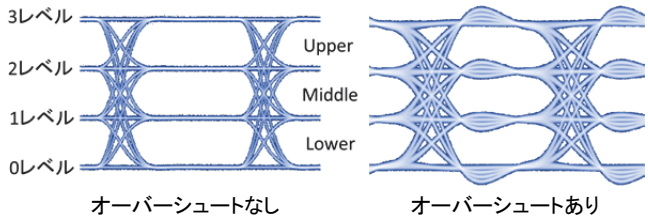


図 1　PAM4 信号波形

図 1 に PAM4 信号波形を示す。PAM4 信号は，NRZ 信号に比べて各信号のレベルが 1/3 になることから高速な立ち上がり，立ち下がり，低ジッタ性能が求められる。また，電圧レベルが 4 値であり，下のアイから Lower，Middle，Upper となる。波形の 1，2 レベル

にオーバーシュートがあると Upper や Lower のアイ開口が小さくなり，アンダーシュートがあると Middle のアイ開口が小さくなることから，より小さい波形歪みが要求される。

高速 PAM4 信号を生成するため，遮断周波数 229 GHz，最大発振周波数 403 GHz の InP 半導体技術を使用して，高速性に優れた集積回路を開発し，最大 128 Gbit/s(64.2 Gbaud)動作可能，高速な立ち上がり時間(Tr)と立ち下がり時間(Tf)，低残留ジッタ，かつ波形歪が小さい PAM4 信号の出力を実現した。PAM4 PPG の代表波形を**図 2**，主な性能を**表 1** に示す。

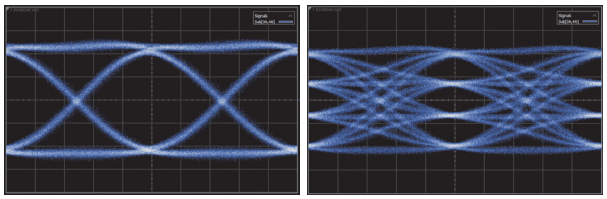


図 2　PAM4 PPG 出力代表波形

表 1　PAM4 PPG 出力波形代表規格

項目	規格
出力振幅	0.14 Vp-p～1.6 Vp-p（差動）
エンファシス	4 Tap，±20 dB(1 post/2 pre cursor)
残留ジッタ	170 fs（代表値，NRZ）
Tr/Tf(20～80%)	8.5 ps（代表値，NRZ）
SNDR	33 dB(min)
独立アイ可変機能	20～50%

また光トランシーバモジュール内に使用される EA 変調器などの非線形デバイスは，PAM4 信号を出力すると 3 つのアイ開口バランスが崩れる可能性があるため，デバイスに入力する PAM4 信号の 3 つのアイ開口レベルをフレキシブルに可変させる必要がある。そこで，電圧値または比率で 3 つのアイ開口レベルをそれぞれ設定できる独立アイ可変機能を搭載した。**図 3** に Upper アイ 50%，Midde アイ 30%，Lower アイ 20%の波形を示す。

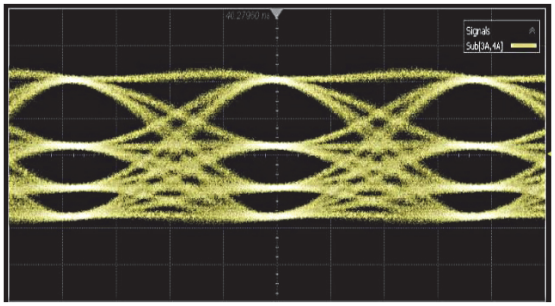


図 3　独立アイ可変波形

2.2　4 Tap エンファシス機能の搭載

高速データ伝送ではケーブルやプリント基板によって波形品質が劣化してしまう。そこで伝送路の Frequency Dependent Loss を補償するため，PAM4 PPG では 4 Tap のエンファシス機能を搭載している。このエンファシス機能は，メイン Tap に対してほかの Tap の振幅を最大±20 dB 設定できる FIR(Finite Impulse Response)フィルタによって実現した。**図 4** に PAM4 PPG の出力に線路長 80 mm，FR-4 材のプリント基板を接続した場合の Emphasis 補償前後の波形を示す。

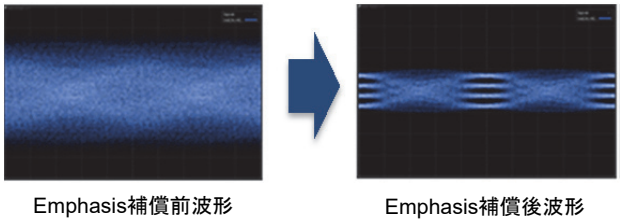


図 4　Frequency Dependent Loss 補償波形

2.3　Adjustable ISI 機能

OIF-CEI や IEEE などの標準規格では，規定の周波数特性を持つ ISI ボードなどを用いてストレス波形を生成することが求められている。**図 5** のように ISI ボードのみで規定のストレス波形を生成するためにはボードの付け替え作業が必要となるが，**図 6** のように PAM4 PPG の FIR フィルタを組み合わせることで，ボードの付け替えを行わずにさまざまな規格に対応したストレス波形の生成が可能となる。FIR フィルタを用いてストレス波形を模擬する，またはストレス波形を補償することは広く知られている技術 [5]であり，エンファシス機能と同様に 4 TAP の FIR フィルタにより当該技術を実現している。

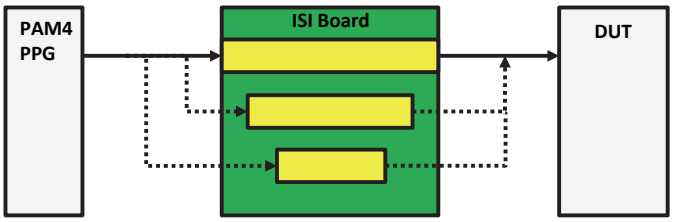


図 5　既存ストレス波形生成方式

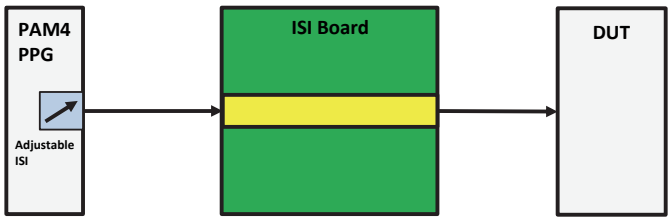


図 6　PAM4 PPG を用いたストレス波形生成方式

周波数特性を模擬する方法として，求めたい周波数特性を逆フーリエ変換(IFFT: Inverse Fast Fourier Transform)し，そのインパルス応答から各タップ係数を求める方法が挙げられる。タップ数が無限にある場合は周波数特性を完全に模擬することが可能だが，実際にはタップ数は有限であるため周波数応答に乖離が生じる。そのため IFFT を行う前に，ナイキスト周波数と 1/2 ナイキスト周波数の利得が理想的な周波数特性と等しくなるような補正をしている。**図 7** に利得補正前後の周波数特性を示す。

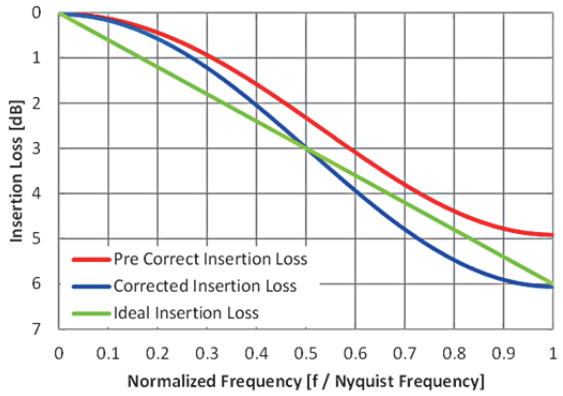


図 7　FIR フィルタの周波数利得補正

しかし，エンファシス機能よる FIR フィルタのみでは現実の伝送線路が持つ群遅延特性を再現することは不可能なため，ISI ボードと組み合わせることで，理想の周波数特性および位相特性とほぼ一致した波形を出力することが可能となる。**図 8** に Adjustable ISI 機能を使用した波形を示す。

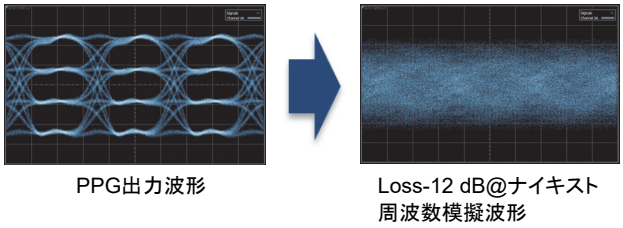


図 8　Adjustable ISI 波形

2.4　PAM4 パターン設定

PAM4 PPG は標準規格で定義されているパターンを発生できるが，対抗接続する SerDes(SERializer/DESerializer)などの DUT 受信部の期待パターンは，標準規格とは異なる場合がある。そのため標準規格で定義されているパターン発生方法から論理反転や MSB(Most Significant Bit)，LSB(Least Significant Bit)間のビットスキューを可変させるなど，フレキシブルに変更できる機能が必要である。

そこで以下の要件を満たす GUI とすることでパターン発生方法を視覚化し，設定をフレキシブルにした。

①シードパターン情報

②Gray Coder/Pre Coder の前後段の MSB/LSB それぞれの論理反転設定

③Gray Coder および Pre Coder の ON/OFF 設定

④MSB のビットスキュー設定

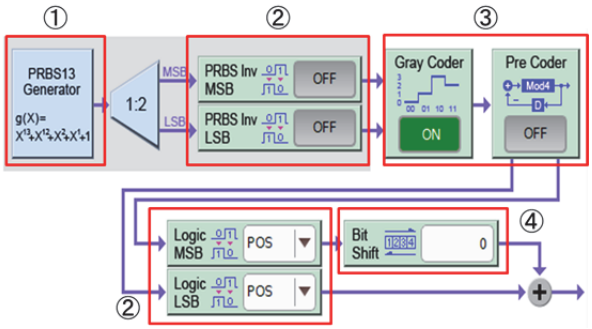


図 9　PAM4 パターン設定 UI

2.5　PAM4 Error 付加機能

物理層の試験においては，エラーを模擬し DUT に入力することが求められる。模擬するエラーの種類として，論理エラーを模擬する MSB または LSB のみのエラー付加と，ISI チャネルなどを通過した際に想定される 1 レベル間遷移のエラーがある。NRZ 信号は 0 または 1 の 2 値しかないため，どちらのエラーを付加する際も当該ビットを反転させるだけでよいが，PAM4 信号においては 4 値あるため単純なビット反転では任意の遷移のエラーを付加することはできない。

そこでレベル間遷移が 1 レベルとなるように，MSB，LSB のいずれか，もしくは MSB，LSB の両方にエラーを付加できるようにした。**図 10** にレベル間遷移が 1 レベルとなるようにエラー付加を行う際の一例を示す。このように任意のシンボル遷移となるようにエラー付加が可能である。

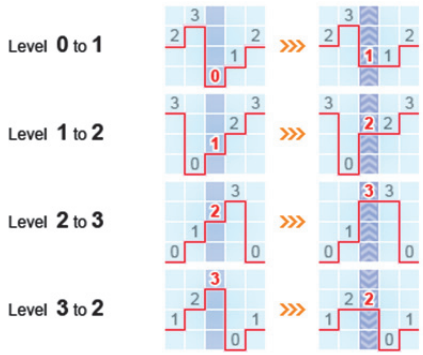


図 10　PAM4 エラー付加イメージ

3 PAM4 ED 概要

3.1 業界最高レベルの感度性能を実現

NRZ 信号と比較して PAM4 信号は，各信号レベル間の差が 1/3 となることから信号品質を評価する測定器には高感度な入力性能が求められる。そのため PAM4 PPG と同様に高速な InP 半導体技術を用いて高周波領域での損失を抑えることにより，NRZ 信号入力で 64 Gbit/s，PAM4 信号入力で 116 Gbit/s(58 Gbaud)の高ボーレートに対応した ED を開発し，業界初の 116 Gbit/s PAM4 信号のエラーフリー測定を実現した。

そして，64 Gbit/s NRZ 信号入力時には 45 mVp-p 以下，58.2 Gbaud PAM4 信号入力時には**図 8** に示すように 50 mVp-p 以下（Upper/Middle/Lower の各 Eye Height）の入力感度性能を達成した。

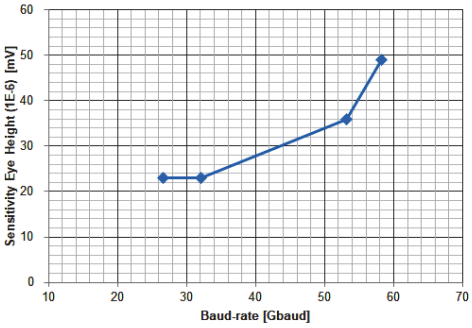
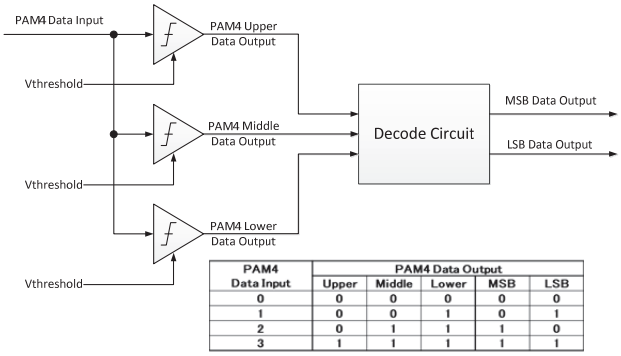


図 11 PAM4 信号入力時の感度特性

3.2 PAM4 デコード処理ができる MMIC を搭載

NRZ 信号は 0 または 1 の 2 値の信号であったため，1 スレッショルドでレベルを判別できる。それに対して PAM4 信号は 4 値の信号であるため，Upper/Middle/Lower の 3 つのスレッショルドでレベルを判別する必要がある。この 4 値 2 bit 分の信号をデコード処理するために，3 つのスレッショルド回路，および論理演算の回路を搭載した PAM4 Decoder MMIC(Monolithic Microwave Integrated Circuit)を開発した。Decoder MMIC は**図 12** に示すようなブロック図と真理値表になっており，MSB は Middle 出力で判別した結果を出力する。また，LSB は Upper/Middle/Lower 出力それぞれで判別した結果を演算し出力する。

この Decoder MMIC の MSB 出力のみのエラー測定を行うことで NRZ 信号に対応した ED としても使用可能である。



PAM4 Data Input	PAM4 Data Output				
	Upper	Middle	Lower	MSB	LSB
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	1	1	0
3	1	1	1	1	1

図 12 Decoder MMIC 簡易ブロック図と真理値表

3.3 イコライザ機能

PAM4 ED には，Low Frequency Equalizer（以下，LFE）と Decision Feed-back Equalizer（以下，DFE）の 2 種類のイコライザを実装している。

LFE は低周波数成分の利得を下げることにより，周波数特性の均一化を図るイコライザで，ケーブルやプリント基板の損失に見られる 1 GHz 以下の急激な損失の補償に有効である。PAM4 ED の LFE は，1 GHz までの低域における利得を 0 から−2.0 dB の範囲内でバリアブルに補償できる。また DFE は，過去の 0/1 判別されたデータを元に，その信号成分の一部を帰還することにより，インパルス応答で見たときの信号レベルを補正するイコライザで，ナイキスト周波数までの高周波成分の損失補償に有効であり，補償量をバリアブルに設定できる。

LFE によりアナログ的にフラットな周波数特性をつくり，かつ DFE によるデジタル的な信号補正を掛ける。これらのイコライザによる補償は，PAM4 PPG のエンファシス機能と同様に伝送路の Frequency Dependent Loss を補償するための必要不可欠な機能である。例えばナイキスト周波数で 4.5 dB，1/2 ナイキスト周波数で 3.0 dB のロス条件において，53.125 Gbaud PAM4 の SER(Symbol Error Rate)測定結果が 1E-5 程度であったとしても，LFE と DFE を最適値に設定することにより，最小で 1E-12 以下に改善できる。

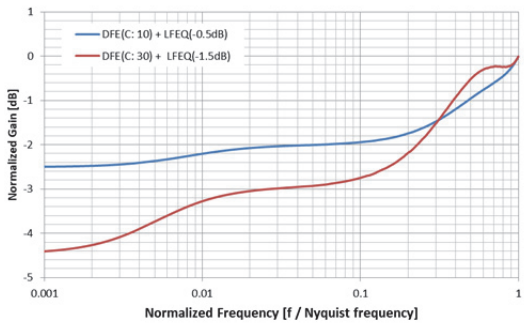


図 13 53.125 Gbaud DFE + LFE 周波数特性の例

3.4　クロックリカバリ機能

エラーレートを測定するにはデータに同期したクロックが必要である。しかし，SerDes などの DUT は同期クロックを持っていないため，伝送データ信号からクロックを抽出する必要がある。そこで PAM4 ED では図 14 に示すように 3 つの周波数帯ごとにクロックリカバリデバイスを開発し，2.4 G から 32.1 Gbaud および 51.0 G から 58.2 Gbaud まで，各種標準規格のボーレートに対応した広範囲，かつ低ジッタのクロック再生が可能である。

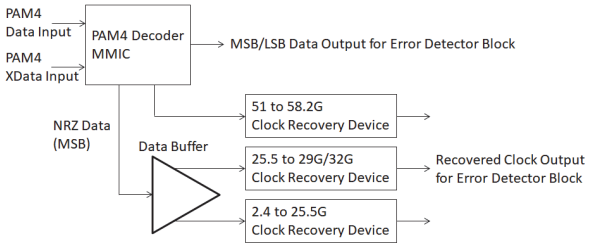


図 14　クロックリカバリの概要ブロック

3.5　PAM4 SER 測定の機能

PAM4 ED は MSB と LSB の合算した BER(Bit Error Rate)測定だけではなく，PAM4 SER 測定に対応している。シンボル測定結果は図 15 に示すようにシンボルとビットそれぞれでエラーカウント(EC: Error Count)やエラーレート(ER: Error Rate)など結果を表示し，測定結果を一目で確認できる。また図 16 に示すように詳細表示画面では，シンボルを MSB と LSB に分離し，それぞれの EC や ER を確認できる画面になっている。そして，各 Level のシンボルの遷移状態をユーザが理解し易いような表形式の構成とした。これにより，エラー発生状況を把握しやすくなる。

また，PAM4 信号を PAM4 シンボルとして同期できない場合の解析機能である PAM4 信号診断モード(Diagnostic Mode)を用意した。この機能により，MSB と LSB のビットエラーをそれぞれ別々に測定でき，MSB と LSB の位相ビットずれの状態が確認できる。そして，PAM4 PPG と同様にパターン設定機能として，Gray Coder/Pre Coder の前後段の MSB/LSB それぞれの論理反転設定や Gray Coder および Pre Coder の ON/OFF 設定ができる。

これら機能をあわせることで，光トランシーバーなどに搭載されている DSP(Digital Signal Processor)など NRZ 信号を入力して，PAM4 信号を出力する機能を持っている DUT において，パターン反転の発生や MSB と LSB のビットズレが起きている場合に解析機能として原因特定に役立てることができる。

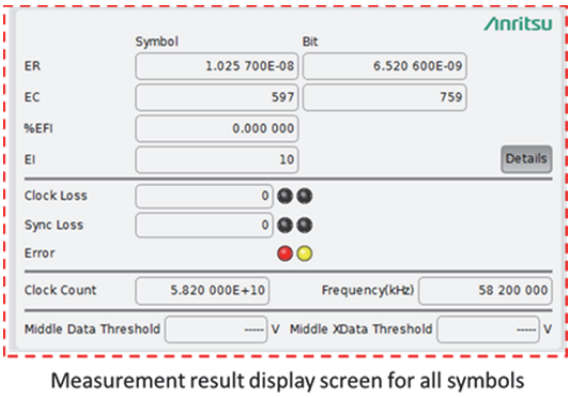


図 15　PAM4 SER 測定 Total 結果画面

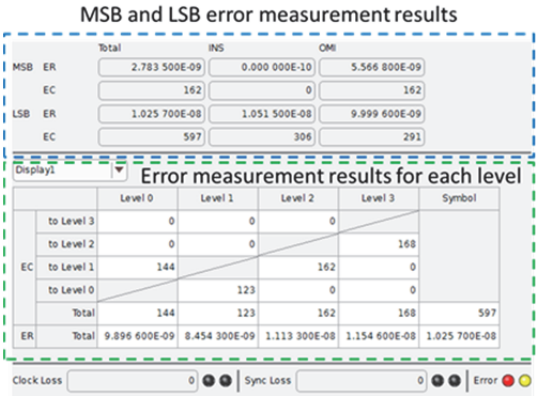


図 16　PAM4 SER 測定詳細結果画面

3.6　PAM4 シンボルキャプチャー機能

PAM4 ED は，入力された試験パターンを取り込み，取り込んだパターンを画面表示するキャプチャー機能を搭載している。キャプチャー結果表示画面を図 17 に示す。

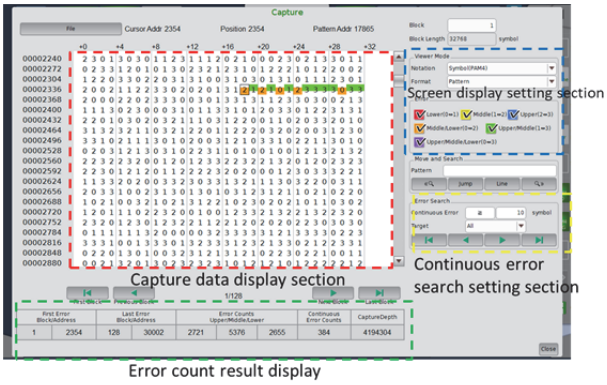


図 17　PAM4 キャプチャー結果表示画面

キャプチャーデータの取得方法として，従来機種では入力データと既知の内部基準データパターンが同期し，入力データパターンを取り込むと同時に比較データを基にエラー判定する Sync Mode Capture モードを搭載していた。PAM4 ED では，新規機能として，未知のデータパターンを非同期状態で取得して画面表示する

Raw Data Capture モードを開発した。PAM4 信号は，MSB/LSB の 2 bit から 1 シンボルが構成されており，論理反転，Graycode，Precode の有無，Skew など同期確立を妨げるさまざまな要因がある。Raw Data Capture モードの追加により，入力されたデータをそのまま保存し結果を画面表示できるようになり，ユーザは非同期状態でもデータ解析を行うことができる。

キャプチャーデータ表示画面では新規機能として，エラーカウント機能，連続エラーサーチを追加し，使いやすさを向上させている。エラーカウント機能は，4 つの電圧レベルごとにエラーカウントしエラー量を数値で確認できるため，DUT のエラーの偏りを容易に把握できるようになる。連続エラーサーチ機能は，指定したビット／シンボル以上の連続エラーの特定が容易となるため，バーストエラーが発生時の原因調査機能として役立てることができる。これらの追加機能により，ユーザの設計検証の効率化に貢献できる。

3.7 ロギング測定機能

PAM4 ED では，長時間測定によるエラーやアラーム情報の検証のため，指定時間ごとに測定結果を記録する Logging 機能に対応している。

Logging 機能は，ER や EC など記録したい情報を選択し，図 18 設定および記録画面の右上にある Cycle で指定した時間ごとに取得した結果を画面に表示，記録することができる。これにより時系列的な変化が記録できるようになる。

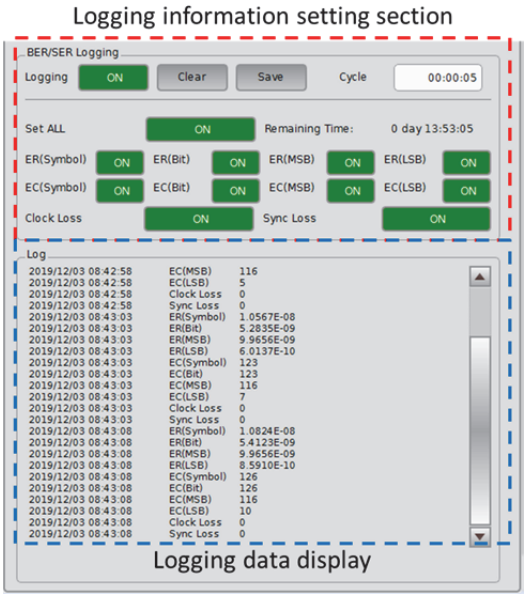


図 18 PAM4 ED Logging 結果表示画面

4 MP1900A を用いたストレス耐力測定

4.1 測定概要

CEI-112G-VSR-PAM4 や IEEE802.3bs 規格などで定義されるように，通信機器内部のラインカードやデバイス間を送受するデータ信号は，ケーブルコネクタやプリント基板などの物理経路を伝送される。この物理経路は，伝送損失や隣接レーンからのクロストークや電源ノイズといった信号品質の劣化を及ぼす要因を含んでいる。特に高速であり，PAM4 のような電圧レベル間の差が小さい信号は，前記による波形劣化の影響が大きい。そのため高速 PAM4 信号の伝送評価を正しく行うためには，これら波形劣化要因を考慮したストレス信号を生成し，実際の伝送環境を模擬する必要がある。

そこで，128G PAM4 BERT を使用して，ISI やジッタ印加による高速 PAM4 ストレス信号の生成と，それを用いたレシーバーテストの手法を提供する。PAM4 PPG は 2 章に記した性能と機能により，規格に求められているストレス信号源として使用できる。また PAM4 ED は 3 章に記した性能と機能により，規格に求められているストレス信号を受信できるリファレンス受信機として使用できる。

このほか，シンセサイザをクロック源とし，各種規格のジッタ耐力試験への対応として，Jitter Module により正弦波ジッタやランダムジッタなどを印可することが可能である。これにより，MP1900A 1 台での各種規格測定に対するワンボックステストソリューションとして提供可能である。

4.2 CEI 規格を基にした PAM4 ストレス試験

CEI-56G/112G-VSR-PAM4 規格では，ホストーモジュール間試験として，モジュールに入力するストレス信号の仕様がテストポイントごとに定義されている。PAM4 PPG をホスト，ユーザの DUT をモジュールとして考えると，DUT へ入力するストレス信号を仕様どおりに模擬することが重要となる。そこで図 19 に示す測定系を用いストレス信号生成，およびそのストレス信号を用いた DUT のジッタ耐力試験を行った。

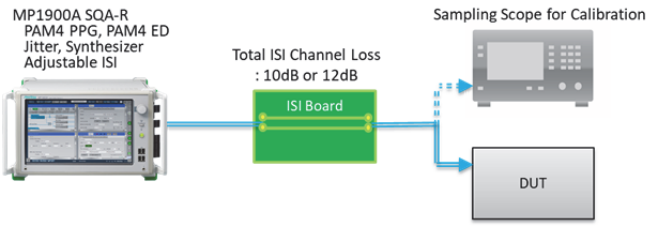


図 19 ストレス信号生成・ジッタ耐力測定系

はじめに，規格に基づいた仕様のターゲット値を**表 2, 3** に示すように定め，これらを満たすストレス信号を生成した。

表 2　56G-VSR-PAM4 代表ターゲット値

Parameter	Target	Units
End-to-end ISI channel loss(SDD21)	10	dB
Eye Height at 1E-6 probability(EH6)	32	mV
Eye Width at 1E-6 probability(EW6)	7.53	ps
Eye Linearity	0.85	—

表 3　112G-VSR-PAM4 代表ターゲット値

Parameter	Target	Units
End-to-end ISI channel loss(SDD21)	12	dB
Eye Height at 1E-6 probability(EH6)	37	mV
Eye Width at 1E-6 probability(EW6)	3.76	ps
Eye Linearity	0.85	—

ストレス波形の生成は，PAM4 PPG の振幅設定機能，独立アイ可変機能，Adjustable ISI 機能，エンファシス機能を用いることにより可能であり，**図 20** と**図 21** に示すように，各ボーレートともにターゲット値を満たし Upper/Middle/Lower の各アイ開口のバランスが取れた PAM4 ストレス波形を実現した。

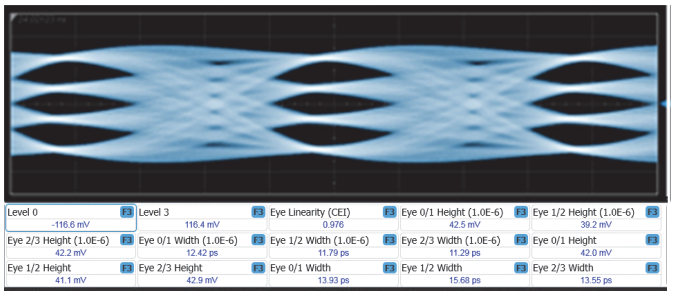


図 20　CEI-56G-VSR-PAM4 ストレス波形

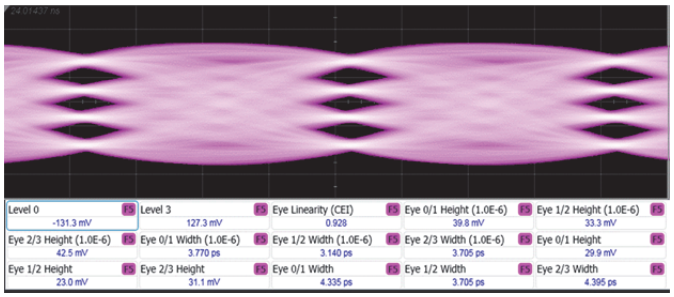


図 21　CEI-112G-VSR-PAM4 ストレス波形

次に，ストレス波形を DUT に入力して，ジッタ耐力測定を行った。変調周波数と変調量を変化させながら正弦波ジッタを付加した結果，**図 22** と**図 23** に示すように両 DUT とも CEI で定められたジッタ耐力を満たし，MP1900A を用いてレシーバーテストができることを確認できた。

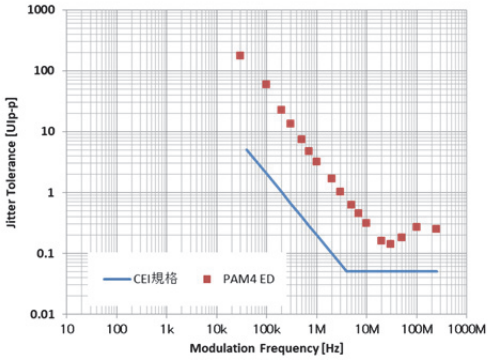


図 22　CEI-56G-VSR-PAM4 ジッタ耐力試験結果

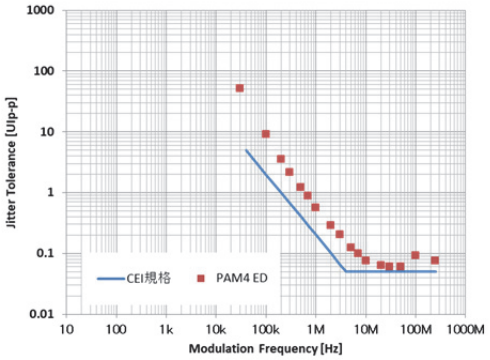


図 23　CEI-112G-VSR-PAM4 ジッタ耐力試験結果

5　むすび

データセンタの情報量は急速に増大していくなか，今後ネットワーク間インタフェースの変調方式の主流となっていく PAM4 信号測定に対応した 128G PAM4 BERT の開発を行った。128G PAM4 BERT は高性能な波形品質や高感度な入力性能をもち，OIF-CEI などの規格に対応するための測定機能を持っている。

今後もさらなるさまざまな通信規格に対応する測定器を開発することで，物理層デバイス・モジュールに求められる測定効率の改善や評価品質の向上に貢献していく。

参考文献

1)　CEI-112G-VSR-PAM4 Draft (Contribution Number: oif2017.346.11)

2)　IEEE Std 802.3bs™/-2017

3)　PCI Express® Base Specification Revision 6.0 Version 0.5

4)　IEEE Std 802.3cd™-2018

5)　アンリツ．村上崇，佐々木浩輔．エンファシス最適化装置およびエンファシス最適化方法．特許第 5612626 号．2013-10-3

執筆者

佐々木浩輔
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

柴田和也
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

岩井達也
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

相原康人
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

大沼弘季
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

山根一浩
計測事業グループ計測事業本部
サービスインフラストラクチャーソリューション事業部
商品開発部

公知